

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 20 年 9 月 4 日 (2008.9.4)

【公表番号】特表 2008-519337 (P2008-519337A)
 【公表日】平成 20 年 6 月 5 日 (2008.6.5)
 【年通号数】公開・登録公報 2008-022
 【出願番号】特願 2007-539443 (P2007-539443)
 【国際特許分類】

G 0 6 F 7/50 (2006.01)

【F I】

G 0 6 F 7/50 G

【手続補正書】

【提出日】平成 20 年 7 月 17 日 (2008.7.17)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

Q は自然数である Q 進数字を使用し、前記 Q 進数字で計算する計算論理によって処理するデジタルエンジニアリング方法であり、ハイブリッド数字繰上げ方式と繰上げラインの方法が使用され、以下の処理がハイブリッド数字繰上げ方式の数字を使用することによって行われることを特徴とする方法であって、

共通 Q 進数字を示す第 1 データを受け取る工程と、

前記第 1 データを、ハイブリッド数字繰上げ方式の数字、オール・ワン符号数字、及び符号化されたハイブリッド二値数、の少なくとも 1 つを示す第 2 データに変換する工程と

、
前記第 2 データを前記計算論理によってアクセス可能なメモリに格納する工程と、
前記第 2 データに対して、対応物スクラッチング、スクラッチング Q、及び非処理、の
少なくとも 1 つを実行し、その結果を蓄積する工程と、

前記計算論理の出力を、ハイブリッド数字繰上げ方式の数字、共通 Q 進数字のいずれか、又は、直接に共通十進数、に変換する工程と、を有する方法。

【請求項 2】

請求項 1 に記載のデジタルエンジニアリング方法であって、

以下からなる第 1 プロセス、

ステップ 1 :

K 個の普通 Q 進数字が足し算と引き算に参加すると仮定すると、K は整数で $K \geq 2$ であり、Q は自然数であり、これらの数字がハイブリッド繰上げ方式の K または $2 \times K$ 個の数字に変換され ;

ステップ 2 :

K または $2 \times K$ 個の数字のうちの 2 つがハイブリッド数字繰上げ方式の使用により和を求めて加算され ;

計算が最下位からスタートするか、若しくは、すべての位の数字を位ごとに同時に加算する、つまり、ある位で、前記 2 つの数字が位ごとに加算され ;

前記位に前記 2 つの数字の「位ごとの加算」の和が「対応物スクラッチング」、「スクラッチング Q」および「蓄積」によって得られ ;

前記和が「部分和」数字として次の計算層へ送られ ;

一方、得られた「ハイブリッド数字繰上がり」が次の計算層、または現在の計算層の計算を受けていないデータ線の隣接する上の位の空の位つまり0の位に置かれ；

ステップ3：

前記ある位に隣接した上の位に、ステップ2の計算が繰り返され；

前記2つの数字の最高位が計算されるまで、この処理が繰り返され；

並行処理が採用される場合、ステップ2および3の計算が2つの数字の各位に対して同時に行なわれて、本ステップを省くことができ；

順次および並行処理が採用される場合、処理は同様であり；

ステップ4：

Kまたは2K個の数字のさらに2つの数字に対してステップ2および3の計算が行なわれ；

Kまたは2Kの数字あるいは計算層の数字がすべて得られるまで、この処理が繰り返され；

数字が1つだけ残ると、それは「部分和」数字として次の計算層に直接移動され；

ステップ5：

次の計算層で、前のステップ2、3および4で述べたような和を求める計算が、前記「位ごとの和」数字と「繰上がり」数字に対して行なわれ；

計算層の計算の後に1つの数字だけが得られるまで、この処理が繰り返され；

ハイブリッド数字繰上げ方式での計算によって最後に得られた和の数が、K個の普通Q進数字の足し算と引き算の結果そのものである；

または、以下からなる第2プロセス、

ステップ1：

K個の普通Q進数字が足し算と引き算に参加すると仮定すると、Kは整数で $K \geq 2$ であり、Qは自然数であり、これらの数字がハイブリッド繰上げ方式のKまたは2K個の数字に変換され；

ステップ2：

最下位からスタートして、つまりKまたは2K個の数字のうちの2つがある位で同時に加算され；

「対応物スクラッチング」、「スクラッチングQ」および「蓄積」が採用され、つまり2つの数字が得られると、前記位の前記2つの数字の「位ごとの加算」の和が得られ；

「部分和」数字として次の計算層へ送られ；

一方、得られた「ハイブリッド数字繰上がり」が次の計算層、または現在の計算層の計算を受けていないデータ線の隣接する上の位の空の位つまり0の位に置かれ；

ステップ3：

Kまたは2K個の数字のさらに2つの数字に対してステップ2の計算が行なわれ；

Kまたは2Kの数字あるいは計算層の数字がすべて得られるまで、この処理が繰り返され；

数字が1つだけ残ると、それは「部分和」数字として次の計算層に直接移動され；

同じ位の各数字が同時に計算される場合、ステップ2とステップ3の計算が同時に行なわれて、本ステップを省くことができ、このとき、同じ位で和が0であるn個の数字に対して「対応物スクラッチング」が最初に行なわれ；

そして、その和が mQ であるn個の数字（nは整数で $n \geq 2$ であって、mは整数）に対して「スクラッチングQ」が行なわれ；

得られた「ハイブリッド数字繰上がり」が次の計算層、または現在の計算層の計算を受けていないデータ線の隣接する上の位の空の位つまり0の位に置かれ；

同じ位に残りの数字が「蓄積」されるか、あるいは次の計算層に直接移動され；

蓄積は「多重（少なくとも2）数字蓄積」であり、2つの数字の普通の「蓄積」が採用される場合、逐次の連続蓄積が行なわれ；

ステップ4：

前記ある位に隣接した上の位に、ステップ 2 および 3 の計算が繰り返され；

K または 2 K 個の数字の最高位が計算されるまで、この処理が繰り返され；

ステップ 5：

次の計算層で、前のステップ 2、3 および 4 で述べたような和を求める計算が、前記「位ごとの和」数字と「繰上がり」数字に対して行なわれ；

計算層の計算によって 1 つの数字だけが得られるまで、この処理が繰り返され；

ハイブリッド数字繰上げ方式での計算によって最後に得られた和の数が、K 個の普通 Q 進数字の足し算と引き算の結果そのものである；

または、以下からなる第 3 プロセス、

ステップ 1：

K 個の普通 Q 進数字が足し算と引き算に参加すると仮定すると、K は整数で $K \geq 2$ であり、Q は自然数であり、これらの数字がハイブリッド繰上げ方式の K または 2 K 個の数字に変換され；

ステップ 2：

いわゆる「二次元計算」が採用され、つまり K または 2 K 個の数字の各位で計算が同時に行なわれ、一方、各位で和が 0 である n 個（n は整数で $n \geq 2$ ）の数字に対して「対応物スクラッチング」が行なわれ；

ステップ 3：

いわゆる「二次元計算」が採用され、つまり K または 2 K 個の数字の各位で計算が同時に行なわれ、一方、各位で和が m Q である n 個（n は整数で $n \geq 2$ であって、m は整数）の数字に対して「スクラッチング Q」が行なわれ；

得られた「ハイブリッド数字繰上がり」が次の計算層のデータ線の隣接する上の位の空の位つまり 0 の位に置かれ；

ステップ 4：

いわゆる「二次元計算」が採用され、つまり K または 2 K 個の数字の各位で計算が同時に行なわれ、一方、各位の残りの数字が「蓄積」されるか、あるいは次の計算層に直接移動され；

蓄積は「多重（少なくとも 2）数字蓄積」であり、2 つの数字の普通の「蓄積」が採用される場合、逐次の連続蓄積が行なわれ；

ステップ 5：

次の計算層で、前のステップ 2、3 および 4 で述べたような和を求める計算が、前記「位ごとの和」数字と「繰上がり」数字に対して行なわれ；

計算層の計算によって 1 つの数字だけが得られるまで、この処理が繰り返され；

ハイブリッド数字繰上げ方式での計算によって最後に得られた和の数が、K 個の普通 Q 進数字の足し算と引き算の結果そのものである；

を含むことを特徴とする方法。

【請求項 3】

請求項 1 又は 2 に記載のデジタルエンジニアリング方法であって、

ハイブリッド数字繰上げ方式の K 個または 2 K 個の数字あるいは計算層中のすべての数字からの n 個の数字に対して和を求める計算を行なうとき、ある位で n 個の計算数の「位ごとの和」が 0 であるが、繰上がり m（それは n 個の数字の和と同記号を持つ）が生じ、n は整数で $n \geq 2$ であり、m は整数である場合、繰上がりが次の計算層、または現在の計算層の計算を受けていないデータ線の隣接する上の位の空の位つまり 0 の位に置かれ；

そして、n 個の計算数のある位が、それらが後の計算に参加しないように、論理的なやり方で「0」に設定され、これは「スクラッチング Q」と呼ばれ；

「スクラッチング Q」において $m = 0$ のとき、それは「対応物スクラッチング」と呼ばれ；

あるいは、「対応物スクラッチング」および「スクラッチング Q」は採用されなくてもよい、ことを特徴とする方法。

【請求項 4】

請求項 1 に記載のデジタルエンジニアリング方法であって、

ハイブリッド数字繰上げ方式の前記数字は、符号化されなくてもよく、あるいは、ハイブリッド数字繰上げ方式の数字で符号化されてもよく、あるいは、オールワン符号で符号化されてもよい、つまり、ハイブリッド数字繰上げ方式の数 S の各位は、最下位から上へ配置された $|S|$ の数と、1 によって対応され、残りの上の位は 0 とし、一方、 S の記号、つまり前記位の数字が正か負かを示す記号、が対応するオールワン符号で各位の記号として使用され；

オールワン符号の符号化と復号は、固定符号長または可変符号長のいずれかを使用することができる、方法。

【請求項 5】

請求項 1 の方法を実施するためのシステムであって、

入力ロジック (101)、CPU 中央処理装置 (102)、外部記憶装置 (103)、出力ロジック (104)、コンソール (105)、出力変換ロジック (108) および入力変換ロジック (109) を備え (それはハイブリッド Q 進および繰上げラインのコンピュータでは省略することができる)；

ここで、前記 CPU (102) が内部メモリ (106) およびハイブリッド数字計算制御ロジック (107) からなり、前記ハイブリッド数字計算制御ロジック (107) が、 K - 又は $2K$ - 層論理演算装置 (202) とコントローラ (201) とから構成され、 K 個の普通 Q 進数字が足し算と引き算に参加し、 K が 2 以上の整数で、 Q が自然数であると仮定すると、普通 Q 進法の入力変換ロジック (109) がこれらの数字をハイブリッド数字繰上げ方式の K または $2K$ 個の数字に変換し、そしてハイブリッド数字繰上げ方式の数字が、シフトレジスタ入力ロジック (101) を介して K 層または $2K$ 層演算装置 (202) に入力され、 K 層または $2K$ 層演算装置 (202) では、 K 層または $2K$ 層の計算を通じてハイブリッド数字繰上げ方式の数字の結果が得られ、それらが、出力ロジック (104) を介して、出力変換ロジック (108) によってハイブリッド数字繰上げ方式の数字または普通 Q 進数字または普通十進数字の形で出力され、コントローラ (201) が計算コントローラ全体のロジックを調整し制御することを特徴とするシステム。

【請求項 6】

請求項 2 の方法を実施するための、

入力ロジック (101)、CPU 中央処理装置 (102)、外部記憶装置 (103)、出力ロジック (104)、コンソール (105)、出力変換ロジック (108) および入力変換ロジック (109) を備え (それはハイブリッド Q 進および繰上げラインのコンピュータでは省略することができる)；

ここで、前記 CPU (102) が内部メモリ (106) およびハイブリッド数字計算制御ロジック (107) からなり、前記ハイブリッド数字計算制御ロジック (107) が、 K - 又は $2K$ - 層論理演算装置 (202) とコントローラ (201) とから構成され、 K 個の普通 Q 進数字が足し算と引き算に参加し、 K が 2 以上の整数で、 Q が自然数であると仮定すると、普通 Q 進法の入力変換ロジック (109) がこれらの数字をハイブリッド数字繰上げ方式の K または $2K$ 個の数字に変換し、そしてハイブリッド数字繰上げ方式の数字が、シフトレジスタ入力ロジック (101) を介して K 層または $2K$ 層演算装置 (202) に入力され、 K 層または $2K$ 層演算装置 (202) では、 K 層または $2K$ 層の計算を通じてハイブリッド数字繰上げ方式の数字の結果が得られ、それらが、出力ロジック (104) を介して、出力変換ロジック (108) によってハイブリッド数字繰上げ方式の数字または普通 Q 進数字または普通十進数字の形で出力され、コントローラ (201) が計算コントローラ全体のロジックを調整し制御するシステムであって、

さらに、 K 層または $2K$ 層演算装置 (202) が (304) アキュムレータ Σi 、レジスタ・ネットワーク (311)、対応物スクラッチング・ネットワーク (312) および Q スクラッチング・ネットワーク (313) からなり、 i が序数であり；

計算機、特にコンピュータの演算装置で使用される場合、前記デジタルエンジニアリング方法は前記第 1、第 2 または第 3 プロセスを使用することができ、ここでは第 3 プロセ

スが使用され；

K層または2K層演算装置(202)では「二次元計算」が使用され、つまり、計算が数字の各位について同時に行われ、「対応物スクラッチング」、「スクラッチングQ」および「蓄積」が各位の全数字について同時に計算され；

次の計算層の指示が到着すると、繰上がり数字と「位ごとの和」の数字に加えられ；

計算層の計算後に1つの数字だけが得られるまで、このプロセスが繰り返され；

最後に、得られた和がアキュムレータ Σi (304)によって出力され；

符号化にオールワン符号を使用する場合、前記「二次元計算」は「三次元計算」であり；

「対応物スクラッチング」と「Qスクラッチング」が採用された場合、コントローラまたはプログラムから、数字の各位の計算を同時に行なう指示が送られ、各位の数字に対して「対応物スクラッチング」と「スクラッチングQ」も同時に行われ、n個の数字のある位が今後の計算に参加しないように、論理的なやり方で「0」に設定され、次に「蓄積」が行われ、蓄積が「多重数アキュムレータ」を使用し、それは少なくとも2であり；

普通の2つの数字の「アキュムレータ」が採用される場合、蓄積は順次に連続的に行なわれ；

アキュムレータ Σi (304)が Ki または $2Ki$ レジスタ(303)に対応するアキュムレータであり、その各ビットが記号ビットを持ち；

符号化にオールワン符号が使用される場合、K層または2K層演算装置(202)内のアキュムレータ Σi (304)を、オールワン符号・シフトレジスタとして省略することができる；ことを特徴とするシステム。

【請求項7】

請求項6に記載のシステムであって、前記レジスタ・ネットワーク(311)が、(301)レジスタ1i、(302)レジスタ2i、(303)レジスタ Ki または $2Ki$ 等で構成され；

レジスタが2つずつ接続しており；

Kまたは2Kレジスタがハイブリッド数字繰上げ方式の入力されたK個または2K個の数字を記憶し；

(304)アキュムレータ Σi が(303)レジスタ Ki または $2Ki$ に対応して、蓄積の和を記憶し；

各レジスタと(304)アキュムレータ Σi の各ビットに記号が割り当てられ、それは通常の2状態フリップフロップであり、前記記号の位も、特別な記号ビットレジスタに格納することができ、計算時に、ハイブリッド数字繰上げ方式の数字を格納するレジスタまたはアキュムレータの各ビットに記号が割り当てられ；

Kまたは2Kレジスタがハイブリッド数字繰上げ方式のK個または2K個の数字を記憶することを特徴とするシステム。

【請求項8】

請求項6に記載のシステムであって、

対応物スクラッチング・ネットワーク(312)が対応物スクラッチング・ロジック(305)によって検査され；

あるいは、それが、 $K(K-1)/2$ または $K(K-1)$ 対応物スクラッチング・ロジック(305、306、...、307)をレジスタ・ネットワーク(311)中の各レジスタに接続することにより形成され；

Qスクラッチング・ネットワーク(313)がQスクラッチング・ロジック(308)によって検査され；

あるいは、 $K(K-1)/2$ または $K(K-1)$ Qスクラッチング・ロジック(308、309、...、310)をレジスタ・ネットワーク(311)中の各レジスタに接続することにより形成されることを特徴とするシステム。

【請求項9】

請求項8に記載のシステムであって、

対応物スクラッチング・ロジックの典型的な組合せが、(301)レジスタ1i、(302)レジスタ2i、等価ロジック(403)、別ロジック(404)およびANDゲート(405)からなり；

(301)レジスタ1iと(302)レジスタ2iの前で、記号ビットが付加され、それは通常の2状態フリップフロップであり；

符号化にオールワン符号を使用し、2値デバイスを使用する場合、対応物スクラッチングが $n = 2$ および $m = 0$ を使用し；

(301)レジスタ1iについては、オールワン符号化が401ビット1i1、1i2、...を含み；

(302)レジスタ2iについては、オールワン符号化が402ビット2i1、2i2...を含み；

(303)レジスタKiまたは2Kiについては、オールワン符号化がKi1、Ki2、...または2Ki1、2Ki2、...を含み；

1i1、1i2、...および2i1、2i2、...からKi1、Ki2、...または2Ki1、2Ki2、...までのオールワン符号化全体において、任意の2つが組合せを形成するよう選ばれ；

スクラッチングQロジックの典型的な組合せが、(301)レジスタ1i、(302)レジスタ2i、Q値決定ロジック(501)、等価ロジック(502)およびANDゲート(503)からなり；

(301)レジスタ1iと(302)レジスタ2iの前で、記号ビットが付加され、それは通常の2状態フリップフロップであり；

符号化にオールワン符号を使用し、2値デバイスを使用する場合、スクラッチングQが $n = Q$ および $m = \pm 1$ を使用し；

(301)レジスタ1iについては、オールワン符号化が(401)ビット1i1、1i2、...を含み；

(302)レジスタ2iについては、オールワン符号化が(402)ビット2i1、2i2...を含み；

(303)レジスタKiまたは2Kiについては、オールワン符号化がKi1、Ki2、...または2Ki1、2Ki2、...を含み；

1i1、1i2、...および2i1、2i2、...からKi1、Ki2、...または2Ki1、2Ki2、...までのオールワン符号化全体において、任意のQが組合せを形成するよう選ばれることを特徴とするシステム。

【請求項10】

請求項5に記載のシステムであって、ハイブリッド数字繰上げ方式の前記数字は、符号化されなくてもよく、あるいは、ハイブリッド数字繰上げ方式の数字で符号化されてもよく、あるいは、オールワン符号で符号化されてもよく、オールワン符号の符号化と復号は、固定符号長または可変符号長のいずれかを使用することができることを特徴とするシステム。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正の内容】

【0002】

本発明の「デジタルエンジニアリング」は、特に「デジタル計算システムエンジニアリング」を指す。それは、四則演算原理のような計算法自体のデジタルエンジニアリングを実現する技術的解法に関する。「ツールを使用する数値計算」は歴史的に、手書きの計算、珠算、機械的計算、電氣的計算、カウント計算などを含む。最近では、電氣的デジタル計算、珠算および手書き計算だけが残り、したがって、対応するデジタル計算システムエンジニアリングは3種類だけ含み、それらはデジタル計算機、そろばん、そして手書

き計算にペンと紙を使用する数値計算システムエンジニアリングで、略して「手書き計算エンジニアリング」と呼ばれるものである。例えば、「二進コンピュータ」とは、二進素子、二進レジスタ、二進メモリ、二進演算処理部、二進コントローラ、二進コーダ、二進デコーダ、二進入力及び出力装置、がすべて、二進、二進数、及びそれに対応する原理によって支配される、ということの意味する。従って、前記「デジタルエンジニアリング」は、ディジット(数字)に関するものではなく、具体的な「エンジニアリング」である。

所謂、「デジタルエンジニアリング法」とは、上記「デジタルエンジニアリング」における、「ディジット」、「デジタルフロー」、「デジタル変換」、「デジタル計算」、及び、「デジタル制御」、等、及び前記「デジタルエンジニアリング」における計算、制御及びフローのための対応の規則、を表す方法の意味する。例えば、「二進デジタルエンジニアリング法」とは、前記「デジタルエンジニアリング」における素子、コンポーネント、手段、等が、二進、二進数、及びそれに対応する原理によって支配される、ということの意味する。一方、前記対応の「デジタルエンジニアリング法」が適用される。従って、前記「デジタルエンジニアリング」は、「デジタル法」に関するものではなく、具体的な「エンジニアリング法」である。

そのような「デジタルエンジニアリング法」、特に、「計算」に関する特殊なコンテンツを、エンジニアリングにおいて一般的用語をそのまま使用することによって記載することは不便である。従って、理解を容易にするために、「デジタルエンジニアリング法」は、文字通り、数学において使用されるものに類似の式によって形式的に記載されるが、これらの用語は、その実体とコンテンツにおいて「デジタルエンジニアリング」に関連するのである。勿論、この書類のコンテンツは、数学にではなくエンジニアリングに関するものであり、又、それらは純粋に数学に関連するものではない。そのような記載は当該技術において公知である。本発明の出願書類において、そのような方法で「デジタルエンジニアリング法」を記載した後、エンジニアリングの具体的実施例において捕捉のために、エンジニアリングのいくつかの一般的用語が使用される。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正の内容】

【0003】

現在のデジタルエンジニアリングの方法による四則演算において、第1に足し算はあまり満足できない。主な欠陥は計算の速度が遅いということである。引き算では、負を十分に働かせていないので、連続した引き算を行うことができない。特に、足し算と引き算を組み合わせた計算で、計算は単一のステップで済ませることができない。掛け算では、足し算の欠陥が拡大し、より重大になる。割り算でも、上記欠陥が存在する。要約すると、最小の数学的エンティティ(計算対象の数学的実体)、有理数エンティティ(計算対象の有理数実体)では、四則演算の状況は満足できない。直接的で明瞭な記載のために、ハイブリッド数字繰上げ方式と繰上げラインのデジタルエンジニアリング法は、キャリア(carrier)としてデジタルエンジニアリングにおける「手書き(written)計算エンジニアリング」を使用して説明され、それは、三つのタイプの「デジタル計算システムチェックエンジニアリング」、即ち、コンピュータ、手書き計算(written calculation)そしてソロバン、の全てに適用可能である。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正の内容】

【0014】

ハイブリッド数字繰上げ方式の数字は符号化されなくてもよく、あるいは、ハイブリッ

ド数字繰上げ方式の数字で符号化されてもよく、あるいは、オールワン符号化と呼ばれている、オールワン符号で符号化されてもよい、つまり、ハイブリッド数字繰上げ方式の反復数の数字Sの各位は、最下位から上へ配置された $|S|$ の数と、1によって対応され、残りの上の位は0とし、位の合計数はQまたは $(Q - 1)$ または $Q / 2$ または $(Q + 1) / 2$ であり；

一方、Sの記号、つまり前記位の数字が正か負かを示す記号、が対応するオールワン符号で各位の記号として使用される（第3部の強化Q進法とオールワン符号を参照）。ハイブリッド数字繰上げ方式の数字を符号化するためにオールワン符号が使用される場合、n個の数字の加算は、n個の数字の1または1⁻（後述する[数2]参照）の非反復配置にすぎず、それは「1の配列」と呼ばれ、オールワン符号の符号化と復号は、固定符号長または可変符号長のいずれかを使用することができる。

〔有利な効果〕

ハイブリッド数字繰上げ方式および繰上げライン方法のデジタルエンジニアリングの方法は、ハイブリッド繰上げ法HJFと呼ばれる。ここで、「デジタルエンジニアリング」とは、具体的には、現在においては、三つのタイプ、即ち、コンピュータ、手書き計算エンジニアリング、及びソロパン、のみを含む「デジタル計算のシステムチェックエンジニアリング」を意味する。ここで、「ハイブリッド数字繰上げ方式」とは、「ハイブリッドQ進法または強化Q進法または部分Q進法または対称Q進法」を意味する。数進法に関する限り、前記HFJは下記の2つの面によって特長付けられるデジタルエンジニアリング法の分野において既にそのピークに達している。

（1）デジタルエンジニアリングの性能は大幅に改善されている。

I．計算速度は大幅に増大し、従来のデジタルエンジニアリング技術は、一般的なQ進法を使用して、「蓄積」による、「1層計算及び一次元計算」を行うのに対して、このデジタルエンジニアリング法は、ハイブリッド数字繰上げ方式およびハイブリッド繰上げ方法HJFを使用して「対応物スクラッチング」、「スクラッチングQ」及び「蓄積」による計算を行い、これによって、「多層計算」と「多次元計算」が実現される。

II．従来のデジタルエンジニアリング法(コンピュータとソロパン)では、入出力数と共通(common)十進数との間の変換は不便であるのに対して、このデジタルエンジニアリング法においては、 $Q = 10$ の時、それは共通十進数へ簡便に変換することが可能な十進数である。

III．従来のデジタルエンジニアリング法においては、負数は直接的に表すことが出来ないのに対して、このオリジナルなデジタルエンジニアリング法においてはそれらは直接表すことができる。

IV．従来のデジタルエンジニアリング法では減算は容易に行うことが出来ないのに対して、このデジタルエンジニアリング法は減算を使用せず、従って、計算が容易になる。

（2）デジタルエンジニアリング構造に於ける顕著な特徴

I．「対応物スクラッチングロジック」と「スクラッチングQロジック」を使用する。

II．「オールワン符号化」を使用(それはコンピュータや手書き計算エンジニアリングにおいては使用することができない)。

III．従来のコンピュータ及び手書きエンジニアリング法では「一層計算」と「一次元計算」しか無く、「多層計算」と「多次元計算」の構造は無いのに対して、本発明のデジタルエンジニアリング法と手書き計算エンジニアリングは、「多層計算」と「多次元計算」の構造を有する(これは、ハイブリッド繰上げ法HJFの構造、「ハイブリッド繰上げ構造」又は、単に「HJF構造」と呼ばれる。)

IV．従来のデジタルエンジニアリング法は、「ネットワーク計算」の構造をもたないのに対して、本コンピュータデジタルエンジニアリング法は、「ネットワーク構造」を形成するための「レジスタ・ネットワーク」、「対応物スクラッチング・ネットワーク」、および「Qスクラッチング・ネットワーク」を有する。

V．従来のソロパンデジタルエンジニアリングは、「二進法繰上げ方式と五進法繰上げ方式との組み合わせ」の構造を使用するのに対して、本ソロパンデジタルエンジニアリ

ングは、「ハイブリッド数字繰り上げ方式」の単一構造を使用する。

他方、更なる研究は、本発明が、デジタルエンジニアリング法の分野に於ける記数方式に於ける全ての達成結果をカバーしているものであることを示しており、そのような改善は、デジタルエンジニアリング法の分野において将来達成することは不可能である。

従って、一般に「発明の三つのQシリーズ」と呼ばれるハイブリッド数字繰り上げ方式と繰り上げラインのデジタルエンジニアリング方法の技術的解決手段は、「デジタルエンジニアリング」のピークを達成したものである。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

コンピュータにおいて、計算対象の前記数字はハイブリッド数字繰り上げ方式の数字で、Qは自然数である。それはオールワン符号で、またはハイブリッド数字繰り上げ方式の数字で符号化されてもよく、符号化されなくてもよい。オールワン符号で符号化される場合、つまり、ハイブリッド数字繰り上げ方式の数字Sの各位は、最下位から上へ配置された $|s|$ の数と、1によって対応され、残りの上の位は0とし、位の合計数はQまたは $(Q - 1)$ または $Q / 2$ または $(Q + 1) / 2$ であり；

一方、Sの数字記号、つまり前記位の数字が正か負かを示す記号、が対応するオールワン符号で各位の記号として使用される。ハイブリッド数字繰り上げ方式の数字を符号化するためにオールワン符号が使用される場合、n個の数字の加算は、n個の数字の1または1の非反復配置にすぎず、それは「1の配列」と呼ばれ、オールワン符号の符号化と復号は、固定符号長または可変符号長のいずれかを使用することができる。本発明のコンピュータは固定符号長を使用する。オールワン符号で符号化する場合、K層または2K層演算装置内のアキュムレータを、結果となる合計数を特に格納するオールワン符号・シフトレジスタ、したがって「合計数レジスタ」とよばれるオールワン符号レジスタとして省略することができる。このとき「二次元計算」が採用される場合、それは「三次元始計算」と呼ばれ、対応する演算装置は「三次元演算装置」と呼ばれる。コンピュータで使用される要素はP値要素であり、Pは数字要素集合の基数であり、Pは1整数で、 $P > 1$ ；

あるいは、2値要素3値要素が使用される。

理論的には、本発明によるハイブリッド数字繰り上げ方式と繰り上げラインのコンピュータにおけるQ - 進法コンピュータは、外部記憶、入出力端子(プログラムを含む)の点において既存の{Q}コンピュータと全く同じである。

これまで、具体的名称、技術的指標、作用、用途範囲、設計法、下層論理演算装置、等によって本発明の明確で完全な技術的解決手段を構成した。それによって、本発明は、有効なものと判断可能である。対応の論理設計、ライン設計、チップ設計、電源供給設計、プロセス設計、外観設計、実験、等を実行するべく本発明の全体設計に応じて材料及びデバイスを購入することを含むコンピュータの製造の作業については、それらは当業者によって容易に実現可能である。

〔有利な作用効果〕

(1) ハイブリッド数字繰り上げ方式および繰り上げライン方法のコンピュータ技術解決手段において、前記ハイブリッド / 強化技術解決手段は、既存のコンピュータを超え、具体的には、コンピュータの分野のピークに達した。

(1 - 1) ハイブリッド数字繰り上げ方式のコンピュータの性能は大幅に改善された。

I. 計算速度は大幅に増大し、従来のコンピュータ技術は共通Q - 進法を使用して「蓄積」によって「一層計算」と「一次元計算」とを行うのに対して、本コンピュータ技術は、ハイブリッド数字繰り上げ方式とハイブリッド繰り上げ法HJFを使用して「対応物スクラッチング」および「スクラッチングQ」及び「蓄積」を行い、それによって「多層計算」と「多次元計算」とが実現される。

II. 従来のデジタルエンジニアリング法(コンピュータとソロバン)では、入出力数と共通十進数との間の変換は不便であるのに対して、このデジタルエンジニアリング法においては、 $Q = 10$ の時、それは共通十進数への変換が簡便に可能な十進数である。

III. 従来のデジタルエンジニアリング法においては、負数は直接的に表すことが出来ないのに対して、このオリジナルなデジタルエンジニアリング法においてはそれらは直接表すことができる。

IV. 従来のデジタルエンジニアリング法では減算は容易に行うことが出来ないのに対して、このデジタルエンジニアリング法は減算を使用せず、従って、計算が容易になる。

一般的条件における概算推定では、新世代のコンピュータの計算速度は三次元計算と倍数係数 $K = 8$ が使用された場合、五倍増加する。 K が増加すれば、計算速度は更に増加するであろう。

(1 - 2) ハイブリッド繰り上げ方式のコンピュータに於ける顕著な特徴

I. 「対応物スクラッチングロジック」と「スクラッチングQロジック」を使用する。

II. 「オールワン符号化」を使用(それはコンピュータや手書き計算エンジニアリングにおいては使用することができない)。

III. 従来の技術では「一層計算」と「一次元計算」しか無く、「多層計算」と「多次元計算」の構造は無いのに対して、本コンピュータ技術は、「多層計算」と「多次元計算」の構造を有する(これは、ハイブリッド繰り上げ法HJFの構造、「ハイブリッド繰り上げ構造」又は、単に「HJF構造」とも呼ばれる。)

IV. 従来のデジタルエンジニアリング法は、「ネットワーク計算」の構造をもたないのに対して、本コンピュータデジタルエンジニアリング法は、「ネットワーク構造」を形成するための「レジスタ・ネットワーク」、「対応物スクラッチング・ネットワーク」、および「Qスクラッチング・ネットワーク」を有する。

(1 - 3) ハイブリッド数字繰り上げ方式のコンピュータにおいて「オールワン符号化」を使用した場合、論理コントローラを既存の二値素子を使用して実現することが可能である。理論的には、内部及び外部記憶装置、入出力装置、コンソール、及び対応のプログラムは、既存のコンピュータのものと完全に同じものとして行うことができる。

(2) 共通十進数への変換に関する限り、ハイブリッド数字方式及び繰り上げラインのコンピュータ技術解決構成におけるハイブリッド/強化/部分十進コンピュータは、既存のコンピュータよりも良好である。従来のコンピュータでは、入出力数と共通十進数との間の変換は不便であるのに対して、本コンピュータにおいては、 $Q = 10$ の時、それは共通十進数への変換が簡便に可能な十進数である。従って、ハイブリッド/強化/部分十進コンピュータは、既存のコンピュータを凌駕し、コンピュータの分野に於けるピークに達している。

(3) 「多値ロジック」の分野に関する限り、特に、「値要素組」 $Z = \{-1, 0, 1\}$ の多値ロジックにおける大きなブレイクスルーがある場合、前記ハイブリッド繰り上げ方式及び繰り上げラインのコンピュータ技術解決構成の前記ハイブリッド/強化/部分十進コンピュータ(例えば対称三進式コンピュータであったとしても)は、既存のコンピュータよりも良好でありそれらは、既存のコンピュータを凌駕し、コンピュータの分野に於けるピークに達している。

(4) 将来使用されるかもしれない、実用的な、安定した超高速三値装置(例えば、Quant a Computer)に関する限り、前記ハイブリッド繰り上げ方式及び繰り上げラインのコンピュータ技術解決構成の前記ハイブリッド/強化/部分十進コンピュータ(例えば対称三進式コンピュータであったとしても)は、既存のコンピュータよりも良好でありそれらは、既存のコンピュータを凌駕し、コンピュータの分野に於けるピークに達している。

更なる研究は、本発明が、デジタルエンジニアリング法の分野に於ける記数方式に於ける全ての達成結果をカバーしているものであることを示しており、そのような改善は、デジタルエンジニアリング法の分野において将来達成することは不可能である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】 0 0 2 0

【補正方法】 変更

【補正の内容】

【 0 0 2 0 】

〔好適実施例〕

第 1 部 ハイブリッド数字繰上げ方式および繰上げラインのデジタルエンジニアリングの方法

(1. 繰上げラインの方法; 2. ハイブリッド数字繰り上げ方式と繰り上げライン; 3. ハイブリッド繰り上げ法 H J F とハイブリッド十進 { 十 * } / 強化十進 { 十 } / 部分十進 { 十 ' } ; 4. ハイブリッド十進 { 十 * } / 強化十進 { 十 } / 部分十進 { 十 ' } と共通十進 { 十 } との関係; 5. 結論)

本発明は、「パイオニア発明」であり、その内容の大半は完全に新しく、これまで発表されることがないものである。直接的で明瞭な記載のために、本発明の説明の好適実施例の最初の部分において、ハイブリッド数字繰上げ方式と繰上げラインのデジタルエンジニアリング法は、キャリア(carrier)としてデジタルエンジニアリングにおける「手書き (written) 計算エンジニアリング」を使用して説明され、それは、三つのタイプの「デジタル計算システムチックエンジニアリング」、即ち、コンピュータ、手書き計算(written calculation)そしてソロバン、の全てに適用可能である。前記デジタルエンジニアリング法は、対応のデジタルエンジニアリング発明において、非常に明瞭で完全に、「デジタルフロー」、「デジタル変換」、「デジタル演算」及び「デジタル制御」を記載してきた。前記デジタルエンジニアリング法が基礎であり、本発明の第 2 の部分のガイドとなる。従って、先ず、前記デジタルエンジニアリング法になじむことが必要である。

1. 《繰上げラインの方法》

1. 1 繰上がりと《繰上げラインの方法》

コンピュータの数値計算で、計算速度を上げる鍵の 1 つは「繰上がり」である。繰上がりの取得および格納と、計算への繰上げの参加は重要である。「繰上がり」は「速度」を求めて競争している。手書きの計算で、それは直接「誤り率」に影響する。この部では、例として手書き計算エンジニアリングを挙げる。いわゆる《繰上げラインの方法》は、計算プロセス時に、生じた繰上がりが、「位ごとの和」の数字の位置と等しく、計算に参加する位置に格納され、「位ごとの和」とともに計算に参加するといった方法である。一般に、同じ計算層の 2 つの数字が加えられる場合、異なる位の繰上がりは「繰上げライン」と呼ばれるラインに配置される。(「計算層」の概念は次のセクションで説明する)。一例は以下のとおりである：

2 つの普通の十進数が加算され、加算式を

「式 3 : 1 2 3 4 5 6 + 3 4 5 6 7 8 = 4 6 9 1 3 4」と仮定する。

一の位の計算は (6 + 8) = 1 4 である。また、その繰上がり 1 は、次のラインの上の位に書かれ、それが繰り返される。2 つの数字が式で加えられる場合、繰上りを考慮に入れない各位の合計は、

【数 1】

「位ごとの加算 ⊕」 (以降、適宜「⊕」は「(+)」と表記。)

と呼ばれ、その和は「位ごとの和」と呼ばれる。また、位ごとの和のデータ線は「(+) ライン」と呼ばれる。(+) ラインと繰上げラインは「計算層」を構成する。

【手続補正 7】

【補正対象書類名】 明細書

【補正対象項目名】 0 0 5 0

【補正方法】 変更

【補正の内容】

【 0 0 5 0 】

3. 《ハイブリッド繰上げ方法H J F》を用いた四則演算

有理数の計算を行なうためにハイブリッド数字繰上げ方式と《ハイブリッド繰上げライン》を用いる方法は《ハイブリッド数字繰上げ方式およびハイブリッド繰上げライン》、略して《ハイブリッド繰上げ方法H J F》と呼ばれる。ハイブリッドQ進および《繰上げライン法》を用いて有理数の計算を実行する方法は、《ハイブリッドQ進および繰上げラインの方法》または誤解が生じなければ《ハイブリッド繰上げ法H J F》と命名されている。足し算と引き算の計算にK個の普通Q進数が参加すると仮定すると、Kは2以上の整数で、Qは自然数である。Kは重係数(multiple coefficient)と呼ばれる。これらの普通Q進数の正および負の記号が、対応する数字の各位に割り当てられ、したがって、ハイブリッドQ進法が形成される。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0051

【補正方法】変更

【補正の内容】

【0051】

強化Q進および《繰上げライン法》を用いて有理数の計算を実行する方法は、《強化Q進および繰上げラインの方法》、略して《強化繰上げ法Z J F》と命名されている。足し算と引き算の計算にK個の普通Q進数が参加し、Kは2以上の整数で、Qは自然数であると仮定する。Kは重係数(multiple coefficient)と呼ばれる。これらのすべての数字がKまたは2K個の強化Q進数に変換される。

【手続補正9】

【補正対象書類名】明細書

【補正対象項目名】0130

【補正方法】変更

【補正の内容】

【0130】

ハイブリッド数字繰上げ方式および繰上げラインのデジタルエンジニアリング方法を使用するコンピュータも、ハイブリッド数字繰上げ方式および繰上げラインのコンピュータと呼ばれる。それは、又、ハイブリッド数字繰り上げ方式のコンピュータとも呼ばれる。本発明は、更に、前記「ハイブリッド数字繰上げ方式および繰上げラインのコンピュータ」の製品の一般的設計にも関連し、それは「数字」に関連するハードウェアの設計と処理の方法に、具体的な目的(計算)のために使用される。従って、本発明は、「...の方法」に属する。一般に、本発明は、「方法」の発明であり、従って、この部ではそれに対応する「処理条件と工程」そして「数字の流れ」について記載し、「ハイブリッド数字繰上げ方式」の数字を使用し「ハイブリッド数字繰上げ方式および繰上げラインの方法」によって計算を行なう。

本出願の第1部に関連する「デジタルフロー」、「デジタル変換」、「デジタル処理」、及び「デジタル制御」は、この部のコンピュータの「デジタルフロー」、「デジタル変換」、「デジタル処理」、及び「デジタル制御」である。したがって、それらについてここで繰り返す必要はない。この部では、更に、捕捉を行うためにエンジニアリングにおける一般的な用語を使用する。より明瞭でより完全な説明を行うために、この部ではハイブリッド数字繰上げ方式および繰上げラインの方法を四つの階層に分割する。第1階層はコンピュータの一般的論理ブロック図、第2階層は、コンピュータの処理と制御の論理ブロック図、第3階層はコンピュータの演算処理部の論理ブロック図であり、第4階層は前記コンピュータの演算処理部の底層の論理ブロック図である。各階層の構造的特徴、処理モード及び処理プロセスを、ブロック図を参照して説明する。特に、各階層の「デジタルフロー」、「デジタル変換」、「デジタル処理」、及び「デジタル制御」を説明する。

本発明のハイブリッド数字繰上げ方式は、主としてコンピュータのCPU、特に、その演算処理部において、一般的な繰上げ方式の既存のコンピュータと異なる。前記演算処理

部は、算術計算と論理計算とを含む。本発明は、算術計算のみに関する。従って、ハイブリッド数字繰上げ方式のコンピュータのCPU、特に、演算処理部が主として説明される。本発明の説明は、主としてこの演算処理部を以下のとおり説明する。

【手続補正 10】

【補正対象書類名】明細書

【補正対象項目名】0134

【補正方法】変更

【補正の内容】

【0134】

図3は、K層または2K層演算装置のi番目の位の論理回路図で、iは序数である。ハイブリッド数字繰上げ方式の数字の計算は既に述べた解法の1つを使用することができるが、本発明のコンピュータでは例として解法2を使用する。(1)共通Q進数数字は符号化、又は、ハイブリッド数字繰上げ方式の数字へ変換され、ハイブリッド数字繰上げ方式の数字は「オール・ワン符号」に符号化される、(2)「オール・ワン符号」計算(「対応物スクラッチング」、「スクラッチングQ」、「蓄積」)、(3)「オール・ワン符号」をハイブリッド数字繰上げ方式の数字に復号化、又は、共通Q進数数字に変換する。「K層または2K層演算装置」202は、304アキュムレータΣi、レジスタ・ネットワーク311、対応物スクラッチング・ネットワーク312およびQスクラッチング・ネットワーク313からなり、iは序数である。計算機、特にコンピュータの演算装置で 사용되는場合、デジタルエンジニアリング方法は既に述べた第1、第2または第3プロセスを使用することができ、ここでは第3プロセスが使用される、ここで

ステップ1: K個の普通Q進数字が足し算と引き算に参加し、Kは整数でK ≥ 2であり、Qは自然数であると仮定すると、これらの数字がハイブリッド繰上げ方式のKまたは2K個の数字に変換される；

ステップ2: 所謂「二次元計算」が使用される。即ち、Kまたは2K個の数字の各位において同時に計算が行われ、他方、各位においてその和が0であるn数字に対して「対応物スクラッチング」が行われる。ここで、nは整数であり、n ≥ 2である、

ステップ3: 所謂「二次元計算」が使用される。即ち、Kまたは2K個の数字の各位において同時に計算が行われ、他方、各位においてその和が0であるn数字に対して「対応物スクラッチング」が行われる。ここで、nは整数であり、n ≥ 2である、得られた「ハイブリッド数字繰上げ」を次の計算層の、空の位、又は任意のデータ行の隣接する高位に格納する、

ステップ4: 所謂「二次元計算」が使用される。即ち、Kまたは2K個の数字の各位において同時に計算が行われ、他方、各位のその他の数字が「蓄積」される、又は、それらは、次の計算層に移動される。前記蓄積は多重(2以上)数字蓄積である。2つの数字の共通「蓄積」が使用される場合、逐次シリアル蓄積が行われる。

ステップ5: 次の計算層で、前のステップ2、3および4で述べたような和を求める計算が、前記「位ごとの和」数字と「繰上がり」数字に対して行なわれ；計算層の計算の後に1つの数字だけが得られるまで、この処理が繰り返され；ハイブリッド数字繰上げ方式での計算によって最後に得られた和の数が、K個の普通Q進数字の足し算と引き算の結果そのものである。

【手続補正 11】

【補正対象書類名】明細書

【補正対象項目名】0150

【補正方法】削除

【補正の内容】

【手続補正 12】

【補正対象書類名】明細書

【補正対象項目名】0151

【補正方法】削除

【補正の内容】
【手続補正 1 3】
【補正対象書類名】明細書
【補正対象項目名】0 1 5 2
【補正方法】削除
【補正の内容】
【手続補正 1 4】
【補正対象書類名】明細書
【補正対象項目名】0 1 5 3
【補正方法】削除
【補正の内容】
【手続補正 1 5】
【補正対象書類名】明細書
【補正対象項目名】0 1 5 4
【補正方法】削除
【補正の内容】
【手続補正 1 6】
【補正対象書類名】明細書
【補正対象項目名】0 1 5 5
【補正方法】削除
【補正の内容】
【手続補正 1 7】
【補正対象書類名】明細書
【補正対象項目名】0 1 5 6
【補正方法】削除
【補正の内容】
【手続補正 1 8】
【補正対象書類名】明細書
【補正対象項目名】0 1 5 7
【補正方法】削除
【補正の内容】
【手続補正 1 9】
【補正対象書類名】明細書
【補正対象項目名】0 1 5 8
【補正方法】削除
【補正の内容】
【手続補正 2 0】
【補正対象書類名】明細書
【補正対象項目名】0 1 5 9
【補正方法】削除
【補正の内容】
【手続補正 2 1】
【補正対象書類名】明細書
【補正対象項目名】0 1 6 0
【補正方法】削除
【補正の内容】
【手続補正 2 2】
【補正対象書類名】明細書
【補正対象項目名】0 1 6 1
【補正方法】削除

【補正の内容】

【手続補正 2 3】

【補正対象書類名】明細書

【補正対象項目名】0 1 6 2

【補正方法】削除

【補正の内容】

【手続補正 2 4】

【補正対象書類名】明細書

【補正対象項目名】0 1 6 3

【補正方法】削除

【補正の内容】

【手続補正 2 5】

【補正対象書類名】明細書

【補正対象項目名】0 1 6 4

【補正方法】削除

【補正の内容】

【手続補正 2 6】

【補正対象書類名】明細書

【補正対象項目名】0 1 6 5

【補正方法】削除

【補正の内容】

【手続補正 2 7】

【補正対象書類名】明細書

【補正対象項目名】0 1 6 6

【補正方法】削除

【補正の内容】