



(12) 发明专利

(10) 授权公告号 CN 101179057 B

(45) 授权公告日 2010.05.26

(21) 申请号 200710100857.0

(22) 申请日 2007.04.20

(30) 优先权数据

11/557,372 2006.11.07 US

(73) 专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹市

(72) 发明人 曹佩华 林亮臣 牛保刚 刘忆台  
江浩然

(74) 专利代理机构 隆天国际知识产权代理有限公司 72003

代理人 陈晨

(51) Int. Cl.

H01L 23/485(2006.01)

H01L 21/60(2006.01)

(56) 对比文件

US 5739587 A, 1998.04.14, 说明书第2栏第15-19行, 第4栏第60行至第7栏第10行、附图3, 7, 11, 12.

CN 1505140 A, 2004.06.16, 全文.

CN 1435881 A, 2003.08.13, 全文.

US 6028367 A, 2000.02.22, 全文.

US 5736791 A, 1998.04.07, 全文.

审查员 许媛媛

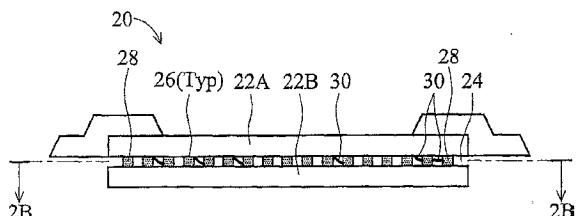
权利要求书 2 页 说明书 5 页 附图 3 页

(54) 发明名称

接合垫结构及其制作方法

(57) 摘要

本发明提供一种接合垫结构及其制作方法。上述接合垫结构包含：第一导电材料层；介电材料层，设置于第一导电材料层上方；第二导电材料层；多个导通孔，设置于介电材料层之中，且导通孔电性连接第一与第二导电材料层；及导线，设置于导通孔的周边附近，且设置于介电材料层之中，相邻导通孔之间的距离约等于导线与其相邻的导通孔的最小间距。上述导线对包围导通孔的介电层中产生的龟裂提供阻障层。虽然龟裂会无法控制地散布于导通孔阵列的导通孔之间，但通过导线可阻隔上述龟裂，因此，龟裂不会散布至芯片或晶片的附近区域。导线可以具有各种不同形状及尺寸，以配合适当的应用。由于导线具有大体上连续的长度，因此导线也会对接合垫提供额外的强度。



1. 一种接合垫结构,包含 :

第一导电材料层;

介电材料层,设置于所述第一导电材料层上方;

第二导电材料层;

多个导通孔,设置于所述介电材料层之中,且所述导通孔电性连接所述第一导电材料层与所述第二导电材料层;以及

导线,设置于所述导通孔的周边附近,且所述导线设置于所述介电材料层之中,其中相邻的所述导通孔之间的距离等于所述导线与其相邻的导通孔的最小间距。

2. 如权利要求 1 所述的接合垫结构,其中所述导线包含直线形状,且所述直线形状具有外部周边及内部周边,所述导通孔设置于由所述导线的所述内部周边所定义的所述介电材料层的区域内。

3. 如权利要求 1 所述的接合垫结构,其中所述导线围绕所述导通孔。

4. 如权利要求 1 所述的接合垫结构,还包含接合的金属图案,设置于所述第二导电材料层的顶部表面上方;以及

接合打线,连接所述接合的金属图案。

5. 如权利要求 1 所述的接合垫结构,其中所述介电材料层包含复合式介电层。

6. 如权利要求 1 所述的接合垫结构,其中所述导通孔及所述导线包含的导电材料选自钨、铝、铜及硅化物所组成的群组。

7. 如权利要求 2 所述的接合垫结构,其中所述介电材料层的龟裂存在于所述第一及第二导电材料层,以及所述导线的所述内部周边之间。

8. 一种接合垫的制作方法,包括 :

提供半导体芯片;

形成第一介电材料层于所述半导体芯片上方;

形成第一导电材料层于所述第一介电材料层上方;

形成第二介电材料层于所述第一导电材料层上;

图案化所述第二介电材料层,以形成多个开口于其中,所述多个开口包含中央的开口阵列,以及第一线状开口,其围绕所述中央的开口阵列;

提供导电材料于所述中央的开口阵列与所述第一线状开口之中,以分别形成多个导通孔与一导线;以及

提供第二导电材料层于所述第二介电材料层及所述导通孔与导线上方;

其中所述第二介电材料层的龟裂存在于所述第一及第二导电材料层,以及设置于所述导线的内部周边之间,且相邻的所述导通孔之间的距离等于所述导线与其相邻的导通孔的最小间距。

9. 如权利要求 8 所述的接合垫的制作方法,其中所述第二介电材料层包含复合式介电层。

10. 如权利要求 8 所述的接合垫的制作方法,还包括 :

形成第三介电材料层于所述第二导电材料层上方;

图案化所述第三介电材料层,以形成第二多个开口于其中,所述第二多个开口包含中央的开口阵列,以及第二线状开口,其围绕所述中央的开口阵列;以及

提供导电材料于所述第二多个开口之中。

11. 如权利要求 10 所述的接合垫的制作方法,其中形成于所述第二介电材料层内的所述第一线状开口的内部周边的尺寸与对应于所述第三介电材料层内的所述第二线状开口的内部周边的尺寸不相同。

12. 如权利要求 10 所述的接合垫的制作方法,其中形成于所述第二介电材料层内的所述第一线状开口的内部周边的尺寸与对应于所述第三介电材料层内的所述第二线状开口的内部周边的尺寸相同。

## 接合垫结构及其制作方法

### 技术领域

[0001] 本发明涉及半导体集成电路的制作,特别涉及一种可限制金属层间介电层龟裂的接合垫结构。

### 背景技术

[0002] 接合垫是介于容纳在半导体芯片内的集成电路及芯片封装体之间的接口。一般来说,传送电力、接地及输入 / 输出信号至芯片元件需要大量的接合垫。因此,为了确保较高的芯片合格率,制作具有足够高合格率的接合垫是十分重要的。

[0003] 一般传统的接合垫结构包含由芯片元件末端延伸的金属层,且该金属层由通常是氧化硅的金属层间介电层 (inter-metal dielectric layer; IMD) 所分隔。金属导通孔穿过上述金属层间介电层,以连接上述金属层。进行接合打线于接合的金属图案及上述芯片封装体,以在该芯片及封装体之间形成电性连接。接着,除了上述金属层的接合位置外,覆盖保护层于上述金属层的表面,封合该芯片,使得芯片免于污染物的污染及提供避免刮伤的保护层。

[0004] 一种接合垫失效的形式是由于在接合工艺中所施加的外力,使得打线从上述接合的金属图案脱落。另一种接合垫失效的形式是由于在接合工艺中引起一个或多个底下层的分层所施予的外力,而引起接合垫的脱离。另外,再一种接合垫失效的形式是金属介电层的龟裂现象。

[0005] 图 1A 及图 1B 显示已知用于集成电路 (Integrated Circuit; IC) 芯片的接合垫 1。如图 1A 及图 1B 所示,通过导通孔 10 阵列连接一对接合垫金属层 2A、2B。通过介电材料层 12 分隔上述接合垫金属层 2A、2B,且上述导通孔 10 设置于介电材料层 12 之中。在例如是集成电路探针测试 (IC probe test) 或封装时的打线接合工艺中会施加外力至接合垫 1。上述外力会在导通孔 10 间的介电材料层 12 引起龟裂 14。由于龟裂 14 的蔓延路径是不受控制的,因此,龟裂 14 通常会延伸至接合垫外围的区域 16。上述龟裂现象会引起漏电流 (current leakage)、层间短路 (interlayer short)、层间衰败 (interlayer corrosion) 以及降低集成电路的可靠性。再者,较大的龟裂 14 很容易在产品寿命周期的使用期间导致集成电路的失效。

[0006] 因此,需要一种改良的导通孔排列,以减低在金属层间介电层发生龟裂的机会,且若在金属层间介电层发生龟裂时,上述改良的导通孔排列也可以减低或限制龟裂的蔓延。再者,上述导通孔排列的制作方法最好也不需要太高的制作成本。

### 发明内容

[0007] 有鉴于此,本发明的目的是提供一种接合垫结构。上述接合垫结构,包含:第一导电材料层;介电材料层,设置于该第一导电材料层上方;第二导电材料层;多个导通孔,设置于该介电材料层之中,且所述导通孔电性连接该第一导电材料层与该第二导电材料层;以及导线,设置于所述导通孔的周边附近,且该导线设置于该介电材料层之中,其中相邻的

所述导通孔之间的距离约等于所述导线与其相邻的导通孔的最小间距。

[0008] 根据本发明的接合垫结构，其中所述导线包含直线形状，且所述直线形状具有外部周边及内部周边，所述导通孔设置于由所述导线的所述内部周边所定义的所述介电材料层的区域内。

[0009] 根据本发明的接合垫，其中所述导线大体上围绕所述导通孔。

[0010] 根据本发明的接合垫结构，还包含接合的金属图案，设置于所述第二导电材料层的顶部表面上方；以及接合打线，连接所述接合的金属图案。

[0011] 根据本发明的接合垫结构，其中所述介电材料层包含复合式介电层。

[0012] 根据本发明的接合垫结构，其中所述导通孔及所述导线，包含导电材料选自钨、铝、铜及硅化物所组成的群组。

[0013] 根据本发明的接合垫结构，其中所述介电材料层的龟裂存在于所述第一及第二导电材料层，以及所述导线的所述内部周边之间。

[0014] 本发明的另一个目的是提供一种接合垫结构。上述接合垫结构，包含第一、第二及第三导电材料层。上述接合垫结构也包含第一及第二介电材料层，该第一介电材料层设置于该第一及第二导电材料层之间，且该第二介电材料层设置于该第二及第三导电材料层之间。上述接合垫结构也包含第一多个导通孔，设置于该第一介电材料层之中，以电性连接该第一及第二导电材料层，以及第二多个导通孔，设置于该第二介电材料层之中，以电性连接该第二及第三导电材料层。上述接合垫结构还包含第一导线，设置于该第一介电材料层之中，该第一导线具有内部周边，且该第一导线大体上围绕该第一多个导通孔，以及第二导线，设置于该第二介电材料层之中，该第二导线具有内部周边，且该第二导线大体上围绕该第二多个导通孔。因此，以上述的方式排列，在第一介电材料层的龟裂存在于该第一及第二导电材料层，以及该第一导线的该内部周边之间，而在第二介电材料层的龟裂存在于该第二及第三导电材料层，以及该第二导线的该内部周边之间。

[0015] 本发明的目的是提供一种接合垫的制作方法。上述接合垫的制作方法，包括：提供半导体芯片；形成第一介电材料层于该半导体芯片上方；形成第一导电材料层于该第一介电材料层上方；形成第二介电材料层于该第一导电材料层上；图案化该第二介电层，以形成多个开口于其中，该多个开口包含中央的开口阵列，以及第一线状开口，其大体上围绕该中央的开口阵列；提供导电材料于所述中央的开口阵列与所述第一线状开口之中，以分别形成多个导通孔与一导线；以及提供第二导电材料层于该第二介电材料层及所述导通孔与导线上方；其中该第二介电材料层的龟裂存在于该第一及第二导电材料层，以及设置于该导线的内部周边之间，且相邻的所述导通孔之间的距离约等于所述导线与其相邻的导通孔的最小间距。

[0016] 根据本发明的接合垫的制作方法，其中所述第二介电材料层包含复合式介电层。

[0017] 根据本发明的接合垫的制作方法，还包括：形成第三介电材料层于所述第二导电材料层上方；图案化所述第三介电材料层，以形成第二多个开口于其中，所述第二多个开口包含中央的开口阵列，以及第二线状开口大体上围绕所述中央的开口阵列；以及提供导电材料于所述第二多个开口之中。

[0018] 根据本发明的接合垫的制作方法，其中形成于所述第二介电材料层内的所述第一线状开口的内部周边的尺寸与对应于所述第三介电材料层内的所述第二线状开口的内部

周边的尺寸不相同。

[0019] 根据本发明的接合垫的制作方法，其中形成于所述第二介电材料层内的所述第一线状开口的内部周边的尺寸与对应于所述第三介电材料层内的所述第二线状开口的内部周边的尺寸大体上相同。

[0020] 上述导线对包围导通孔的介电层中产生的龟裂提供阻障层。虽然龟裂会无法控制地散布于导通孔阵列的导通孔之间，但通过导线可阻隔上述龟裂，因此，龟裂不会散布至芯片或晶片的附近区域。导线可以具有各种不同形状及尺寸，以配合适当的应用。另外，由于导线具有大体上连续的长度，因此，导线也会对接合垫提供额外的强度。

## 附图说明

[0021] 接下来，通过配合附图详细说明本发明的较佳实施例，以更明显地公开及揭示本发明的优点及特征。而且，相同元件标号代表相同的元件，其中：

[0022] 图 1A 及图 1B 显示已知接合垫的导通孔图案的剖面图，其中该已知接合垫显示金属层间介电层内蔓延的龟裂现象；

[0023] 图 2A 及图 2B 分别显示具体实施例结合导线排列及接合垫的半导体芯片的剖面图及平面图；

[0024] 图 3 显示设有导线排列的多层接合垫的剖面图；以及

[0025] 图 4 显示设有另一导线排列于连接金属层间的多层接合垫的剖面图。

[0026] 其中，附图标记说明如下：

[0027] 1～接合垫；2A～接合垫金属层；2B～接合垫金属层；10～导通孔；12～介电材料层；14～龟裂。

[0028] 20～接合垫；22A～接合垫金属层；22B～接合垫金属层；24～金属层间介电层；26～导通孔；28～导线；30～龟裂；32～多层接合垫结构；34～金属层；36～金属层间介电层；38～导通孔；39～导线；40～保护层；42～芯片。

## 具体实施方式

[0029] 根据本发明的实施例，公开了使用导通孔阵列的接合垫的设计。而且，上述实施例的接合垫的排列方式可减低在处理及制作芯片时发生的金属层间介电层材料的龟裂现象。

[0030] 如图 2A 及图 2B 所示，公开了包含一对接合垫金属层 22A、22B 的接合垫 20，且金属层间介电层 (inter-metal layer ;IMD) 24 设置于接合垫金属层 22A 和 22B 之间。如图 2A 及图 2B 所示，设置多个导通孔 (via) 26 于金属层间介电层 24 之中，且形成各别的电性接触于接合垫金属层 22A、22B 之间。另外，设置导线 (line via) 28 于上述导通孔 26 的周边部位附近。上述导线 28 除了在接合垫金属层 22A、22B 之间形成电性接触之外，而且导线 28 也会围绕上述导通孔 26，而形成隔离阻障层，以预防在进行打线接合 (wire bonding) 工艺时，所发生的金属层间介电层 24 内龟裂现象的扩大。因此，即使一开始金属层间介电层 24 之中发生龟裂 30，也仅会扩及导线 28 附近，且龟裂 30 无法延伸至接合垫 20 外部的区域。

[0031] 在图 3 中，显示多层接合垫结构 32 的基本构件，且上述多层接合垫结构 32 包含由芯片装置 (未显示) 的末端延伸出来的多个金属层 34，且上述金属层 34 以金属层间介电层 36 隔开。上述各金属层 34 可以是通过导通孔 38 电性连接相邻的金属层 34，同时也可以是

通过同一层的环绕导通孔 38 的导线 39 电性连接相邻的金属层 34。接着，除了接合垫结构 32 的接合位置之外，覆盖保护层 40 于最上面的金属层 34 的表面，以封合芯片 42，且上述保护层 40 可避免污染物的污染及提供预防刮伤的保护层。在上述打线接合的工艺中，打线可以是直接接合于最上面的金属层 34 的接合位置，且接合至芯片封装体，或者，上述打线也可以是接合于接合的金属图案之间，且接合至芯片封装体。因此，于芯片 42 与封装体之间形成电性连接。

[0032] 在图 3 中，显示如图 2A 和图 2B 所示的导通孔 38 及导线 39 的排列方式可以实施于多层接合垫 32 之中任两相邻金属层 34 之间。在一个较佳实施例中，当上述导通孔及导线的排列方式设置于接合垫顶部的两相邻金属层 34 之间时，导通孔 38 及导线 39 的排列方式的抗龟裂性能可以得到最有效的利用。

[0033] 上述导线 39 除了可提供金属层间介电层 36 龟裂现象扩大的阻障层之外，导线 39 对于在进行芯片封装工艺时所引起的应力上升也可以提供加强的抑制能力。相较于已知接合垫结构，其仅由导通孔 38 提供接合垫的压缩强度 (compressive strength)，然而，在本发明的实施例中，由于导线 39 围绕上述导通孔 38 的连续长度会对接合垫产生大体上的强度。因此，导线 39 可以是适当的尺寸及形状，以最大化接触的金属层间的电性连接，且同时最大化接合垫的压缩强度，使得抑制金属层间介电层的龟裂现象，以及其它于制作过程中引发的应力所产生的损伤。在一个实施例中，导线 39 的宽度“LVW”可以是约为 0.5 ~ 2 倍的导通孔 38 的宽度“VW”。也就是说，导线 39 的宽度“LVW”可以是大于、等于或小于导通孔 38 的宽度。介于导线 39 与其相邻的导通孔 38 (离导线 39 最近的导通孔 38) 之间的最小间距“LVO”较佳可以是约等于相邻导通孔 38 之间的距离“V0”。可以了解到的是，虽然在说明的实施例的附图中，显示导线 39 为矩形，当然也可以使用其它形状的导线 39。

[0034] 虽然在图 3 中，显示在各金属层 34 之间设置导线 39。但是，在另一个实施例中，本发明当然也可以是，仅使用单一层的导线 39 于最上面的两金属层 34 之间，且仅使用矩形导通孔 38 于其余的金属层 34 之间。另外，形成于多数层上的导线 39 (如图 3 所示)，在每一相邻的层上的导线 39 也可以具有间距，以更增强接合垫 32 的强度，如图 4 所示。

[0035] 如以上所述，设计导线 39 的布局，以从芯片或芯片封装体的余留部位分离接合垫 32 的金属层间介电层 36，使得当填充导电材料于开口之中时，导通孔 38 会被填充有导电材料的导线 39 所围绕。因此，本发明的实施例可提供精简化的高强度通孔的排列方式 (导通孔及导线)，且上述通孔的排列方式也可以限制金属层间介电层龟裂的程度，且限制其龟裂于导线 39 所围绕的面积之中。值得注意的是，虽然在图 2B 所示的是以直线构成的导线 39，当然导线 39 的形状也可以是其它形式。

[0036] 可以了解的是，虽然金属层间介电层 36 在附图中显示单一沉积层，但金属层间介电层 36 当然也可以包含一个或多个金层层间介电层 36 所构成的复合式介电层。如上述的复合式介电层可减轻金属层间介电层 36 的内部应力，且由于上述内部应力会促成金属层间介电层 36 的龟裂现象，因此，复合式介电层也有助于减轻金属层间介电层的龟裂现象。在一个实施例中，但不以此实施例为限，上述复合式介电层可以是双层氧化层结构，且上述复合式介电层的其中一层可以使用高密度等离子体 (high density plasma;HDP) 的方式制作，而上述复合式介电层的另一层可以使用四乙氧基硅烷 (Tetraethylorthosilicate;TEOS) 气体的等离子体增强气相沉积 (PlasmaEnhanced Chemical Vapor Deposition;

PEVCD) 法形成。

[0037] 在一个较佳实施例中,上述导通孔及导线的排列方式的制作方法,可以先提供预先制作有电子构件的衬底 44,且沉积介电材料于上述衬底 44 上方,以形成金属层间介电层 36。形成金属层 34 于上述金属层间介电层 36 内之后,接着沉积另一金属层间介电层 36 于该金属层 34 上方。之后,形成多个开口于金属层间介电层 36 之中,且接着以导电材料填充上述开口,以形成导通孔阵列。上述开口可以是矩形或圆形,以形成矩形或圆形的导通孔。再者,形成环形开口于上述金属层间介电层 36 之中。上述环形开口围绕其它的开口,例如上述矩形或圆形的开口,使得当导电材料填充上述环形开口时,形成围绕导通孔 38 阵列的导线 39(如图 2 所示)。

[0038] 在一个实施例中,上述填充导电材料于导通孔 38 及导线 39 之中的方式可以使用钨插塞工艺完成。在另一实施例中,也可以是使用铝插塞工艺、铜插塞工艺或硅化物插塞工艺完成。在以导电材料填充导通孔 38 及导线 39 之后,可以进行化学机械研磨 (chemical mechanical polishing ;CMP) 工艺,以平坦化金属层间介电层 36 的表面。

[0039] 可以了解的是,接着可以适当重复进行上述形成金属层 34、金属层间介电层 36、导通孔 38 及导线 39 的工艺,以形成多层接合垫结构,如图 3 所示。接着,沉积接合的金属图案于最上面的金属层 34 的顶部表面上方。之后,进行接合打线于该接合的金属图案。

[0040] 虽然本发明已以较佳实施例公开如上,但其并非用以限定本发明,任何本领域技术人员在不脱离本发明的精神和范围内,可作一些更动与润饰,据此,本发明的保护范围应视随附的权利要求所界定为准。

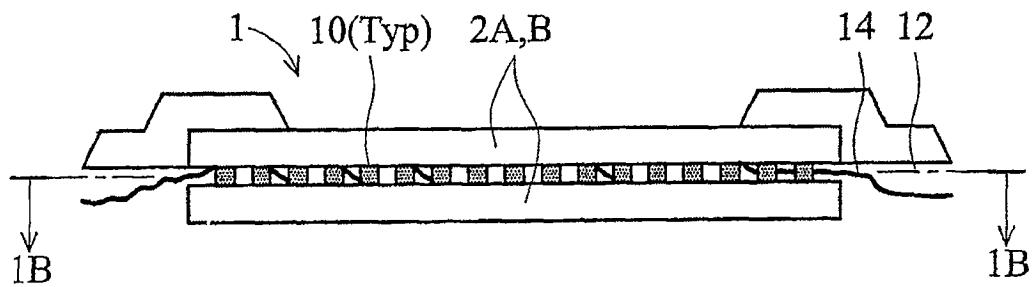


图 1A

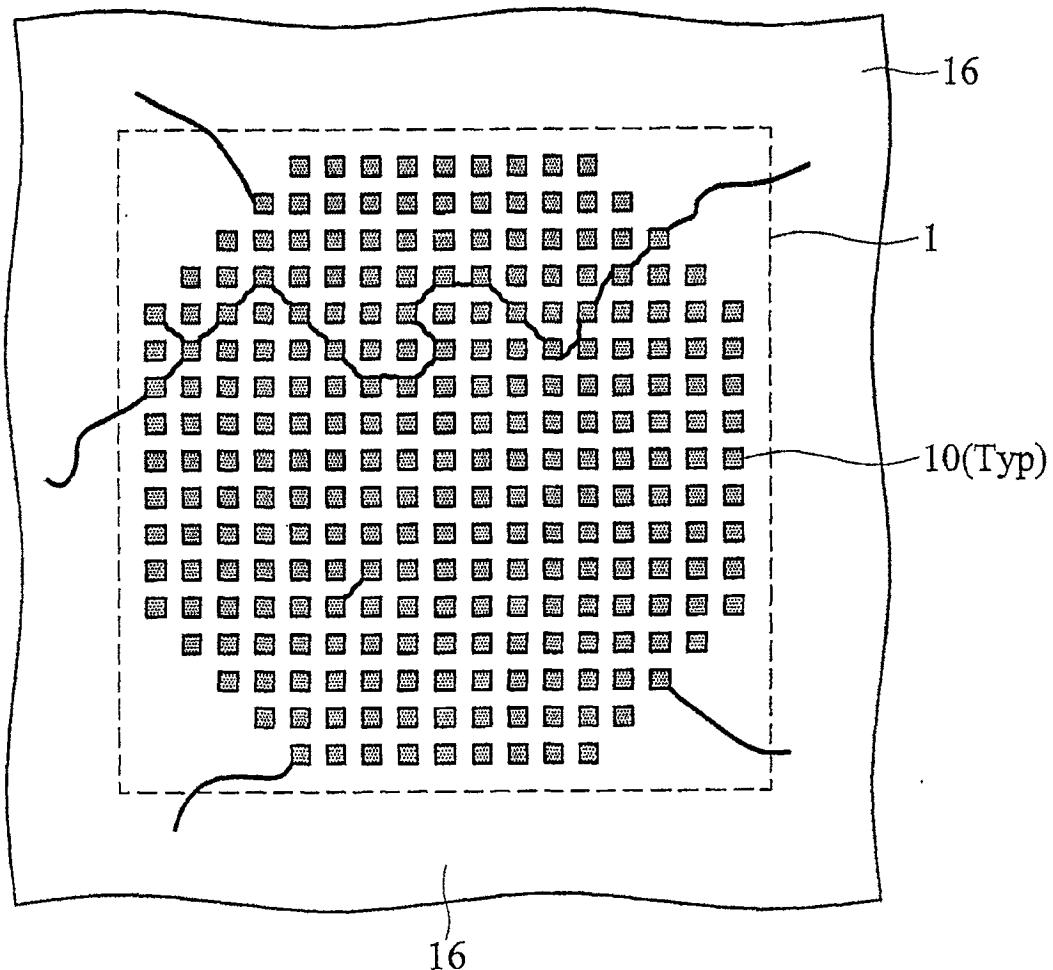


图 1B

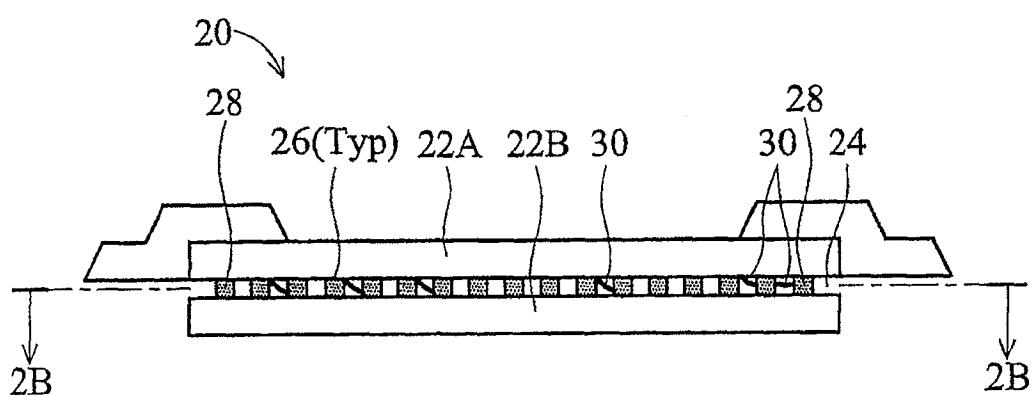


图 2A

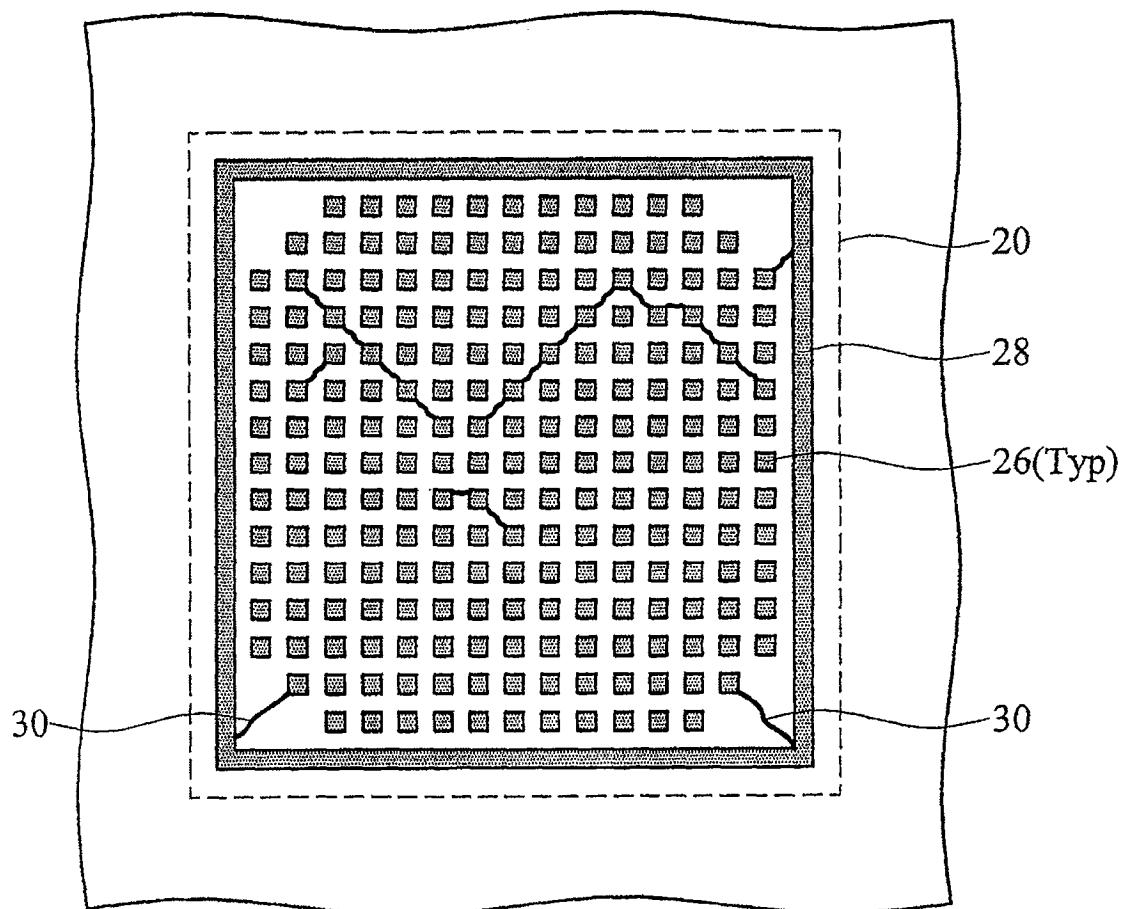


图 2B

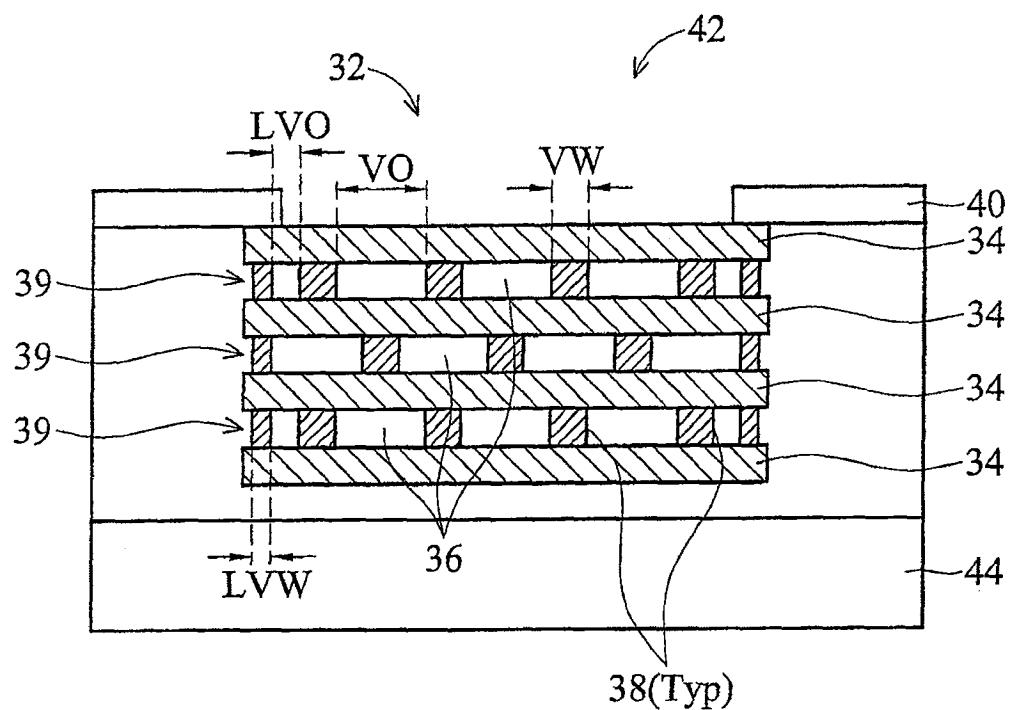


图 3

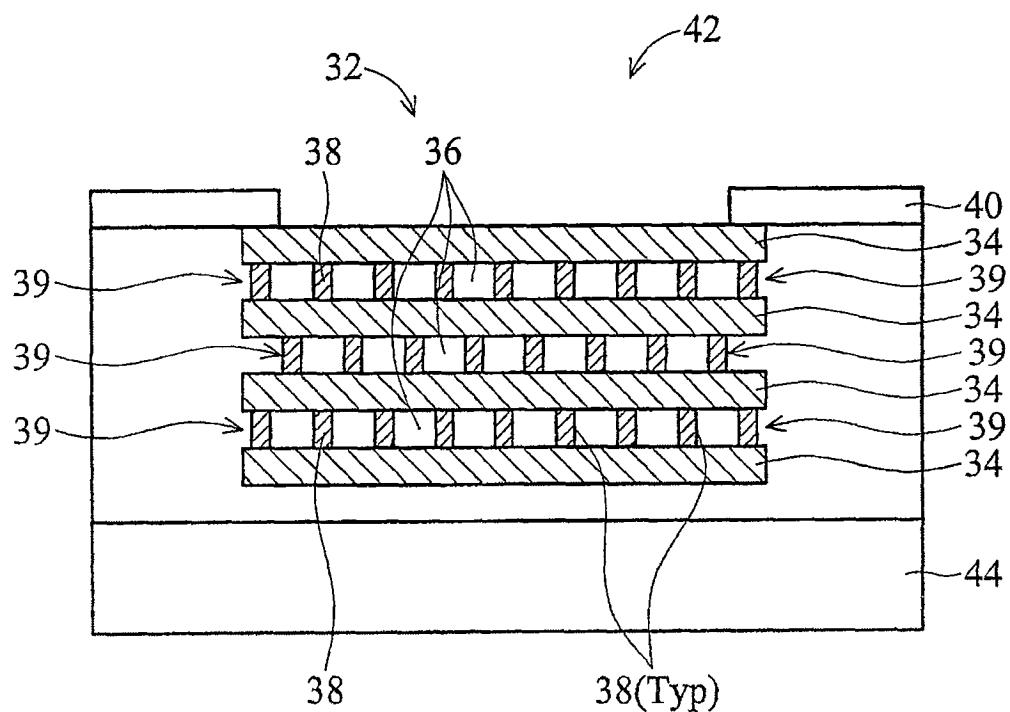


图 4