



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2014년01월10일  
 (11) 등록번호 10-1350632  
 (24) 등록일자 2014년01월06일

- |  |   |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)<br/> <i>H01L 21/8247</i> (2006.01) <i>H01L 27/115</i> (2006.01)</p> <p>(21) 출원번호 10-2009-7001240</p> <p>(22) 출원일자(국제) 2007년06월20일<br/>             심사청구일자 2012년05월07일</p> <p>(85) 번역문제출일자 2009년01월20일</p> <p>(65) 공개번호 10-2009-0034892</p> <p>(43) 공개일자 2009년04월08일</p> <p>(86) 국제출원번호 PCT/US2007/014431</p> <p>(87) 국제공개번호 WO 2007/149515<br/>             국제공개일자 2007년12월27일</p> <p>(30) 우선권주장<br/>             11/471,772 2006년06월21일 미국(US)</p> <p>(56) 선행기술조사문헌<br/>             JP2005026591 A*<br/>             JP08115988 A<br/>             *는 심사관에 의하여 인용된 문헌</p> | <p>(73) 특허권자<br/>             마이크론 테크놀로지, 인크.<br/>             미국, 아이다호, 보이세, 사우스 페더럴 웨이<br/>             8000</p> <p>(72) 발명자<br/>             아리또메, 세이이찌<br/>             미국 83706 아이다호주 보이세 사우스 스왈로우테<br/>             일 레인 2222</p> <p>(74) 대리인<br/>             백만기, 양영준</p> |
|--|---|

전체 청구항 수 : 총 7 항

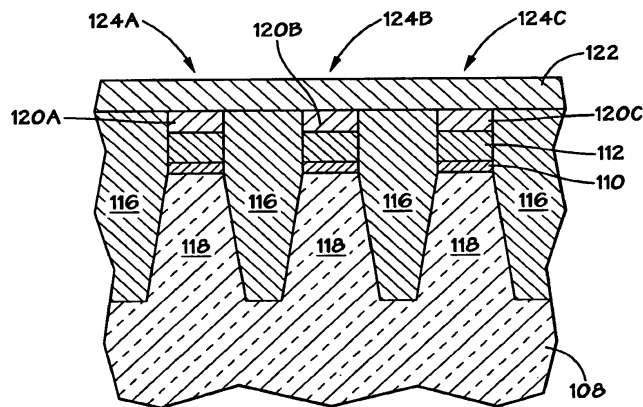
심사관 : 구분재

(54) 발명의 명칭 **플로팅 게이트 메모리 디바이스들 및 제조**

**(57) 요약**

서로 분리된 게이트간 유전체 영역들을 갖는 트랜지스터들을 포함하는 플로팅 게이트 메모리 어레이 및 그 제조 방법이 개시된다. 플로팅 게이트 트랜지스터들은, 어레이의 플로팅 게이트 트랜지스터들 각각이 플로팅 게이트, 제어 게이트 및 그들 간의 게이트간 유전체 층을 갖도록 형성된다. 각각의 트랜지스터에 대한 게이트간 유전체 층은, 어레이의 그외의 트랜지스터들 각각의 게이트간 유전체로부터 분리된다. 그러한 구조를 제조하는 방법들이 또한 제공된다.

**대표도** - 도10



**특허청구의 범위**

**청구항 1**

삭제

**청구항 2**

삭제

**청구항 3**

삭제

**청구항 4**

삭제

**청구항 5**

삭제

**청구항 6**

삭제

**청구항 7**

삭제

**청구항 8**

플로팅 게이트 메모리 어레이를 제조하는 방법으로서,

기판의 복수의 필라들 각각 상에 게이트 산화물 층을 형성하는 단계 - 상기 필라들은 상기 필라의 적어도 2개의 측면들 상의 트렌치들에 의해 정의됨 - ;

상기 게이트 산화물 층 상에 플로팅 게이트 층을 형성하는 단계;

상기 플로팅 게이트 층 상에 게이트간 유전체 층을 형성하는 단계;

복수의 게이트간 유전체 영역들의 게이트간 유전체 영역들 각각이, 상기 트렌치들에 의해 상기 복수의 게이트간 유전체 영역들 중 그외의 게이트간 유전체 영역들 각각으로부터 분리되도록, 상기 플로팅 게이트 층 상에 그리고, 상기 복수의 필라들 각각 위에 복수의 분리된 게이트간 유전체 영역들을 생성하기 위해 상기 플로팅 게이트 층 상의 상기 게이트간 유전체 층을 분리하는 단계; 및

상기 복수의 게이트간 유전체 영역들 상에 제어 게이트 층을 형성하는 단계

를 포함하는 플로팅 게이트 메모리 어레이 제조 방법.

**청구항 9**

제8항에 있어서,

상기 플로팅 게이트 층을 형성하는 단계는, 복수의 플로팅 게이트들의 각각의 플로팅 게이트들이, 상기 트렌치들에 의해 상기 복수의 플로팅 게이트들 중 그외의 플로팅 게이트들 각각으로부터 분리되도록, 상기 복수의 필라들 각각 상에 복수의 플로팅 게이트들을 생성하기 위해 상기 플로팅 게이트 층을 분리하는 단계를 포함하는 플로팅 게이트 메모리 어레이 제조 방법.

**청구항 10**

제9항에 있어서,

상기 복수의 게이트간 유전체 영역들의 각각의 게이트간 유전체 영역은, 상기 복수의 플로팅 게이트들 중 각각

의 플로팅 게이트 상에 형성되는 플로팅 게이트 메모리 어레이 제조 방법.

**청구항 11**

제10항에 있어서,

상기 복수의 플로팅 게이트들의 형성 및 상기 복수의 게이트간 유전체 영역들의 형성은 동일한 처리 단계에서 발생하는 플로팅 게이트 메모리 어레이 제조 방법.

**청구항 12**

삭제

**청구항 13**

삭제

**청구항 14**

삭제

**청구항 15**

삭제

**청구항 16**

삭제

**청구항 17**

삭제

**청구항 18**

삭제

**청구항 19**

삭제

**청구항 20**

삭제

**청구항 21**

플로팅 게이트 메모리 어레이를 제조하는 방법으로서,

기관 상에 게이트 산화물 층을 배치하는 단계;

상기 게이트 산화물 층 상에 플로팅 게이트 층을 배치하는 단계;

상기 플로팅 게이트 층 상에 게이트간 유전체 층을 배치하는 단계;

상기 게이트간 유전체 층, 상기 플로팅 게이트 층, 상기 게이트 산화물 층 및 상기 기관 각각을 통해 평행인 복수의 트랜치들을 에칭하는 단계;

상기 복수의 트랜치들 각각을 분리 산화물로 채우는 단계; 및

상기 게이트간 유전체 영역들 각각 상에 제어 게이트를 성막하는 단계

를 포함하는 플로팅 게이트 메모리 어레이 제조 방법.

**청구항 22**

제21항에 있어서,

상기 예칭하는 단계는 단일 공정 단계에서 상기 게이트간 유전체 층 및 상기 플로팅 게이트 층의 각각을 예칭하는 단계를 포함하는 플로팅 게이트 메모리 어레이 제조 방법.

**청구항 23**

제21항에 있어서,

상기 플로팅 게이트 층의 분리 영역들에 의해 분리된 분리 산화물 영역들을 생성하기 위해 상기 복수의 트랜지스터들 각각을 분리 산화물로 채운 후, 상기 분리 산화물을 평탄화하는 단계를 더 포함하는 플로팅 게이트 메모리 어레이 제조 방법.

**명세서**

**기술분야**

[0001] 본 발명의 실시예들은 일반적으로 메모리 디바이스들에 관한 것이며, 더욱 구체적으로는, 인접하는 플로팅 게이트들 간에 감소된 간섭을 갖는 플로팅 게이트 메모리 디바이스들에 관한 것이다.

**배경기술**

[0002] 이 부분은, 이하에 설명되고, 및/또는 주장되는, 본 발명의 다양한 양태들에 관련될 수 있는 기술의 다양한 양태들을 독자에게 소개하고자 한다. 이러한 논의는, 본 발명의 다양한 양태들에 대해 더 나은 이해를 촉진하는 배경 지식을 독자에게 제공하는데 있어서 도움이 될 것으로 생각된다. 따라서, 이들 문장들은 이러한 관점에서 읽혀져야 하며, 종래의 기술을 받아들이는 것이 아니라는 것이 이해되어야 한다.

[0003] 컴퓨터들과 같은 프로세서-기반 시스템들은, 시스템에 기억 용량을 제공하는 하나 이상의 메모리 디바이스들을 통상적으로 포함한다. 시스템 메모리는, 하나 이상의 집적 회로 칩들 또는 디바이스들의 형식으로 일반적으로 제공되며, 일반적으로 RAM(random access memory) 및 ROM(read only memory)을 모두 포함한다. 시스템 RAM은 통상적으로 대용량이고 휘발성이며, 시스템의 주 메모리를 제공한다. SRAM(Static RAM) 및 DRAM(Dynamic RAM)은, RAM의 일반적으로 사용되는 유형들이다. 대조적으로, 시스템 ROM은 일반적으로 저용량이며, 초기화 루틴들(routines) 및 식별 정보를 저장하기 위한 비휘발성 메모리를 포함한다. EEPROM(Electrically-erasable read only memory)은, ROM의 일반적으로 사용되는 유형들이며, 메모리에 데이터를 프로그램 및/또는 소거하기 위해 전하가 사용될 수 있다.

[0004] 특히 유용한 비휘발성 메모리의 일 유형은 플래시 메모리이다. 플래시 메모리는 블록 단위로 소거되거나 재프로그램될 수 있는 EEPROM의 유형이다. 플래시 메모리는 BIOS(Basic Input Output System)를 저장하기 위해 개인용 컴퓨터 시스템들에 종종 채택되어, 그것이 쉽게 업데이트될 수 있도록 한다. 플래시 메모리는, 제조자들이 표준화된 새로운 통신 프로토콜들을 지원하고, 향상된 기능들을 위해 디바이스를 원격으로 업그레이드하는 능력을 제공하도록 하는 것이 가능하므로, 무선 전자 디바이스들에 또한 사용된다.

[0005] 통상적인 플래시 메모리는 행들(rows) 및 열들(columns)로 배치된 다수의 메모리 셀들을 갖는 메모리 어레이를 포함한다. 메모리 셀들은, 셀들의 그룹들이 동시에 프로그램되거나 소거될 수 있도록 일반적으로 블록 단위로 그룹화된다. 메모리 셀들의 각각은 전하를 보유할 수 있는 플로팅 게이트 전계 효과 트랜지스터를 포함한다. 플로팅 게이트 메모리 셀들은, 표준 제어 게이트 이외에도 "플로팅 게이트"로서 지칭되는, 전기적으로 분리된 게이트를 갖는다는 점에서 표준 MOSFET 설계와 상이하다. 플로팅 게이트는 일반적으로 채널 위에 형성되며 게이트 산화물에 의해 채널로부터 분리된다. 제어 게이트는 플로팅 게이트 바로 위에 형성되며, 또 다른 얇은 산화물 층에 의해 플로팅 게이트로부터 분리된다. 플로팅 게이트 메모리 셀은, 플로팅 게이트 내에 전하를 보유함으로써 정보를 저장한다. 플로팅 게이트에 대해 전하를 부가하거나 제거함으로써, 셀의 문턱 전압이 변화하며, 이에 의해 이러한 메모리 셀이 프로그램되는지 또는 소거되는지의 여부를 정의한다.

[0006] NAND 플래시 메모리 디바이스는 소위, 기본 메모리 셀 구성이 배치되는 논리 형식에 대한, 플래시 메모리 디바이스의 일반적인 유형이다. 통상적으로, NAND 플래시 메모리 디바이스들에 대한 메모리 셀들의 어레이는, 어레이의 행의 각각의 메모리 셀의 제어 게이트가 워드 선택 라인에 접속되도록 배치된다. 어레이의 열들은, 한 쌍의 선택 라인들인, 소스 선택 라인과 드레인 선택 라인 사이에서, 소스에서 드레인으로 직렬로 함께 접속된 메모리 셀들의 스트링들(종종 NAND 스트링들이라 지칭됨)을 포함한다. 소스 선택 라인은, NAND 스트링과 소스 선

택 라인 간의 각각의 교차점에서 소스 선택 게이트를 포함하고, 드레인 선택 라인은, NAND 스트링과 드레인 선택 라인 간의 각각의 교차점에서 드레인 선택 게이트를 포함한다. 선택 게이트들은 통상적으로 전계 효과 트랜지스터들이다. 각각의 소스 선택 게이트는 소스 라인에 접속되는 한편, 각각의 드레인 선택 게이트는 열 비트 라인에 접속된다.

[0007] 메모리 어레이는, 메모리 셀의 제어 게이트에 접속된 워드 선택 라인을 선택함으로써 메모리 셀들의 행을 활성화시키는 행 디코더에 의해 액세스된다. 또한, 각각의 스트링의 미선택 메모리 셀들의 제어 게이트들에 접속된 워드 선택 라인들은, 각각의 스트링의 미선택 메모리 셀들을 통과 트랜지스터들로서 동작하도록 구동되며, 따라서 그것들은, 자신들의 저장된 데이터 값들에 의해 제약받지 않는 방식으로 전류를 통과시킨다. 그리고 나서, 전류는 대응하는 선택 게이트들을 통해, 각각의 NAND 스트링을 통과하여 소스 라인으로부터 열 비트 라인으로 흐르며, 오직 각각의 스트링의 선택된 메모리 셀들에 의해서만 제약 받는다. 이것은 선택된 메모리 셀들의 행의 전류-인코딩형 데이터 값들을 열 비트 라인들 상에 배치한다.

[0008] 오늘날의 끊임없이 감소하는 디바이스 외형에 따라, 메모리 디바이스들의 극단적인 밀도는, 바람직하지 않을 수 있는, 다수의 컴포넌트 간 상호 작용을 야기할 수 있다. 예를 들어, 인접하는 메모리 셀들 간의 간섭은, 메모리 셀들의 크기가 감소함에 따라 관심이 고조되고 있다. 특히 플로팅 게이트 메모리 셀들에 있어서, 인접하는 플로팅 게이트들 간의 간섭은 일반적으로 바람직하지 않다.

[0009] 본 발명의 실시예들은 전술된 문제들 중 하나 이상에 관한 것이다.

### 실시예

[0018] 본 발명의 하나 이상의 특정 실시예들이 이하에 설명될 것이다. 이들 실시예들에 대한 간결한 설명을 제공하기 위한 노력으로서, 실제적인 구현의 모든 특징들이 명세서에서 설명되지는 않는다. 임의의 엔지니어링 또는 설계 프로젝트에서와 같이 임의의 그러한 실제적인 구현의 개발에 있어서, 하나의 구현에서 다른 구현에 이르기까지 다양할 수 있는, 시스템과 관련되고 사업과 관련되는 제약들의 준수와 같은 개발자들의 특정 목표들을 달성하기 위해 다수의 구현 특정한(implementation-specific) 결정들이 이루어져야 한다는 것이 이해되어야 한다. 더욱이, 그러한 개발 노력은 복잡하고, 시간 소모적일 수 있지만, 그럼에도 불구하고 이러한 개시 내용의 이점을 갖는 당업자에게 설계, 제조, 및 생산의 일상적인 일일 수 있음이 이해되어야 한다.

[0019] 이제 도면들로 돌아가서, 처음으로 도 1을 참조하면, 참조번호 10으로써 일반적으로 지칭되는 예시적인 프로세서 기반 시스템을 도시하는 블록도가 도시된다. 시스템(10)은 컴퓨터, 페이지(pager), 휴대 전화, 전자 수첩(personal organizer) 제어 회로 등과 같은 다양한 유형들 중 임의의 것 일 수 있다. 통상적인 프로세서 기반 디바이스에서, 마이크로프로세서와 같은 프로세서(12)는 시스템(10)에서의 시스템 기능들 및 요청들의 처리를 제어한다. 또한, 프로세서(12)는 시스템 제어를 공유하는 복수의 프로세서들을 포함할 수 있다.

[0020] 시스템(10)은 통상적으로 전원 공급장치(14)를 포함한다. 예를 들어, 시스템(10)이 휴대형 시스템인 경우, 전원 공급장치(14)는 바람직하게는 영구적 배터리들, 교체가능한 배터리들, 및/또는 충전가능한 배터리들을 포함할 수 있다. 전원 공급장치(14)는 또한 AC 어댑터를 포함할 수 있고, 따라서 시스템(10)은, 예를 들어 벽면 콘센트에 끼워질 수 있다. 전원 공급장치(14)는 또한 DC 어댑터를 포함하여 시스템(10)은, 예를 들어, 차량용 담배 라이터(vehicle cigarette lighter)에 끼워질 수 있다.

[0021] 다양한 그외의 디바이스들이, 시스템(10)이 수행하는 기능들에 따라 프로세서(12)에 연결될 수 있다. 예를 들어, 사용자 인터페이스(16)가 프로세서(12)에 연결될 수 있다. 사용자 인터페이스(16)는, 예를 들어, 버튼들, 스위치들, 키보드, 라이트 펜, 마우스, 및/또는 음성 인식 시스템을 포함할 수 있다. 디스플레이(18)가 또한 프로세서(12)에 연결될 수 있다. 디스플레이(18)는, 예를 들어, LCD 디스플레이, CRT, LED들, 및/또는 오디오 디스플레이를 포함할 수 있다.

[0022] 또한, RF 서브시스템/기저대역 프로세서(20)가 프로세서(12)에 연결될 수 있다. RF 서브시스템/기저대역 프로세서(20)는, RF 수신기 및 RF 송신기(도시되지 않음)에 연결되는 안테나를 포함할 수 있다. 또한, 통신 포트(22)가 프로세서(12)에 연결될 수 있다. 통신 포트(22)는, 예를 들어, 모뎀, 프린터, 컴퓨터 등의 하나 이상의 주변 디바이스들(24), 또는 LAN(local area network), RAN(remote area network), 인트라넷(intranet) 또는, 인터넷 등의 네트워크에 연결되도록 구성될 수 있다.

[0023] 프로세서(12)는 소프트웨어 프로그램들을 구현함으로써 시스템(10)의 기능을 제어하기 때문에, 메모리가 사용되어 프로세서(12)가 효율적인 상태가 되도록 한다. 일반적으로, 메모리는 프로세서(12)에 연결되어 다양한 프로

그램들을 저장하고 그 실행을 촉진한다. 예를 들어, 프로세서(12)는, DRAM(Dynamic Random Access Memory) 및 /또는 SRAM(Static Random Access Memory) 등의 휘발성 메모리를 포함할 수 있는 시스템 메모리(26)에 연결될 수 있다. 시스템 메모리(26)는 또한, 휘발성 메모리와 함께 사용되는 ROM(read-only memory), EEPROM, 및/또는 플래시 메모리 등의 비휘발성 메모리(28)를 포함할 수 있다. 이하에 더 설명되는 바와 같이, 시스템 메모리(26)는, 본 발명의 실시예들에 따라 제조된 플로팅 게이트 메모리 어레이를 포함할 수 있는, 플래시 메모리 디바이스들과 같은 하나 이상의 메모리 디바이스들을 포함할 수 있다.

[0024] 도 2는 도 1의 시스템 메모리(26)의 일부분으로서 포함될 수 있는 플래시 메모리 디바이스(30)를 도시하는 블록도이다. 도 3과 관련하여 이하에 더 설명되는 바와 같이, 플래시 메모리 디바이스(30)는 NAND 플래시 메모리 디바이스일 수 있다. 플래시 메모리 디바이스(30)는 일반적으로 메모리 어레이(32)를 포함한다. 메모리 어레이(32)는 일반적으로 다수의 메모리 셀들을 형성하기 위해 격자 패턴으로 배치된 도전성 트레이스들의 다수의 행들 및 열들을 포함한다. 메모리 어레이(32)를 구성하는 행들 또는 "행 라인들"은 일반적으로 "워드라인들"로서 지칭된다. 열들 또는 "열 라인들"은 일반적으로 "비트 라인들" 또는 "디지털 라인들"로서 지칭된다. 메모리 어레이(32)의 크기(즉, 메모리 셀들의 수)는 플래시 메모리 디바이스(30)의 크기에 따라 변할 것이다.

[0025] 메모리 어레이(32)를 액세스하기 위해, 행 디코더 블록(34) 및 열 디코더 블록(36)이 제공되며, 메모리 어레이(32)의 특정 메모리 셀을 액세스하기 위해 어드레스 버스(38)을 통해 프로세서(12)로부터 어드레스 정보를 수신하고 변환하도록 구성된다. 복수의 감지 증폭기들을 갖는 감지 증폭기 블록(40)이 또한 열 디코더(36)와 메모리 어레이(32) 사이에 제공되어 메모리 셀들에 저장된 개별적인 값들을 감지하고 증폭한다. 또한, 행 구동기 블록(42)이 행 디코더 블록(34)과 메모리 어레이(32) 사이에 제공되어, 소정의 행 어드레스에 따라 메모리 어레이의 선택된 워드 라인들을 활성화한다.

[0026] 관독 및 기입 동작들 동안에, 데이터 버스(44)를 통해 플래시 메모리 디바이스(30)로 그리고 플래시 메모리 디바이스(30)로부터 데이터가 전달될 수 있다. 데이터와 어드레스 정보의 조정은 데이터 제어 회로 블록(46)을 통해 수행될 수 있다. 최종적으로, 플래시 메모리 디바이스(30)는, 제어 버스(50)를 통해 프로세서(12)로부터 제어 신호들을 수신하도록 구성된 제어 회로(48)를 포함할 수 있다. 제어 회로(48)는, 행 디코더 블록(34), 열 디코더 블록(36), 감지 증폭기 블록(40), 행 구동기 블록(42) 및 데이터 제어 회로 블록(46)의 각각에 연결되며, 일반적으로 플래시 메모리 디바이스(30)의 다양한 회로들 간의 타이밍 및 제어를 조정하도록 구성된다.

[0027] 도 3은, 도 2의 메모리 어레이(32)의 예시적인 실시예를 도시한다. 본 예시적인 실시예에서, 메모리 어레이(32)는 NAND 메모리 어레이(52)를 포함한다. NAND 메모리 어레이(52)는 워드 라인들 WL(0) - WL(M) 및 교차하는 로컬 비트 라인들 BL(0) - BL(M)을 포함한다. 이해될 수 있는 바와 같이, 디지털 환경에서의 어드레싱을 용이하게 하기 위해서, 워드 라인들 WL의 수와 비트 라인들 BL의 수는 각각 2의 멱수(예를 들어, 256 워드 라인들 WL 대 4,096 비트 라인들 BL임). 로컬 비트 라인들 BL은 글로벌 비트 라인들(도시되지 않음)에 다 대 일 대응으로 연결된다.

[0028] NAND 메모리 어레이(52)는 워드 라인 WL 및 로컬 비트 라인 BL의 각각의 교차점에 위치한 플로팅 게이트 트랜지스터(54)를 포함한다. 전술한 바와 같이, 플로팅 게이트 트랜지스터들(54)은 NAND 메모리 어레이(52)에 데이터를 저장하는 비휘발성 메모리 셀들로서 기능한다. 이해될 수 있는 바와 같이, 각각의 플로팅 게이트 트랜지스터는 소스, 드레인, 플로팅 게이트, 및 제어 게이트를 포함한다. 각각의 플로팅 게이트 트랜지스터(54)의 제어 게이트는 각각 워드 라인 WL에 연결된다. 플로팅 게이트 트랜지스터들(54)은 소스에서 드레인으로 직렬로 연결되어 게이트 선택 라인들 간에 형성된 NAND 스트링(56)을 형성한다. 구체적으로, NAND 스트링들(56)은 드레인 선택 라인 GS(D)과 소스 선택 라인 GS(S) 간에 형성된다. 드레인 선택 라인 GS(D)은 각각 드레인 선택 게이트(58)를 통해 각각의 NAND 스트링(56)에 연결된다. 마찬가지로, 소스 선택 라인 GS(S)은 각각 소스 선택 게이트(60)를 통해 각각의 NAND 스트링(56)에 연결된다. 드레인 선택 게이트들(58) 및 소스 선택 게이트들(60)은, 예를 들어, 전계 효과 트랜지스터(FET)를 각각 포함할 수 있다. 메모리 어레이(52)의 열은, 거기에 접속된 드레인 선택 게이트(58), NAND 스트링(56) 및 소스 선택 게이트(60)를 포함한다. 플로팅 게이트 트랜지스터들의 행(52)은, 소정의 워드 라인 WL에 공통적으로 연결되는 그러한 트랜지스터들이다.

[0029] 각각의 소스 선택 게이트(60)의 소스는 공통 소스 라인 CSL에 접속된다. 각각의 소스 선택 게이트의 드레인은 각각 NAND 스트링(56)의 플로팅 게이트 트랜지스터(54)의 드레인에 연결된다. 각각의 소스 선택 게이트(60)의 게이트는 소스 선택 라인 GS(S)에 연결된다.

[0030] 각각의 드레인 선택 게이트(58)의 드레인은 대응하는 NAND 스트링(56)에 대한 각각 로컬 비트 라인 BL에 접속된

다. 각각의 드레인 선택 게이트(58)의 소스는 각각의 NAND 스트링(56)의 플로팅 게이트 트랜지스터(54)의 드레인에 접속된다. 따라서, 도 3에 도시된 바와 같이, 각각의 NAND 스트링(56)은 각각의 드레인 선택 게이트(58)와 소스 선택 게이트(60) 간에 연결된다. 각각의 드레인 선택 게이트(58)의 게이트는 드레인 선택 라인 GS(D)에 연결된다.

[0031] NAND 메모리 어레이(52)의 동작 동안에, 개별적인 메모리 셀들(플로팅 게이트 트랜지스터들(54))의 가까운 근접성 및 물리적 구성이 인접하는 메모리 셀들 간에 간섭을 야기할 수 있다. 예를 들어, 판독 동작 동안에, 소스 선택 라인 GS(S) 및 드레인 선택 라인 GS(D)이 인에이블된다. 소스 선택 라인 GS(S) 및 드레인 선택 라인 GS(D)은, 예를 들어, 4.5V의 전압으로 바이어스될 수 있다. 소스 선택 라인 GS(S) 및 드레인 선택 라인 GS(D)의 바이어싱은 각각의 소스 선택 게이트(60) 및 드레인 선택 게이트(58)를 턴 온 시킨다. 동작 동안에, 인접하는 플로팅 게이트들 간의 용량성 간섭("FG-FG 간섭" 또는 "FG-FG 캐패시턴스")이 NAND 메모리 어레이(52)의 동작에 좋지않은 영향을 미칠 수 있다. 다수의 종래의 플로팅 메모리 셀들의 FG-FG 간섭이 이하에 간략하게 설명되며, 도 4 및 5와 관련하여 도시된다.

[0032] 잠시 도 4로 돌아가면, NAND 메모리 어레이 등의 종래의 플로팅 게이트 메모리 어레이의 일부분의 단면도가 도시되며, 일반적으로 참조 번호 62로 지칭된다. 구조(62)는, 플로팅 게이트 메모리 어레이의 워드 라인 WL을 따라 취해진, 3개의 플로팅 게이트 트랜지스터들(64A-64C)의 단면을 도시한다. 구조(62)는, 예를 들어, 실리콘일 수 있는 기판(66)을 포함한다. 워드 라인 WL을 따라 플로팅 게이트 트랜지스터들(64A-64C)의 각각 사이에 분리를 제공하기 위해, 얇은 트랜치들이 기판(66)에 형성되고, 산화물 등의 유전체 물질로 채워져서 STI(shallow trench isolation) 산화물 영역들(70)에 의해 분리된 수직 필라들(pillars)(68)을 생성한다. 이해될 수 있는 바와 같이, 필라들(68)은 어레이의 비트 라인 BL들을 따라 페이지 내로 확장한다. 도핑된 영역들(도시되는 도면에서는 볼 수 없음)이 필라들(68)의 상부들에 형성되어 플로팅 게이트 트랜지스터들(64A-64C) 각각의 소스 및 드레인을 제공한다.

[0033] 각각의 플로팅 게이트 트랜지스터들(64A-64C)은 일반적으로, 실리콘 이산화물(SiO<sub>2</sub>) 등의 게이트 산화물(72)을 포함한다. 각각의 플로팅 게이트 트랜지스터(64A-64C)는 또한 분리된 플로팅 게이트(74)를 포함한다. 플로팅 게이트(74)는, 예를 들어 폴리실리콘을 포함할 수 있다. 전술한 바와 같이, 각각의 플로팅 게이트 트랜지스터(64A-64C)는, 일반적으로 참조 번호 76으로 도시되는 폴리실리콘 등의 단일 도전층으로 형성될 수 있는 제어 게이트를 또한 더 포함한다. 어레이의 구성 및 동작에 기인하여, 단일 워드 라인 WL의 플로팅 게이트 트랜지스터들(64A-64C)의 각각은, 도 4에 도시된 바와 같이 공통 제어 게이트(76)를 공유할 수 있다. 플로팅 게이트들(74) 및 제어 게이트(76)는 게이트간 유전체 층(78)에 의해 서로 전기적으로 분리된다. 게이트간 유전체 층은, 예를 들어, SiO<sub>2</sub> 또는 SiN<sub>x</sub>를 포함할 수 있다. 그러나, 이하에 더 논의되는 바와 같이, 게이트간 유전체는, 예를 들어, 통상적으로 SiO<sub>2</sub> 또는 SiN<sub>x</sub>의 유전 상수보다 높은 유전 상수(k)를 갖는 물질이다.

[0034] 전술한 바와 같이, 인접한 플로팅 게이트들(74) 간의 작은 피치는 FG-FG 간섭의 증가를 야기할 수 있다. 예를 들어, FG-FG 간섭은, 캐패시터(80)로써 도시되는 STI 산화물을 통해 발생할 수 있다. 이러한 작은 양의 FG-FG 간섭은 견딜 수 있는 한편, 캐패시터(82)로서 나타내어진 게이트간 유전체 층(78)을 통한 FG-FG 간섭은 견디기가 더 어려울 수 있다. 이것은 하이-k 유전체 물질(예를 들어, k>10)의 경우에 특히 그렇다. 이해될 수 있는 바와 같이, 캐패시턴스(80 및 82)는 일반적으로 이하의 수식에 의해 결정된다.

$$C = \frac{k\epsilon_0 A}{t}$$

[0035] 여기서, A는 용량성 면적이며,  
[0036]

[0037]  $\epsilon_0$ 는 자유 공간의 유전율이며,  
[0038]

[0038] k는 물질의 유전 상수이며,  
[0039]

[0039] t는 물질의 두께이다.

[0040] 이해될 수 있는 바와 같이, 하이-k 물질들이 종종 채택되어 플로팅 게이트(74) 및 제어 게이트(76)로부터의 터널링 전류, 및 외부 확산(out diffusion)을 감소시킨다. 그러나, 하이-k 물질은 또한 게이트간 유전체 층(78)을 통한 FG-FG 캐패시턴스(82)를 증가시키는 바람직하지 않은 효과를 가진다. 따라서, FG-FG

캐패시턴스(82)는, 게이트간 유전체 층(78)으로서 높은 유전 상수를 갖는 물질이 채택됨에 따라 증가된다. 이하에서 도 6-12와 관련하여 더 설명되듯이, 본 발명의 실시예들은, 게이트간 유전체 층(78)을 통한 플로팅 게이트들(74) 간의 용량성 경로를 제거함으로써 게이트간 유전체 층(78)을 통한 FG-FG 캐패시턴스(82)를 감소시킬 수 있다.

[0041] 이제 도 5를 참조하면, 구조(84)가 도시된다. 구조(84)는, STI 산화물 영역들(70)에서의 플로팅 게이트들(74) 간의 게이트간 유전체 층(78) 침하(dip)를 제외하면, 도 4의 구조(62)와 동일하다. 플로팅 게이트 트랜지스터(64A-64C)를 제조하는 특정 공정들에서, STI 산화물(70)은, 게이트간 유전체(78)가 배치된 경우, 그것이 플로팅 게이트들 사이에서 침하하여, 플로팅 게이트들(74) 간에 보다 직접적인 간섭 경로가 생성되도록 과도하게 에칭될 수 있다. 이해될 수 있는 바와 같이, 도 5의 종래의 구조(84)는, 게이트간 유전체 층(78)이, 인접하는 플로팅 게이트들(74) 간에 더 짧은 용량성 경로를 생성하기 때문에, 바람직하지 않은 FG-FG 캐패시턴스(82)에 더욱 영향받기 쉬울 수 있다. 이하에 도 6-12와 관련하여 더 설명되는 바와 같이, 본 발명의 실시예들은, 게이트간 유전체(78)를 통한 플로팅 게이트들(74) 간의 용량성 경로를 제거함으로써, 게이트간 유전체(78)를 통한 FG-FG 캐패시턴스(82)를 감소시킬 수 있다.

[0042] 도 6에, 본 발명의 일 실시예에 따른 예시적인 공정(86)이 도시된다. 도 7-11은, 예시적인 공정(86)에 따라 제조된, 플로팅 게이트 메모리 어레이의 일부분의 단면도들을 도시한다. 따라서, 도 6은, 도 7-11에 도시된 단면도들과 함께 설명될 것이다.

[0043] 먼저 도 6과 함께 도 7을 참조하면, 게이트 산화물층(110)이, 도 6의 블럭(88)에 나타내어진 바와 같이, 기판(108) 상에 배치되거나 성장된다. 기판(108)은, 예를 들어, 실리콘 또는 갈륨 비소(gallium arsenide)를 포함할 수 있다. 게이트 산화물층(110)은, 예를 들어, 실리콘 이산화물(SiO<sub>2</sub>)을 포함할 수 있다. 게이트 산화물층(110)을 배치한 후에, 플로팅 게이트 물질(112)이 블럭(90)에 나타내어진 바와 같이 배치된다. 플로팅 게이트 층(112)은, 예를 들어, 폴리실리콘 물질을 포함할 수 있다. 플로팅 게이트층(112)은, 이하에 더 설명되는 바와 같이, 개별적인 트랜지스터들의 플로팅 게이트들을 형성하는데 사용될 것이다. 플로팅 게이트층(112)의 성막 후에, 실리콘 질화물(SiN<sub>2</sub>)층(114) 등의 유전체층이 블럭(92)에 나타내어진 바와 같이 배치된다. 이하에 더 설명되는 바와 같이, 실리콘 질화물층(114)은 제조 동안에 이용된 희생층이며, 플로팅 게이트 트랜지스터들이 형성되기 전에 제거될 것이다. 도 9와 관련하여 이하에 더 설명되는 이유들로 인하여, 실리콘 질화물층(114)이 대략 400 옹스트롬(angstroms)보다 두꺼운 두께로 배치된다. 특정 실시예들에서, 실리콘 질화물층(114)은 400-700 옹스트롬의 범위의 두께로 배치된다.

[0044] 이제 도 6과 함께 도 8을 참조하면, 게이트 산화물층(110), 플로팅 게이트 물질(112) 및 실리콘 질화물층(114)의 성막 후에, 블럭(94)에 나타내어진 바와 같이, 얇은 트랜치들이, 성막된 층들 각각과 기판(108)을 통해 에칭되어, STI(shallow trench isolation) 영역들이 형성된다. 다음으로, 산화물 등의 유전체 물질이, 블럭(96)에 나타내어진 바와 같이, 트랜치들 각각에 성막되어 STI 산화물 영역들(116)을 형성한다. 전술한 바와 같이, STI 산화물 영역들(116)은, 기판(108)에 형성되고, 궁극적으로는 플로팅 게이트 메모리 어레이가 될 것의 비트 라인 BL을 따라 페이지 내부 방향으로 확장하는 수직 필라들(118)을 정의한다. STI 산화물 영역들(116)은 기판(108)에 형성된 수직 필라들(118) 각각의 상부 위에, 게이트 산화물층(110), 플로팅 게이트층(112) 및 실리콘 질화물층(114)의 분리된 영역들을 또한 제공한다. 또한 이해될 수 있는 바와 같이, STI 산화물 영역들(116)을 제공하는 산화물 물질의 성막 동안에, 산화물은 일반적으로, 실리콘 질화물층(114)을 포함하여 전체 구조 위에 성막된다. 따라서, 블럭(98)에 나타내어진 바와 같이, 도 8에 도시된 구조를 완성하기 위해 산화물의 표면이 평탄화되어, 실리콘 질화물층(114)의 상부로부터 제거될 수 있다. 평탄화는, 예를 들어, CMP(chemical mechanical planarization)에 의한 것일 수 있다. 평탄화 단계는, 도 8에 도시된 바와 같이, 실리콘 질화물층(114)이 필라들(118) 각각 위의 개별적 영역들로 분리될 때까지 행해질 수 있다.

[0045] STI 산화물 영역들(116)을 생성하기 위한 산화물의 평탄화 후에, 실리콘 질화물(114)이 도 6의 블럭(100)에 나타내어진 바와 같이 제거된다. 실리콘 질화물(114)은, 예를 들어, 끓는 H<sub>3</sub>PO<sub>4</sub> 등의 표준 실리콘 질화물 에칭제를 이용하여 제거될 수 있다. 이해될 수 있는 바와 같이, 실리콘 질화물에 대해 선택적인 그 외의 에칭제가 이용될 수 있다. 이해될 수 있는 바와 같이, 실리콘 질화물 에칭은 본질적으로 실리콘 질화물에 대해 선택적인 에칭제를 이용하여 행해지는 한편, 전면 에칭 공정(full etch process)은, 실리콘 질화물 에칭제를 이용하기 전 및/또는 후에 플루오르화 수소(hydrofluoric)(HF) 산을 이용하여 도 8의 구조를 처리하는 것 등의 사전(pre) 및 사후(post) 실리콘 질화물 에칭 단계들을 포함할 수 있다. 예를 들어, 구조는, 평탄화(도 6의 단계(98)) 후의 실리콘 질화물(114) 상에 남아있는 임의의 나머지 산화물을 제거하는 실리콘 질화물 에칭 이전에, 희석된 HF 용

액을 이용하여 처리될 수 있다. 실리콘 질화물 에칭 전의 HF 처리는, 실리콘 질화물(114)의 전체 표면이 후속 실리콘 질화물 에칭제에 노출되는 것을 보장할 것이다. 마찬가지로, 실리콘 질화물 에칭 후에, 희석된 HF 용액을 이용한 또 다른 습식 처리가 채택되어, 실리콘 질화물 에칭에 의한 실리콘 질화물(114)의 제거 후에 남아있는 개구부들의 임의의 자연(native) 산화물 또는 나머지 산화물을 제거할 수 있다. HF 용액 처리들은 특정한 바람직하지 않은 산화물들을 제거하는데 있어서 장점을 갖는 한편, HF 용액은 또한 STI 산화물(116)의 표면들의 일부분을 에칭할 수 있다. 본 발명의 실시예에 따르면, 실리콘 질화물 에칭 및 HF 용액 처리 단계들이 행해지면, 이하에 더 설명되는 바와 같이, 게이트간 유전체층의 성막을 위한 얇은 트렌치를 생성하기 위해 플로팅 게이트 층(112)의 평면 위에 확장하는 STI 산화물(116)의 부분들을 유지하는 것이 바람직하다.

[0046] 이제 도 6과 함께 도 9를 참조하면, 실리콘 질화물 층(114)을 제거한 후, 게이트간 유전체 층(120)이 블럭(102)에 나타내어진 바와 같이 성막될 수 있다. 본 명세서에서 사용된 바와 같이, "게이트간 유전체 층"은, 플로팅 게이트 트랜지스터의 제어 게이트와 플로팅 게이트 간에 존재할 유전체 층을 지칭한다. 도 9는, 실리콘 질화물 층(114)의 제거 및 게이트간 유전체 층(120)의 성막 후의 이러한 구조를 도시한다. 전술한 바와 같이, 실리콘 질화물 에칭 및 HF 처리 후에, 얇은 트렌치가 STI 산화물 영역들(116) 각각 사이에 남아 있어서, 게이트간 유전체 층(120)은, 도 9에 도시된 바와 같이, 플로팅 게이트 층(112)의 상부 위에, 그리고 STI 산화물 영역들(116)의 일부분 사이에 배치될 수 있다. HF 에칭 단계들 이후에도 STI 산화물 영역들의 일부분이 플로팅 게이트 층(112)의 평면 위에 확장할 것을 보장하기 위해, 결과적으로 게이트간 유전체 층(120)의 성막을 위한 개구부들을 정의하는 희생 실리콘 질화물 층(114)이 대략 400 옹스트롬보다 큰 두께로 배치된다. 특정 실시예들에서, 실리콘 질화물 층(114)이 400-700 옹스트롬의 범위의 두께로 성막된다. 이해될 수 있는 바와 같이, 실리콘 질화물 층(114)에 대한 적어도 400 옹스트롬의 시작 두께는, 실리콘 질화물의 제거 및 HF 처리들 후에 STI 산화물 영역들 간에 형성되는 바람직한 트렌치들을 생성할 것이다. 즉, 충분한 STI 산화물 영역들(116)이 여전히 플로팅 게이트 층(112)의 평면 위에 존재하여, 게이트간 유전체(120)가 배치될 수 있는 캐비티들(cavities) 또는 트렌치들을 정의할 것이다. 플로팅 게이트 층(112) 위의 캐비티들 또는 트렌치들의 깊이는 50-500 옹스트롬의 범위일 수 있다. 이해될 수 있는 바와 같이, 실리콘 질화물 층(114)의 두께 및 채택된 평탄화 기법들(도 6의 단계들(98 및 104))은, 게이트간 유전체 층의 바람직한 두께를 갖는 플로팅 게이트 트랜지스터를 생성하도록 조정될 수 있다.

[0047] 도 9에서 플로팅 게이트 층(112) 위의 트렌치들이 플로팅 게이트 층(112)의 엣지들과 수직방향으로 정렬되는 것으로서 도시되었으나, HF 용액 처리들은 트렌치들의 측면들을 STI 산화물 영역들(116) 내로 횡방향으로 에칭할 수 있음을 유념해야 한다. 따라서, 특정 실시예들에서, 플로팅 게이트 층(112) 위에 생성된 트렌치들의 측면들은 하부 플로팅 게이트 층(112)보다 넓은 트렌치들(및 궁극적으로는 게이트간 유전체 층)을 정의할 수 있다. 여하튼, 이하에 설명되는 바와 같이, 본 발명의 실시예들에 따르면, 각각의 플로팅 게이트 트랜지스터에 대한 분리된 게이트간 유전체 영역들(도 10의 120A-120C)을 최종적으로 정의할 트렌치들 각각 사이의 소정 양의 STI 산화물 영역(116)이 존재할 것이다.

[0048] 전술한 바와 같이, 게이트간 유전체 층(120)은 바람직하게는 높은 유전 상수(k)를 갖는 물질을 포함할 수 있다. 본 명세서에서 사용된 바와 같이, "하이-k" 유전체 물질은 일반적으로 10 이상의 유전 상수( $k \geq 10$ )를 갖는 물질들을 지칭한다. 게이트간 유전체 층(120)에 사용될 수 있는 적절한 하이-k 물질들은  $Al_2O_3$ ,  $Gd_2O_3$ ,  $Yb_2O_3$ ,  $Dy_2O_3$ ,  $Nb_2O_5$ ,  $Y_2O_3$ ,  $La_2O_3$ ,  $ZrO_2$ ,  $HfO_2$ ,  $TiO_2$ ,  $Ta_2O_5$ ,  $SrTiO_3$ ,  $Ba_xSr_{1-x}TiO_3$ ,  $Zr_xSi_{1-x}O_y$ ,  $Hf_xSi_{1-x}O_y$ , 또는  $Al_xZr_{1-x}O_2$  또는 그 조합물들을 포함할 수 있으나, 이에 한정되는 것은 아니다. 전술한 바와 같이, 하이-k 유전체 물질을 이용하면, 플로팅 게이트 트랜지스터의 게이트간 유전체의 두께가 매우 얇은 경우에도 트랜지스터 성능을 유지하면서, 게이트 누설을 감소시킬 수 있다.

[0049] 플로팅 게이트 트랜지스터들의 형성을 완성하기 위해, 도 6의 블럭(104)에 나타내어진 바와 같이, 게이트간 유전체 층(120)이 평탄화되어, STI 산화물 영역들(116)의 상부 표면과 함께 평평하게 되어 인접하는 게이트간 유전체 영역들로부터 전기적으로 분리된다. 따라서, 도 10에 가장 잘 도시되듯이, 게이트간 유전체 층(120)의 평탄화(도 6의 블럭(104)) 후에, 개별적으로 분리된 게이트간 유전체 영역들(120A-120C)이 남아있다. 이해될 수 있는 바와 같이, 도 4 및 도 5를 참조하여 전술한 바와 같이 각각의 플로팅 게이트들(112) 위에 연속하는 유전체 층을 이용하기보다는, 각각의 트랜지스터에 대해 전기적으로 분리된 게이트간 산화물 영역들(120A-120C)을 생성함으로써 게이트간 유전체 층을 통한 용량성 경로가 제거되며, 이에 의해 FG-FG 간섭을 감소시키는 이점이 있다. 각각의 게이트간 유전체 영역(120A-120C)의 두께는 대략 50-500 옹스트롬의 범위에 있다. 최종적으로, 본 발명의 실시예들에 따라 플로팅 게이트 트랜지스터들(124A-124C)을 완성하기 위해, 제어 게이트 층(122)이,

도 10에 도시되고, 도 6의 블럭(106)에 나타내어진 바와 같이 성막된다.

[0050] 이제 도 11을 참조하면, 도 10에 도시된 최종 구조의 대안의 도면이 도시된다. 도 11은 워드 라인 WL보다는 비트 라인 BL을 따라 취해진 도 10의 구조를 도시한다. 즉, 도 11에 도시된 도면에서, 워드 라인들 WL은 페이지 내로 확장한다. 도 11에 도시된 바와 같이, 각각의 플로팅 게이트 트랜지스터들(124A-124C)에 대한 플로팅 게이트(112), 게이트간 유전체 영역들(120A-120C) 및 제어 게이트(122)는, 비트 라인 BL을 따라서 인접하는 디바이스들로부터 전기적으로 분리된다. 본 기술 분야의 당업자가 이해할 수 있는 바와 같이, 기판(108)의 필라들(118)에 형성된 소스 및 드레인 확산 영역들(126)이 또한 도 11에 도시된다.

[0051] 이제 도 12를 참조하면, 본 발명의 추가의 실시예들에 따라, 분리된 게이트간 유전체 영역들을 갖는 플로팅 게이트 트랜지스터들을 제조하는 대안의 공정(128)이 도시된다. 공정(128)에서, 희생 실리콘 질화물 층이 사용되지 않는다. 그 대신에, 게이트 산화물 층 및 플로팅 게이트 층이, 전술한 바와 같이 그리고 도 12의 블럭들(130 및 132)에 나타내어진 바와 같이 기판 상에 배치된다. 전술한 바와 같이, 플로팅 게이트 층의 상부에 실리콘 질화물 층을 성막하기보다는, 블럭(134)에 나타내어진 바와 같이, 게이트간 유전체 층이 플로팅 게이트 층 위에 직접 성막된다. 게이트간 유전체 층의 성막 후에, 블럭(136)에 나타내어진 바와 같이, 게이트간 유전체 층, 플로팅 게이트 층, 게이트 산화물 층 및 하부 기판이 에칭되어, STI 영역들을 형성한다. 게이트간 유전체 층의 성막 후의 STI 영역들의 형성은, 트렌치에 의해 정의된 각각의 필라의 상부에, 분리된 게이트간 유전체 영역들을 생성할 것이다. 다음으로, 블럭(138)에 나타내어진 바와 같이, STI 산화물이 STI 영역들에 배치된다. 다음으로, 블럭(140)에 나타내어진 바와 같이, 구조가 평탄화되어, 분리된 STI 산화물 영역들을 형성한다. 평탄화 후에, 블럭(142)에 나타내어진 바와 같이, 제어 게이트가 성막된다.

[0052] 도 6 및 12와 관련하여 설명한 공정들과 유사한, 또 다른 공정이 또한 사용될 수 있다. 본 예시적인 공정은, 게이트간 유전체 층(블럭(134))의 성막 후 그리고 STI 영역들이 에칭(블럭(136))되기 전에, 폴리실리콘 층이 게이트간 유전체 층상에 성막되며, 실리콘 질화물 층이 폴리실리콘 층 상에 성막된다는 점을 제외하면 도 12와 관련하여 설명된 공정과 마찬가지로이다. 폴리실리콘 층 및 실리콘 질화물 층의 성막 후에, STI 영역들이 에칭될 수 있다(블럭(138)). STI 영역들이 STI 산화물로 채워지고(블럭(138)), 표면이 평탄화(블럭(140))된 후, 실리콘 질화물 층이 제거된다. 실리콘 질화물 층의 제거 후에, 성막된 폴리실리콘 층의 분리된 영역들이 게이트간 유전체 층 위에 남아있다. 다음으로, 제어 게이트 층이 그 구조 위에 성막된다(블럭(142)). 이해될 수 있는 바와 같이, 분리된 폴리실리콘 영역들과 직접적인 컨택트 상태에 있도록 제어 게이트 층이 배치된다. 폴리실리콘 영역들은 전기적으로 도전성이며, 각각의 하부 플로팅 게이트 영역들 쪽으로 하향으로 확장하는, 제어 게이트 층의 수직 확장을 형성한다.

[0053] 본 발명의 실시예들은 다양한 변경 및 대안의 형식들에 대해 영향을 받기 쉬우며, 특정 실시예들이 도면들에서 예시의 방법으로써 도시되고, 본 명세서에서 상세하게 설명되었다. 그러나, 본 발명은 개시된 특정 형식들에 한정되도록 의도되지 않는다는 것이 이해되어야 한다. 그보다는, 본 발명의 실시예들은 이하의 특허청구범위에 의해 정의되는 바와 같이, 이들 실시예들의 사상 및 범주 내에 들어오는 모든 변경들, 등가물들, 및 대안들을 포함하도록 의도된다.

### 도면의 간단한 설명

[0010] 본 발명의 장점들은 이하의 상세한 설명을 읽고, 도면들을 참조함에 따라 명백해질 수 있다.

[0011] 도 1은, 본 발명의 실시예들에 따라 제조된 메모리 디바이스들을 포함하는 메모리를 갖는 예시적인 프로세서 기판의 디바이스의 블럭도를 도시한다.

[0012] 도 2는, 본 발명의 실시예들에 따라 제조된 메모리 어레이를 갖는 예시적인 메모리 디바이스의 블럭도를 도시한다.

[0013] 도 3은, 본 발명의 실시예들에 따라 제조된 메모리 셀들을 갖는 예시적인 NAND 플래시 메모리 어레이의 개략도이다.

[0014] 도 4 및 5는 종래의 플로팅 게이트 메모리 디바이스들의 단면도들을 도시한다.

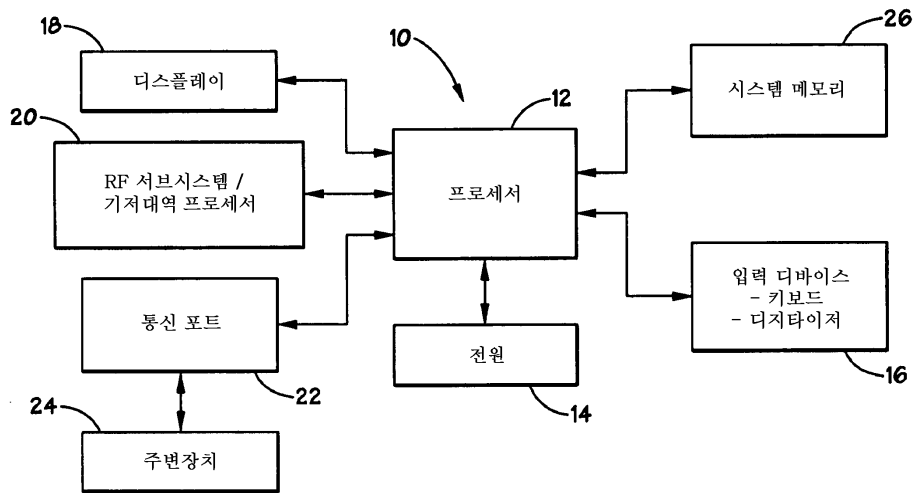
[0015] 도 6은 본 발명의 실시예들에 따라 플로팅 게이트 메모리 디바이스들을 제조하는 예시적인 기법을 도시하는 흐름도이다.

[0016] 도 7 내지 도 11은 본 발명의 실시예들에 따른, 도 6의 흐름도와 상호관련되는 플로팅 게이트 메모리 셀들의 제조를 도시하는 단면도들이다.

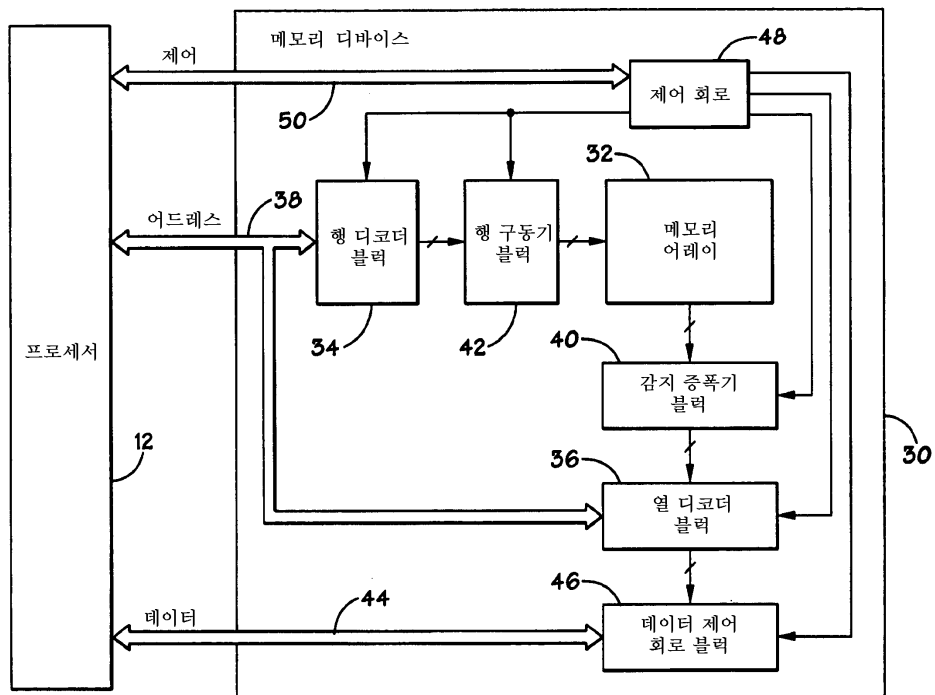
[0017] 도 12는 본 발명의 추가의 실시예들에 따라 플로팅 게이트 메모리 셀들을 제조하는 대안의 방법을 도시하는 흐름도이다.

도면

도면1

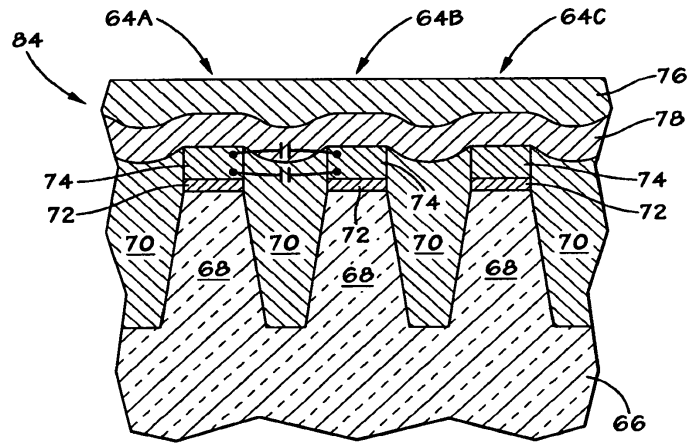


도면2

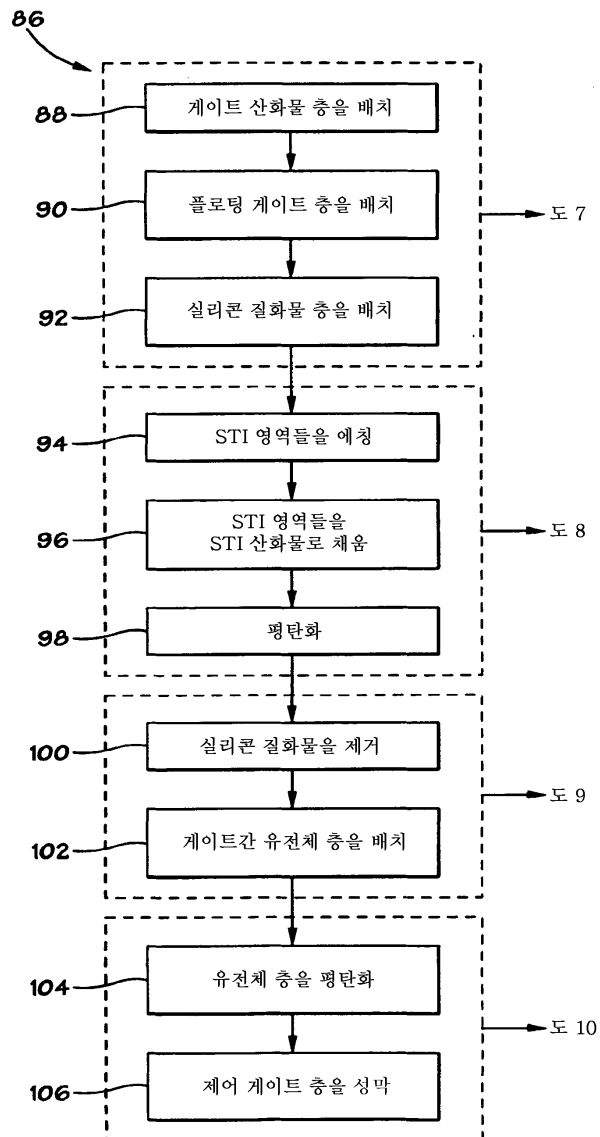




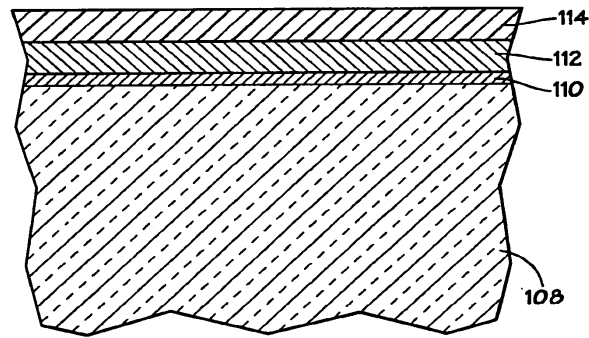
도면5



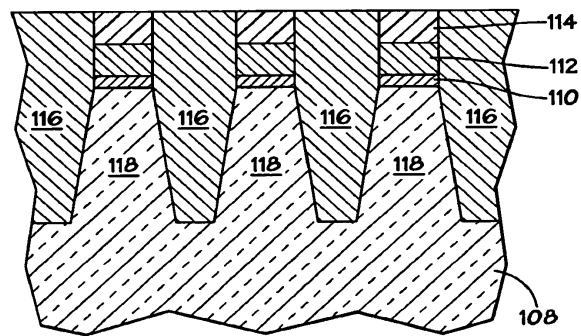
도면6



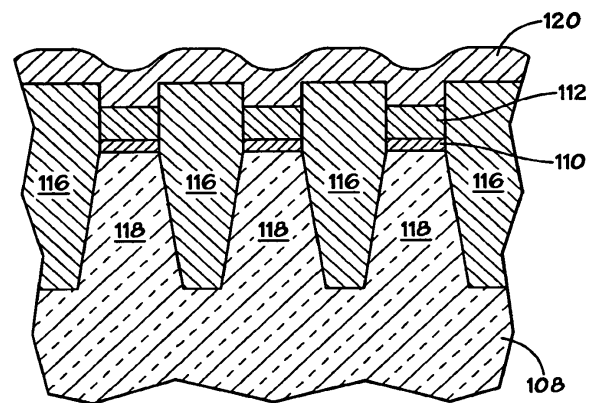
도면7



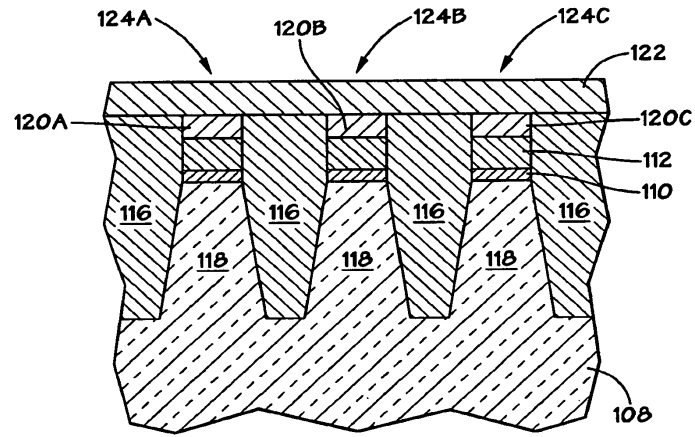
도면8



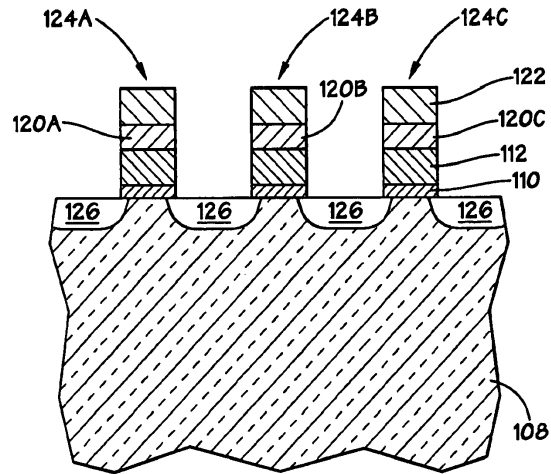
도면9



도면10



도면11



도면12

