(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0100282
(43) 공개일자 2025년07월03일

(51) 국제특허분류(Int. Cl.)
H03K 19/0944 (2006.01) *H03K 19/21* (2006.01)
H10B 99/00 (2023.01)
(52) CPC특허분류
H03K 19/0944 (2013.01)
H03K 19/215 (2013.01)
(21) 출원번호 10-2023-0191705
(22) 출원일자 2023년12월26일
심사청구일자 2023년12월26일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김상식
서울특별시 서초구 효령로 391, 103동 501호(서초동, 서초그랑자이)
조경아
서울특별시 광진구 천호대로110길 72(능동)
(뒷면에 계속)
(74) 대리인
김연권

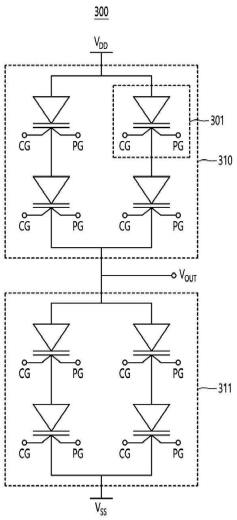
전체 청구항 수 : 총 16 항

(54) 발명의 명칭 **범용 로직 메모리 셀**

(57) 요 약

본 발명은 삼중 게이트 실리콘 소자로 구성된 범용 로직 메모리 셀에 관한 것으로, 본 발명의 일실시예에 따른 범용 로직 메모리 셀은 양성 피드백 루프(positive feedback loop)로 구동하는 삼중 게이트 실리콘 소자를 이용하여 3진법(ternary) 논리 연산 기능 및 메모리 기능을 수행할 수 있다.

대 표 도 - 도3



(52) CPC특허분류
H10B 99/22 (2023.02)
(72) 발명자
한종성
충청남도 홍성군 홍성읍 월계천길 41-11, 101동 402호(향촌현대아파트)
손재민
경기도 성남시 수정구 위례순환로 150, 3403동 502호(창곡동, 래미안위례)
전주희
서울특별시 서대문구 북아현로1길 17, 202동 305호(북아현동, 이편한세상신촌)
신연우
경기도 광명시 사성로 91, 114동 801호(철산동, 두산위브아파트)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711197797
과제번호	RS-2023-00260876
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	국가반도체연구실지원핵심기술개발사업
연구과제명	Multiple gate silicon 소자 기반universal logic-memory 셀 어레이 기술 개발
기 여 율	1/1
과제수행기관명	고려대학교산학협력단
연구기간	2023.05.01 ~ 2028.01.31

명 세 서

청구범위

청구항 1

복수의 삼중 게이트 실리콘 소자를 이용하여 제1 네트워크 소자 및 제2 네트워크 소자를 포함하고,

상기 복수의 삼중 게이트 실리콘 소자 각각은 드레인 영역, 채널 영역, 소오스 영역을 포함하고, 상기 드레인 영역 및 상기 소오스 영역으로 공급 전압이 인가되며, 상기 채널 영역 상에서 제1 및 제2 프로그래밍 게이트 전극 및 컨트롤 게이트 전극이 형성된 게이트 영역을 포함하고, 상기 제1 및 제2 프로그래밍 게이트 전극을 통해 인가되는 프로그램 전압(V_{PG})의 레벨에 따라 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 제1 채널 모드 및 제2 채널 모드 중 어느 하나의 채널 모드로 동작하고, 상기 컨트롤 게이트 전극을 통해 인가되는 컨트롤 전압(V_{CG})의 레벨에 기반하여 온 상태(on state)와 오프 상태(off state) 중 어느 하나의 상태로 결정되며,

상기 제1 네트워크 소자 및 상기 제2 네트워크 소자는 상기 수행된 어느 하나의 채널 모드에서 상기 어느 하나의 상태에 따라 양성 레벨, 제로 레벨 및 음성 레벨 중 어느 하나로 출력 전압(V_{OUT})의 레벨을 결정함에 따라 3진법(ternary) 논리 연산 기능 및 메모리 기능을 수행하는 것을 특징으로 하는

범용 로직 메모리 셀.

청구항 2

제1항에 있어서,

상기 제1 네트워크 소자 및 상기 제2 네트워크 소자는 상기 복수의 삼중 게이트 실리콘 소자 중 네 개의 삼중 게이트 실리콘 소자 중 두 개의 삼중 게이트 실리콘 소자의 드레인 영역과 소오스 영역이 직렬로 연결된 제1 직렬 연결부와 나머지 두개의 삼중 게이트 실리콘 소자의 드레인 영역과 소오스 영역이 직렬로 연결된 제2 직렬 연결부 간의 공통 드레인 영역이 연결되는 제1 병렬 연결부와 공통 소오스 영역이 연결되는 제2 병렬 연결부로 구성되고, 상기 제1 네트워크 소자의 제1 병렬 연결부를 통해 상기 공통 전압 중 드레인 전압(V_{DD})이 인가되며, 상기 제2 네트워크 소자의 제2 병렬 연결부를 통해 상기 공통 전압 중 소오스 전압(V_{SS})이 인가되고, 상기 제1 네트워크 소자의 제2 병렬 연결부와 상기 제2 네트워크 소자의 제1 병렬 연결부가 연결되는 부분에서 상기 어느 하나로 출력 전압(V_{OUT})이 측정되는 것을 특징으로 하는

범용 로직 메모리 셀.

청구항 3

제2항에 있어서,

상기 제1 네트워크 소자가 상기 제2 채널 모드로 동작하고, 상기 제2 네트워크 소자가 상기 제1 채널 모드로 동작하면, 상기 컨트롤 전압(V_{CG})의 레벨이 음성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 양성 레벨로 결정하고, 상기 컨트롤 전압(V_{CG})의 레벨이 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정하며, 상기 컨트롤 전압(V_{CG})의 레벨이 제로 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 상기 3진법 논리 연산 기능을 수행하는 것을 특징으로 하는

범용 로직 메모리 셀.

청구항 4

제2항에 있어서,

상기 제1 네트워크 소자가 상기 제1 채널 모드로 동작하고, 상기 제2 네트워크 소자가 상기 제2 채널 모드로 동작하면, 상기 컨트롤 전압(V_{CG})의 레벨이 음성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정하

고, 상기 컨트롤 전압(V_{CG})의 레벨이 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 양성 레벨로 결정하며, 상기 컨트롤 전압(V_{CG})의 레벨이 제로 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 상기 3진법 논리 연산 기능을 수행하는 것을 특징으로 하는

범용 로직 메모리 셀.

청구항 5

제2항에 있어서,

상기 제1 네트워크 소자가 상기 제2 채널 모드로 동작하고, 상기 제2 네트워크 소자가 상기 제1 채널 모드로 동작하고, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_{IN1})이 상기 제1 네트워크 소자의 좌측 및 상기 제2 네트워크 소자의 상측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_{IN2})이 상기 제1 네트워크 소자의 우측 및 상기 제2 네트워크 소자의 하측에 인가되고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨 중 어느 하나의 레벨이 음성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 양성 레벨로 결정하고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정하며, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 제로 레벨이거나 어느 하나의 레벨은 제로 레벨이고, 다른 하나의 레벨은 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 상기 3진법 논리 연산 기능을 수행하는 것을 특징으로 하는

범용 로직 메모리 셀.

청구항 6

제2항에 있어서,

상기 제1 네트워크 소자가 상기 제2 채널 모드로 동작하고, 상기 제2 네트워크 소자가 상기 제1 채널 모드로 동작하며, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_{IN1})이 상기 제1 네트워크 소자의 상측 및 상기 제2 네트워크 소자의 좌측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_{IN2})이 상기 제1 네트워크 소자의 하측 및 상기 제2 네트워크 소자의 우측에 인가되고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨 중 어느 하나의 레벨이 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정하며, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 음성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 양성 레벨로 결정되고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2}) 중 모두 제로 레벨이거나 어느 하나의 레벨은 제로 레벨이고 다른 하나의 레벨은 음성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 상기 3진법 논리 연산 기능을 수행하는 것을 특징으로 하는

범용 로직 메모리 셀.

청구항 7

제2항에 있어서,

상기 제1 네트워크 소자가 상기 제1 채널 모드로 동작하고, 상기 제2 네트워크 소자가 상기 제2 채널 모드로 동작하며, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_{IN1})이 상기 제1 네트워크 소자의 상측 및 상기 제2 네트워크 소자의 좌측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_{IN2})이 상기 제1 네트워크 소자의 하측 및 상기 제2 네트워크 소자의 우측에 인가되고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨 중 어느 하나의 레벨이 음성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정하고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 양성 레벨로 결정하며, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨 중 모두 제로 레벨이거나 어느 하나의 레벨은 제로 레벨이고 다른 하나의 레벨은 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레

벨을 제로 레벨로 결정하는 상기 3진법 논리 연산 기능을 수행하는 것을 특징으로 하는

범용 로직 메모리 셀.

청구항 8

제2항에 있어서,

상기 제1 네트워크 소자가 상기 제2 채널 모드로 동작하고, 상기 제2 네트워크 소자가 상기 제1 채널 모드로 동작하며, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_{IN1})이 상기 제1 네트워크 소자의 좌측 및 상기 제2 네트워크 소자의 상측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_{IN2})이 상기 제1 네트워크 소자의 우측 및 상기 제2 네트워크 소자의 하측에 인가되고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨 중 어느 하나의 레벨이 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 양성 레벨로 결정하고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 음성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정하며, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨 중 모두 제로 레벨이거나 어느 하나의 레벨은 제로 레벨이고 다른 하나의 레벨은 음성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 상기 3진법 논리 연산 기능을 수행하는 것을 특징으로 하는

범용 로직 메모리 셀.

청구항 9

제2항에 있어서,

상기 제1 네트워크 소자의 좌측이 상기 제1 채널 모드로 동작하고, 상기 제1 네트워크 소자의 우측이 상기 제2 채널 모드로 동작하며, 상기 제2 네트워크 소자의 상좌측이 상기 제2 채널 모드로 동작하고, 상기 제2 네트워크 소자의 상우측이 상기 제1 채널 모드로 동작하며, 상기 제2 네트워크 소자의 하좌측이 상기 제1 채널 모드로 동작하고, 상기 제2 네트워크 소자의 하우측이 상기 제2 채널 모드로 동작하고, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_{IN1})이 상기 제1 네트워크 소자 및 상기 제2 네트워크 소자의 상측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_{IN2})이 상기 제1 네트워크 소자 및 상기 제2 네트워크 소자의 하측에 인가되고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 동일하게 음성 레벨 또는 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 양성 레벨로 결정되고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 상반되도록 음성 레벨 또는 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 음성 레벨로 결정되며, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2}) 중 어느 하나의 레벨이 제로 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 상기 3진법 논리 연산 기능을 수행하는 것을 특징으로 하는

범용 로직 메모리 셀.

청구항 10

제2항에 있어서,

상기 제1 네트워크 소자의 상좌측이 상기 제2 채널 모드로 동작하고, 상기 제1 네트워크 소자의 상우측이 상기 제1 채널 모드로 동작하며, 상기 제1 네트워크 소자의 하좌측이 상기 제1 채널 모드로 동작하고, 상기 제1 네트워크 소자의 하우측이 상기 제2 채널 모드로 동작하고, 상기 제2 네트워크 소자의 좌측이 상기 제1 채널 모드로 동작하고, 상기 제2 네트워크 소자의 우측이 상기 제2 채널 모드로 동작하며, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_{IN1})이 상기 제1 네트워크 소자 및 상기 제2 네트워크 소자의 상측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_{IN2})이 상기 제1 네트워크 소자 및 상기 제2 네트워크 소자의 하측에 인가되고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정하고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 음

성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정하고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 상반되도록 음성 레벨 또는 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 양성 레벨로 출력하며, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨 중 어느 하나라도 제로 레벨이면 상기 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 상기 3진법 논리 연산 기능을 수행하는 것을 특징으로 하는

범용 로직 메모리 셀.

청구항 11

제2항에 있어서,

상기 드레인 영역은 p 도핑 상태이고,

상기 소오스 영역은 n 도핑 상태이며,

상기 채널 영역은 진성(intrinsic) 상태이고,

상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역은 상기 프로그램 전압(V_{PG})의 레벨이 양성 레벨인 경우에 상기 제1 채널 모드에 해당하는 n 채널로 동작하고, 상기 프로그램 전압(V_{PG})의 레벨이 음성 레벨인 경우에 상기 제2 채널 모드에 해당하는 p 채널로 동작하는 것을 특징으로 하는

범용 로직 메모리 셀.

청구항 12

제11항에 있어서,

상기 드레인 영역으로 인가되는 드레인 전압(V_{DD}), 상기 소오스 영역으로 인가되는 소오스 전압(V_{SS}), 상기 프로그램 전압(V_{PG}) 및 상기 컨트롤 전압(V_{CG})이 제로 레벨로 인가되는 경우에 상기 출력 전압(V_{OUT})의 레벨을 유지하여 상기 메모리 기능을 수행하는 것을 특징으로 하는

범용 로직 메모리 셀.

청구항 13

제1항에 있어서,

상기 복수의 삼중 게이트 실리콘 소자 각각은 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 상기 제1 채널 모드로 동작할 경우, 상기 인가되는 컨트롤 게이트 전압(V_{CG})의 레벨이 전류가 급격히 증가할 때의 전압인 래치업 전압보다 높은 레벨인 경우 온 상태로 결정되고, 상기 인가되는 컨트롤 게이트 전압(V_{CG})의 레벨이 상기 래치업 전압보다 낮은 레벨인 경우 오프 상태로 결정되는 것을 특징으로 하는

범용 로직 메모리 셀.

청구항 14

제13항에 있어서,

상기 복수의 삼중 게이트 실리콘 소자 각각은 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 상기 제1 채널 모드로 동작할 경우, 상기 인가되는 컨트롤 전압(V_{CG})의 레벨이 상기 래치업 전압보다 높은 레벨로 증가되면 상기 채널 영역에서 상기 컨트롤 게이트 전극 아래 채널 영역과 상기 소오스 영역에 인접한 상기 제2 프로그래밍 게이트 전극 아래 채널 영역 사이의 포텐셜 장벽의 높이가 낮아지고, 상기 낮아진 포텐셜 장벽으로 인해 상기 소오스 영역으로부터 전자가 주입되는 제1 양성 피드백 루프(positive feedback loop)가 발생하여 전류가 흐르는 상기 온 상태가 되는 것을 특징으로 하는

범용 로직 메모리 셀.

청구항 15

제1항에 있어서,

상기 복수의 삼중 게이트 실리콘 소자 각각은 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 상기 제2 채널 모드로 동작할 경우, 상기 인가되는 컨트롤 게이트 전압(V_{CG})의 레벨이 전류가 급격히 증가할 때의 전압인 래치업 전압보다 높은 레벨인 경우 오프 상태로 결정되고, 상기 인가되는 컨트롤 게이트 전압(V_{CG})의 레벨이 상기 래치업 전압보다 낮은 레벨인 경우 온 상태로 결정되는 것을 특징으로 하는

범용 로직 메모리 셀.

청구항 16

제15항에 있어서,

상기 복수의 삼중 게이트 실리콘 소자 각각은 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 상기 제2 채널 모드로 동작할 경우, 상기 인가되는 컨트롤 전압(V_{CG})의 레벨이 상기 래치업 전압보다 낮은 레벨로 감소되면 상기 채널 영역에서 상기 컨트롤 게이트 전극 아래 채널 영역과 상기 드레인 영역에 인접한 상기 제1 프로그래밍 게이트 전극 아래 채널 영역 사이의 포텐셜 장벽의 높이가 낮아지고, 상기 낮아진 포텐셜 장벽으로 인해 상기 드레인 영역으로부터 정공이 주입되는 제2 양성 피드백 루프(positive feedback loop)가 발생하여 전류가 흐르는 상기 온 상태가 되는 것을 특징으로 하는

범용 로직 메모리 셀.

발명의 설명

기 술 분 야

[0001] 본 발명은 삼중 게이트 실리콘 소자로 구성된 범용 로직 메모리 셀에 관한 것으로, 보다 상세하게는, 양성 피드백 루프(positive feedback loop)로 구동하는 삼중 게이트 실리콘 소자를 이용하여 3진법(ternary) 논리 연산 기능 및 메모리 기능을 제공하는 범용 로직 메모리 셀을 구현하는 기술에 관한 것이다.

배 경 기 술

[0002] 기존 폰 노이만(von Neumann) 기반의 컴퓨터 시스템은 프로세서와 메모리가 분리되어 버스(bus)를 통해 데이터의 전송이 이루어진다.

[0003] 하지만 컴퓨팅 성능의 증가에 따라 프로세서와 메모리간 데이터 처리속도 차이로 인해 병목 현상이 발생하게 되었고, 대용량 데이터 처리에 한계를 드러내기 시작했다.

[0004] 다시 말해, 반도체 산업의 혁명적인 발전인 폰 노이만 기반의 시스템은 현대 컴퓨터의 통합 밀도와 성능을 향상시켰지만 프로세서와 메모리 계층 구조 간의 물리적인 분리에 따라 에너지를 많이 소모하고 데이터 전송과 대기 시간이 길다는 단점이 있다.

[0005] 4 차 산업 혁명 이후 5G 통신 표준, 사물 인터넷(IoT), 인공 지능(AI)과 같은 데이터 집약적인 애플리케이션의 증가를 고려할 때, 새로운 컴퓨팅 패러다임은 대규모 데이터 처리 요구 사항에 필수적이다.

[0006] 상술한 문제를 해결하기 위해 연산과 기억 기능을 융합한 로직 메모리 기술에 대한 연구가 집중 및 가속화되고 있다.

[0007] 로직 메모리 기술은 프로세서의 연산 기능과 메모리의 기억 기능을 동일한 공간에서 수행하기 때문에 데이터 전송 시 발생하는 지연 시간과 전력 소모를 줄이고 시스템의 집적도를 크게 향상시킬 수 있다.

[0008] 종래 로직 메모리 기술은 휘발성 메모리 소자에 해당하는 SRAM(static random access memory), DRAM(dynamic RAM)와 비휘발성 메모리 소자에 해당하는 ReRAM(resistive RAM), MRAM(magnetoresistive RAM), PCRAM(phase-change RAM) 등을 기반으로 활발히 연구되어 왔다.

[0009] 휘발성 메모리 소자 기반 로직 메모리 기술의 경우 안정적인 동작을 위해 많은 수의 트랜지스터가 필요하여 전체 면적과 전력 소모가 높다는 한계가 존재한다.

[0010] 또한, 비휘발성 메모리 소자 기반의 로직 메모리 기술의 경우 비실리콘 물질을 사용하여 복잡한 공정 과정이 요구되며, 낮은 소자 균일성과 안정성으로 인해 실용화가 되기 어렵다.

[0011] 또한, 기 연구 된 로직 메모리 기술들은 하나의 셀에서 모든 기본 CMOS 논리 연산을 구현할 수 없고 논리 연산에 따라 개별적인 회로 및 배선이 요구됨에 따라 낮은 집적도를 가진다.

[0012] 따라서, 실리콘 기반 CMOS 공정을 활용하여 제작이 가능하며 한 개의 셀 내에서 모든 기본 로직 연산을 수행하고 그 값을 저장하는 범용 로직 메모리 셀 기술 개발이 필요한 상황이다.

[0013] 종래 로직 메모리 기술은 휘발성 메모리 소자인 DRAM (dynamic random access memory), SRAM (static RAM)과 비휘발성 메모리 소자인 PRAM (phase-change RAM), ReRAM (resistive RAM), MRAM (magnetoresistive RAM) 등 다양한 메모리로 연구되어왔다.

[0014] 하지만 이들은 n 채널과 p 채널을 정의할 수 없어 기존 CMOS 논리 연산에 적용이 어려움이 존재한다.

[0015] 특히 비휘발성 메모리 소자 기반의 로직-메모리 기술은 대부분 실리콘 기반 CMOS 공정이 아닌 새로운 공정 과정이 필요하며 낮은 소자 균일성과 신뢰성으로 인해 실용화가 어렵다.

[0016] 또한, 기존 CMOS 이진 논리 시스템의 정보 밀도 한계를 극복하기 위해 2개 보다 많은 논리 상태를 가지는 다치 논리 시스템이 다양한 소자들로 연구되고 있으나 공통적으로 소자에 흐르는 누설전류를 이용하기 때문에 높은 전력을 소모하는 문제가 있다.

[0017] 특히 터널링 원리 기반의 부성 미분 저항 (NDR), 부성미분전달전도 (NDT), 양자점 (QD) 등을 이용한 소자들은 신뢰성, 동작 온도에 제한이 있어 다치 논리 시스템에 적용이 어려움이 존재한다.

[0018] 이에 따라 종래의 2진 논리 연산 방법은 상대적으로 집적도와 정보 밀도를 향상하는데 한계성이 존재한다.

선행기술문헌

특허문헌

[0019] (특허문헌 0001) 한국등록특허 제10-2475066호, "가변형 로직 인 메모리 셀"

(특허문헌 0002) 한국공개특허 제10-2023-0020840호, "실리콘 트랜지스터를 이용한 가변형 로직 인 메모리 소자"

(특허문헌 0003) 한국등록특허 제10-2481855호, "피드백 전계효과 전자소자를 이용한 로직 인 메모리 인버터"

(특허문헌 0004) 한국공개특허 제10-2022-0014996호, "반도체 메모리 장치"

발명의 내용

해결하려는 과제

[0020] 본 발명은 양성 피드백 루프(positive feedback loop)로 구동하는 삼중 게이트 실리콘 소자를 이용하여 3진법 논리 연산 기능 및 메모리 기능을 제공하는 범용 로직 메모리 셀을 구현하는 것을 목적으로 한다.

[0021] 본 발명은 삼중 게이트 실리콘 소자를 이용하여 단일 구조에서 모든 3진법 기본 논리 연산을 수행하고, 연산 결과를 기억하는 범용 로직 메모리 셀을 구현하는 것을 목적으로 한다.

[0022] 본 발명은 기존 CMOS 공정을 적용한 실리콘 기반 피드백 메모리 소자인 삼중 게이트 실리콘 소자를 활용하여 범용 로직 메모리 셀을 구현하는 것을 목적으로 한다.

[0023] 본 발명은 논리 연산과 저장 기능의 융합을 통해 데이터 병목 현상에 따른 처리 속도 및 집적화 한계를 개선하는 것을 목적으로 한다.

[0024] 본 발명은 채널 모드 재구성 특성을 이용하여 구조 변경 및 외부 바이어스 없이 논리 연산 값을 유지하는 우수한 메모리 특성으로 대기 전력 효율을 향상시키는 것을 목적으로 한다.

과제의 해결 수단

[0025] 본 발명의 일실시예에 따른 범용 로직 메모리 셀은 복수의 삼중 게이트 실리콘 소자를 이용하여 제1 네트워크 소자 및 제2 네트워크 소자를 포함하고, 상기 복수의 삼중 게이트 실리콘 소자 각각은 드레인 영역, 채널 영역, 소오스 영역을 포함하고, 상기 드레인 영역 및 상기 소오스 영역으로 공급 전압이 인가되며, 상기 채널 영역 상에서 제1 및 제2 프로그래밍 게이트 전극 및 컨트롤 게이트 전극이 형성된 게이트 영역을 포함하고, 상기 제1 및 제2 프로그래밍 게이트 전극을 통해 인가되는 프로그램 전압(V_{PG})의 레벨에 따라 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 제1 채널 모드 및 제2 채널 모드 중 어느 하나의 채널 모드로 동작하고, 상기 컨트롤 게이트 전극을 통해 인가되는 컨트롤 전압(V_{CG})의 레벨에 기반하여 온 상태(on state)와 오프 상태(off state) 중 어느 하나의 상태로 결정되며, 상기 제1 네트워크 소자 및 상기 제2 네트워크 소자는 상기 수행된 어느 하나의 채널 모드에서 상기 어느 하나의 상태에 따라 양성 레벨, 제로 레벨 및 음성 레벨 중 어느 하나로 출력 전압(V_{OUT})의 레벨을 결정함에 따라 3진법(ternary) 논리 연산 기능 및 메모리 기능을 수행할 수 있다.

[0026] 상기 제1 네트워크 소자 및 상기 제2 네트워크 소자는 상기 복수의 삼중 게이트 실리콘 소자 중 네 개의 삼중 게이트 실리콘 소자 중 두 개의 삼중 게이트 실리콘 소자의 드레인 영역과 소오스 영역이 직렬로 연결된 제1 직렬 연결부와 나머지 두개의 삼중 게이트 실리콘 소자의 드레인 영역과 소오스 영역이 직렬로 연결된 제2 직렬 연결부 간의 공통 드레인 영역이 연결되는 제1 병렬 연결부와 공통 소오스 영역이 연결되는 제2 병렬 연결부로 구성되고, 상기 제1 네트워크 소자의 제1 병렬 연결부를 통해 상기 공통 전압 중 드레인 전압(V_{DD})이 인가되며, 상기 제2 네트워크 소자의 제2 병렬 연결부를 통해 상기 공통 전압 중 소오스 전압(V_{SS})이 인가되고, 상기 제1 네트워크 소자의 제2 병렬 연결부와 상기 제2 네트워크 소자의 제1 병렬 연결부가 연결되는 부분에서 상기 어느 하나로 출력 전압(V_{OUT})이 측정될 수 있다.

[0027] 상기 제1 네트워크 소자가 상기 제2 채널 모드로 동작하고, 상기 제2 네트워크 소자가 상기 제1 채널 모드로 동작하면, 상기 컨트롤 전압(V_{CG})의 레벨이 음성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 양성 레벨로 결정하고, 상기 컨트롤 전압(V_{CG})의 레벨이 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정하며, 상기 컨트롤 전압(V_{CG})의 레벨이 제로 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 상기 3진법 논리 연산 기능을 수행할 수 있다.

[0028] 상기 제1 네트워크 소자가 상기 제1 채널 모드로 동작하고, 상기 제2 네트워크 소자가 상기 제2 채널 모드로 동작하면, 상기 컨트롤 전압(V_{CG})의 레벨이 음성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정하고, 상기 컨트롤 전압(V_{CG})의 레벨이 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 양성 레벨로 결정하며, 상기 컨트롤 전압(V_{CG})의 레벨이 제로 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 상기 3진법 논리 연산 기능을 수행할 수 있다.

[0029] 상기 제1 네트워크 소자가 상기 제2 채널 모드로 동작하고, 상기 제2 네트워크 소자가 상기 제1 채널 모드로 동작하고, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_{IN1})은 상기 제1 네트워크 소자의 좌측 및 상기 제2 네트워크 소자의 상측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_{IN2})은 상기 제1 네트워크 소자의 우측 및 상기 제2 네트워크 소자의 하측에 인가되고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨 중 어느 하나의 레벨이 음성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 양성 레벨로 결정하고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정하며, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 제로 레벨이거나 어느 하나의 레벨은 제로 레벨이고, 다른 하나의 레벨은 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 상기 3진법 논리 연산 기능을 수행할 수 있다.

[0030] 상기 제1 네트워크 소자가 상기 제2 채널 모드로 동작하고, 상기 제2 네트워크 소자가 상기 제1 채널 모드로 동작하며, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_{IN1})은 상기 제1 네트워크 소자의 상측 및 상기 제2 네트워크 소자의 좌측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_{IN2})은 상기 제1 네트워크 소자의 하측 및 상기 제2 네트워크 소자의 우측에 인가되고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레

벨 중 어느 하나의 레벨이 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정하며, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 음성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 양성 레벨로 결정되고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2}) 중 모두 제로 레벨이거나 어느 하나의 레벨은 제로 레벨이고 다른 하나의 레벨은 음성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 상기 3진법 논리 연산 기능을 수행할 수 있다.

[0031] 상기 제1 네트워크 소자가 상기 제1 채널 모드로 동작하고, 상기 제2 네트워크 소자가 상기 제2 채널 모드로 동작하며, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_{IN1})은 상기 제1 네트워크 소자의 상측 및 상기 제2 네트워크 소자의 좌측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_{IN2})은 상기 제1 네트워크 소자의 하측 및 상기 제2 네트워크 소자의 우측에 인가되고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨 중 어느 하나의 레벨이 음성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정하고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 양성 레벨로 결정하며, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨 중 모두 제로 레벨이거나 어느 하나의 레벨은 제로 레벨이고 다른 하나의 레벨은 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 상기 3진법 논리 연산 기능을 수행할 수 있다.

[0032] 상기 제1 네트워크 소자가 상기 제2 채널 모드로 동작하고, 상기 제2 네트워크 소자가 상기 제1 채널 모드로 동작하며, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_{IN1})은 상기 제1 네트워크 소자의 좌측 및 상기 제2 네트워크 소자의 상측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_{IN2})은 상기 제1 네트워크 소자의 우측 및 상기 제2 네트워크 소자의 하측에 인가되고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨 중 어느 하나의 레벨이 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 양성 레벨로 결정하고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 음성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정하며, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨 중 모두 제로 레벨이거나 어느 하나의 레벨은 제로 레벨이고 다른 하나의 레벨은 음성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 상기 3진법 논리 연산 기능을 수행할 수 있다.

[0033] 상기 제1 네트워크 소자의 좌측은 상기 제1 채널 모드로 동작하고, 상기 제1 네트워크 소자의 우측은 상기 제2 채널 모드로 동작하며, 상기 제2 네트워크 소자의 상좌측은 상기 제2 채널 모드로 동작하고, 상기 제2 네트워크 소자의 상우측은 상기 제1 채널 모드로 동작하며, 상기 제2 네트워크 소자의 하좌측은 상기 제1 채널 모드로 동작하고, 상기 제2 네트워크 소자의 하우측은 상기 제2 채널 모드로 동작하고, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_{IN1})은 상기 제1 네트워크 소자 및 상기 제2 네트워크 소자의 상측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_{IN2})은 상기 제1 네트워크 소자 및 상기 제2 네트워크 소자의 하측에 인가되고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 동일하게 음성 레벨 또는 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 양성 레벨로 결정되고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 상반되도록 음성 레벨 또는 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨이 음성 레벨로 결정되며, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2}) 중 어느 하나의 레벨이 제로 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 상기 3진법 논리 연산 기능을 수행할 수 있다.

[0034] 상기 제1 네트워크 소자의 상좌측은 상기 제2 채널 모드로 동작하고, 상기 제1 네트워크 소자의 상우측은 상기 제1 채널 모드로 동작하며, 상기 제1 네트워크 소자의 하좌측은 상기 제1 채널 모드로 동작하고, 상기 제1 네트워크 소자의 하우측은 상기 제2 채널 모드로 동작하고, 상기 제2 네트워크 소자의 좌측은 상기 제1 채널 모드로 동작하고, 상기 제2 네트워크 소자의 우측은 상기 제2 채널 모드로 동작하며, 상기 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_{IN1})은 상기 제1 네트워크 소자 및 상기 제2 네트워크 소자의 상측에 인가되며, 상기 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_{IN2})은 상기 제1 네트워크 소자 및 상기 제2 네트워크 소자의 하측에 인가되고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의

레벨을 음성 레벨로 결정하고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 음성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정하고, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨이 상반되도록 음성 레벨 또는 양성 레벨인 경우에 상기 출력 전압(V_{OUT})의 레벨을 양성 레벨로 출력하며, 상기 제1 컨트롤 전압(V_{IN1}) 및 상기 제2 컨트롤 전압(V_{IN2})의 레벨 중 어느 하나라도 제로 레벨이면 상기 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 상기 3진법 논리 연산 기능을 수행할 수 있다.

[0035] 상기 드레인 영역은 p 도핑 상태이고, 상기 소오스 영역은 n 도핑 상태이며, 상기 채널 영역은 진성(intrinsic) 상태이고, 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역은 상기 프로그램 전압(V_{PG})의 레벨이 양성 레벨인 경우에 상기 제1 채널 모드에 해당하는 n 채널로 동작하고, 상기 프로그램 전압(V_{PG})의 레벨이 음성 레벨인 경우에 상기 제2 채널 모드에 해당하는 p 채널로 동작할 수 있다.

[0036] 상기 드레인 영역으로 인가되는 드레인 전압(V_{DD}), 상기 소오스 영역으로 인가되는 소오스 전압(V_{SS}), 상기 프로그램 전압(V_{PG}) 및 상기 컨트롤 전압(V_{CG})이 제로 레벨로 인가되는 경우에 상기 출력 전압(V_{OUT})의 레벨을 유지하여 상기 메모리 기능을 수행할 수 있다.

[0037] 상기 복수의 삼중 게이트 실리콘 소자 각각은 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 상기 제1 채널 모드로 동작할 경우, 상기 인가되는 컨트롤 게이트 전압(V_{CG})의 레벨이 전류가 급격히 증가할 때의 전압인 래치업 전압보다 높은 레벨인 경우 온 상태로 결정되고, 상기 인가되는 컨트롤 게이트 전압(V_{CG})의 레벨이 상기 래치업 전압보다 낮은 레벨인 경우 오프 상태로 결정될 수 있다.

[0038] 상기 복수의 삼중 게이트 실리콘 소자 각각은 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 상기 제1 채널 모드로 동작할 경우, 상기 인가되는 컨트롤 전압(V_{CG})의 레벨이 상기 래치업 전압보다 높은 레벨로 증가되면 상기 채널 영역에서 상기 컨트롤 게이트 전극 아래 채널 영역과 상기 소오스 영역에 인접한 상기 제2 프로그래밍 게이트 전극 아래 채널 영역 사이의 포텐셜 장벽의 높이가 낮아지고, 상기 낮아진 포텐셜 장벽으로 인해 상기 소오스 영역으로부터 전자가 주입되는 제1 양성 피드백 루프(positive feedback loop)가 발생하여 전류가 흐르는 상기 온 상태가 될 수 있다.

[0039] 상기 복수의 삼중 게이트 실리콘 소자 각각은 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 상기 제2 채널 모드로 동작할 경우, 상기 인가되는 컨트롤 게이트 전압(V_{CG})의 레벨이 전류가 급격히 증가할 때의 전압인 래치업 전압보다 높은 레벨인 경우 오프 상태로 결정되고, 상기 인가되는 컨트롤 게이트 전압(V_{CG})의 레벨이 상기 래치업 전압보다 낮은 레벨인 경우 온 상태로 결정될 수 있다.

[0040] 상기 복수의 삼중 게이트 실리콘 소자 각각은 상기 채널 영역에서 상기 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 상기 제2 채널 모드로 동작할 경우, 상기 인가되는 컨트롤 전압(V_{CG})의 레벨이 상기 래치업 전압보다 낮은 레벨로 감소되면 상기 채널 영역에서 상기 컨트롤 게이트 전극 아래 채널 영역과 상기 드레인 영역에 인접한 상기 제1 프로그래밍 게이트 전극 아래 채널 영역 사이의 포텐셜 장벽의 높이가 낮아지고, 상기 낮아진 포텐셜 장벽으로 인해 상기 드레인 영역으로부터 정공이 주입되는 제2 양성 피드백 루프(positive feedback loop)가 발생하여 전류가 흐르는 상기 온 상태가 될 수 있다.

발명의 효과

[0041] 본 발명은 양성 피드백 루프(positive feedback loop)로 구동하는 삼중 게이트 실리콘 소자를 이용하여 3진법 논리 연산 기능 및 메모리 기능을 제공하는 범용 로직 메모리 셀을 구현할 수 있다.

[0042] 본 발명은 삼중 게이트 실리콘 소자를 이용하여 단일 구조에서 모든 3진법 기본 논리 연산을 수행하고, 연산 결과를 기억하는 범용 로직 메모리 셀을 구현할 수 있다.

[0043] 본 발명은 기존 CMOS 공정을 적용한 실리콘 기반 피드백 메모리 소자인 삼중 게이트 실리콘 소자를 활용하여 범용 로직 메모리 셀을 구현할 수 있다.

[0044] 본 발명은 논리 연산과 저장 기능의 융합을 통해 데이터 병목 현상에 따른 처리 속도 및 집적화 한계를 개선할 수 있다.

[0045] 본 발명은 채널 모드 재구성 특성을 이용하여 구조 변경 및 외부 바이어스 없이 논리 연산 값을 유지하는 우수한 메모리 특성으로 대기 전력 효율을 향상시킬 수 있다.

도면의 간단한 설명

[0046] 도 1a 및 도 1b는 본 발명의 일실시예에 따른 범용 로직 메모리 셀을 구성하는 삼중 게이트 실리콘 소자를 설명하는 도면이다.

도 2a 내지 도 2c는 본 발명의 일실시예에 따른 삼중 게이트 실리콘 소자의 동작 원리를 설명하는 도면이다.

도 3은 본 발명의 일실시예에 따른 범용 로직 메모리 셀을 설명하는 도면이다.

도 4a는 본 발명의 일실시예에 따른 범용 로직 메모리 셀의 TNOT 게이트 동작을 설명하는 도면이다.

도 4b는 본 발명의 일실시예에 따른 범용 로직 메모리 셀의 TYES 게이트 동작을 설명하는 도면이다.

도 5a는 본 발명의 일시예에 따른 범용 로직 메모리 셀의 TNAND 게이트 동작을 설명하는 도면이다.

도 5b는 본 발명의 일시예에 따른 범용 로직 메모리 셀의 TNOR 게이트 동작을 설명하는 도면이다.

도 6a는 본 발명의 일시예에 따른 범용 로직 메모리 셀의 TAND 게이트 동작을 설명하는 도면이다.

도 6b는 본 발명의 일시예에 따른 범용 로직 메모리 셀의 TOR 게이트 동작을 설명하는 도면이다.

도 7a는 본 발명의 일시예에 따른 범용 로직 메모리 셀의 TXNOR 게이트 동작을 설명하는 도면이다.

도 7b는 본 발명의 일시예에 따른 범용 로직 메모리 셀의 TXOR 게이트 동작을 설명하는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0047] 이하, 본 문서의 다양한 실시 예들이 첨부된 도면을 참조하여 기재된다.

[0048] 실시 예 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다.

[0049] 하기에서 다양한 실시 예들을 설명에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.

[0050] 그리고 후술되는 용어들은 다양한 실시예들에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

[0051] 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다.

[0052] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.

[0053] 본 문서에서, "A 또는 B" 또는 "A 및/또는 B 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다.

[0054] "제1," "제2," "첫째," 또는 "둘째," 등의 표현들은 해당 구성요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.

[0055] 어떤(예: 제1) 구성요소가 다른(예: 제2) 구성요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 상기 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다.

[0056] 본 명세서에서, "~하도록 구성된(또는 설정된)(configured to)"은 상황에 따라, 예를 들면, 하드웨어적 또는 소프트웨어적으로 "~에 적합한," "~하는 능력을 가지는," "~하도록 변경된," "~하도록 만들어진," "~를 할 수 있는," 또는 "~하도록 설계된"과 상호 호환적으로(interchangeably) 사용될 수 있다.

[0057] 어떤 상황에서는, "~하도록 구성된 장치"라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 "~할 수 있는" 것을 의미할 수 있다.

[0058] 예를 들면, 문구 "A, B, 및 C를 수행하도록 구성된(또는 설정된) 프로세서"는 해당 동작을 수행하기 위한 전용

프로세서(예: 임베디드 프로세서), 또는 메모리 장치에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서(예: CPU 또는 application processor)를 의미할 수 있다.

[0059] 또한, '또는' 이라는 용어는 배타적 논리합 'exclusive or' 이기보다는 포함적인 논리합 'inclusive or'를 의미한다.

[0060] 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다' 라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.

[0061] 이하 사용되는 '..부', '..기' 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어나 소프트웨어, 또는, 하드웨어 및 소프트웨어의 결합으로 구현될 수 있다.

[0063] 도 1a 및 도 1b는 본 발명의 일실시예에 따른 범용 로직 메모리 셀을 구성하는 삼중 게이트 실리콘 소자를 설명하는 도면이다.

[0064] 도 1a는 본 발명의 일실시예에 따른 범용 로직 메모리 셀을 구성하는 삼중 게이트 실리콘 소자의 구조를 예시한다.

[0065] 도 1a를 참고하면, 본 발명의 일실시예에 따른 삼중 게이트 실리콘 소자(100)는 드레인 영역(101), 채널 영역(102), 소오스 영역(103) 및 게이트 영역을 포함하고, 게이트 영역은 게이트 절연막(104) 상에 형성되는 제1 및 제2 프로그래밍 게이트 전극(106) 및 컨트롤 게이트 전극(105)을 포함한다.

[0066] 일례로, 드레인 영역(101)에는 드레인 전압을 인가하기 위하여 드레인 전극이 연결되고, 소오스 영역(103)에는 소오스 전압을 인가하기 위한 소오스 전극이 연결 형성될 수 있다.

[0067] 본 발명의 일실시예에 따르면 삼중 게이트 실리콘 소자(100)는 p-i-n 나노 구조체인 드레인 영역(101), 채널 영역(102) 및 소오스 영역(103)을 포함한다.

[0068] 일례로, 드레인 영역(101)은 p 도핑 상태이고, 소오스 영역(103)은 n 도핑 상태이며, 채널 영역(102)은 진성(intrinsic) 상태일 수 있다.

[0069] 채널 영역(102)에서 제1 및 제2 프로그래밍 게이트 전극(106) 아래의 채널 영역은 프로그램 전압(V_{PG})의 레벨이 양성 레벨인 경우에 제1 채널 모드에 해당하는 n 채널로 동작하고, 프로그램 전압(V_{PG})의 레벨이 음성 레벨인 경우에 제2 채널 모드에 해당하는 p 채널로 동작할 수 있다.

[0070] 삼중 게이트 실리콘 소자(100)는 복수로 구성되어 범용 로직 메모리 셀을 이룰수 있다.

[0071] 즉, 삼중 게이트 실리콘 소자(100)는 복수로 구성되어 범용 로직 메모리 셀을 구성하는데, 복수 중 일부가 제1 네트워크 소자로 구성되고, 일부가 제2 네트워크 소자로 구성될 수 있다.

[0072] 삼중 게이트 실리콘 소자(100)는 제1 및 제2 프로그래밍 게이트 전극(106)을 통해 인가되는 프로그램 전압(V_{PG})의 레벨에 따라 채널 영역에서 제1 및 제2 프로그래밍 게이트 전극(106) 아래의 채널 영역이 제1 채널 모드 및 제2 채널 모드 중 어느 하나의 채널 모드로 동작할 수 있다.

[0073] 또한, 삼중 게이트 실리콘 소자(100)는 컨트롤 게이트 전극을 통해 인가되는 컨트롤 전압(V_{CG})의 레벨에 기반하여 온 상태(on state)와 오프 상태(off state) 중 어느 하나의 상태로 결정될 수 있다.

[0074] 따라서, 범용 로직 메모리 셀은 기 수행된 어느 하나의 채널 모드에서 어느 하나의 상태에 따라 변화되는 출력 전압(V_{OUT})의 레벨에 기반하여 논리 연산 기능 및 메모리 기능을 수행할 수 있다.

[0075] 즉, 제1 네트워크 소자 및 상기 제2 네트워크 소자가 기 수행된 어느 하나의 채널 모드에서 어느 하나의 상태에 따라 양성 레벨, 제로 레벨 및 음성 레벨 중 어느 하나로 출력 전압(V_{OUT})의 레벨을 결정함에 따라 3진법(ternary) 논리 연산 기능 및 메모리 기능을 수행할 수 있다.

[0076] 예를 들어, 제1 및 제2 프로그래밍 게이트 전극(106)은 전기적으로 연결되어 있음에 따라 한번에 동일한 프로그램 전압(V_{PG})가 인가될 수 있다.

[0077] 도 1b는 본 발명의 일실시예에 따른 범용 로직 메모리 셀의 동작 상태와 관련된 회로 기호를 예시한다.

[0078] 도 1b를 참고하면, 본 발명의 일실시예에 따른 회로기호(111)는 삼중 게이트 실리콘 소자의 채널 영역이 제1 채널 모드로 동작하여 n 채널로 동작하는 경우에 회로 기호를 예시한다.

[0079] 일례로, 회로기호(110)는 삼중 게이트 실리콘 소자의 채널 영역이 제2 채널 모드로 동작하여 p 채널로 동작하는 경우에 회로 기호를 예시한다.

[0080] 회로기호(110) 및 회로기호(111)에서는 드레인 영역, 채널 영역, 소오스 영역 및 게이트 영역을 포함하는 나노 구조체에서 게이트 영역에 제1 및 제2 프로그래밍 게이트 전극 및 컨트롤 게이트 전극이 형성되어 프로그래밍 게이트 단자(PG) 및 컨트롤 게이트 단자(CG)가 연결되고, 드레인 영역에 드레인 전극이 형성되어 드레인 단자(D)가 연결되며, 소오스 영역에 소오스 전극이 형성되어 소오스 단자(S)가 연결되는 구조를 나타낸다.

[0081] 회로기호(111)는 채널 모드 상태 영역을 통해 삼중 게이트 실리콘 소자가 제1 채널 모드 상태임을 나타낸다.

[0082] 다시 말해, 회로기호(111)는 채널 모드 상태 영역을 솔리드 형태로 나타내어 삼중 게이트 실리콘 소자가 n 채널로 동작 중임을 나타낼 수 있다.

[0083] 회로기호(110)는 채널 모드 상태 영역을 통해 삼중 게이트 실리콘 소자가 제2 채널 모드 상태임을 나타낸다.

[0084] 회로기호(110)는 채널 모드 상태 영역을 빈(empty) 형태로 나타내어 삼중 게이트 실리콘 소자가 p채널로 동작 중임을 나타낼 수 있다.

[0085] 예를 들어, 삼중 게이트 실리콘 소자는 트리플 게이트 피드백 전계 효과 소자로 지칭될 수 있다.

[0087] 도 2a 내지 도 2c는 본 발명의 일실시예에 따른 삼중 게이트 실리콘 소자의 동작 원리를 설명하는 도면이다.

[0088] 도 2a는 본 발명의 일실시예에 따른 삼중 게이트 실리콘 소자가 p 채널로 동작하는 경우의 동작 원리를 예시한다.

[0089] 도 2a를 참고하면, 본 발명의 일실시예에 따른 삼중 게이트 실리콘 소자(200)는 드레인 단자를 통해 양의 전압을 인가 받고, 프로그래밍 게이트 단자에서 프로그램 전압의 레벨이 음성 레벨에 해당하는 음의 전압을 인가 받은 경우에 채널 영역 중 프로그래밍 게이트 전극(PG) 아래의 채널 영역은 p 채널로 프로그래밍 되어서 p 채널로 동작한다.

[0090] 본 발명의 일실시예에 따른 삼중 게이트 실리콘 소자(200)가 p 채널로 동작할 경우에 동작 상태는 컨트롤 게이트 단자를 통해 인가되는 컨트롤 전압의 레벨이 전류가 급격히 증가할 때의 전압인 래치업 전압보다 높은 레벨인 경우 오프 상태로 결정되고, 인가되는 컨트롤 전압의 레벨이 래치업 전압보다 낮은 레벨인 경우 온 상태로 결정된다.

[0091] 일례로, 삼중 게이트 실리콘 소자는 컨트롤 게이트 단자를 통해 인가되는 컨트롤 전압의 레벨에 기반하여 온 상태 또는 오프 상태로 결정된다.

[0092] 삼중 게이트 실리콘 소자의 온 및 오프 동작 상태는 오프 상태에 해당하는 에너지 밴드(201) 및 온 상태에 해당하는 에너지 밴드(202)를 통해 추가 설명할 수 있다.

[0093] 본 발명의 일실시예에 따른 삼중 게이트 실리콘 소자가 p 채널로 동작할 경우에 컨트롤 전압의 레벨에 기반하여 온 상태일 시 에너지 밴드(202)이고, 오프 상태일 시 에너지 밴드(201)를 확인 할 수 있다.

[0094] 에너지 밴드(201)와 에너지 밴드(202)에 따르면, 채널 영역에서 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 p 채널 모드에 해당하는 제2 채널 모드로 동작할 경우, 컨트롤 전압(V_{CG})의 레벨이 래치업 전압보다 낮은 레벨로 감소되면 채널 영역에서 컨트롤 게이트 전극 아래 채널 영역과 드레인 영역에 인접한 제1 프로그래밍 게이트 전극 아래 채널 영역 사이의 포텐셜 장벽의 높이가 낮아지고, 낮아진 포텐셜 장벽으로 인해 드레인 영역으로부터 정공이 주입되는 제2 양성 피드백 루프(positive feedback loop)가 발생하여 전류가 흐르는 온 상태가 된다.

[0095] 즉, 삼중 게이트 실리콘 소자는 제2 양성 피드백 루프가 발생하여 에너지 밴드(201)에서 에너지 밴드(202)로 전환될 수 있다.

[0096] 전하 주입과 축적이 반복되어 양성 피드백 루프가 발생하여 전류가 흐르는 온 상태로 전환됨을 확인할 수 있다.

[0097] 예를 들어, 제2 양성 피드백 루프는 채널 영역에서 정공이 다수 캐리어(majority carrier)가 되는 양성 피드백 루프일 수 있다.

[0098] 도 2b는 본 발명의 일실시예에 따른 삼중 게이트 실리콘 소자가 n 채널로 동작하는 경우의 동작 원리를 예시한다.

[0099] 도 2b를 참고하면, 본 발명의 일실시예에 따른 삼중 게이트 실리콘 소자(210)는 소오스 단자를 통해 음의 전압을 인가 받고, 프로그래밍 게이트 단자에서 프로그램 전압의 레벨이 양성 레벨에 해당하는 양의 전압을 인가 받은 경우에 채널 영역 중 프로그래밍 게이트 전극(PG) 아래의 채널 영역은 n 채널로 프로그래밍 되어서 n 채널로 동작한다.

[0100] 일례로, 삼중 게이트 실리콘 소자는 컨트롤 게이트 단자를 통해 인가되는 컨트롤 전압의 레벨에 기반하여 온 상태 또는 오프 상태로 결정된다.

[0101] 본 발명의 일실시예에 따른 삼중 게이트 실리콘 소자(210)가 n 채널로 동작할 경우에 동작 상태는 컨트롤 게이트 단자를 통해 인가되는 컨트롤 전압의 레벨이 전류가 급격히 증가할 때의 전압인 래치업 전압보다 높은 레벨인 경우 온 상태로 결정되고, 인가되는 컨트롤 게이트 전압(V_{CG})의 레벨이 래치업 전압보다 낮은 레벨인 경우 오프 상태로 결정될 수 있다.

[0102] 본 발명의 일실시예에 따른 삼중 게이트 실리콘 소자가 n 채널로 동작할 경우에 컨트롤 전압의 레벨에 기반하여 오프 상태일 시 에너지 밴드(211)를 예시하고, 온 상태일 시 에너지 밴드(212)를 예시한다.

[0103] 에너지 밴드(211)와 에너지 밴드(212)를 참고하면, 채널 영역에서 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 n 채널 모드에 해당하는 제1 채널 모드로 동작할 경우, 컨트롤 전압(V_{CG})의 레벨이 래치업 전압보다 높은 레벨로 증가되면 채널 영역에서 컨트롤 게이트 전극 아래 채널 영역과 소오스 영역에 인접한 제2 프로그래밍 게이트 전극 아래 채널 영역 사이의 포텐셜 장벽의 높이가 낮아지고, 낮아진 포텐셜 장벽으로 인해 소오스 영역으로부터 전자가 주입되는 제1 양성 피드백 루프(positive feedback loop)가 발생하여 전류가 흐르는 온 상태가 된다.

[0104] 즉, 삼중 게이트 실리콘 소자는 제1 양성 피드백 루프가 발생하여 에너지 밴드(211)에서 에너지 밴드(212)로 전환된다.

[0105] 전하 주입과 축적이 반복되어 양성 피드백 루프가 발생하여 전류가 흐르는 온 상태로 전환됨을 확인할 수 있다.

[0106] 예를 들어, 제1 양성 피드백 루프는 채널 영역에서 전자가 다수 캐리어(majority carrier)가 되는 양성 피드백 루프일 수 있다.

[0107] 도 2c는 본 발명의 일실시예에 따른 삼중 게이트 실리콘 소자가 n채널 및 p 채널로 동작하는 경우의 동작할 때 제1 및 제2 양성 피드백 루프와 관련된 동작을 예시한다.

[0108] 도 2c를 참고하면, 그래프(220)는 삼중 게이트 실리콘 소자의 n 채널 모드의 동작 특성을 나타내고, 그래프(221)는 삼중 게이트 실리콘 소자의 p 채널 모드의 동작 특성을 나타낸다.

[0109] 그래프(220)는 n 채널 모드로 동작하는 삼중 게이트 실리콘 소자는 컨트롤 게이트 전극에 인가된 전압에 따라 온 상태 및 오프 상태를 가지는 경우, 전류가 급격히 증가할 때의 전압인 래치업 전압보다 컨트롤 게이트 전압이 작으면 포텐셜 장벽에 의해 전자와 정공의 흐름이 차단되어서 오프 상태를 가지는 특징과 컨트롤 게이트 전압이 증가하여 래치업 전압보다 커지면서 소오스 영역의 전자가 포텐셜 장벽을 넘어 채널로 주입돼 드레인 영역과 인접한 포텐셜 우물에 축적되고 포텐셜 장벽 높이가 낮아지는 것을 보여준다.

[0110] 이에 따라 드레인 영역의 정공이 채널로 주입돼 소오스 영역과 인접한 포텐셜 우물에 축적되고 포텐셜 장벽 높이가 낮아진다.

[0111] 전하 주입과 축적이 반복되어 양성 피드백 루프가 발생하여 전류가 흐르는 온상태가 된다.

[0112] 그래프(221)는 p 채널 모드로 동작하는 삼중 게이트 실리콘 소자의 경우, 래치업 전압보다 컨트롤 게이트 전압이 크면 포텐셜 장벽에 의해 전자와 정공의 흐름이 차단되어 오프 상태가 되고, 컨트롤 게이트 전압이 감소하여 래치업 전압보다 작아지면 드레인 영역의 정공이 포텐셜 장벽을 넘어 채널로 주입되어서 소오스 영역과 인접한 포텐셜 우물에 축적되고 포텐셜 장벽 높이가 낮아지는 특징을 보여준다.

[0113] 본 발명의 일실시예에 따르면 삼중 게이트 실리콘 소자는 게이트 영역에 인가되는 컨트롤 전압의 레벨에 따라 제1 양성 피드백 루프 또는 제2 양성 피드백 루프가 형성되고, 그와 함께 제1 채널 모드 및 제2 채널 모드에서 온 또는 오프 상태가 가변적으로 제어되는 소자일 수 있다. 여기서, 제1 채널 모드는 n 채널 모드이고, 제2 채널 모드는 p 채널 모드이다.

[0114] 또한, 삼중 게이트 실리콘 소자는 채널 영역의 포텐셜 우물에 전하 캐리어들이 축적되면서 양성 피드백 루프를 형성하면서 턴온이 되는데, 이는 채널 영역에서 데이터를 보존하는 메모리 기능으로 활용될 수 있다.

[0115] 따라서, 본 발명은 기존 CMOS 공정을 적용한 실리콘 기반 피드백 메모리 소자인 삼중 게이트 실리콘 소자를 활용하여 범용 로직 메모리 셀을 구현할 수 있다.

[0117] 도 3은 본 발명의 일실시예에 따른 범용 로직 메모리 셀을 설명하는 도면이다.

[0118] 도 3은 본 발명의 일실시예에 따른 복수의 삼중 게이트 실리콘 소자들을 이용하여 제1 네트워크 소자 및 제2 네트워크 소자를 포함하는 범용 로직 메모리 셀의 회로도를 예시한다.

[0119] 도 3을 참고하면, 본 발명의 일실시예에 따른 범용 로직 메모리 셀(300)은 제1 네트워크 소자(310) 및 제2 네트워크 소자(311)로 구성되고, 제1 네트워크 소자(310) 및 제2 네트워크 소자(311)는 복수의 삼중 게이트 실리콘 소자(301)로 이루어진다.

[0120] 보다 구체적으로, 제1 네트워크 소자(310) 및 제2 네트워크 소자(311)는 네 개의 삼중 게이트 실리콘 소자 중 두 개의 삼중 게이트 실리콘 소자의 드레인 영역과 소오스 영역이 직렬로 연결된 제1 직렬 연결부와 나머지 두 개의 삼중 게이트 실리콘 소자 의 드레인 영역과 소오스 영역이 직렬로 연결된 제2 직렬 연결부 간의 공통 드레인 영역이 연결되는 제1 병렬 연결부와 공통 소오스 영역이 연결되는 제2 병렬 연결부로 구성된다.

[0121] 제1 네트워크 소자(310)는 풀업(pull-up) 네트워크 소자로 지칭될 수 있고, 제2 네트워크 소자(311)는 풀다운(pull-down) 네트워크 소자로 지칭될 수 있다.

[0122] 본 발명의 일실시예에 따르면 범용 로직 메모리 셀(300)은 3진법(ternary) 논리 연산 기능 및 메모리 기능을 수행할 수 있다.

[0123] 일례로, 범용 로직 메모리 셀(300)은 양성(positive) 레벨, 제로(zero) 레벨 및 음성(negative) 레벨의 입력에 기반하여 양성 레벨, 제로 레벨 및 음성 레벨의 출력으로 3진법 논리 연산을 수행하고, 공급 전압, 프로그램 게이트 전극으로 인가되는 전압에 해당하는 전압과 제어 게이트 전극으로 인가되는 입력 전압을 "0"로 제어하여 기 설정된 전압의 상태를 유지하는 메모리 기능을 수행한다.

[0124] 본 발명의 일실시예에 따르면 제1 네트워크 소자(310) 및 제2 네트워크 소자(311) 각각은 네 개의 삼중 게이트 실리콘 소자로 구성되고, 상측, 하측, 좌측 및 우측으로 두 개의 삼중 게이트 실리콘 소자로 구분되어 지칭되거나 상좌측, 상우측, 하좌측 및 하우측으로 하나의 삼중 게이트 실리콘 소자로 구분되어 지칭될 수 있다.

[0125] 각 위치에 배열된 삼중 게이트 실리콘 소자는 제1 채널 모드와 제2 채널 모드 중 어느 하나로 선택적으로 구동될 수 있다.

[0126] 상술한 구성은 네트워크 소자의 배열에 따라 변경 가능하고, 변경 되는 연결 구성에 따라 변형되어 지칭될 수 있다.

[0127] 제1 네트워크 소자(310)는 제1 네트워크 소자(310)의 제1 병렬 연결부를 통해 공통 전압 중 드레인 전압(V_{DD})을 인가 받는다.

[0128] 제2 네트워크 소자(311)는 제2 네트워크 소자(311)의 제2 병렬 연결부를 통해 공통 전압 중 소오스 전압(V_{SS})이 인가된다.

[0129] 본 발명의 일실시예에 따른 범용 로직 메모리 셀(300)은 제1 네트워크 소자(310)의 제2 병렬 연결부와 제2 네트워크 소자(311)의 제1 병렬 연결부가 연결되는 부분에서 출력 전압(V_{OUT})이 측정될 수 있다.

[0130] 범용 로직 메모리 셀(300)은 제1 네트워크 소자(310) 및 제2 네트워크 소자(311)로 구성되고, 삼중 게이트 실리콘 소자(301)의 동작 상태에 따라 드레인 전압(V_{DD})과 소오스 전압(V_{SS})이 출력 전압(V_{OUT})에서 측정되는 내용에

기반하여 논리 연산을 구현한다.

[0131] 본 발명의 일실시예에 따른 범용 로직 메모리 셀(300)은 복수의 삼중 게이트 실리콘 소자를 이용한다.

[0132] 복수의 삼중 게이트 실리콘 소자 각각은 드레인 영역, 채널 영역, 소오스 영역을 포함하고, 드레인 영역 및 소오스 영역으로 공급 전압이 인가되며, 채널 영역 상에서 제1 및 제2 프로그래밍 게이트 전극 및 컨트롤 게이트 전극이 형성된 게이트 영역을 포함한다.

[0133] 또한, 복수의 삼중 게이트 실리콘 소자 각각은 제1 및 제2 프로그래밍 게이트 전극을 통해 인가되는 프로그램 전압(V_{PG})의 레벨에 따라 채널 영역에서 제1 및 제2 프로그래밍 게이트 전극 아래의 채널 영역이 제1 채널 모드 및 제2 채널 모드 중 어느 하나의 채널 모드로 동작하고, 컨트롤 게이트 전극을 통해 인가되는 컨트롤 전압(V_{CG})의 레벨에 기반하여 온 상태(on state)와 오프 상태(off state) 중 어느 하나의 상태로 결정할 수 있다.

[0134] 제1 네트워크 소자(310) 및 제2 네트워크 소자(311)는 기 수행된 어느 하나의 채널 모드에서 기 결정된 어느 하나의 상태에 따라 양성 레벨, 제로 레벨 및 음성 레벨 중 어느 하나로 출력 전압(V_{OUT})의 레벨을 결정함에 따라 3진법(ternary) 논리 연산 기능 및 메모리 기능을 수행할 수 있다.

[0135] 3진법 논리 연산 기능은 TNOT, TYES, TNAND, TNOR, TAND, TOR, TXNOR 및 TXOR 게이트와 관련한 논리 연산 기능이다.

[0136] 따라서, 본 발명은 양성 피드백 루프(positive feedback loop)로 구동하는 삼중 게이트 실리콘 소자를 이용하여 3진법 논리 연산 기능 및 메모리 기능을 제공하는 범용 로직 메모리 셀을 구현할 수 있다.

[0137] 또한, 본 발명은 삼중 게이트 실리콘 소자를 이용하여 단일 구조에서 모든 3진법 기본 논리 연산을 수행하고, 연산 결과를 기억하는 범용 로직 메모리 셀을 구현할 수 있다.

[0139] 도 4a는 본 발명의 일실시예에 따른 범용 로직 메모리 셀의 TNOT 게이트 동작을 설명하는 도면이다.

[0140] 도 4a는 본 발명의 일실시예에 따른 범용 로직 메모리 셀의 TNOT 게이트 동작과 관련하여 회로도와 타이밍도를 예시한다.

[0141] 도 4a를 참고하면, 본 발명의 일실시예에 따른 범용 로직 메모리 셀(400)은 프로그래밍 게이트 단자(PG)를 통해 인가되는 프로그래밍 전압에 기반하여 제1 네트워크 소자를 구성하는 삼중 게이트 실리콘 소자들이 제2 채널 모드로 동작하고, 제2 네트워크 소자를 구성하는 삼중 게이트 실리콘 소자들이 제1 채널 모드로 동작한다.

[0142] 이때, 범용 로직 메모리 셀(400)은 컨트롤 게이트 단자(CG)를 통해 인가되는 입력 전압(IN)인 컨트롤 전압(V_{CG})의 레벨이 음성 레벨인 경우에 출력 단자를 통해 측정되는 출력 전압(V_{OUT})의 레벨이 양성(positive) 레벨이고, 컨트롤 전압(V_{CG})의 레벨이 양성 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 음성(negative) 레벨로 TNOT 게이트 동작에 해당하는 논리 연산 기능을 수행할 수 있다.

[0143] 또한, 범용 로직 메모리 셀(400)은 컨트롤 전압(V_{CG})의 레벨이 제로(zero) 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 제로 레벨로 결정하는 TNOT 게이트 동작에 해당하는 논리 연산 기능을 수행할 수 있다.

[0144] 타이밍도(401)는 "-1"에 해당하는 음성 레벨의 입력 전압(V_{IN})이 인가 되었을 때 "1"에 해당하는 양성 레벨의 출력 전압(V_{OUT})이 논리연산 되어서 출력되는 것을 예시한다.

[0145] 또한, 타이밍도(401)는 "1"에 해당하는 양성 레벨의 입력 전압(V_{IN})이 인가 되었을 때 "-1"에 해당하는 음성 레벨의 출력 전압(V_{OUT})이 논리연산 되어서 출력되는 것을 예시한다.

[0146] 또한, 타이밍도(401)는 "0"에 해당하는 제로 레벨의 입력 전압(V_{IN})이 인가 되었을 때 "0"에 해당하는 제로 레벨의 출력 전압(V_{OUT})이 논리연산 되어서 출력되는 것을 예시한다.

[0147] 또한, 공급 전압(V_{SUP}), 프로그램 전압(V_{PG}), 입력 전압(V_{IN})이 제거되었을 때도 연산한 논리값을 유지(Hold)하는 메모리 기능을 수행함을 나타낸다.

[0148] 예를 들어, 공급 전압(V_{SUP})은 드레인 전압(V_{DD})과 소오스 전압(V_{SS})으로 구성되고, 프로그램 전압(V_{PG})은 n채널에 해당하는 프로그램 전압(V_{PG}^{N})과 p채널에 해당하는 프로그램 전압(V_{PG}^{P})으로 구성된다.

[0150] 도 4b는 본 발명의 일실시예에 따른 범용 로직 메모리 셀의 TYES 게이트 동작을 설명하는 도면이다.

[0151] 도 4b는 본 발명의 일실시예에 따른 범용 로직 메모리 셀의 TYES 게이트 동작과 관련하여 회로도와 타이밍도를 예시한다.

[0152] 도 4b를 참고하면, 본 발명의 일실시예에 따른 범용 로직 메모리 셀(410)은 프로그래밍 게이트 단자(PG)를 통해 인가되는 프로그래밍 전압에 기반하여 제1 네트워크 소자를 구성하는 삼중 게이트 실리콘 소자들이 제1 채널 모드로 동작하고, 제2 네트워크 소자를 구성하는 삼중 게이트 실리콘 소자들이 제2 채널 모드로 동작한다.

[0153] 이때, 범용 로직 메모리 셀(410)은 컨트롤 게이트 단자(CG)를 통해 인가되는 입력 전압(IN)인 컨트롤 전압(V_{CG})의 레벨이 양성 레벨인 경우에 출력 단자를 통해 측정되는 출력 전압(V_{OUT})의 레벨이 양성 레벨이고, 컨트롤 전압(V_{CG})의 레벨이 음성 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 음성 레벨로 TYES 게이트 동작에 해당하는 논리 연산 기능을 수행할 수 있다.

[0154] 또한, 범용 로직 메모리 셀(410)은 컨트롤 전압(V_{CG})의 레벨이 제로 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 제로 레벨로 결정하는 TYES 게이트 동작에 해당하는 논리 연산 기능을 수행할 수 있다.

[0155] 타이밍도(411)는 "-1'에 해당하는 음성 레벨의 입력 전압(V_{IN})이 인가 되었을 때 "-1"에 해당하는 음성 레벨의 출력 전압(V_{OUT})이 논리연산 되어서 출력되는 것을 예시한다.

[0156] 또한, 타이밍도(411)는 "1"에 해당하는 양성 레벨의 입력 전압(V_{IN})이 인가 되었을 때 "1"에 해당하는 양성 레벨의 출력 전압(V_{OUT})이 논리연산 되어서 출력되는 것을 예시한다.

[0157] 또한, 타이밍도(411)는 "0"에 해당하는 제로 레벨의 입력 전압(V_{IN})이 인가 되었을 때 "0"에 해당하는 제로 레벨의 출력 전압(V_{OUT})이 논리연산 되어서 출력되는 것을 예시한다.

[0158] 또한, 공급 전압(V_{SUP}), 프로그램 전압(V_{PG}), 입력 전압(V_{IN})이 제거되었을 때도 연산한 논리값을 유지(Hold)하는 메모리 기능을 수행함을 나타낸다.

[0159] 예를 들어, 공급 전압(V_{SUP})은 드레인 전압(V_{DD})과 소오스 전압(V_{SS})으로 구성되고, 프로그램 전압(V_{PG})은 n채널에 해당하는 프로그램 전압(V_{PG}^{N})과 p채널에 해당하는 프로그램 전압(V_{PG}^{P})으로 구성된다.

[0161] 도 5a는 본 발명의 일시예에 따른 범용 로직 메모리 셀의 TNAND 게이트 동작을 설명하는 도면이다.

[0162] 도 5a는 본 발명의 일실시예에 따른 범용 로직 메모리 셀의 TNAND 게이트 동작과 관련하여 회로도 및 타이밍도를 예시한다.

[0163] 도 5a를 참고하면, 본 발명의 일실시예에 따른 범용 로직 메모리 셀(500)은 프로그래밍 게이트 단자(PG)를 통해 인가되는 프로그래밍 전압에 기반하여 제1 네트워크 소자를 구성하는 삼중 게이트 실리콘 소자들이 제2 채널 모드로 동작하며, 제2 네트워크 소자를 구성하는 삼중 게이트 실리콘 소자들이 제1 채널 모드로 동작한다.

[0164] 또한, 범용 로직 메모리 셀(500)은 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(IN1)이 제1 네트워크 소자의 좌측 및 제2 네트워크 소자의 상측에 인가되며, 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(IN2)은 제1 네트워크 소자의 우측 및 제2 네트워크 소자의 하측에 인가된다.

[0165] 이에 따라, 범용 로직 메모리 셀(500)은 제1 컨트롤 전압(IN1) 및 제2 컨트롤 전압(IN2)의 레벨 중 어느 하나의 레벨이 음성 레벨인 경우에 출력 전압(V_{OUT})의 레벨을 양성 레벨로 결정한다.

[0166] 또한, 범용 로직 메모리 셀(500)은 제1 컨트롤 전압(IN1) 및 제2 컨트롤 전압(IN2)의 레벨이 모두 양성 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 음성 레벨로 결정하는 TNAND 게이트의 논리 연산 기능을 수행할 수 있다.

[0167] 또한, 범용 로직 메모리 셀(500)은 제1 컨트롤 전압(IN1) 및 제2 컨트롤 전압(IN2)의 레벨이 모두 제로 레벨이거나 어느 하나의 레벨은 제로 레벨이고, 다른 하나의 레벨은 양성 레벨인 경우에 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 TNAND 게이트의 논리 연산 기능을 수행함에 따라 3진법 논리 연산 기능을 수행할 수 있다.

[0168] 타이밍도(501)는 두 개의 입력 전압(V_{IN1}, V_{IN2})에 대해 "-1", "0" 및 "1"의 조합에 해당하는 입력이 인가되었을 때, 출력 전압(V_{OUT})에서 "-1", "0" 및 "1"에 해당하는 값이 연산됨에 따라 3진법 논리 연산 기능을 수행함을 나타낸다.

[0169] 또한, 공급 전압(V_{SUP}), 프로그램 전압(V_{PG}), 입력 전압(V_{IN1}, V_{IN2})이 제거되었을 때도 연산한 논리값을 유지(Hold)하는 메모리 기능을 수행함을 나타낸다.

[0170] 예를 들어, 공급 전압(V_{SUP})은 드레인 전압(V_{DD})과 소오스 전압(V_{SS})으로 구성되고, 프로그램 전압(V_{PG})은 n채널에 해당하는 프로그램 전압(V_{PG}^{N})과 p채널에 해당하는 프로그램 전압(V_{PG}^{P})으로 구성된다.

[0172] 도 5b는 본 발명의 일시예에 따른 범용 로직 메모리 셀의 TNOR 게이트 동작을 설명하는 도면이다.

[0173] 도 5b는 본 발명의 일실시예에 따른 범용 로직 메모리 셀의 TNOR 게이트 동작과 관련하여 회로도와 타이밍도를 예시한다.

[0174] 도 5b를 참고하면, 본 발명의 일실시예에 따른 범용 로직 메모리 셀(510)은 프로그래밍 게이트 단자(PG)를 통해 인가되는 프로그래밍 전압에 기반하여 제1 네트워크 소자를 구성하는 삼중 게이트 실리콘 소자들이 제2 채널 모드로 동작하며, 제2 네트워크 소자를 구성하는 삼중 게이트 실리콘 소자들이 제1 채널 모드로 동작한다.

[0175] 또한, 범용 로직 메모리 셀(510)은 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(IN1)이 제1 네트워크 소자의 상측 및 제2 네트워크 소자의 좌측에 인가되며, 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(IN2)는 제1 네트워크 소자의 하측 및 제2 네트워크 소자의 우측에 인가된다.

[0176] 이에 따라, 범용 로직 메모리 셀(510)은 제1 컨트롤 전압(V_{IN1}) 및 제2 컨트롤 전압(V_{IN2})의 레벨 중 어느 하나의 레벨이 양성 레벨인 경우에 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정한다.

[0177] 또한, 범용 로직 메모리 셀(510)은 제1 컨트롤 전압(V_{IN1}) 및 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 음성 레벨인 경우에 출력 전압(V_{OUT})의 레벨이 양성 레벨로 결정한다.

[0178] 또한, 범용 로직 메모리 셀(510)은 제1 컨트롤 전압(V_{IN1}) 및 제2 컨트롤 전압(V_{IN2}) 중 모두 제로 레벨이거나 어느 하나의 레벨은 제로 레벨이고 다른 하나의 레벨은 음성 레벨인 경우에 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 3진법 논리 연산 기능 중 TNOR 연산을 수행한다.

[0179] 타이밍도(511)는 두 개의 입력 전압(V_{IN1}, V_{IN2})에 대해 "-1", "0" 및 "1"의 조합에 해당하는 입력이 인가되었을 때, 출력 전압(V_{OUT})에서 "-1", "0" 및 "1"에 해당하는 값이 연산됨에 따라 3진법 논리 연산 기능을 수행함을 나타낸다.

[0180] 또한, 공급 전압(V_{SUP}), 프로그램 전압(V_{PG}), 입력 전압(V_{IN1}, V_{IN2})이 제거되었을 때도 연산한 논리값을 유지(Hold)하는 메모리 기능을 수행함을 나타낸다.

[0181] 예를 들어, 공급 전압(V_{SUP})은 드레인 전압(V_{DD})과 소오스 전압(V_{SS})으로 구성되고, 프로그램 전압(V_{PG})은 n채널에 해당하는 프로그램 전압(V_{PG}^{N})과 p채널에 해당하는 프로그램 전압(V_{PG}^{P})으로 구성된다.

[0183] 도 6a는 본 발명의 일시예에 따른 범용 로직 메모리 셀의 TAND 게이트 동작을 설명하는 도면이다.

[0184] 도 6a는 본 발명의 일실시예에 따른 범용 로직 메모리 셀의 TAND 게이트 동작과 관련하여 회로도 및 타이밍도를 예시한다.

[0185] 도 6a를 참고하면, 본 발명의 일실시예에 따른 범용 로직 메모리 셀(600)은 프로그래밍 게이트 단자(PG)를 통해 인가되는 프로그래밍 전압에 기반하여 제1 네트워크 소자를 구성하는 삼중 게이트 실리콘 소자들이 제1 채널 모드로 동작하며, 제2 네트워크 소자를 구성하는 삼중 게이트 실리콘 소자들이 제2 채널 모드로 동작한다.

[0186] 또한, 범용 로직 메모리 셀(600)은 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(IN1)이 제1 네트워크 소자의 상측 및 제2 네트워크 소자의 좌측에 인가되며, 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(IN2)이 제1 네트워크 소자의 하측 및 제2 네트워크 소자의 우측에 인가된다.

[0187] 이에 따라, 범용 로직 메모리 셀(600)은 제1 컨트롤 전압(V_{IN1}) 및 제2 컨트롤 전압(V_{IN2})의 레벨 중 어느 하나의 레벨이 음성 레벨인 경우에 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정하는 논리 연산을 수행한다.

[0188] 또한, 범용 로직 메모리 셀(600)은 제1 컨트롤 전압(V_{IN1}) 및 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 양성 레벨인 경우에 출력 전압(V_{OUT})의 레벨을 양성 레벨로 결정한다.

[0189] 또한, 범용 로직 메모리 셀(600)은 제1 컨트롤 전압(V_{IN1}) 및 제2 컨트롤 전압(V_{IN2})의 레벨 중 모두 제로 레벨이거나 어느 하나의 레벨은 제로 레벨이고 다른 하나의 레벨은 양성 레벨인 경우에 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 3진법 논리 연산 기능을 수행한다.

[0190] 즉, 범용 로직 메모리 셀(600)은 TAND 게이트 동작을 수행한다.

[0191] 타이밍도(601)는 두 개의 입력 전압(V_{IN1}, V_{IN2})에 대해 "-1", "0" 및 "1"의 조합에 해당하는 입력이 인가되었을 때, 출력 전압(V_{OUT})에서 "-1", "0" 및 "1"에 해당하는 값이 연산됨에 따라 3진법 논리 연산 기능을 수행함을 나타낸다.

[0192] 또한, 공급 전압(V_{SUP}), 프로그램 전압(V_{PG}), 입력 전압(V_{IN1}, V_{IN2})이 제거되었을 때도 연산한 논리값을 유지(Hold)하는 메모리 기능을 수행함을 나타낸다.

[0193] 예를 들어, 공급 전압(V_{SUP})은 드레인 전압(V_{DD})과 소오스 전압(V_{SS})으로 구성되고, 프로그램 전압(V_{PG})은 n채널에 해당하는 프로그램 전압(V_{PG}^{N})과 p채널에 해당하는 프로그램 전압(V_{PG}^{P})으로 구성된다.

[0195] 도 6b는 본 발명의 일시예에 따른 범용 로직 메모리 셀의 TOR 게이트 동작을 설명하는 도면이다.

[0196] 도 6b는 본 발명의 일실시예에 따른 범용 로직 메모리 셀의 TOR 게이트 동작과 관련하여 회로도 및 타이밍도를 예시한다.

[0197] 도 6b를 참고하면, 본 발명의 일실시예에 따른 범용 로직 메모리 셀(610)은 프로그래밍 게이트 단자(PG)를 통해 인가되는 프로그래밍 전압에 기반하여 제1 네트워크 소자를 구성하는 삼중 게이트 실리콘 소자들이 제1 채널 모드로 동작하며, 제2 네트워크 소자를 구성하는 삼중 게이트 실리콘 소자들이 제2 채널 모드로 동작한다.

[0198] 또한, 범용 로직 메모리 셀(610)은 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(IN1)이 제1 네트워크 소자의 좌측 및 제2 네트워크 소자의 상측에 인가되며, 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(IN2)이 제1 네트워크 소자의 우측 및 제2 네트워크 소자의 하측에 인가된다.

[0199] 이에 따라, 범용 로직 메모리 셀(610)은 제1 컨트롤 전압(V_{IN1}) 및 제2 컨트롤 전압(V_{IN2})의 레벨 중 어느 하나의 레벨이 양성 레벨인 경우에 출력 전압(V_{OUT})의 레벨을 양성 레벨로 결정한다.

[0200] 또한, 범용 로직 메모리 셀(610)은 제1 컨트롤 전압(V_{IN1}) 및 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 음성 레벨인 경우에 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정한다.

[0201] 또한, 범용 로직 메모리 셀(610)은 제1 컨트롤 전압(V_{IN1}) 및 제2 컨트롤 전압(V_{IN2})의 레벨 중 모두 제로 레벨이거나 어느 하나의 레벨은 제로 레벨이고 다른 하나의 레벨은 음성 레벨인 경우에 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 3진법 논리 연산 기능을 수행한다.

[0202] 타이밍도(611)는 두 개의 입력 전압(V_{IN1}, V_{IN2})에 대해 "-1", "0" 및 "1"의 조합에 해당하는 입력이 인가되었을 때, 출력 전압(V_{OUT})에서 "-1", "0" 및 "1"에 해당하는 값이 연산됨에 따라 3진법 논리 연산 기능과 관련하여 TOR 논리 연산을 수행함을 나타낸다.

[0203] 또한, 공급 전압(V_{SUP}), 프로그램 전압(V_{PG}), 입력 전압(V_{IN1}, V_{IN2})이 제거되었을 때도 연산한 논리값을 유지(Hold)하는 메모리 기능을 수행함을 나타낸다.

[0204] 예를 들어, 공급 전압(V_{SUP})은 드레인 전압(V_{DD})과 소오스 전압(V_{SS})으로 구성되고, 프로그램 전압(V_{PG})은 n채널에 해당하는 프로그램 전압(V_{PG}^{N})과 p채널에 해당하는 프로그램 전압(V_{PG}^{P})으로 구성된다.

[0206] 도 7a는 본 발명의 일시예에 따른 범용 로직 메모리 셀의 TXNOR 게이트 동작을 설명하는 도면이다.

[0207] 도 7a는 본 발명의 일실시예에 따른 범용 로직 메모리 셀의 TXNOR 게이트 동작과 관련하여 회로도 및 타이밍도를 예시한다.

[0208] 도 7a를 참고하면, 본 발명의 일실시예에 따른 범용 로직 메모리 셀(700)은 제1 네트워크 소자를 구성하는 삼중 게이트 실리콘 소자들 중 좌측이 제1 채널 모드로 동작하고, 우측이 제2 채널 모드로 동작하며, 제2 네트워크 소자를 구성하는 삼중 게이트 실리콘 소자들 중 상좌측이 제2 채널 모드로 동작하고, 상우측이 제1 채널 모드로 동작하며, 하좌측이 제1 채널 모드로 동작하고, 하우측이 제2 채널 모드로 동작한다.

[0209] 본 발명의 일실시예에 따른 범용 로직 메모리 셀(700)은 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_{IN1})이 상기 제1 네트워크 소자 및 상기 제2 네트워크 소자의 상측에 인가되며, 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_{IN2})이 제1 네트워크 소자 및 제2 네트워크 소자의 하측에 인가된다.

[0210] 본 발명의 일실시예에 따르면 범용 로직 메모리 셀(700)은 제1 컨트롤 전압(V_{IN1}) 및 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 음성 레벨인 경우 출력 전압(V_{OUT})의 레벨을 양성 레벨로 출력한다.

[0211] 범용 로직 메모리 셀(700)은 제1 컨트롤 전압(V_{IN1}) 및 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 양성 레벨인 경우 출력 전압(V_{OUT})의 레벨을 양성 레벨로 출력한다.

[0212] 또한, 범용 로직 메모리 셀(700)은 제1 컨트롤 전압(V_{IN1}) 및 제2 컨트롤 전압(V_{IN2})의 레벨 중 어느 하나의 레벨이 제로 레벨인 경우 출력 전압(V_{OUT})의 레벨을 음성 레벨로 출력한다.

[0213] 또한, 범용 로직 메모리 셀(700)은 제1 컨트롤 전압(V_{IN1}) 및 제2 컨트롤 전압(V_{IN2})의 레벨 중 어느 하나라도 제로 레벨이면 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 3진법 논리 연산 기능을 수행할 수 있다.

[0214] 타이밍도(701)는 두 개의 입력 전압(V_{IN1}, V_{IN2})에 대해 "-1", "0" 및 "1"의 조합에 해당하는 입력이 인가되었을 때, 출력 전압(V_{OUT})에서 "-1", "0" 및 "1"에 해당하는 값이 연산됨에 따라 3진법 논리 연산 기능과 관련하여 TXNOR 논리 연산을 수행함을 나타낸다.

[0215] 또한, 공급 전압(V_{SUP}), 프로그램 전압(V_{PG}), 입력 전압(V_{IN1}, V_{IN2})이 제거되었을 때도 연산한 논리값을 유지(Hold)하는 메모리 기능을 수행함을 나타낸다.

[0216] 예를 들어, 공급 전압(V_{SUP})은 드레인 전압(V_{DD})과 소오스 전압(V_{SS})으로 구성되고, 프로그램 전압(V_{PG})은 n채널에 해당하는 프로그램 전압(V_{PG}^{N})과 p채널에 해당하는 프로그램 전압(V_{PG}^{P})으로 구성된다.

[0218] 도 7b는 본 발명의 일시예에 따른 범용 로직 메모리 셀의 TXOR 게이트 동작을 설명하는 도면이다.

[0219] 도 7b는 본 발명의 일실시예에 따른 범용 로직 메모리 셀의 TXOR 게이트 동작과 관련하여 회로도 및 타이밍도를 예시한다.

[0220] 도 7b를 참고하면, 본 발명의 일실시예에 따른 범용 로직 메모리 셀(710)은 제1 네트워크 소자를 구성하는 삼중 게이트 실리콘 소자들 중 상좌측이 제2 채널 모드로 동작하고, 상우측이 제1 채널 모드로 동작하며, 하좌측이 제1 채널 모드로 동작하고, 상기 하우측이 제2 채널 모드로 동작하고, 제2 네트워크 소자를 구성하는 삼중 게이트 실리콘 소자들 중 좌측이 제1 채널 모드로 동작하고, 우측이 제2 채널 모드로 동작한다.

[0221] 본 발명의 일실시예에 따른 범용 로직 메모리 셀(710)은 컨트롤 전압(V_{CG}) 중 제1 컨트롤 전압(V_{IN1})이 상기 제1 네트워크 소자 및 상기 제2 네트워크 소자의 상측에 인가되며, 컨트롤 전압(V_{CG}) 중 제2 컨트롤 전압(V_{IN2})이 제1 네트워크 소자 및 제2 네트워크 소자의 하측에 인가된다.

[0222] 또한, 범용 로직 메모리 셀(710)은 제1 컨트롤 전압(V_{IN1}) 및 제2 컨트롤 전압(V_{IN2})의 레벨이 모두 음성 또는 양성 레벨인 경우에 출력 전압(V_{OUT})의 레벨을 음성 레벨로 결정한다.

[0223] 또한, 범용 로직 메모리 셀(710)은 제1 컨트롤 전압(V_{IN1}) 및 제2 컨트롤 전압(V_{IN2})의 레벨이 상반되도록 음성 레벨 또는 양성 레벨인 경우에 출력 전압(V_{OUT})의 레벨을 양성 레벨로 출력한다.

[0224] 또한, 범용 로직 메모리 셀(710)은 제1 컨트롤 전압(V_{IN1}) 및 제2 컨트롤 전압(V_{IN2})의 레벨 중 어느 하나라도 제로 레벨이면 출력 전압(V_{OUT})의 레벨을 제로 레벨로 결정하는 3진법 논리 연산 기능을 수행할 수 있다.

[0225] 타이밍도(711)는 두 개의 입력 전압(V_{IN1}, V_{IN2})에 대해 "-1", "0" 및 "1"의 조합에 해당하는 입력이 인가되었을 때, 출력 전압(V_{OUT})에서 "-1", "0" 및 "1"에 해당하는 값이 연산됨에 따라 3진법 논리 연산 기능과 관련하여 TXOR 논리 연산을 수행함을 나타낸다.

[0226] 또한, 공급 전압(V_{SUP}), 프로그램 전압(V_{PG}), 입력 전압(V_{IN1}, V_{IN2})이 제거되었을 때도 연산한 논리값을 유지(Hold)하는 메모리 기능을 수행함을 나타낸다.

[0227] 예를 들어, 공급 전압(V_{SUP})은 드레인 전압(V_{DD})과 소오스 전압(V_{SS})으로 구성되고, 프로그램 전압(V_{PG})은 n채널에 해당하는 프로그램 전압(V_{PG}^{N})과 p채널에 해당하는 프로그램 전압(V_{PG}^{P})으로 구성된다.

[0228] 따라서, 본 발명은 논리 연산과 저장 기능의 융합을 통해 데이터 병목 현상에 따른 처리 속도 및 집적화 한계를 개선할 수 있다.

[0229] 또한, 본 발명은 채널 모드 재구성 특성을 이용하여 구조 변경 및 외부 바이어스 없이 논리 연산 값을 유지하는 우수한 메모리 특성으로 대기 전력 효율을 향상시킬 수 있다.

[0231] 상술한 구체적인 실시 예들에서, 발명에 포함되는 구성 요소는 제시된 구체적인 실시 예에 따라 단수 또는 복수로 표현되었다.

[0232] 그러나, 단수 또는 복수의 표현은 설명의 편의를 위해 제시한 상황에 적합하게 선택된 것으로서, 상술한 실시 예들이 단수 또는 복수의 구성 요소에 제한되는 것은 아니며, 복수로 표현된 구성 요소라 하더라도 단수로 구성되거나, 단수로 표현된 구성 요소라 하더라도 복수로 구성될 수 있다.

[0233] 한편 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 다양한 실시 예들이 내포하는 기술적 사상의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다.

[0234] 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니되며 후술하는 청구범위뿐만 아니라 이 청구범위와 균등한 것들에 의해 정해져야 한다.

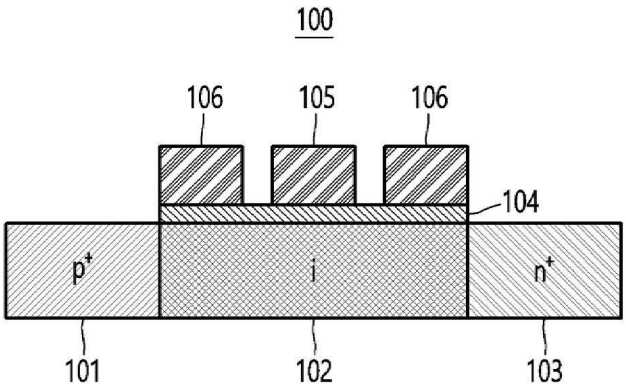
부호의 설명

[0235] 300: 범용 로직 메모리 셀 301: 삼중 게이트 실리콘 소자

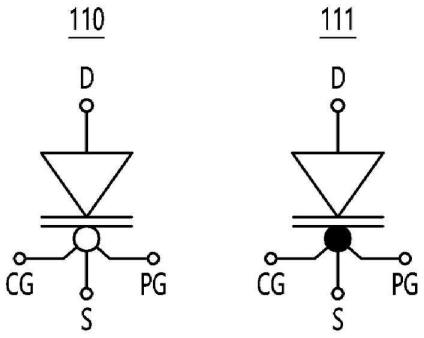
310: 제1 네트워크 소자 311: 제2 네트워크 소자

도면

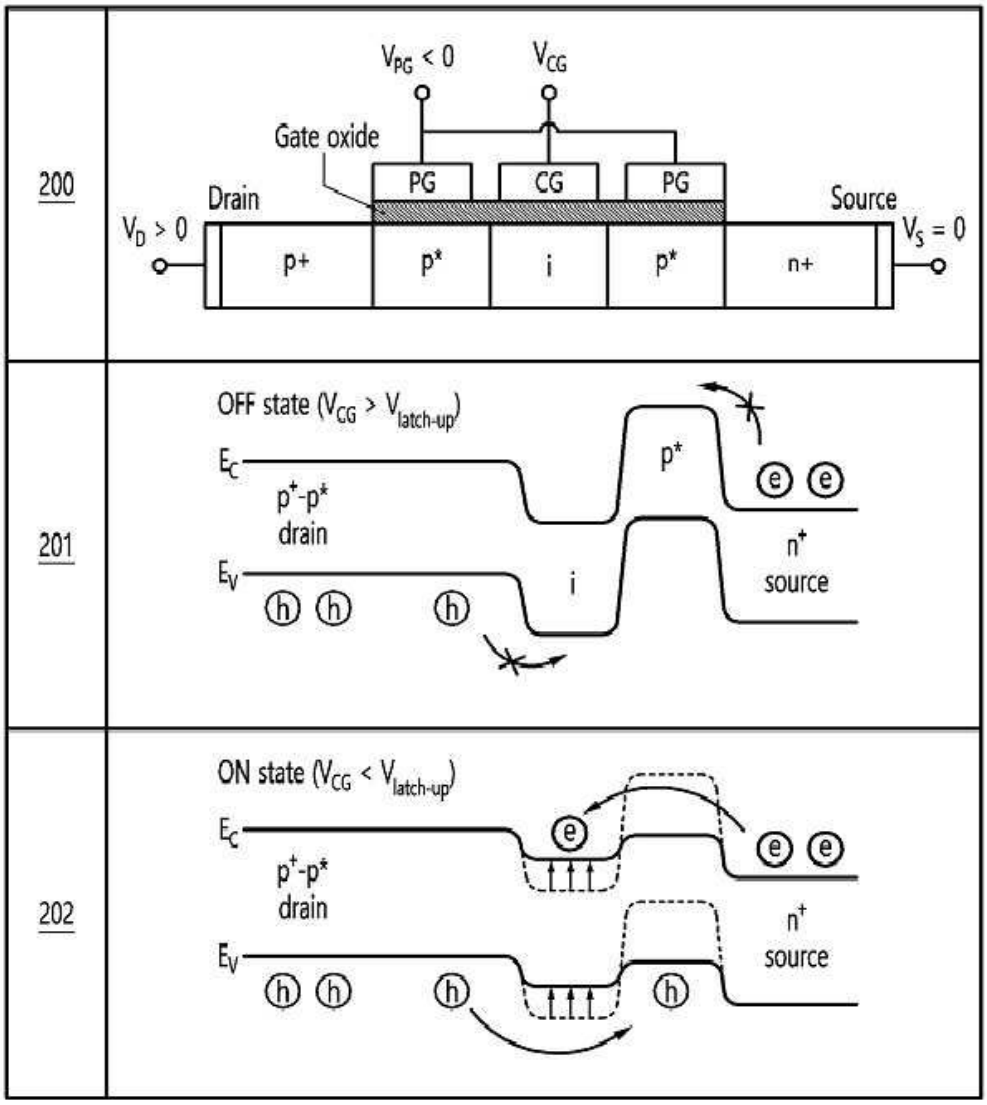
도면1a



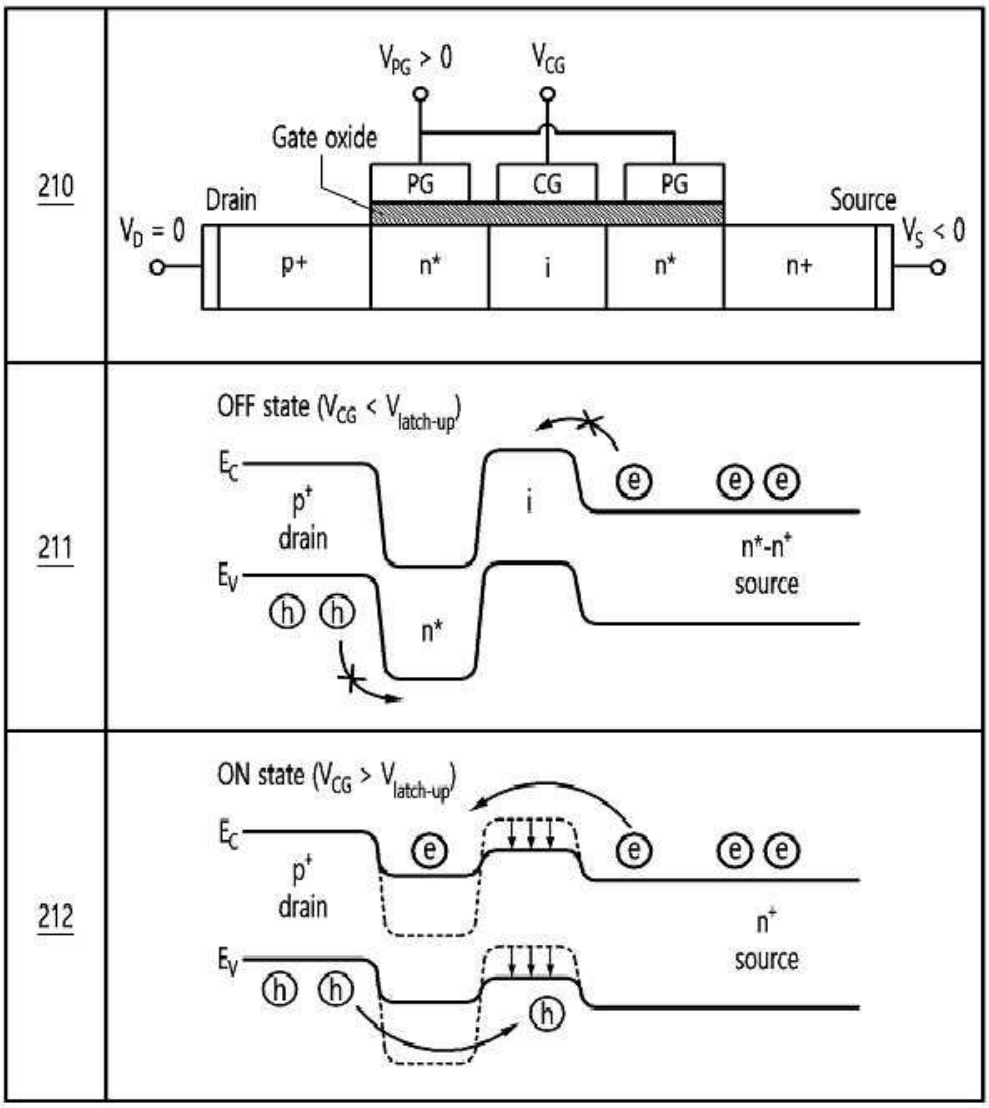
도면1b



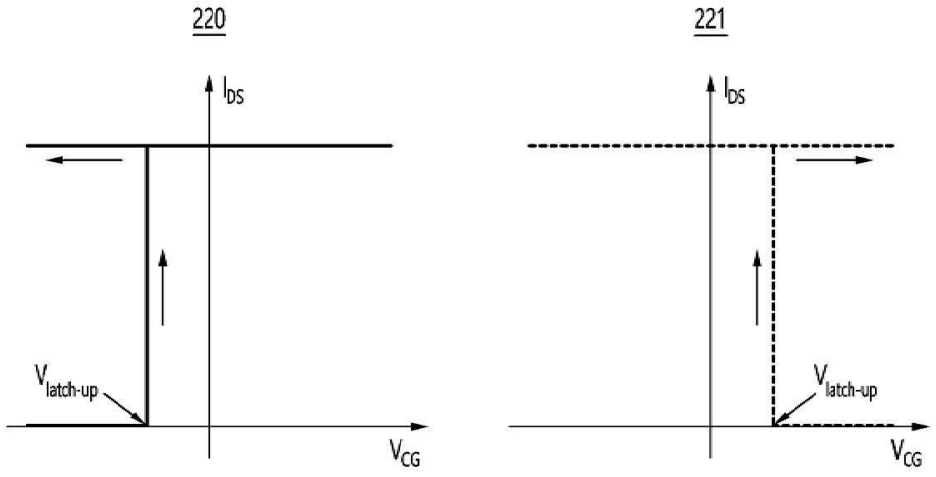
도면2a


200
$V_{PG} < 0$
V_{CG}
Gate oxide
PG
CG
PG
Drain
Source
$V_D > 0$
$V_S = 0$
p+
p*
i
p*
n+
201
OFF state ($V_{CG} > V_{latch-up}$)
E_C
p^+-p^* drain
E_V
p*
n^+ source
i
e
h
202
ON state ($V_{CG} < V_{latch-up}$)
E_C
p^+-p^* drain
E_V
n^+ source
e
h

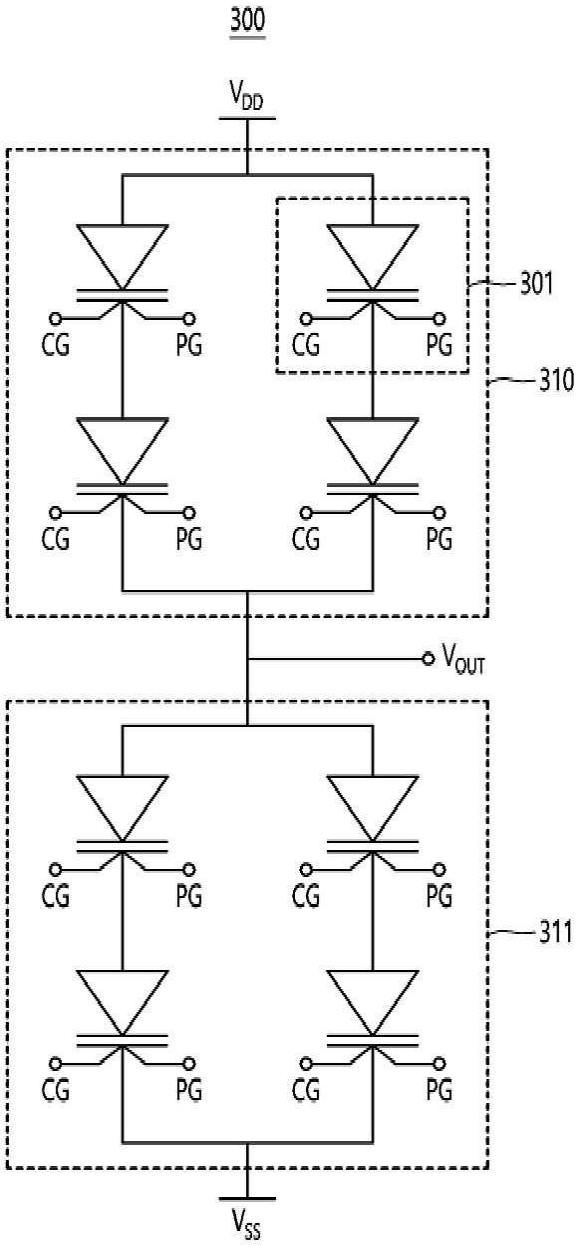
도면2b


210
$V_{PG} > 0$
V_{CG}
Gate oxide
PG
CG
PG
Drain
Source
$V_D = 0$
$V_S < 0$
p+
n*
i
n*
n+
211
OFF state ($V_{CG} < V_{latch-up}$)
E_C
E_V
p^+ drain
i
n*-n^+ source
n*
212
ON state ($V_{CG} > V_{latch-up}$)
E_C
E_V
p^+ drain
n^+ source

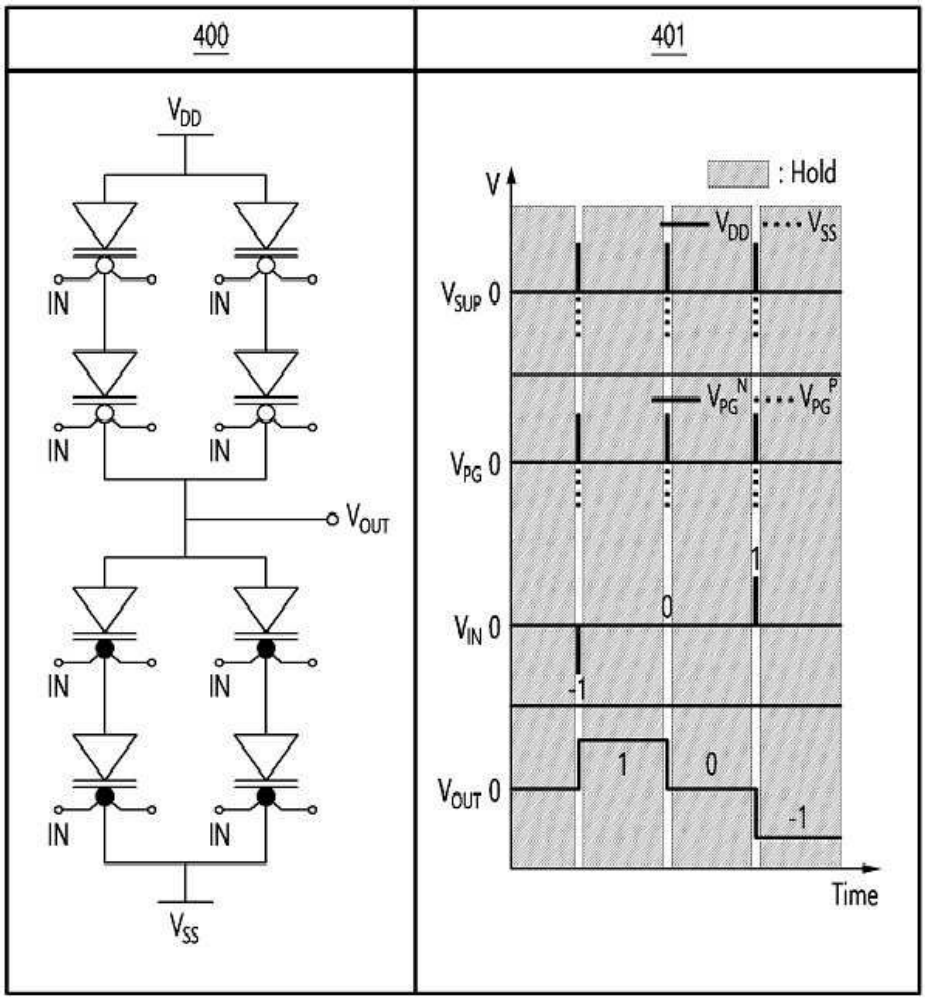
도면2c


220
I_{DS}
$V_{latch-up}$
V_{CG}
221
I_{DS}
$V_{latch-up}$
V_{CG}

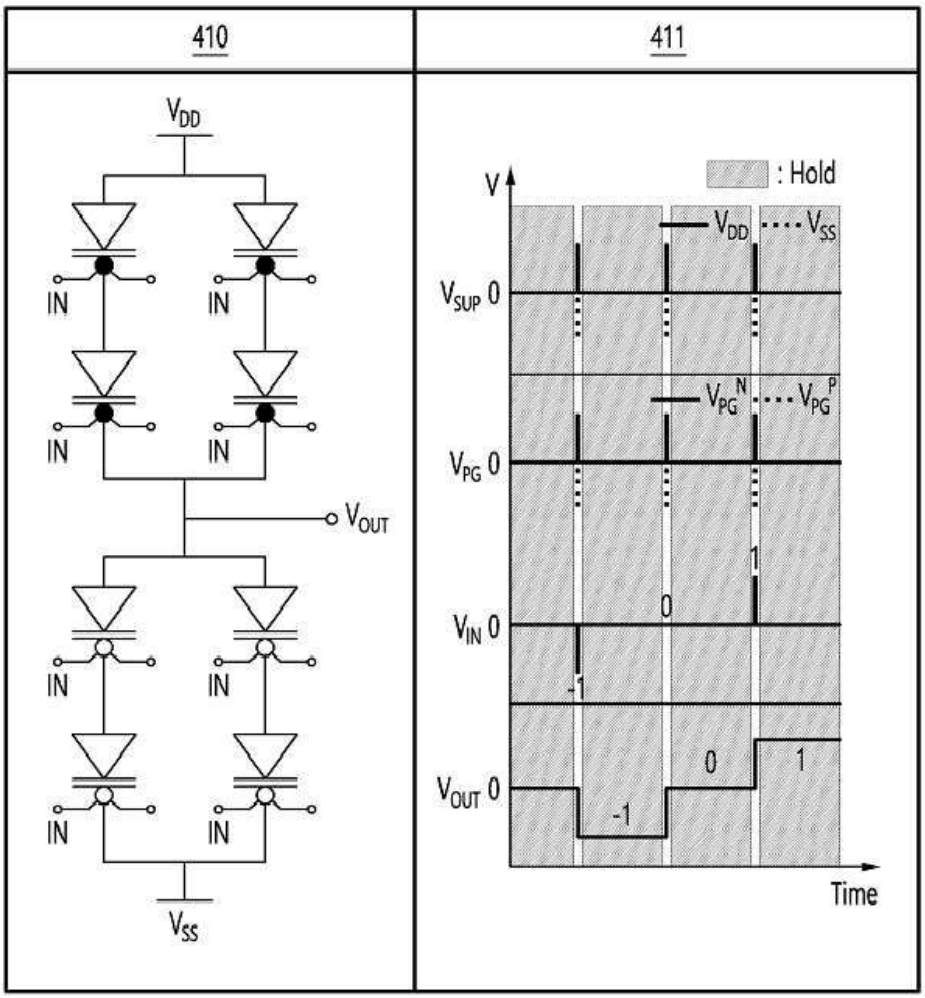
도면3



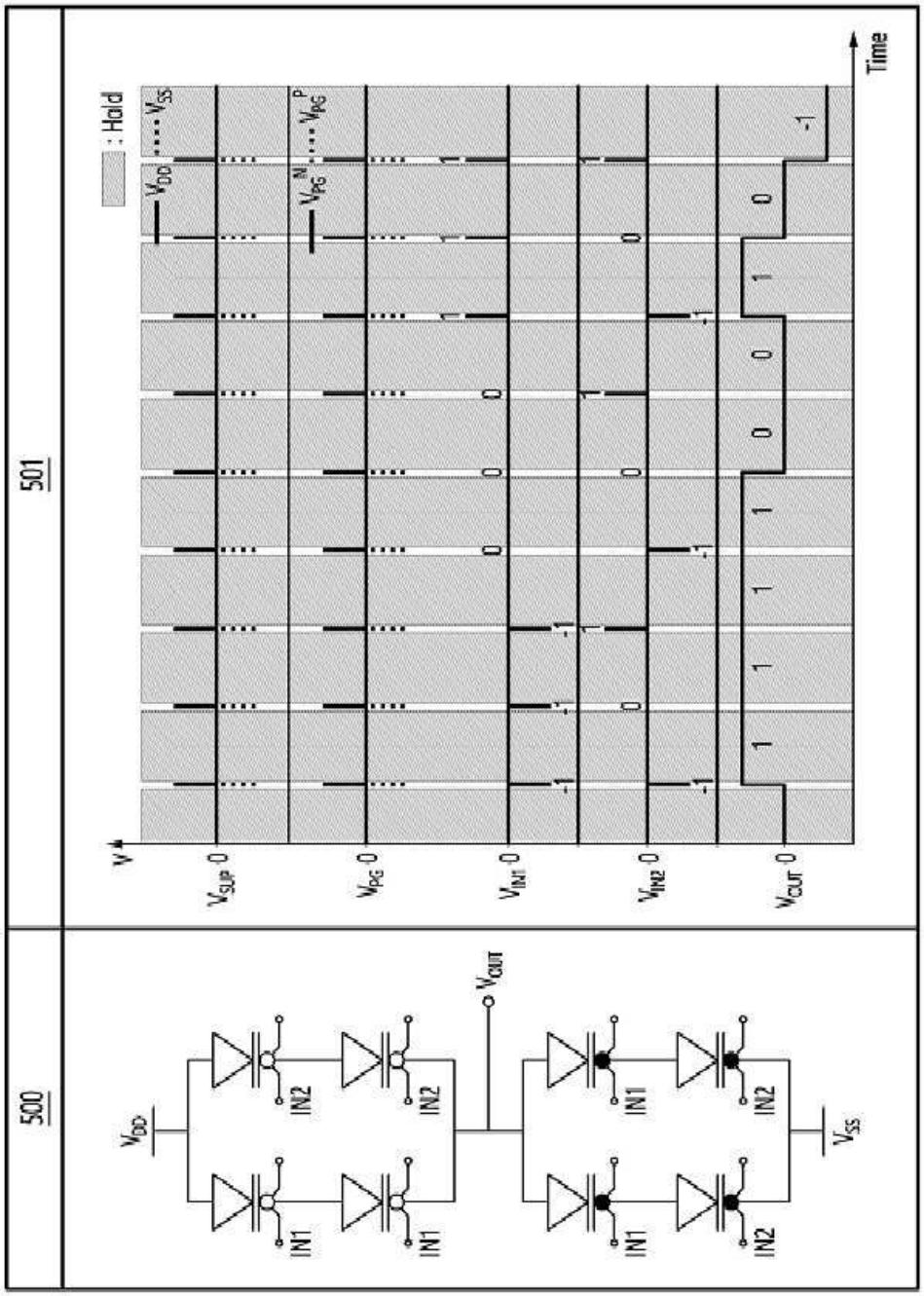
도면4a


400
401
V_{DD}
IN
V_{OUT}
V_{SS}
V
: Hold
V_{DD}
V_{SS}
V_{SUP} 0
V_{PG}^{N}
V_{PG}^{P}
V_{PG} 0
1
0
V_{IN} 0
-1
1
0
V_{OUT} 0
-1
Time

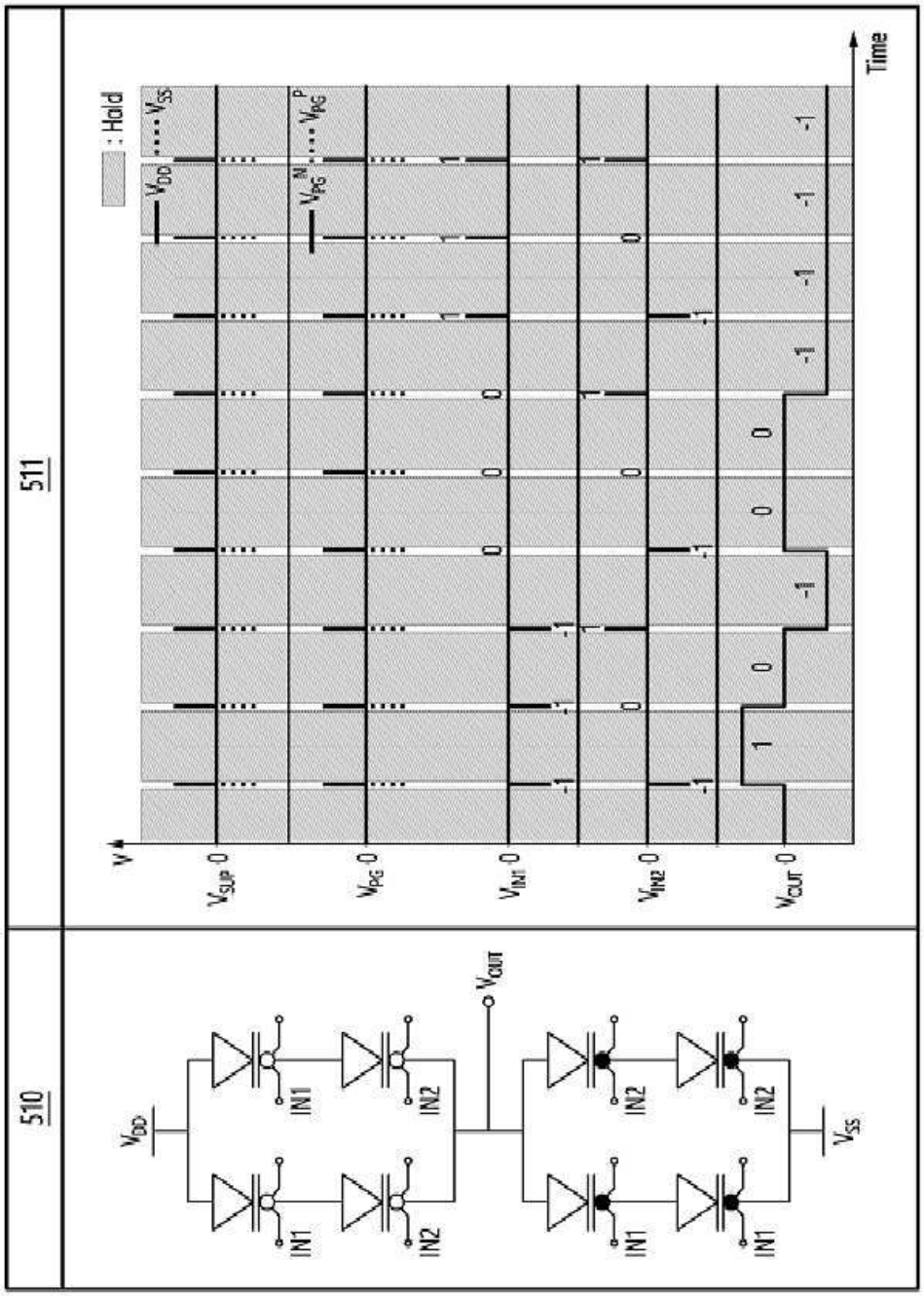
도면4b


410
411
VDD
IN
VOUT
VSS
: Hold
V
VDD
VSS
VSUP 0
VPG N
VPG P
VPG 0
1
0
VIN 0
-1
0
1
VOUT 0
-1
Time

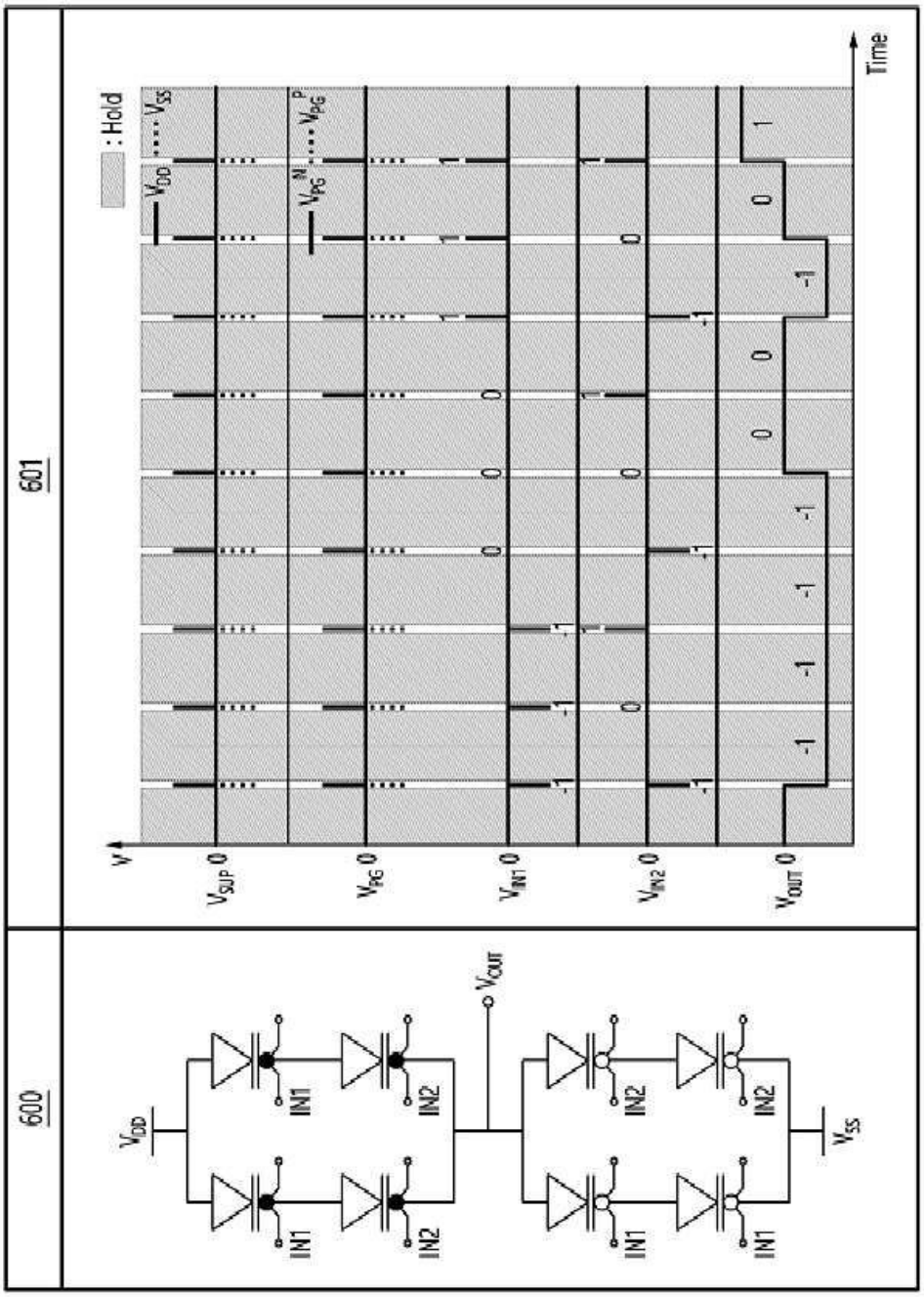
도면5a


501
500
: Hold
Time
V
V_{SUP} 0
V_{PG} 0
V_{IN1} 0
V_{IN2} 0
V_{OUT} 0
V_{DD}
V_{SS}
V_{OUT}
IN1
IN2

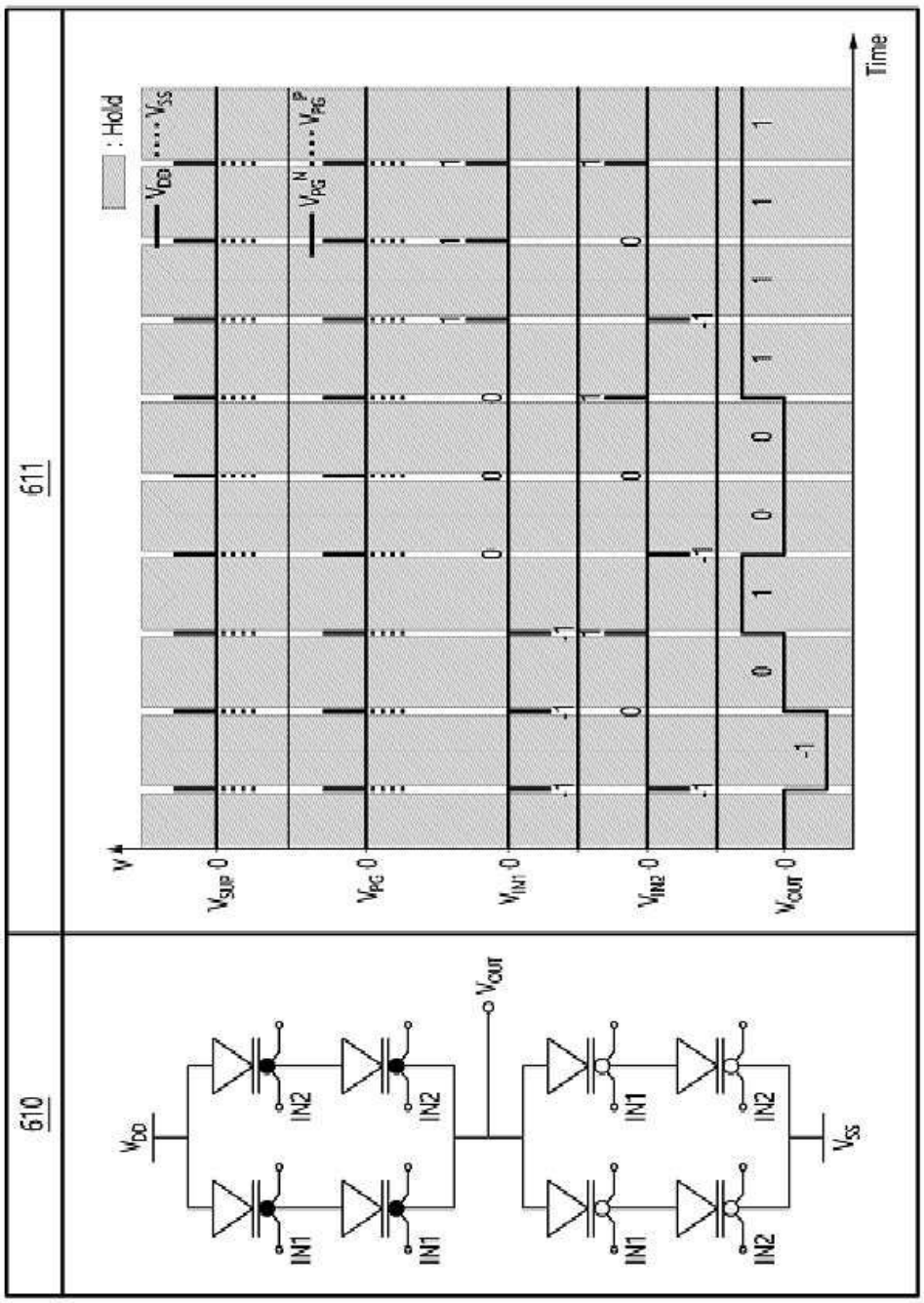
도면5b


511
510
: Hold
Time
V
V_{SUP}
V_{PG}
V_{IN1}
V_{IN2}
V_{OUT}
V_{DD}
V_{SS}
V_{PG}^{IN}
V_{PG}^{P}
IN1
IN2

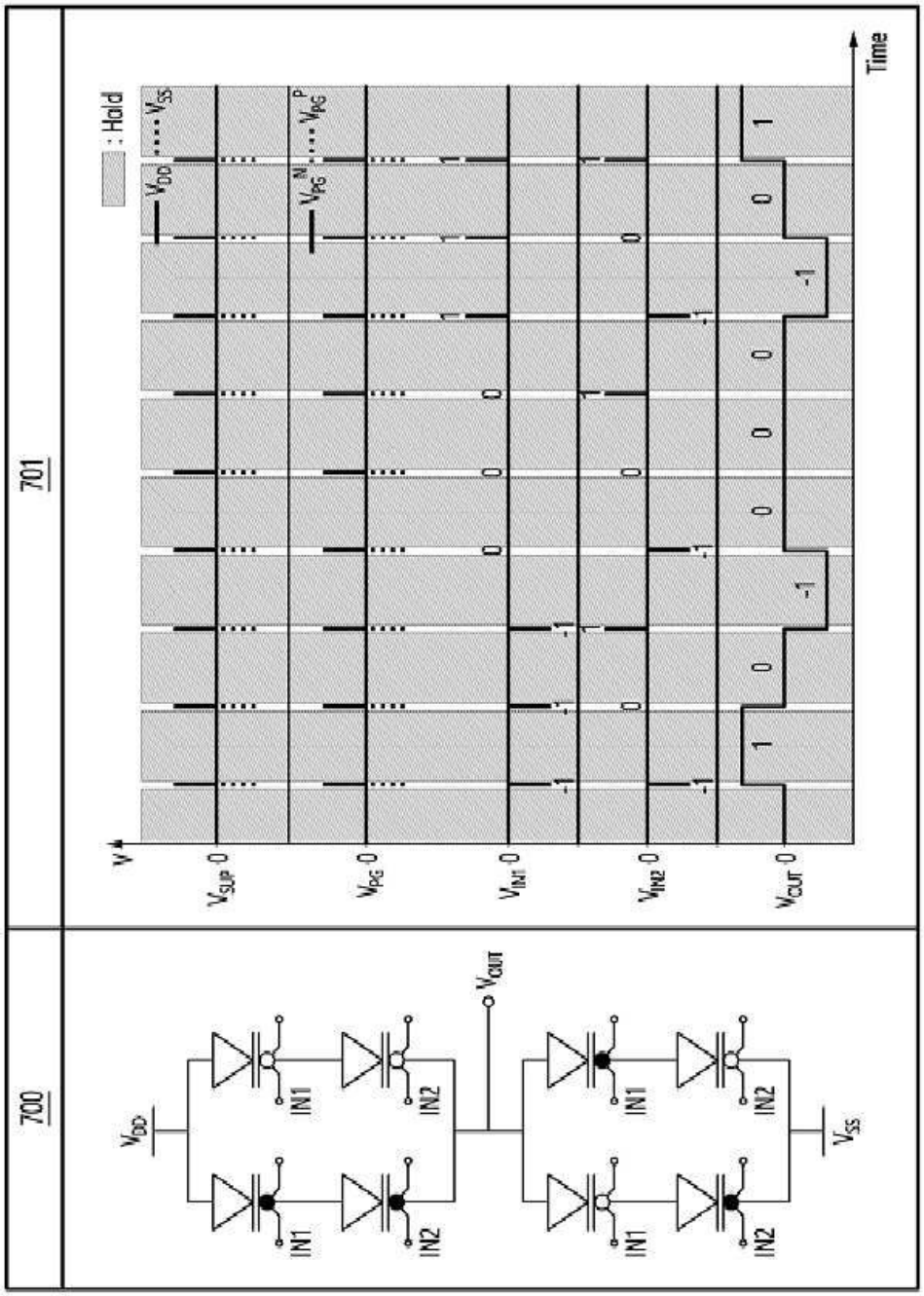
도면6a


600
601
Time
: Hold
V_{DD} ..... V_{SS}
V_{PG}^{N} ..... V_{PG}^{P}
V
V_{SUP} 0
V_{PG} 0
V_{IN1} 0
V_{IN2} 0
V_{OUT} 0
V_{DD}
V_{SS}
V_{OUT}
IN1
IN2

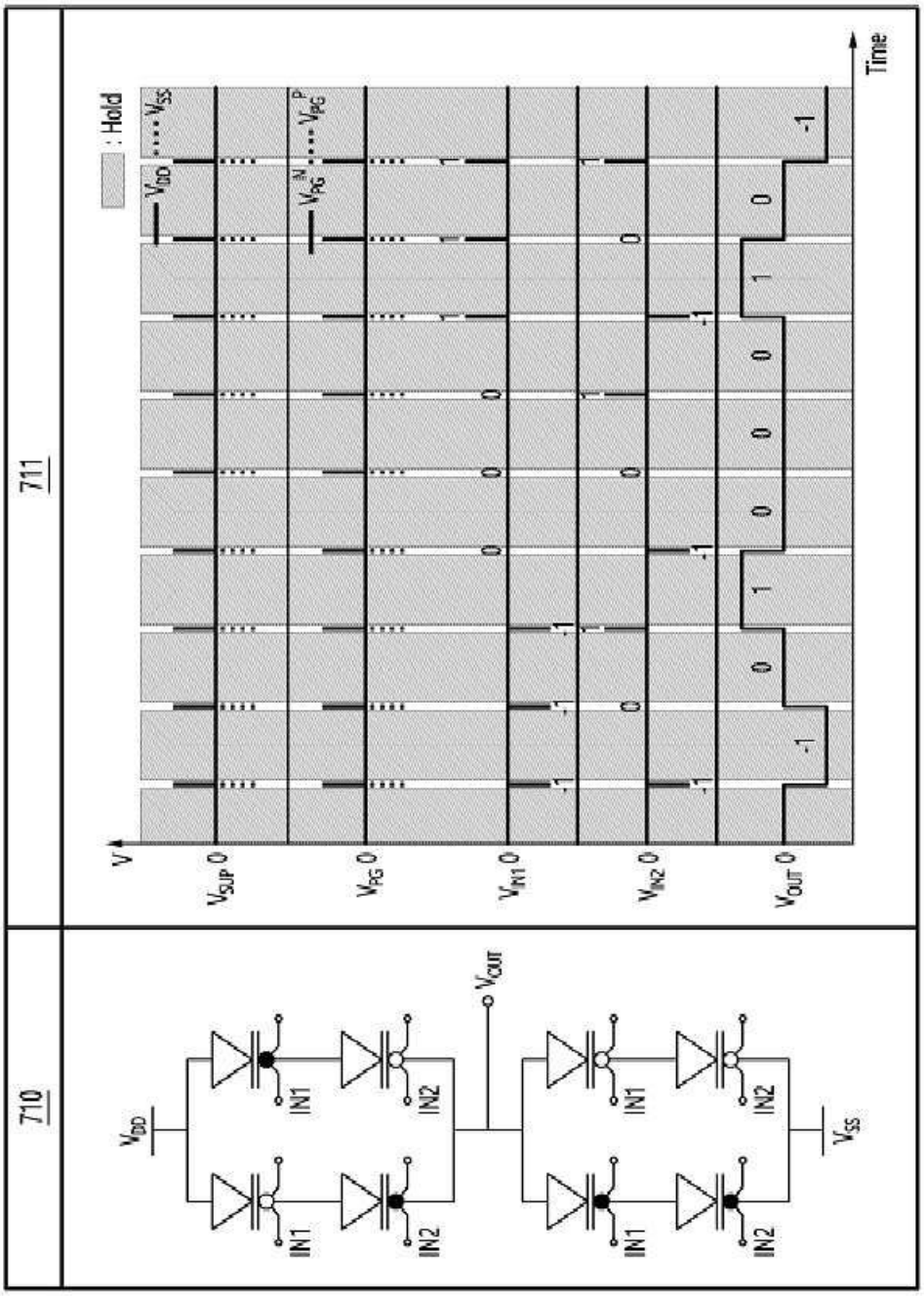
도면6b


611
610
Time
: Hold
V_{DD} ..... V_{SS}
V_{PG}^{N} ..... V_{PG}^{P}
V_{SUP}
V_{PG}
V_{IN1}
V_{IN2}
V_{OUT}
V_{DD}
V_{SS}
IN1
IN2

도면7a


701
700
Time
: Hold
V_{SS}
V_{DD}
V_{PG}^{N}
V_{PG}^{P}
V_{SUP}
V_{PG}
V_{IN1}
V_{IN2}
V_{OUT}
IN1
IN2

도면7b


710
711
VGD
VSS
VOUT
IN1
IN2
: Hold
Time
V
VSUP 0
VPG 0
VIN1 0
VIN2 0
VOUT 0