

1. 一种半导体装置, 将半导体芯片(10)密封于模塑树脂(60), 其特征在于, 具备:

支承部件(20), 具有一面(21a);

上述半导体芯片, 具备具有一面(100a)及另一面(100b)并且形成有半导体元件的半导体衬底(100), 以上述另一面侧与上述支承部件对置的状态而被配置在上述支承部件上; 以及

上述模塑树脂, 将上述支承部件及上述半导体芯片密封,

上述半导体芯片具有形成有上述半导体元件的单元区域(11)以及将上述单元区域包围的外周区域(12), 在上述半导体衬底的一面侧, 在上述外周区域形成有保护膜(140),

上述保护膜, 与上述半导体衬底侧相反的一侧的表面(141)的表面粗糙度为5nm以上, 并且在上述表面形成有凹凸构造(150)。

2. 如权利要求1所述的半导体装置, 其特征在于,

上述保护膜在上述表面形成有构成上述凹凸构造的凹部(140a)。

3. 如权利要求2所述的半导体装置, 其特征在于,

上述半导体衬底在上述一面中的位于上述外周区域的部分形成有凹陷部(131),

上述保护膜通过进入到上述凹陷部而在上述表面形成有上述凹部。

4. 如权利要求2所述的半导体装置, 其特征在于,

在上述半导体衬底的一面, 在上述外周区域形成有阻挡部件(160)并且形成有将上述阻挡部件覆盖的层间绝缘膜(119),

在上述层间绝缘膜中, 形成有使上述阻挡部件露出的开口部(119b),

上述保护膜以将上述层间绝缘膜覆盖的状态配置, 通过进入到上述开口部而在上述表面形成有上述凹部。

5. 如权利要求4所述的半导体装置, 其特征在于,

上述半导体元件具有栅极电极(118),

上述阻挡部件由与上述栅极电极相同的材料构成。

6. 如权利要求1~5中任一项所述的半导体装置, 其特征在于,

上述保护膜在上述表面形成有构成上述凹凸构造的凸部(140b)。

7. 如权利要求6所述的半导体装置, 其特征在于,

上述半导体衬底在上述一面中的位于上述外周区域的部分形成有凸部用部件(170),

上述保护膜通过以将上述凸部用部件覆盖的状态配置从而在上述表面形成有上述凸部。

8. 如权利要求7所述的半导体装置, 其特征在于,

在上述半导体衬底的单元区域的一面上, 形成有与上述半导体元件电连接的电极(121),

上述凸部用部件由与上述电极相同的材料构成。

9. 如权利要求1~8中任一项所述的半导体装置, 其特征在于,

上述保护膜中, 上述表面与构成上述凹凸构造的侧面(142a, 142b)所成的角度(θ_1, θ_2)为45°以上。

10. 如权利要求1~9中任一项所述的半导体装置, 其特征在于,

上述半导体芯片在上述外周区域形成有将上述单元区域包围的保护环(124)，
上述凹凸构造形成在比上述保护环靠上述半导体芯片的外缘端部侧。

11. 如权利要求1~10中任一项所述的半导体装置，其特征在于，
上述半导体芯片是平面形状具有角部的形状，
上述凹凸构造配置在上述角部与上述单元区域之间。

12. 如权利要求1~10中任一项所述的半导体装置，其特征在于，
上述半导体芯片具有在上述单元区域的上述一面侧与上述半导体元件电连接的电极
(121)、和在上述外周区域与上述半导体元件电连接且与上述电极相比面积小的焊盘部
(13)，

上述凹凸构造以将上述焊盘部包围的方式形成。

13. 如权利要求1~10中任一项所述的半导体装置，其特征在于，
上述半导体芯片具有在上述单元区域的上述一面侧与上述半导体元件电连接的电极
(121)、和在上述外周区域与上述半导体元件电连接且与上述电极相比面积小的焊盘部
(13)，

上述凹凸构造形成在上述焊盘部与上述半导体芯片的外缘端部之间。

半导体装置

[0001] 关连申请的相互参照

[0002] 本申请基于2021年9月3日申请的日本专利申请第2021-143928号,这里通过参照而包含其记载内容。

技术领域

[0003] 本公开涉及通过模塑树脂将半导体芯片密封的半导体装置。

背景技术

[0004] 以往,提出了通过模塑树脂将半导体芯片密封的半导体装置(例如参照专利文献1)。具体而言,该半导体装置中,在支承部件上配置半导体芯片,以将这些支承部件及半导体芯片密封的方式配置模塑树脂。另外,半导体芯片构成为,具有单元区域以及将单元区域包围的外周区域,在单元区域中,形成有例如MOSFET(Metal Oxide Semiconductor Field Effect Transistor的简写)元件等。

[0005] 并且,该半导体装置中,在支承部件形成有槽部,模塑树脂进入到槽部内从而能够抑制模塑树脂从支承部件剥离。

[0006] 现有技术文献

[0007] 专利文献

[0008] 专利文献1:日本特开2014-216459号公报

发明内容

[0009] 但是,本发明者对于上述那样的通过模塑树脂将半导体芯片密封的半导体装置进行了研究,确认到有模塑树脂从半导体芯片的外缘端部也发生剥离的可能性。并且,若剥离向半导体芯片的内缘部侧伸展,则有半导体元件的耐压变化、发生与半导体芯片连接的线材的断线等的可能性。

[0010] 本公开的目的在于,提供能够抑制模塑树脂与半导体芯片之间的剥离到达半导体芯片的内缘部的半导体装置。

[0011] 根据本公开的1个观点,半导体装置具备:支承部件,具有一面;半导体芯片,具备具有一面及另一面且形成有半导体元件的半导体衬底,以另一面侧与支承部件对置的状态而被配置在支承部件上;以及模塑树脂,将支承部件及半导体芯片密封;半导体芯片具有形成半导体元件的单元区域以及将单元区域包围的外周区域,在半导体衬底的一面侧,在外周区域形成有保护膜,保护膜的与半导体衬底侧相反的一侧的表面的表面粗糙度为5nm以上,并且保护膜在表面形成有凹凸构造。

[0012] 由此,保护膜的表面的表面粗糙度为5nm以上。因此,能够抑制保护膜与模塑树脂的密接强度的下降,能够抑制模塑树脂从半导体芯片剥离。

[0013] 此外,保护膜在表面形成有凹凸构造。因此,在模塑树脂从半导体芯片的外缘端部剥离了的情况下,能够通过凹凸构造使该剥离的伸展方向变化,能够降低用来使剥离伸展

的应力。因此,能够抑制剥离到达半导体芯片的内缘部。

[0014] 另外,对各构成要素等赋予的带括号的参照标号表示该构成要素等与后述实施方式中记载的具体构成要素等的对应关系的一例。

附图说明

- [0015] 图1是第1实施方式的半导体装置的剖面图。
- [0016] 图2是图1中的半导体芯片的平面图。
- [0017] 图3是沿着图2中的III—III线的剖面图。
- [0018] 图4是表示保护膜的表面粗糙度与保护膜的密接强度的关系的图。
- [0019] 图5A是表示半导体芯片的制造工序的剖面图。
- [0020] 图5B是表示接着图5A的半导体芯片的制造工序的剖面图。
- [0021] 图5C是表示接着图5B的半导体芯片的制造工序的剖面图。
- [0022] 图5D是表示接着图5C的半导体芯片的制造工序的剖面图。
- [0023] 图5E是表示接着图5D的半导体芯片的制造工序的剖面图。
- [0024] 图5F是表示接着图5E的半导体芯片的制造工序的剖面图。
- [0025] 图5G是表示接着图5F的半导体芯片的制造工序的剖面图。
- [0026] 图5H是表示接着图5G的半导体芯片的制造工序的剖面图。
- [0027] 图6是第2实施方式的半导体芯片的剖面图。
- [0028] 图7A是表示第2实施方式的半导体芯片的制造工序的剖面图。
- [0029] 图7B是表示接着图7A的半导体芯片的制造工序的剖面图。
- [0030] 图7C是表示接着图7B的半导体芯片的制造工序的剖面图。
- [0031] 图7D是表示接着图7C的半导体芯片的制造工序的剖面图。
- [0032] 图7E是表示接着图7D的半导体芯片的制造工序的剖面图。
- [0033] 图7F是表示接着图7E的半导体芯片的制造工序的剖面图。
- [0034] 图7G是表示接着图7F的半导体芯片的制造工序的剖面图。
- [0035] 图7H是表示接着图7G的半导体芯片的制造工序的剖面图。
- [0036] 图8是第3实施方式的半导体芯片的剖面图。
- [0037] 图9A是表示第3实施方式的半导体芯片的制造工序的剖面图。
- [0038] 图9B是表示接着图9A的半导体芯片的制造工序的剖面图。
- [0039] 图9C是表示接着图9B的半导体芯片的制造工序的剖面图。
- [0040] 图9D是表示接着图9C的半导体芯片的制造工序的剖面图。
- [0041] 图9E是表示接着图9D的半导体芯片的制造工序的剖面图。
- [0042] 图10是第4实施方式的半导体芯片的剖面图。
- [0043] 图11A是表示第4实施方式的半导体芯片的制造工序的剖面图。
- [0044] 图11B是表示接着图11A的半导体芯片的制造工序的剖面图。
- [0045] 图12是第5实施方式的半导体芯片的剖面图。
- [0046] 图13是第6实施方式的半导体芯片的平面图。
- [0047] 图14是第7实施方式的半导体芯片的平面图。
- [0048] 图15是第8实施方式的半导体芯片的平面图。

- [0049] 图16是第9实施方式的半导体芯片的平面图。
- [0050] 图17是其他实施方式的半导体装置的剖面图。
- [0051] 图18是其他实施方式的半导体装置的剖面图。

具体实施方式

[0052] 以下,基于附图说明本公开的实施方式。另外,在以下各实施方式中,对于相同或等同的部分赋予同一标号而进行说明。

- [0053] (第1实施方式)

[0054] 关于第1实施方式,参照附图进行说明。另外,本实施方式的半导体装置适合作为例如搭载在汽车等车辆中而用于对车辆用的各种电子装置进行驱动的装置加以应用。

[0055] 如图1所示,本实施方式的半导体装置具备半导体芯片10、第1引线框20、块体30、第2引线框40、控制端子部50等。此外,半导体装置具备将它们一体地密封的模塑树脂60。另外,本实施方式中,第1引线框20相当于支承部件。

[0056] 半导体芯片10如图2所示,具有单元区域11及外周区域12,具体结构后述。并且,在单元区域11,如图3所示,形成有具有栅极电极118、源极电极121、漏极电极123等的MOSFET元件。此外,在外周区域12,如图2所示,形成有与栅极电极118等连接的焊盘部13。

[0057] 第1引线框20采用铜、42合金等导电性良好的材料构成,被做成搭载部21及主端子部22一体地形成的形状。并且,第1引线框20在搭载部21的一面21a侧经由焊料等接合部件71而搭载有半导体芯片10。另外,也可以分体地具备搭载部21和主端子部22。

[0058] 块体30是由铜、铝等导电性材料构成的长方体状,在半导体芯片10的源极电极121上经由焊料等接合部件72而配置。

[0059] 第2引线框40与第1引线框20同样地,采用铜、42合金等导电性良好的材料而构成,被做成搭载部41及主端子部42一体地形成的形状。并且,第2引线框40配置为,搭载部41的一面41a侧与配置在块体30上的焊料等接合部件73连接。另外,也可以分体地具备搭载部41和主端子部42。

[0060] 控制端子部50配置在半导体芯片10的附近,经由线材80而与形成于半导体芯片10的焊盘部13电连接。

[0061] 模塑树脂60采用环氧树脂等树脂材料而构成。并且,模塑树脂60配置为,使第1引线框20的与搭载部21的一面21a相反侧的另一面21b、第2引线框40的与搭载部41的一面41a相反侧的另一面41b露出。此外,模塑树脂60配置为,使各主端子部22、42以及各控制端子部50的一部分露出。因此,本实施方式的半导体装置是所谓的两面散热构造的半导体装置。另外,模塑树脂60也可以构成为,为了调整热膨胀系数而混入了二氧化硅等未图示的添加物。

[0062] 以上是本实施方式的半导体装置的基本结构。接着,参照图2及图3具体说明本实施方式的半导体芯片10的结构。另外,图3的半导体芯片10是沿着图2中的III—III线的剖面图,但为了容易掌握位置关系而局部地示出了接合部件72及模塑树脂60。此外,在后述的与图3对应的各图中也同样地为了容易掌握位置关系而局部地示出了接合部件72及模塑树脂60。

[0063] 半导体芯片10如图2所示,是具有角部的平面形状,在本实施方式中是矩形板状。并且,在半导体芯片10的单元区域11,如图3所示,作为半导体元件而形成有沟槽栅构造的

MOSFET元件。本实施方式的外周区域12构成为，具有保护环区域12a和配置在比保护环区域12a靠内侧的相连区域12b。换言之，外周区域12构成为，具有保护环区域12a和配置在单元区域11与保护环区域12a之间的相连区域12b。

[0064] 在本实施方式中，半导体芯片10采用作为半导体衬底100的碳化硅(以下也称作SiC)衬底而构成。但是，半导体衬底100也可以不是采用SiC衬底而是采用硅衬底或氮化镓衬底而构成。

[0065] 本实施方式的半导体衬底100具有构成由SiC构成的高浓度杂质层的n⁺型的衬底111。另外，该衬底111构成MOSFET元件中的漏极区域。并且，在衬底111上，外延生长有比衬底111低杂质浓度的由SiC构成的n⁻型的漂移层112。在漂移层112上，外延生长有p型的基体(base)区域113。另外，本实施方式中，从单元区域11到外周区域12而形成了基体区域113。并且，在单元区域11的基体区域113，在表层部形成有n⁺型的源极区域114。以下，在半导体衬底100中，将基体区域113侧的面设为半导体衬底100的一面100a，将衬底111侧的面设为半导体衬底100的另一面100b来进行说明。

[0066] 衬底111例如n型杂质浓度为 $1.0 \times 10^{19}/\text{cm}^3$ ，表面为(0001)Si面。漂移层112以比衬底111低的杂质浓度构成，例如，n型杂质浓度为 $0.5 \sim 2.0 \times 10^{16}/\text{cm}^3$ 。

[0067] 基体区域113是形成沟道区域的部分，例如构成为，p型杂质浓度为 $2.0 \times 10^{17}/\text{cm}^3$ 左右，厚度为300nm。源极区域114相比于漂移层112为高杂质浓度，例如构成为，表层部的n型杂质浓度为 $2.5 \times 10^{18} \sim 1.0 \times 10^{19}/\text{cm}^3$ ，厚度为0.5μm左右。

[0068] 此外，在单元区域11，在基体区域113的表层部形成有由p型高浓度层构成的接触区域115。具体而言，该接触区域115夹着源极区域114而形成在与后述的沟槽116相反的一侧。

[0069] 并且，在单元区域11，以从半导体衬底100的一面100a侧将基体区域113及源极区域114贯通而达到漂移层112的方式，形成有例如宽度为0.8μm、深度为1.0μm的沟槽116。换言之，基体区域113及源极区域114以与沟槽116的侧面相接的方式配置。在本实施方式中，以图3中的纸面左右方向为宽度方向，以纸面垂直方向为长度方向，以纸面上下方向为深度方向，平行且等间隔地形成有多个沟槽116。即，本实施方式的沟槽116，在与漂移层112及基体区域113的层叠方向(以下也简称为层叠方向)交叉的方向上、详细而言正交的方向上延伸设置。换言之，多个沟槽116沿着衬底111的面方向中的一个方向延伸设置。并且，沟槽116通过在延伸设置方向的顶端部引绕而被做成环状构造。另外，沟槽116也可以是平行且等间隔地形成有多个的条状。

[0070] 沟槽116被栅极绝缘膜117及栅极电极118完全填埋。具体而言，若将基体区域113中的位于沟槽116的侧面的部分设为当MOSFET元件工作时将源极区域114与漂移层112之间相连的沟道区域，则在包括沟道区域在内的沟槽116的内壁面形成有栅极绝缘膜117。栅极绝缘膜117例如由热氧化膜等构成。并且，在栅极绝缘膜117的表面，形成有由掺杂多晶硅构成的栅极电极118。

[0071] 另外，栅极绝缘膜117还形成在沟槽116的内壁面以外的表面。具体而言，栅极绝缘膜117形成为，还将半导体衬底100的一面100a的一部分覆盖。更详细而言，栅极绝缘膜117形成为，还将源极区域114的表面的一部分覆盖。并且，在栅极绝缘膜117中，在与配置栅极电极118的部分不同的部分，形成有使接触区域115以及源极区域114的其余部分露出的接

触孔117a。

[0072] 此外,栅极绝缘膜117还形成在外周区域12中的基体区域113的表面等,还形成在后述的凹陷部131的表面。栅极电极118延伸设置至外周区域12的相连区域12b中的栅极绝缘膜117的表面上。如以上那样,构成了本实施方式的沟槽栅构造。

[0073] 并且,在半导体衬底100的一面100a上,以将栅极电极118、栅极绝缘膜117等覆盖的方式,形成有层间绝缘膜119。另外,层间绝缘膜119由BPSG (Borophosphosilicate Glass (硼磷硅玻璃) 的简称) 等构成。

[0074] 在层间绝缘膜119中,形成有与接触孔117a连通而使源极区域114及接触区域115露出的接触孔119a。此外,在与图3不同的剖面中,在层间绝缘膜119中,还形成有使栅极电极118中的延伸设置至相连区域12b的部分露出的接触孔。

[0075] 另外,形成在层间绝缘膜119中的接触孔119a以与形成在栅极绝缘膜117中的接触孔117a连通的方式形成,与该接触孔117a一起作为1个接触孔发挥功能。因此,以下,将接触孔117a及接触孔119a一并也称作接触孔120。此外,接触孔120的图案是任意的,例如采用将多个正方形的图案排列而成的图案、将长方形的线状的图案排列而成的图案、或者将线状的图案排列而成的图案等。本实施方式中,接触孔120是沿着沟槽116的长度方向的线状。

[0076] 在层间绝缘膜119上,形成有穿过接触孔120而与源极区域114及接触区域115电连接的源极电极121。此外,在层间绝缘膜119上,在与图3不同的剖面中,形成有穿过使栅极电极118露出的接触孔而与栅极电极118电连接的栅极布线。并且,该栅极布线被适当地引绕,与图2所示的焊盘部13中的1个电连接。另外,源极电极121形成在单元区域11的整体,面积比焊盘部13充分大。

[0077] 源极电极121及栅极布线例如由Al—Si层等构成。但是,构成源极电极121及栅极布线的材料不限于此,也可以仅由Al构成,也可以由以Al为主成分的其他材料构成。并且,在本实施方式中,源极电极121形成至单元区域11与外周区域12的边界部分。

[0078] 在源极电极121上,形成有用于提高实现与外部的连接时的焊料浸润性的镀层122。例如,从源极电极121侧将镍镀层及金镀层依次层叠而构成该镀层122。

[0079] 在衬底111的背面(即,半导体衬底100的另一面100b)侧,形成有与衬底111电连接的相当于第2电极的漏极电极123。通过这样的构造,构成了n沟道型的反转型的沟槽栅构造的MOSFET元件。

[0080] 另外,虽不详细说明,但在半导体芯片10中还适当地形成有电流感测部、温度感测部等。并且,这些各感测部与图1所示的各焊盘部13适当地电连接。

[0081] 此外,在外周区域12,形成有从半导体衬底100的一面100a侧到达漂移层112的凹陷部131。本实施方式中,凹陷部131从相连区域12b到保护环区域12a而形成,深度与沟槽116相同。此外,本实施方式的凹陷部131以具有对置的侧面的方式使一部分凹陷而形成。即,本实施方式的凹陷部131形成在外周区域12的内部,而不是形成为到达半导体芯片10的外缘端部。

[0082] 并且,在保护环区域12a中,在位于凹陷部131下方的漂移层112的表层部,以将单元区域11包围的方式具备多个p型的保护环124。本实施方式中,当从层叠方向观察时,保护环124的上表面布局是四角变圆的四边形或圆形等。

[0083] 另外,例如,本实施方式的保护环124如后述那样通过离子注入而形成。此外,所谓

从层叠方向观察,换言之是指从相对于衬底111的面方向的法线方向观察。此外,虽未图示,但保护环区域12a也可以根据需要而在比保护环124靠外周的位置具备EQR (Equi Potential Ring (等势环) 的简称) 构造等。

[0084] 在相连区域12b,在漂移层112的表层部形成有p型的降低表面电场层(RESURF (Reduced Surface Field) layer)125。例如,从层叠方向观察时,降低表面电场层125将单元区域11的周围包围,以达到保护环区域12a的方式延伸设置。由此,能够将等位线向保护环区域12a侧引导,能够抑制在相连区域12b内发生电场集中。因而,能够抑制耐压下降。

[0085] 并且,如上述那样,栅极绝缘膜117及层间绝缘膜119形成至外周区域12,在外周区域12中的形成有凹陷部131的部分沿着凹陷部131的壁面形成。但是,栅极绝缘膜117及层间绝缘膜119以不将凹陷部131填埋的方式形成。

[0086] 此外,在半导体衬底100的一面100a侧,形成有以使镀层122露出的方式形成的保护膜140。换言之,在半导体衬底100的一面100a侧,在相连区域12b及保护环区域12a形成有保护膜140。另外,保护膜140由聚酰亚胺、氮化膜等构成。

[0087] 并且,本实施方式的保护膜140,若将与半导体衬底100侧相反侧的面设为表面141,则表面141的表面粗糙度Ra被设为5nm以上,以使得能够提高与模塑树脂60的密接性。即,如图4所示,关于保护膜140,在表面粗糙度Ra小于5nm的范围内,表面粗糙度Ra越大则与模塑树脂60的密接强度越高。但是,保护膜140当表面粗糙度Ra为5nm以上时与模塑树脂60的密接强度几乎不变化。因而,保护膜140的表面粗糙度Ra被设为5nm以上。另外,图4表示了保护膜140由聚酰亚胺构成的情况的结果,但在保护膜140由氮化膜等构成的情况下也成为同样的结果。此外,保护膜140的表面粗糙度Ra例如通过进行喷射(blast)处理等来调整。

[0088] 并且,在保护膜140中,在与半导体衬底100相反侧的表面141形成有凹凸构造150。本实施方式中,在保护膜140中,在位于凹陷部131上的部分形成有与凹陷部131对应的凹部140a从而形成了凹凸构造150。此外,本实施方式的凹凸构造150如图2所示,以将单元区域11及焊盘部13包围的方式,沿着半导体芯片10的外缘端部形成为框状。并且,模塑树脂60以进入到凹部140a内的方式配置。

[0089] 另外,本实施方式的凹部140a通过在凹陷部131上形成保护膜140而形成。因此,凹陷部131、形成在凹陷部131上的栅极绝缘膜117以及层间绝缘膜119形成为,能够抑制当形成了保护膜140时凹部140a消失的情况。例如,优选的是,将在凹陷部131的相对的侧面上形成的层间绝缘膜119的间隔设为d,将保护膜140的厚度设为t,以成为 $d \geq 2t$ 的方式,调整凹陷部131的大小、栅极绝缘膜117及层间绝缘膜119的厚度。此外,凹部140a例如深度被设为1 μm 左右。

[0090] 在本实施方式的半导体装置中,通过这样构成半导体芯片10,在模塑树脂60从半导体芯片10发生了剥离时,能够抑制该剥离到达位于内缘部侧的源极电极121等的情况。即,在模塑树脂60从半导体芯片10剥离的情况下,该剥离容易从保护膜140与模塑树脂60之间的界面处的外缘端部发生。并且,该剥离容易沿着保护膜140与模塑树脂60之间的界面伸展。但是,本实施方式的半导体装置中,由于形成了凹凸构造150,所以若剥离到达凹凸构造150,则剥离的伸展方向变化。因此,能够抑制剥离的伸展,能够抑制剥离到达源极电极121等。

[0091] 该情况下,凹部140a优选的是,表面141与该凹部140a的侧面142a所成的角度 $\theta 1$ 为

45°以上。即，在剥离从外缘端部到达了凹部140a的情况下，对剥离有影响的应力被分散为向沿着伸展方向原样进展的方向的应力、和向沿着保护膜140与模塑树脂60之间的界面的方向的应力。因此，通过使所成的角度θ1为45°以上，与沿着剥离的伸展方向进展的方向的应力相比，容易增大沿着保护膜140与模塑树脂60之间的界面的方向的应力。因而，容易使对剥离有影响的一半以上的应力的传播方向变化，能够进一步抑制剥离到达源极电极121等。

[0092] 以上是本实施方式中的半导体芯片10及半导体装置的结构。接着，参照图5A～图5H说明上述半导体芯片10的制造方法。

[0093] 首先，如图5A所示，在衬底111上形成漂移层112及基体区域113而构成半导体衬底100。另外，漂移层112及基体区域113例如通过在衬底111的表面侧进行外延生长等而形成。

[0094] 接着，如图5B所示，在半导体衬底100的一面100a侧配置未图示的掩模而进行离子注入等，从而依次形成源极区域114及接触区域115。

[0095] 接着，如图5C所示，在半导体衬底100的一面100a侧配置未图示的掩模而进行各向异性蚀刻等，从而形成沟槽116及凹陷部131。本实施方式中，由于这样将沟槽116及凹陷部131通过相同工序形成，所以沟槽116和凹陷部131成为相同深度。但是，也可以通过不同工序形成沟槽116和凹陷部131，使沟槽116与凹陷部131的深度不同。

[0096] 之后，如图5D所示，通过热氧化等，在沟槽116的壁面、半导体衬底100的一面100a以及凹陷部131的壁面形成栅极绝缘膜117。并且，进行CVD (chemical vapor deposition (化学气相沉积) 的简称) 法、布图等而形成上述栅极电极118。另外，栅极电极118如上述那样，延伸设置至相连区域12b。

[0097] 接着，如图5E所示，在半导体衬底100的一面100a侧配置未图示的掩模而进行离子注入等，从而形成保护环124及降低表面电场层125。

[0098] 然后，如图5F所示，通过CVD法等形成层间绝缘膜119。并且，在层间绝缘膜119上配置未图示的掩模而进行各向异性蚀刻等，从而形成接触孔120。并且，如图5G所示，通过CVD法、布图等而形成源极电极121。

[0099] 接着，如图5H所示，通过CVD法、布图等而形成保护膜140。此时，由于将保护膜140形成在凹陷部131上，所以在保护膜140中，在表面141形成由凹陷部131引起的凹部140a，形成基于凹部140a的凹凸构造150。另外，凹部140a优选形成为，如上述那样，表面141与侧面142a所成的角度θ1为45°以上。即，优选的是，调整将保护膜140成膜时的条件、凹部140a的形状、栅极绝缘膜117及层间绝缘膜119的厚度等，以使所成的角度θ1为45°以上。

[0100] 之后虽未特别图示，但通过在半导体衬底100的另一面100b侧形成漏极电极123等而制造出上述半导体芯片10。

[0101] 根据以上说明的本实施方式，保护膜140的表面141的表面粗糙度被设为5nm以上。因此，能够抑制保护膜140与模塑树脂60密接强度下降的情况，能够抑制模塑树脂60从半导体芯片10剥离。

[0102] 此外，保护膜140在表面141形成有凹凸构造150。因此，在模塑树脂60从半导体芯片10的保护膜140处的外缘端部剥离了的情况下，能够通过凹凸构造150使该剥离的伸展方向变化，能够降低用于使剥离伸展的应力。因此，能够抑制剥离伸展至半导体芯片10的内缘部。并且，由于这样抑制了剥离到达半导体芯片10的内缘部的情况，所以还能够使用杨氏模

量高的SiC衬底等作为半导体衬底100,还能够实现半导体衬底100的选择性的提高。

[0103] (1) 本实施方式中,通过形成半导体衬底100的凹陷部131而使得在保护膜140的表面形成凹部140a。因此,能够通过容易的方法在保护膜140的表面141形成凹部140a。

[0104] (2) 上述那样的半导体装置中,在模塑树脂60从半导体芯片10剥离的情况下,模塑树脂60容易从半导体芯片10的外缘端部剥离。因此,通过如本实施方式那样以包围单元区域11及焊盘部13的方式形成凹凸构造150,从而将凹凸构造150形成在剥离的起点与源极电极121、焊盘部13之间。因而,能够通过凹凸构造150有效地抑制剥离到达源极电极121、焊盘部13的情况。

[0105] (2) 本实施方式中,关于凹部140a,表面141与侧面142a所成的角度θ1为45°以上。由此,与沿着剥离的伸展方向(即,半导体衬底100的面方向)进展的方向的应力相比,容易增大沿着保护膜140与模塑树脂60之间的界面的方向的应力。因而,能够进一步抑制剥离到达半导体芯片10的内缘部侧的情况。

[0106] (第2实施方式)

[0107] 对第2实施方式进行说明。本实施方式相对于第1实施方式变更了凹部140a的结构。其他与第1实施方式相同所以这里省略说明。

[0108] 本实施方式的半导体芯片10如图6所示,在半导体衬底100没有形成凹陷部131及降低表面电场层125。并且,保护环124从半导体衬底100的一面100a侧形成。

[0109] 此外,在半导体芯片10,在比保护环124靠外缘部侧,在形成在半导体衬底100的一面100a上的栅极绝缘膜117上形成有阻挡(stopper)布线160。另外,本实施方式的阻挡布线160不与其他电极等电连接,而是被设为浮置电位。即,本实施方式的阻挡布线160由伪布线构成。此外,本实施方式的阻挡布线160使用与栅极电极118相同的材料构成。并且,本实施方式中,阻挡布线160相当于阻挡部件。

[0110] 层间绝缘膜119在将阻挡布线160覆盖的部分形成有使阻挡布线160的一部分露出的开口部119b。另外,本实施方式的开口部119b如后述那样与接触孔120同时形成。

[0111] 保护膜140如上述那样配置在层间绝缘膜119上。并且,保护膜140以将层间绝缘膜119的开口部119b填埋的方式配置,在表面141侧形成有依赖于开口部119b的凹部140a。

[0112] 另外,本实施方式中,由于开口部119b形成在比保护环124靠外缘部侧,所以凹部140a也形成在比保护环124靠外缘端部侧。因此,关于凹凸构造150,优选的是,在将保护环124做成四角变圆的形状的情况下,在层叠方向上,包含通过变圆而没有配置保护环124的部分而配置。由此,能够抑制半导体芯片10的大型化。

[0113] 以上是本实施方式的半导体芯片10的结构。接着,参照图7A~图7H说明上述半导体芯片10的制造方法。

[0114] 本实施方式中,如图7A所示,准备具有漂移层112的半导体衬底100。并且,如图7B所示,配置未图示的掩模而进行离子注入等,从而依次形成基体区域113、源极区域114、接触区域115、保护环124。

[0115] 接着,如图7C所示,进行与上述图5C的工序相同的工序而形成沟槽116。但是,本实施方式中,不形成凹陷部131。

[0116] 接着,如图7D及图7E所示,进行与上述图5D的工序相同的工序而依次形成栅极绝缘膜117及栅极电极118。另外,本实施方式中,如图7E所示,在将栅极电极118布图而形成

时,同时形成阻挡布线160。因此,本实施方式的阻挡布线160通过与栅极电极118相同的材料构成。

[0117] 并且,如图7F所示,进行与上述图5F的工序相同的工序而形成层间绝缘膜119并且在层间绝缘膜119中形成接触孔120。此外,本实施方式中,使阻挡布线160露出的开口部119b也同时形成。此时,能够通过阻挡布线160抑制由于使开口部119b露出时的蚀刻而将半导体衬底100蚀刻的情况。即,本实施方式的阻挡布线160还作为蚀刻阻挡部发挥功能。

[0118] 接着,如图7G所示,进行与上述图5G的工序相同的工序而形成源极电极121。然后,如图7H所示,进行与上述图5H的工序相同的工序而形成保护膜140。此时,由于将保护膜140形成在开口部119b上,所以在保护膜140中在表面141形成由开口部119b引起的凹部140a。

[0119] 之后虽不特别图示,但通过在半导体衬底100的另一面100b侧形成漏极电极123等而制造出上述半导体芯片10。

[0120] 根据以上说明的本实施方式,保护膜140其表面粗糙度为5nm以上并且在表面141形成有凹凸构造150,所以能够得到与上述第1实施方式相同的效果。

[0121] (1) 本实施方式中,通过在层间绝缘膜119形成开口部119b而使得在保护膜140的表面形成凹部140a。即使这样在保护膜140的表面141形成凹部140a,也能够通过容易的方法在保护膜140的表面141形成凹部140a。此外,本实施方式中,以从开口部119b露出的方式形成了阻挡布线160。因此,当在层间绝缘膜119中形成了开口部119b时,能够抑制半导体衬底100被蚀刻的情况。另外,阻挡布线160也可以使用与栅极电极118不同的材料构成,也可以使用绝缘性的材料构成。

[0122] (2) 本实施方式中,阻挡布线160由与栅极电极118相同的材料构成,在形成栅极电极118时被同时形成。并且,层间绝缘膜119的开口部119b在形成接触孔120时被同时形成。因此,能够抑制制造工序的增加并且在保护膜140的表面141形成凹部140a。

[0123] (3) 本实施方式中,凹凸构造150形成在比保护环124靠外缘部侧。因此,在模塑树脂60从半导体芯片10的外缘端部剥离时,能够早期地抑制剥离的伸展。

[0124] (第3实施方式)

[0125] 对第3实施方式进行说明。本实施方式相对于第2实施方式变更了凹部140a的结构。其他与第2实施方式相同所以这里省略说明。

[0126] 本实施方式的半导体芯片10如图8所示,在保护膜140的表面141形成有凹部140a,但在层间绝缘膜119中没有形成开口部119b。此外,也没有配置上述第2实施方式中的阻挡布线160。

[0127] 以上是本实施方式的半导体芯片10的结构。接着,参照图9A~图9E说明上述半导体芯片10的制造方法。

[0128] 本实施方式中,在进行了上述图7A~图7C的工序后,如图9A所示,进行与上述图5D的工序相同的工序而形成栅极绝缘膜117及栅极电极118。但是,本实施方式中,以不形成阻挡布线160的方式形成栅极电极118。

[0129] 接着,如图9B所示,进行与上述图7F的工序相同的工序而形成层间绝缘膜119并且在层间绝缘膜119中形成接触孔120。接着,如图9C所示,进行与上述图7G的工序相同的工序而形成源极电极121。

[0130] 并且,如图9D所示,进行与上述图7H的工序相同的工序而形成保护膜140。另外,本

实施方式中,由于没有形成开口部119b,所以在进行了图9D的工序后,表面141大致平坦化。

[0131] 接着,如图9E所示,将未图示的光致抗试剂作为掩模而将保护膜140蚀刻,从而在保护膜140形成凹部140a。之后虽不特别图示,但通过在半导体衬底100的另一面100b侧形成漏极电极123等从而制造出上述半导体芯片10。

[0132] 根据以上说明的本实施方式,保护膜140由于表面粗糙度为5nm以上并且在表面141形成有凹凸构造150,所以能够得到与上述第1实施方式相同的效果。

[0133] (1) 本实施方式中,通过蚀刻而在保护膜140的表面形成凹部140a。因此,能够容易地调整凹部140a的形状,能够容易地进行表面141与侧面142a所成的角度θ1的详细调整。

[0134] (第4实施方式)

[0135] 对第4实施方式进行说明。本实施方式相对于第3实施方式,在保护膜140的表面141形成有凸部。其他与第3实施方式相同所以这里省略说明。

[0136] 本实施方式的半导体芯片10中,如图10所示,在比保护环124靠外缘部侧,在层间绝缘膜119上形成有凸部用布线170。另外,凸部用布线170不与其他电极等电连接,被设为浮置电位。即,本实施方式的凸部用布线170由伪布线构成。此外,本实施方式的凸部用布线170使用与源极电极121相同的材料构成。并且,本实施方式中,凸部用布线170相当于凸部用部件。

[0137] 保护膜140如上述那样配置在层间绝缘膜119上,以将凸部用布线170也覆盖的方式配置。因此,在保护膜140中,在表面141侧形成由凸部用布线170引起的凸部140b。另外,关于凸部140b,与上述第1实施方式同样地,优选的是,凸部140b的侧面142b与表面141所成的角度θ2为45°以上。此外,本实施方式中,通过凸部140b构成凹凸构造150。

[0138] 以上是本实施方式的半导体芯片10的结构。接着,参照图11A、图11B说明上述半导体芯片10的制造方法。

[0139] 本实施方式中,在进行了上述图9A及上述图9B的工序后,如图11A所示,进行与图9C相同的工序而形成源极电极121。另外,本实施方式中,如图11A所示,在将源极电极121布图而形成时,使凸部用布线170残留。因此,本实施方式的凸部用布线170由与源极电极121相同的材料构成。

[0140] 接着,如图11B所示,进行与上述图9D的工序相同的工序而形成保护膜140。此时,由于将保护膜140形成在凸部用布线170上,所以在保护膜140中,在表面141形成由凸部用布线170引起的凸部140b。之后虽不特别图示,但通过在半导体衬底100的另一面100b侧形成漏极电极123等从而制造出上述半导体芯片10。

[0141] 根据以上说明的本实施方式,保护膜140由于表面粗糙度为5nm以上并且在表面141形成有凹凸构造150,所以能够得到与上述第1实施方式相同的效果。另外,本实施方式中,通过凸部140b使剥离的应力方向变化。

[0142] (1) 本实施方式中,通过在层间绝缘膜119上形成凸部用布线170从而使得在保护膜140的表面形成凸部140b。即使这样在保护膜140的表面形成凸部140b,也能够通过容易的方法在保护膜140的表面141形成凸部140b。

[0143] (2) 本实施方式中,凸部用布线170由与源极电极121相同的材料构成,在形成源极电极121时同时被形成。因此,能够抑制制造工序的增加并且在保护膜140的表面141形成凸部140b。

[0144] (第4实施方式的变形例)

[0145] 对上述第4实施方式的变形例进行说明。上述第4实施方式中,凸部用布线170也可以不由与源极电极121相同的材料构成,也可以由与其他布线相同的材料构成。例如,在具备EQR构造的情况下。凸部用布线170也可以由与构成EQR构造的布线相同的材料构成。此外,凸部用布线170(即,凸部用部件)也可以由与各布线不同的材料形成,也可以由绝缘性的材料构成。

[0146] (第5实施方式)

[0147] 对第5实施方式进行说明。本实施方式相对于第4实施方式,变更了凸部140b的结构。其他与第4实施方式相同所以这里省略说明。

[0148] 本实施方式的半导体芯片10中,如图12所示,在保护膜140的表面141形成有凸部140b,但没有形成凸部用布线170。另外,本实施方式的凸部140b通过在保护膜140的表面配置突起部180而构成。

[0149] 例如,该突起部180通过在形成了保护膜140后利用涂布机(dispenser)或3D打印机等以成为凸形状的方式将材料涂布并硬化而形成。此外,突起部180可以由与保护膜140相同的材料构成,也可以由不同的材料构成。

[0150] 根据以上说明的本实施方式,保护膜140由于表面粗糙度为5nm以上并且在表面141形成有凹凸构造150,所以能够得到与上述第4实施方式相同的效果。

[0151] (第6实施方式)

[0152] 对第6实施方式进行说明。本实施方式相对于第1实施方式,变更了凹凸构造150的形成部位。其他与第1实施方式相同所以这里省略说明。

[0153] 本实施方式的半导体芯片10中,如图13所示,凹凸构造150被分离为多个,形成在半导体芯片10的各角部的附近。具体而言,凹凸构造150在外周区域12中配置在半导体芯片10的角部与单元区域11及焊盘部13之间。

[0154] 另外,本实施方式的凹凸构造150的形成部位也能够应用于上述第2~第5实施方式。并且,优选的是,在将保护环124做成四角变圆的形状的情况下,在层叠方向上,包含通过变圆而不配置保护环124的部分而配置凹凸构造150。由此,能够抑制半导体芯片10的大型化。

[0155] 根据以上说明的本实施方式,保护膜140由于表面粗糙度为5nm以上并且在表面141形成有凹凸构造150,所以能够得到与上述第1实施方式相同的效果。

[0156] (1) 上述那样的半导体装置中,在模塑树脂60从半导体芯片10剥离的情况下,虽然模塑树脂60容易从半导体芯片10的外缘端部剥离,但模塑树脂60特别容易从半导体芯片10的角部剥离。因此,通过如本实施方式那样将凹凸构造150配置在半导体芯片10的角部与单元区域11及焊盘部13之间,能够通过凹凸构造150有效地抑制剥离到达源极电极121及焊盘部13的情况。

[0157] (第7实施方式)

[0158] 对第7实施方式进行说明。本实施方式相对于第1实施方式,变更了凹凸构造150的形成部位。其他与第1实施方式相同所以这里省略说明。

[0159] 首先,在上述那样的半导体芯片10中,源极电极121相比于焊盘部13而言平面面积足够大。因此,在模塑树脂60从半导体芯片10剥离且剥离到达了焊盘部13的情况下,与剥离

到达了源极电极121的情况相比影响变大。

[0160] 因而,在本实施方式的半导体芯片10中,如图14所示,凹凸构造150以将各焊盘部13包围的方式形成。

[0161] 根据以上说明的本实施方式,保护膜140由于表面粗糙度为5nm以上并且在表面141形成有凹凸构造150,所以能够得到与上述第1实施方式相同的效果。

[0162] (1) 本实施方式中,凹凸构造150以将焊盘部13包围的方式形成。因此,至少能够抑制剥离到达剥离的影响较大的焊盘部13的情况。此外,焊盘部13的周围因为引线键合装置的制约等而被扩大了空间,所以能够通过在该空间中配置凹凸构造150而抑制半导体芯片10的大型化。

[0163] (第8实施方式)

[0164] 对第8实施方式进行说明。本实施方式相对于第7实施方式,变更了凹凸构造150的形成部位。其他与第7实施方式相同所以这里省略说明。

[0165] 首先,在上述那样的半导体芯片10中,形成将焊盘部13和单元区域11相连的布线,但是由于该布线而有不易以将焊盘部13包围的方式形成凹凸构造150的情况。因此,本实施方式的半导体芯片10中,如图15所示,凹凸构造150不是将焊盘部13完全包围,而是以将焊盘部13大致包围的方式形成。本实施方式中,凹凸构造150以不将焊盘部13中的单元区域11侧的部分封堵的方式形成大致U字状。换言之,凹凸构造150形成为,不与将焊盘部13和单元区域11连结的假想线交叉。但是,在如上述那样模塑树脂60剥离时,由于容易从半导体芯片10的角部发生剥离,所以优选的是,凹凸构造150至少形成在与焊盘部13和半导体芯片10的角部之间。

[0166] 根据以上说明的本实施方式,保护膜140由于表面粗糙度为5nm以上并且在表面141形成有凹凸构造150,所以能够得到与上述第1实施方式相同的效果。

[0167] (1) 即使如本实施方式那样使焊盘部13不完全被凹凸构造150包围,也能够通过凹凸构造150抑制剥离到达焊盘部13的情况,所以能够得到与上述第7实施方式相同的效果。此外,通过使焊盘部13不完全被凹凸构造150包围,能够通过不被包围的部分容易地配置连接布线,实现设计的自由度的提高。

[0168] (第9实施方式)

[0169] 对第9实施方式进行说明。本实施方式相对于第8实施方式,变更了凹凸构造150的形成部位。其他与第8实施方式相同所以这里省略说明。

[0170] 本实施方式的半导体芯片10中,如图16所示,凹凸构造150配置在焊盘部13与半导体芯片10的外缘端部之间。

[0171] 根据以上说明的本实施方式,保护膜140由于表面粗糙度为5nm以上并且在表面141形成有凹凸构造150,所以能够得到与上述第1实施方式相同的效果。

[0172] (1) 即使如本实施方式那样在焊盘部13与半导体芯片10的外缘端部之间形成凹凸构造150,也能够通过凹凸构造150抑制剥离到达焊盘部13的情况,所以能够得到与上述第8实施方式相同的效果。

[0173] (其他实施方式)

[0174] 根据实施方式描述了本公开,但应理解的是本公开不限于该实施方式及构造。本公开还包含各种各样的变形例及均等范围内的变形。除此以外,各种各样的组合及形态、进

而在它们中仅包含一要素、其以上或其以下的其他组合及形态也落入本公开的范畴及思想范围。

[0175] 例如,上述各实施方式中,形成于半导体芯片10的半导体元件能够适当变更。具体而言,半导体元件也可以是相对于n沟道型将各构成要素的导电型反转了的p沟道型的沟槽栅构造的MOSFET。进而,除了MOSFET以外,半导体元件也可以是形成有相同的构造的IGBT的结构。IGBT的情况下,除了将上述第1实施方式中的n⁺型的衬底111变更为p⁺型的集电极层以外,与上述第1实施方式中说明的MOSFET是同样的。进而,栅极构造也可以不是沟槽栅构造而是平面型栅极构造。

[0176] 进而,上述各实施方式中,凹凸构造150也可以形成为,在半导体芯片10上的没有制约的部分,到达半导体芯片10的外缘端部。例如,上述第1实施方式中,也可以是,在保护膜140的表面141形成的凹部140a以到达半导体芯片10的外缘端部的方式形成,被做成不具有对置的侧面的结构。

[0177] 此外,上述各实施方式中,以具备第1引线框20及第2引线框40、第1引线框20的另一面21b及第2引线框40的另一面41b从模塑树脂60露出的半导体装置为例进行了说明。但是,半导体装置的结构不限于此。例如,半导体装置也可以采用仅从半导体芯片10的漏极电极123侧散热的单面散热构造。在单面散热构造的情况下,也可以如图17所示,代替第2引线框40而将连接端子部91配置在半导体芯片10的附近,将源极电极121经由线材81而与连接端子部91连接。此外,也可以如图18所示,在源极电极121上经由接合部件72而配置引出端子部92,使引出端子部92的一部分从模塑树脂60露出。此外,虽未特别图示,但半导体装置也可以构成为,模塑树脂60以将第1引线框20的另一面21b及第2引线框40的另一面41b覆盖的方式配置。

[0178] 并且,还能够将上述各实施方式适当组合。例如,上述第1实施方式中,也可以如上述第2~第5实施方式那样,凹凸构造150当从层叠方向观察时形成在比保护环124靠外缘部侧。此外,上述第2~第5实施方式中,也可以如上述第1实施方式那样,在保护环124上形成凹凸构造150。并且,在保护膜140中,也可以具备上述第1~第3实施方式的凹部140a的至少1个和上述第4、第5实施方式的凸部140b的至少1个。即,形成于保护膜140的凹凸构造150也可以包含多个不同的凹部140a、凸部140b。并且,上述第6~上述9实施方式的凹凸构造150的形成部位能够对上述第1~第5实施方式适当应用。

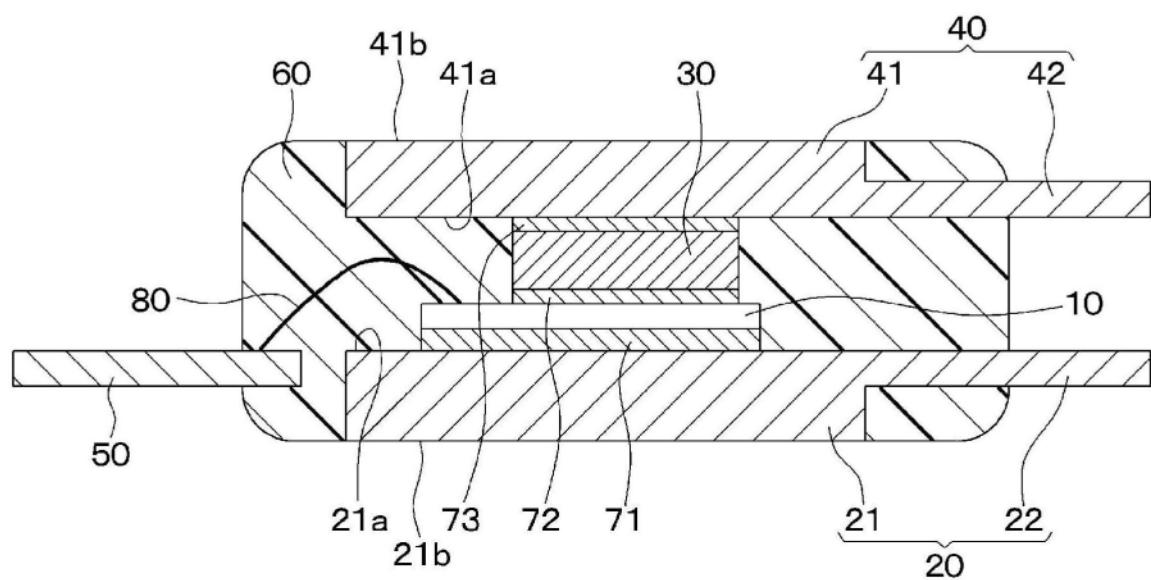


图1

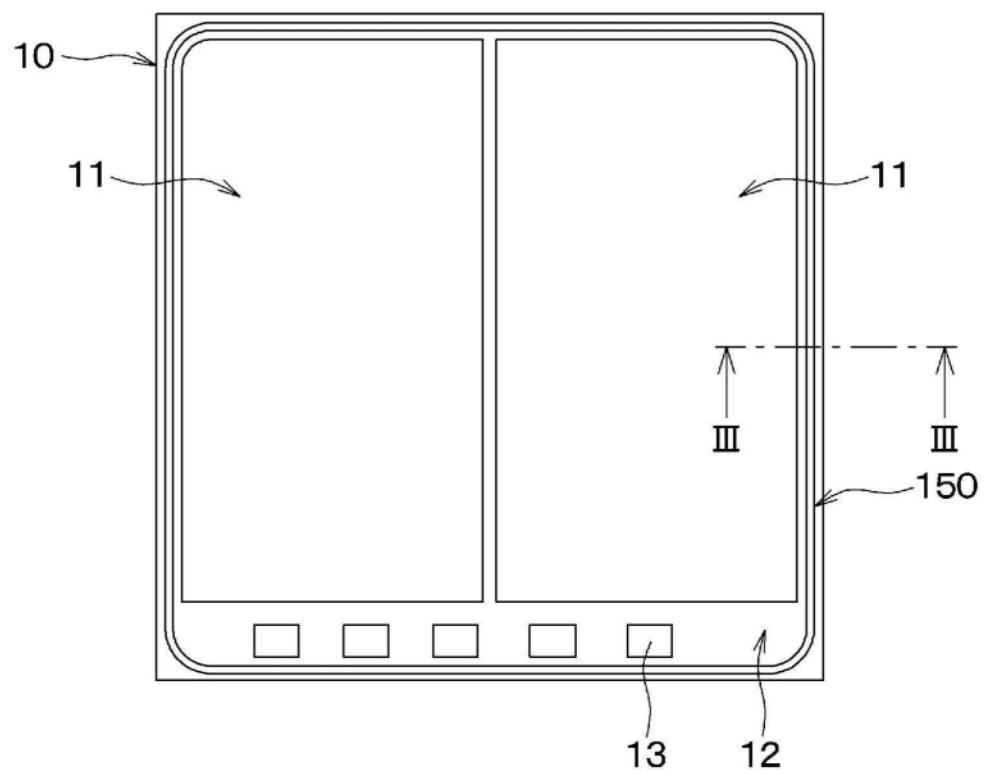


图2

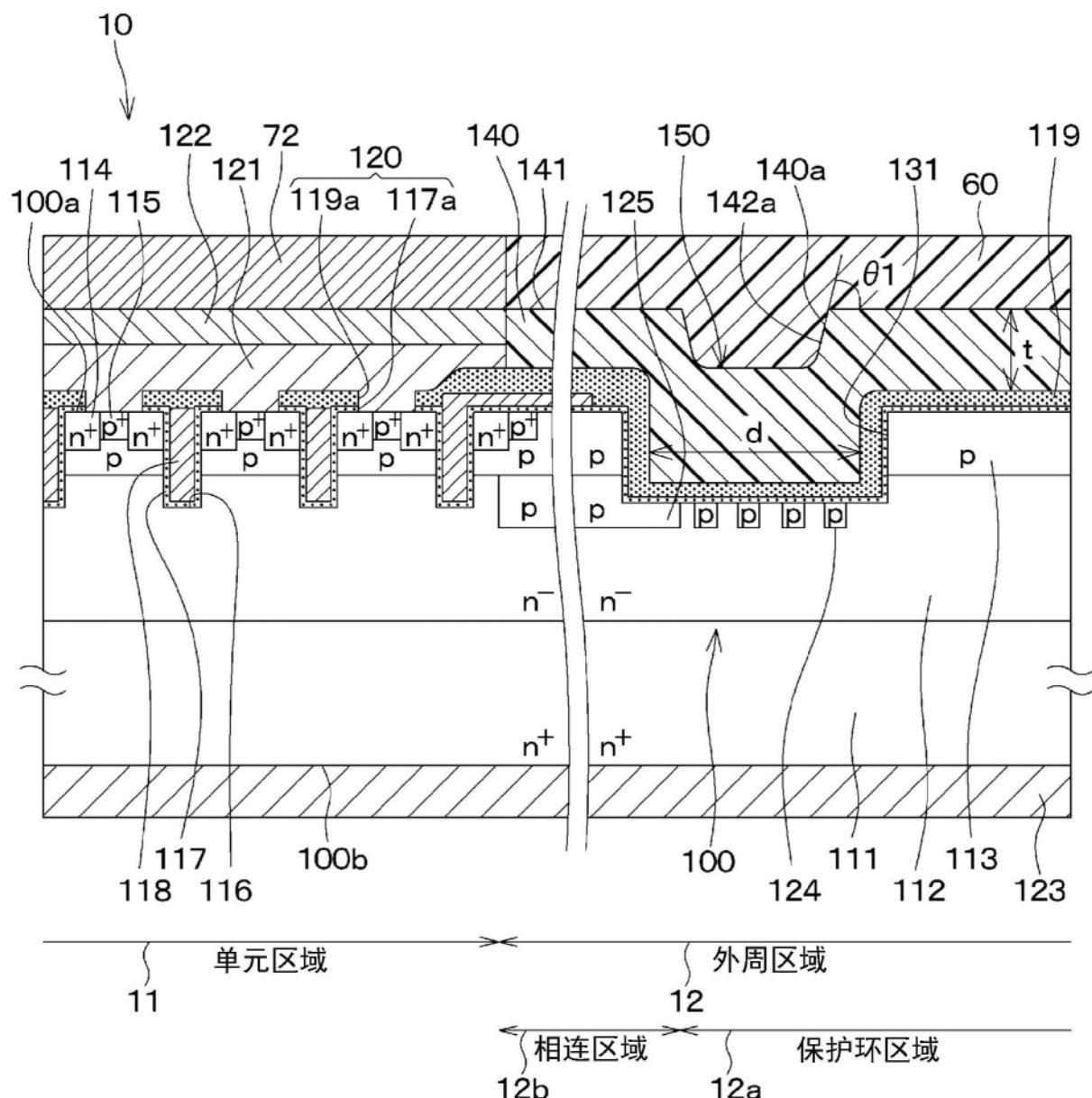


图3

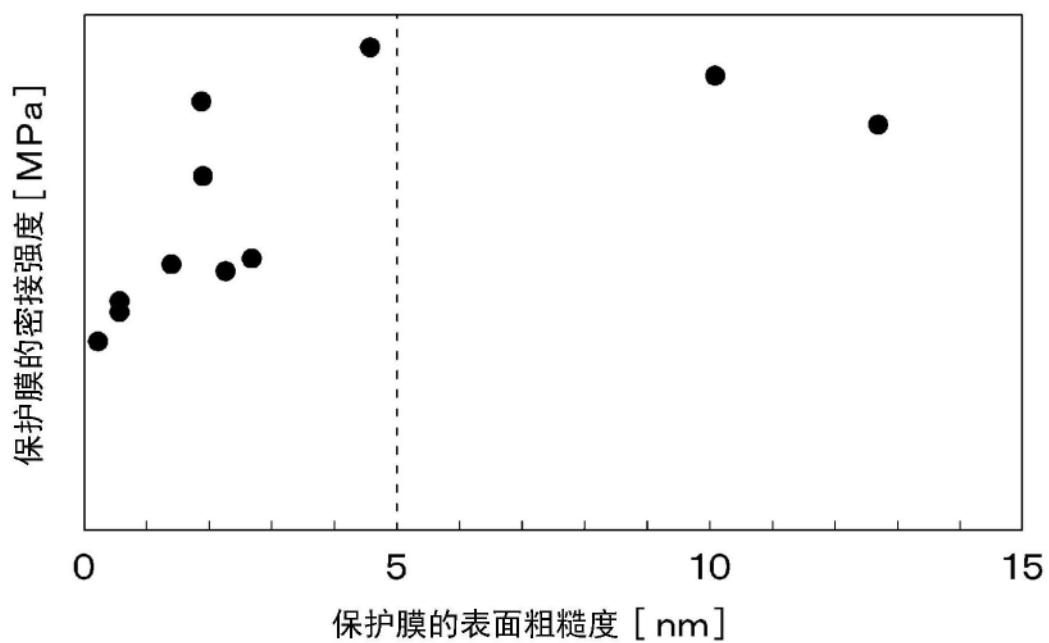


图4

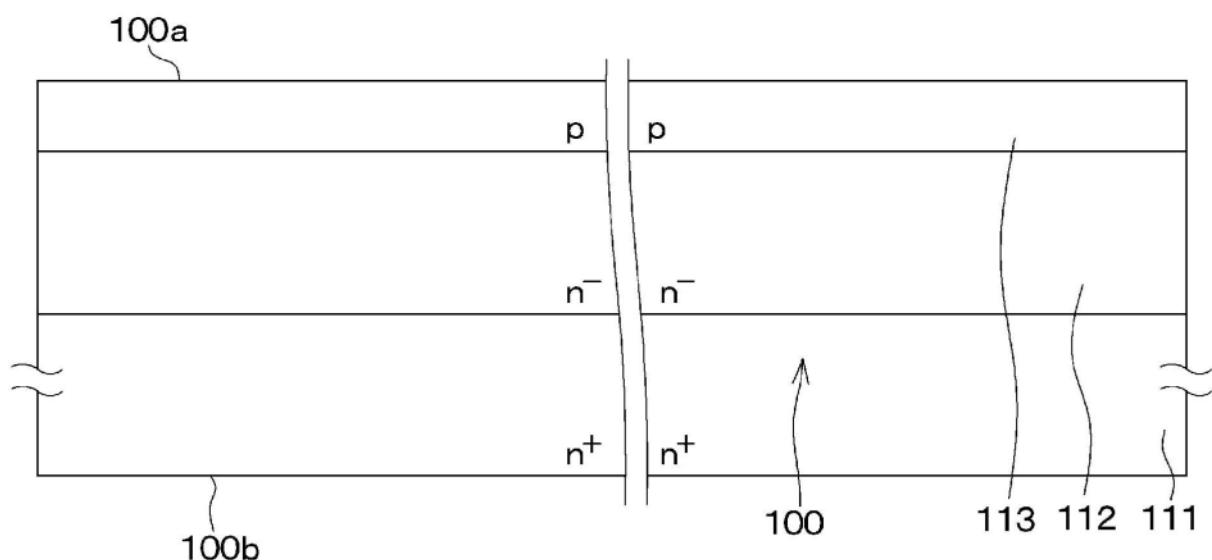


图5A

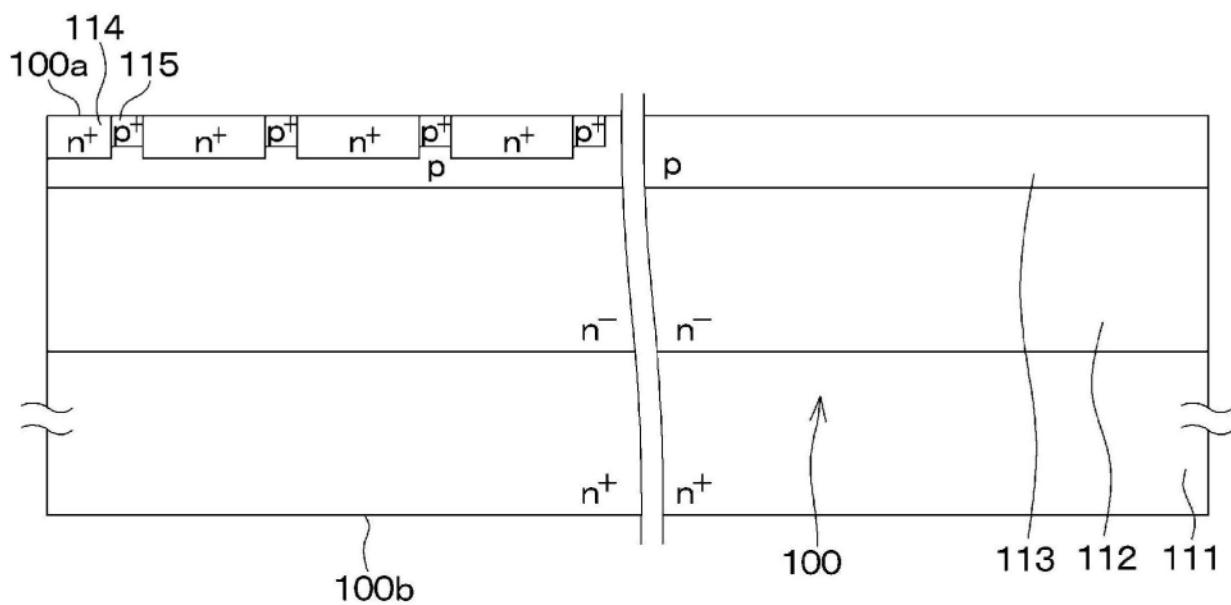


图5B

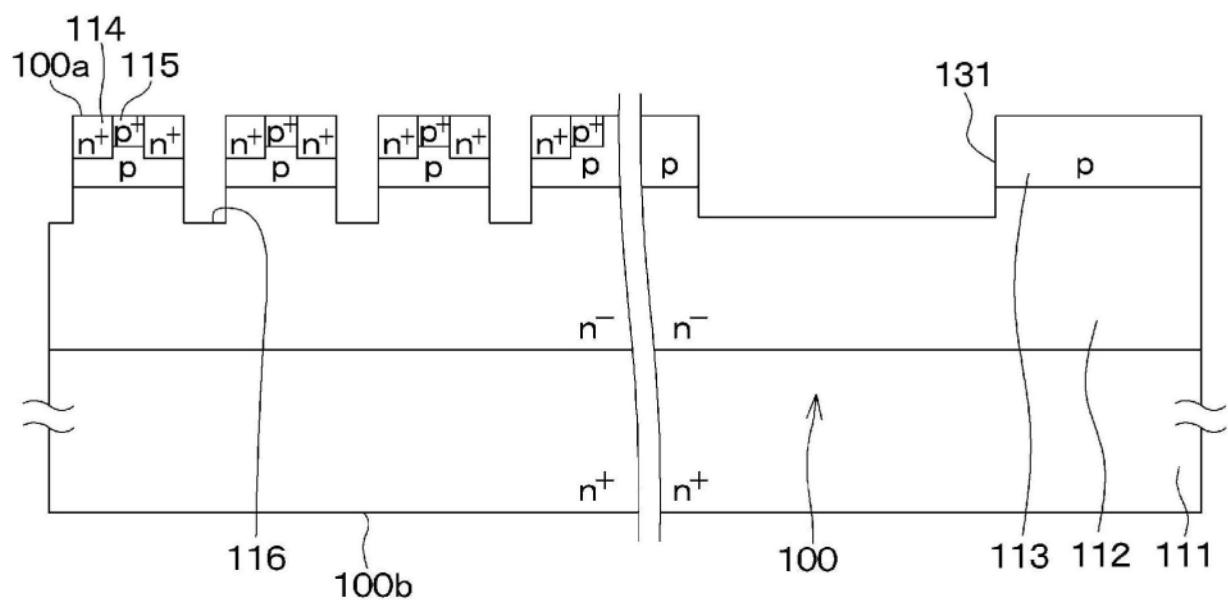


图5C

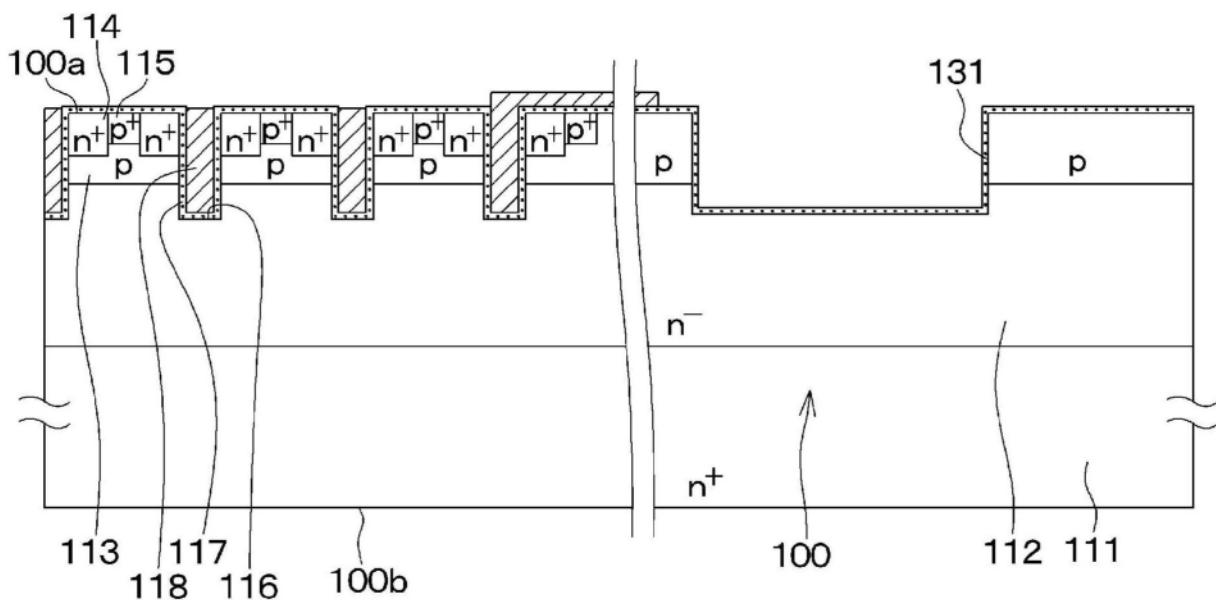


图5D

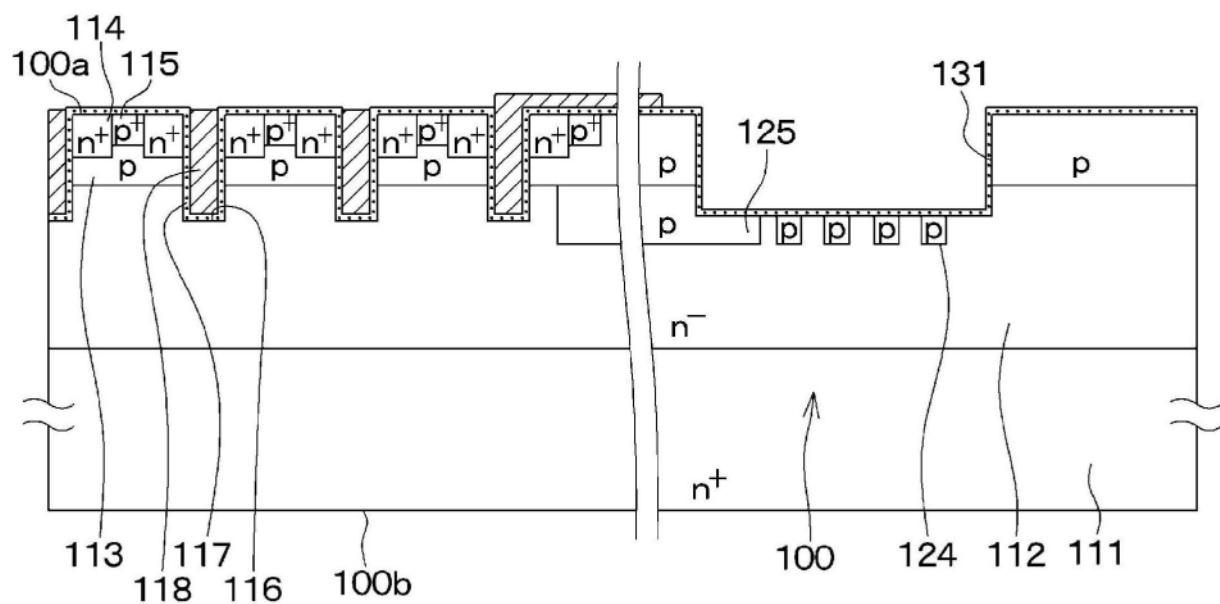


图5E

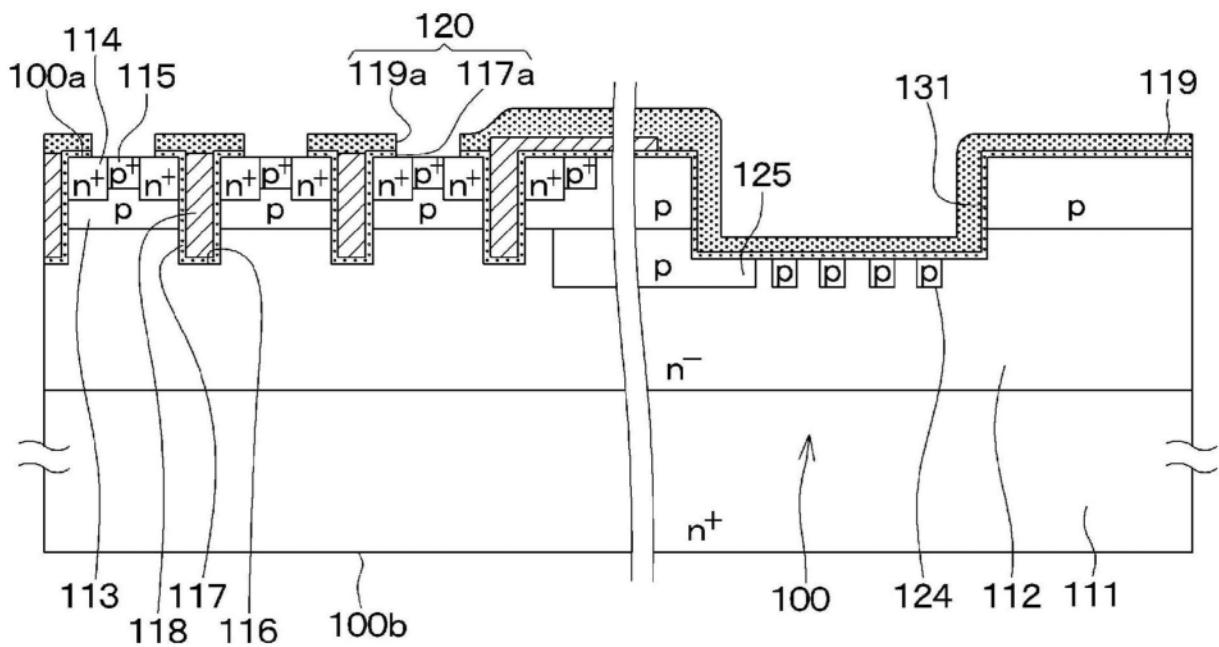


图5F

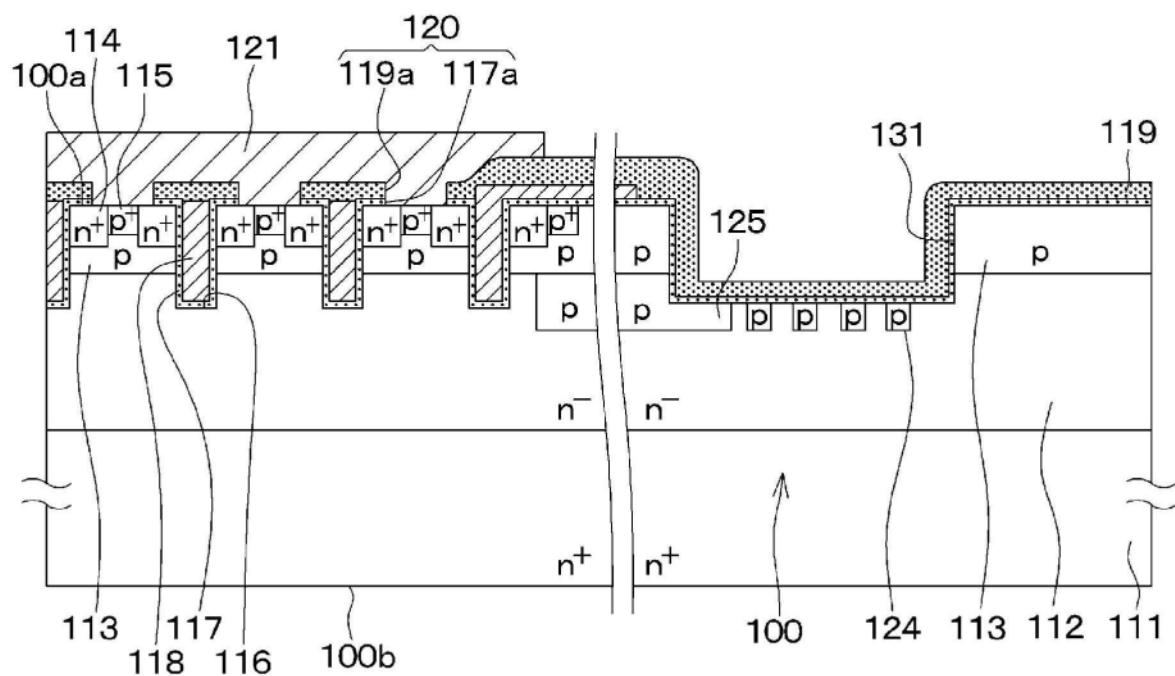


图5G

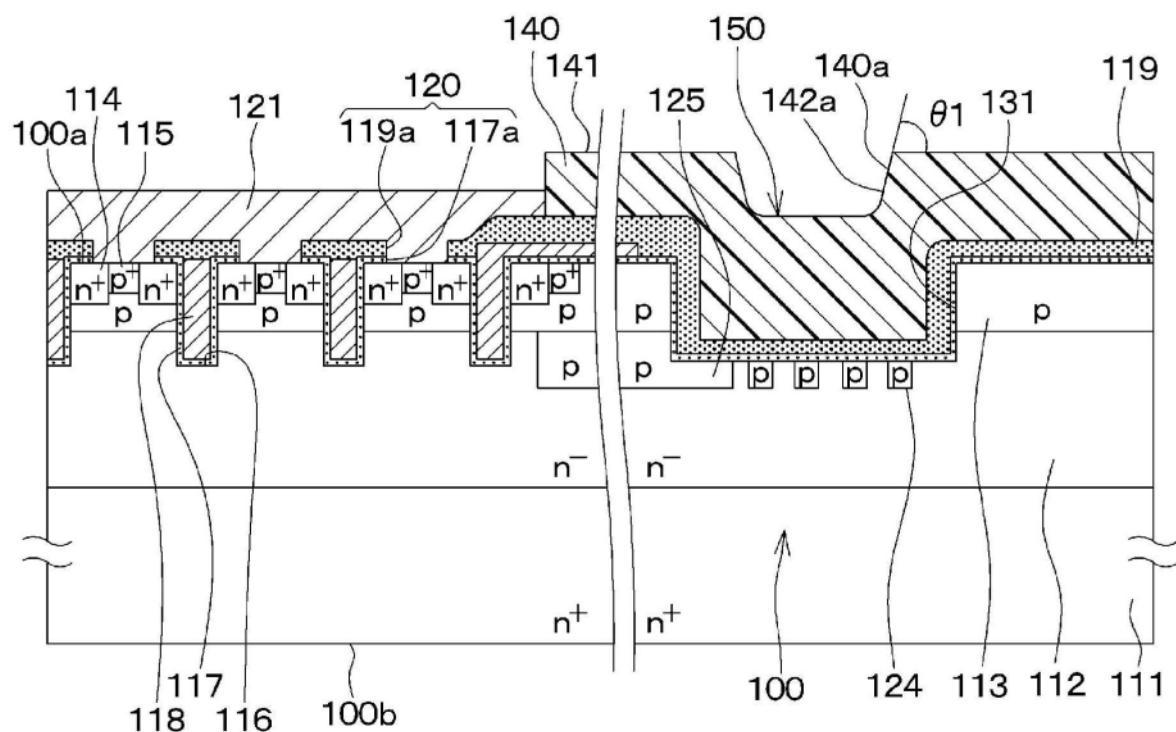


图5H

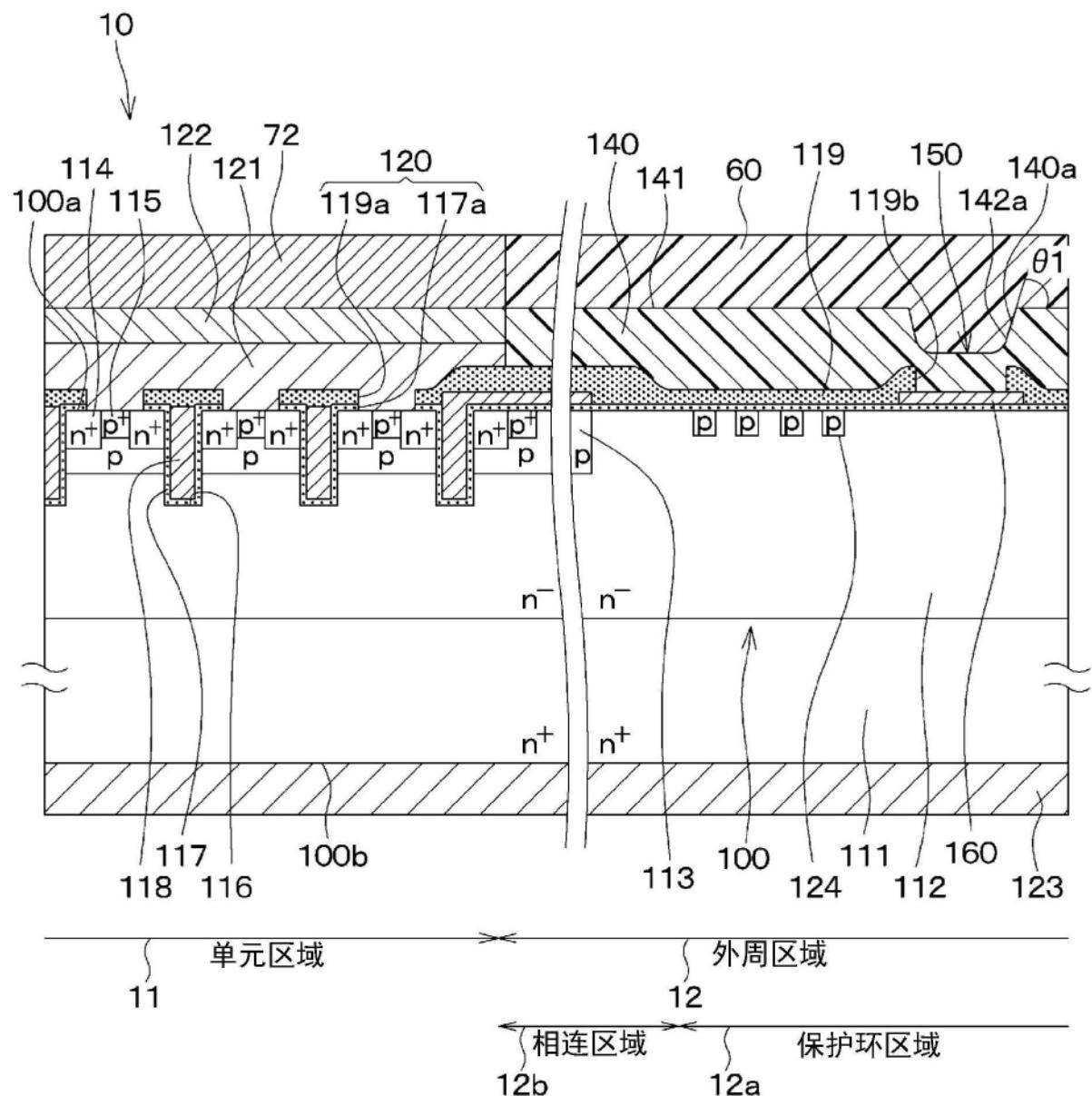


图6

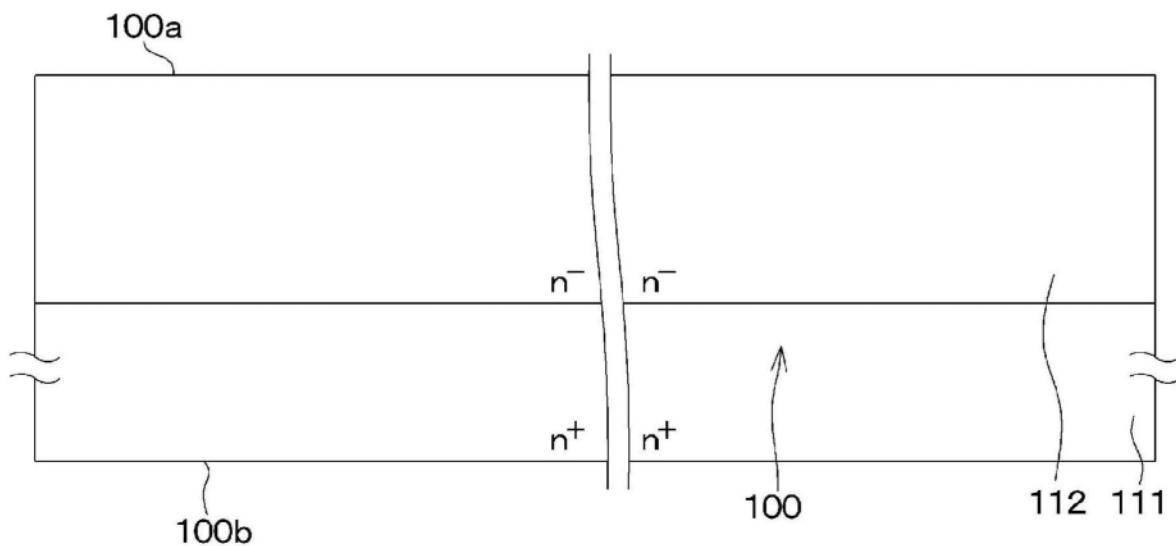


图7A

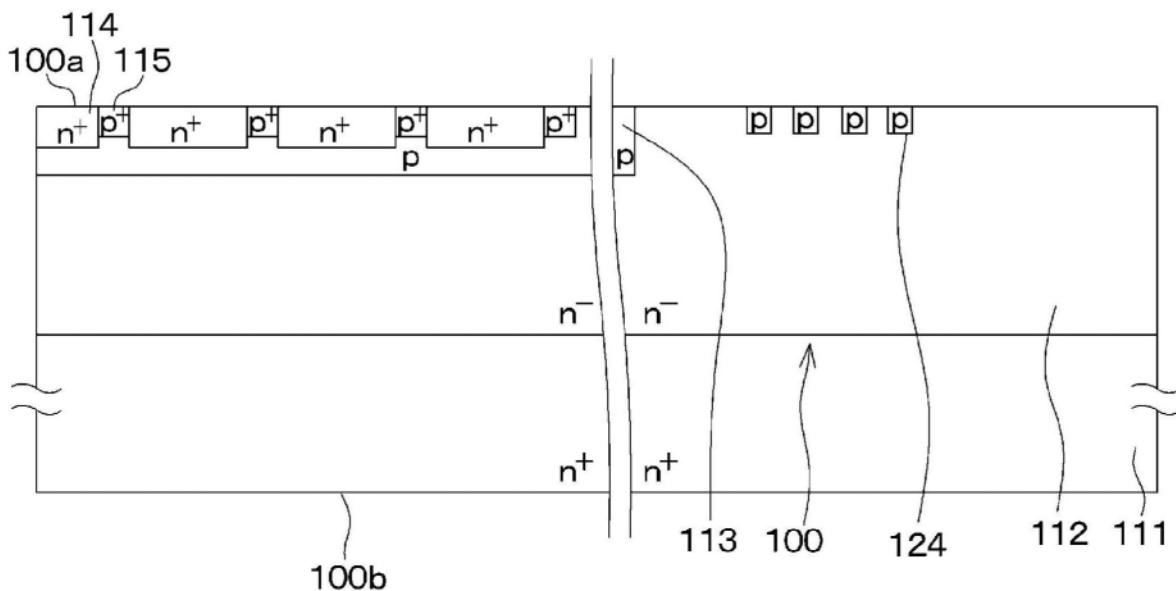


图7B

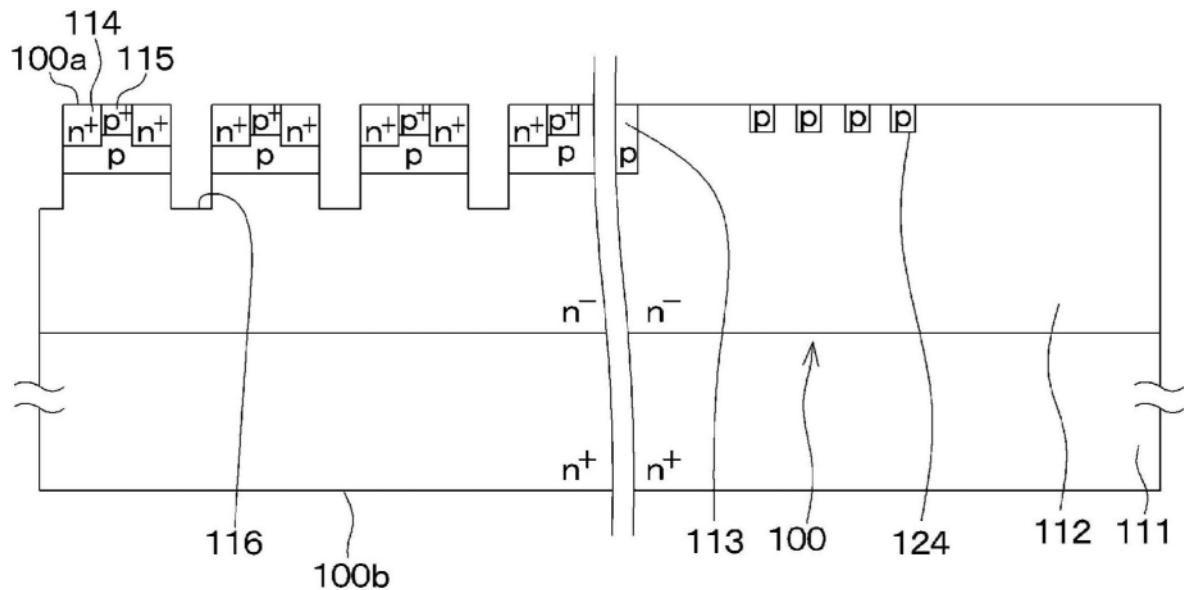


图7C

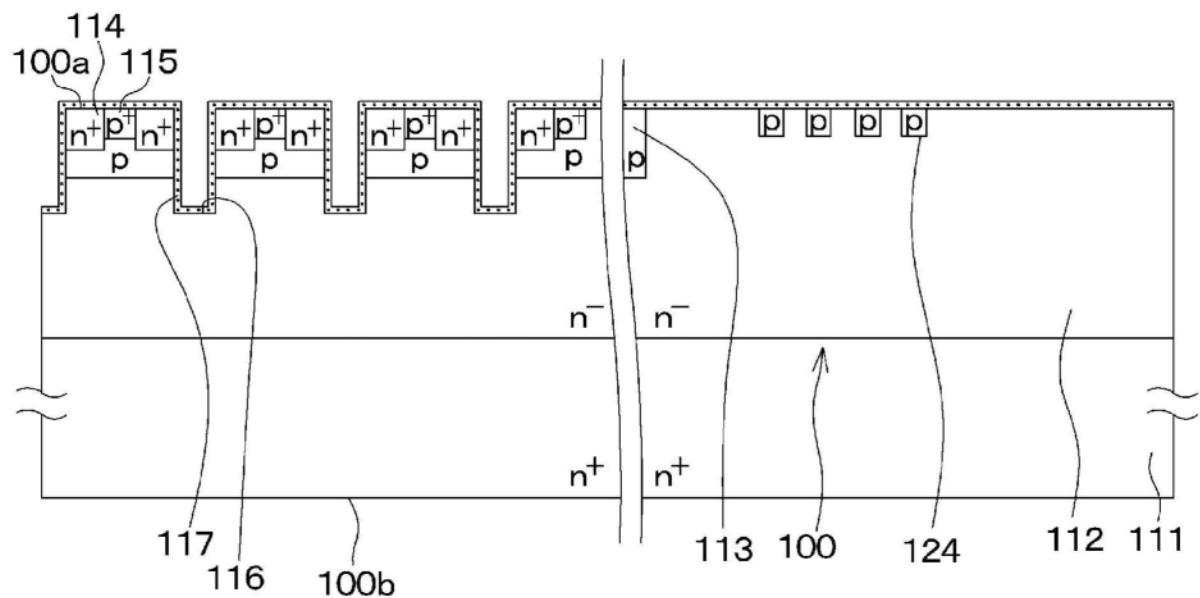


图7D

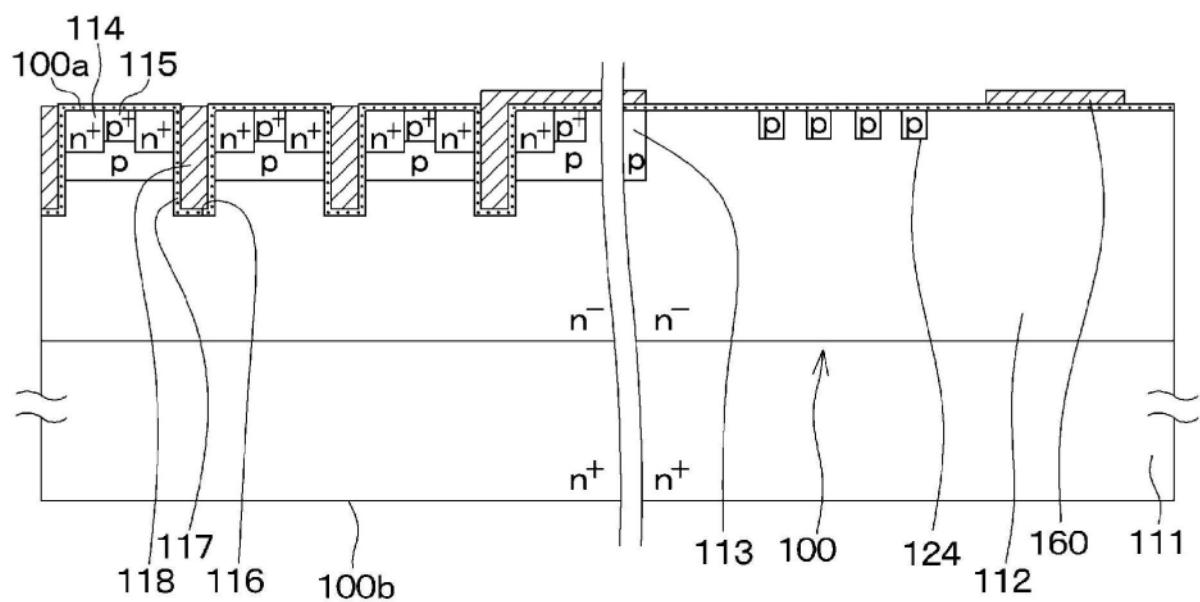


图7E

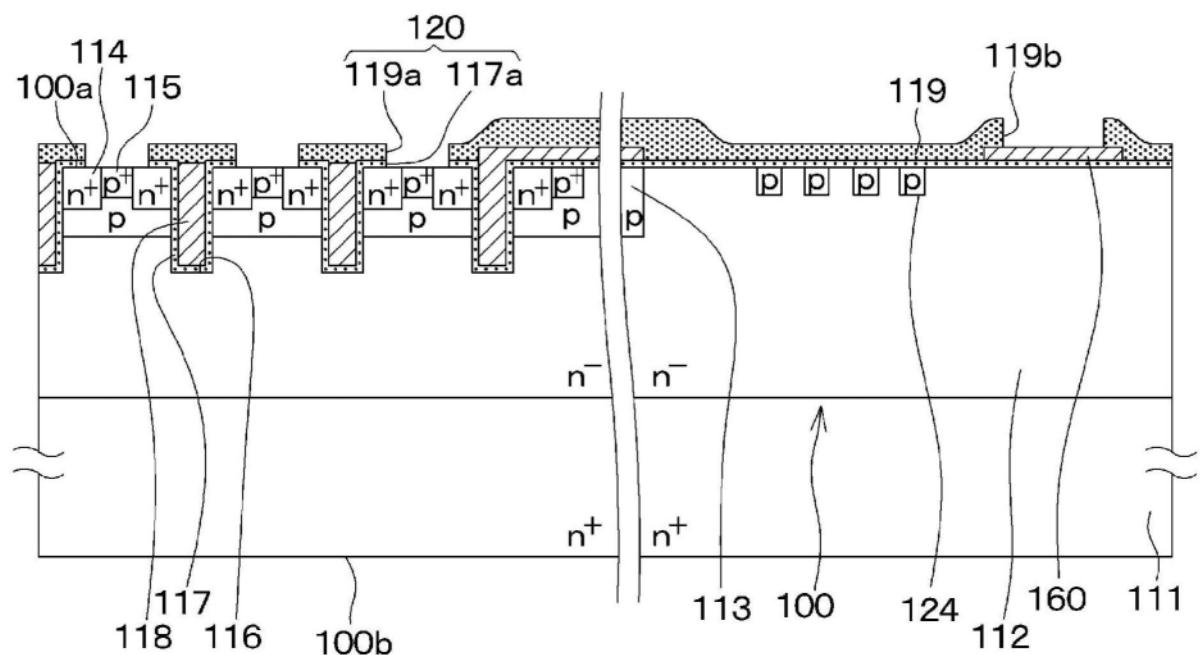


图7F

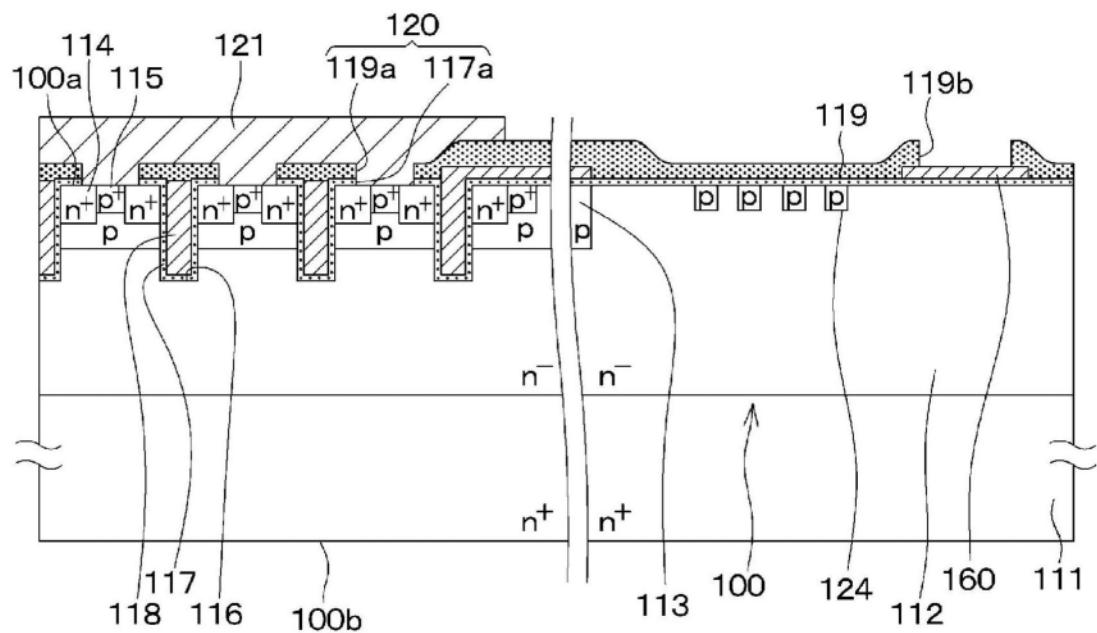


图7G

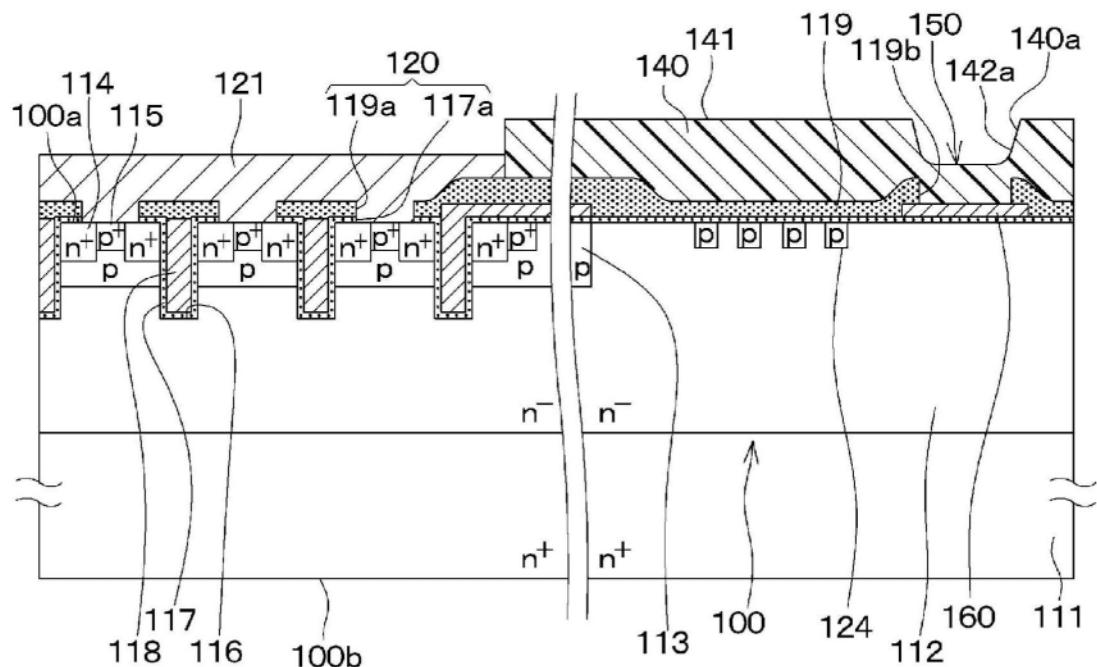


图7H

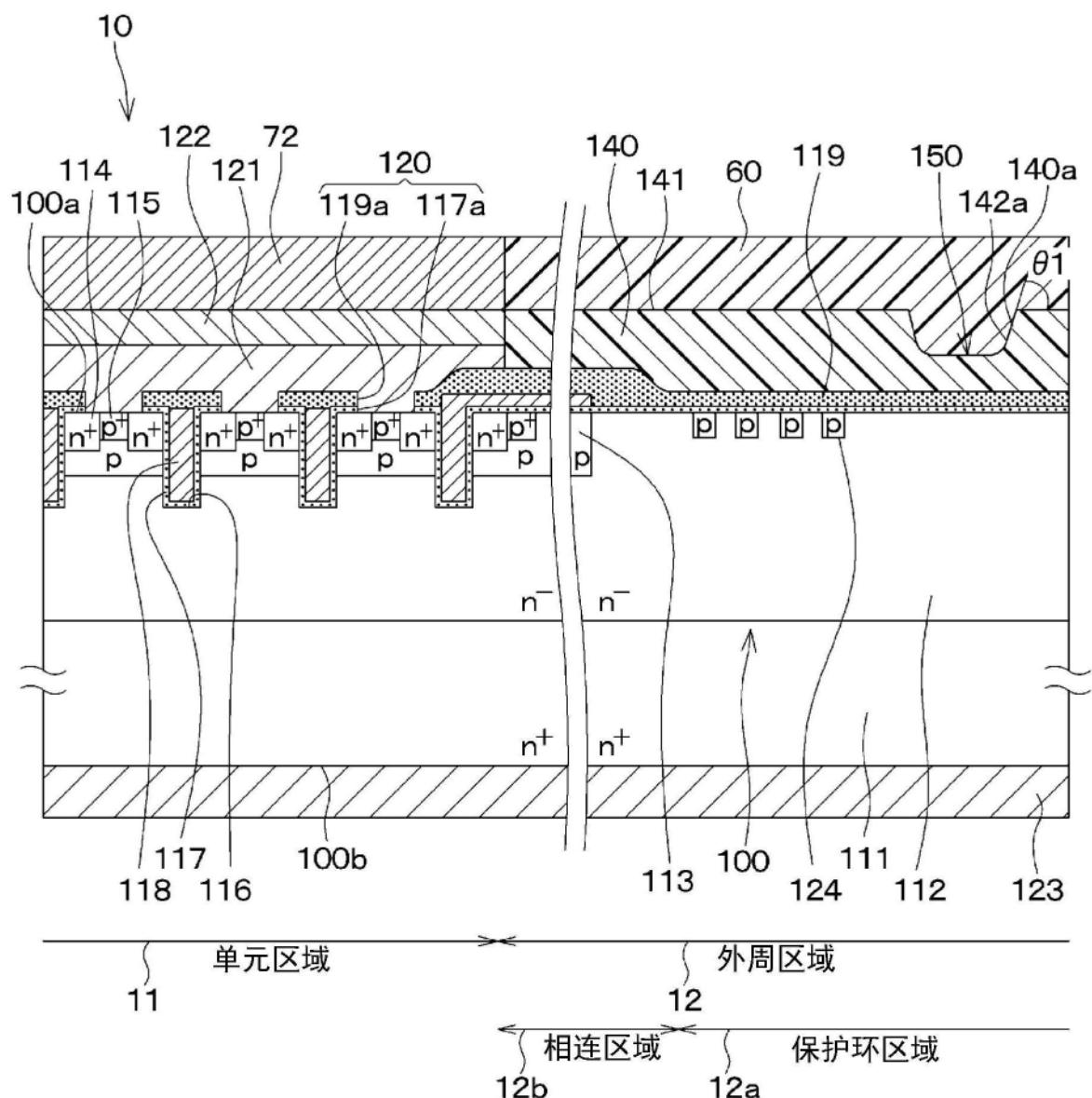


图8

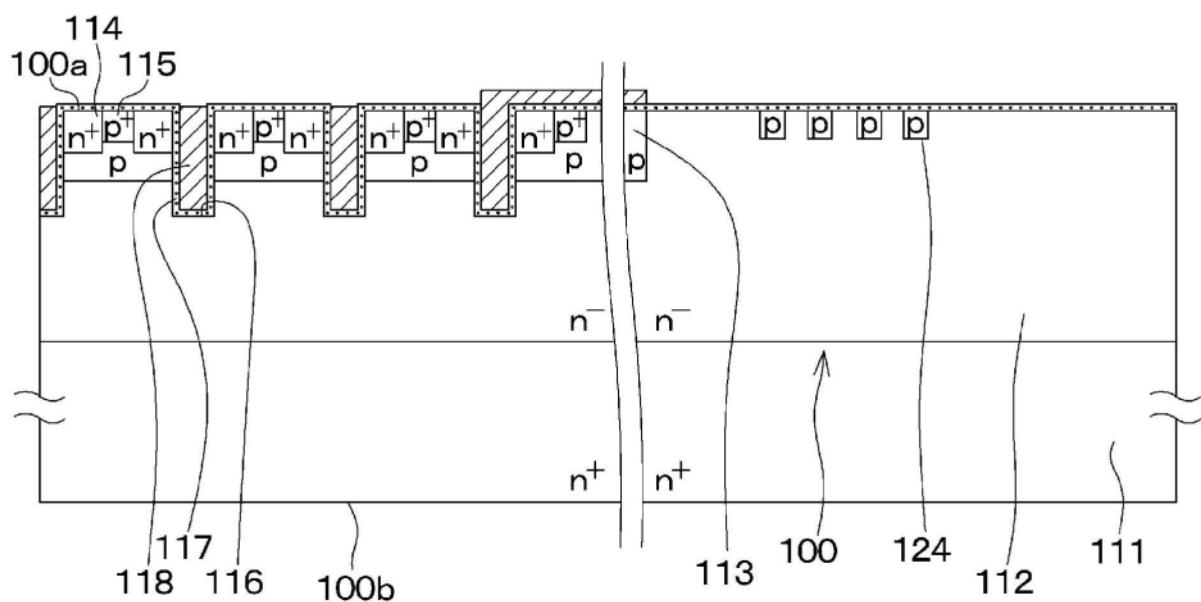


图9A

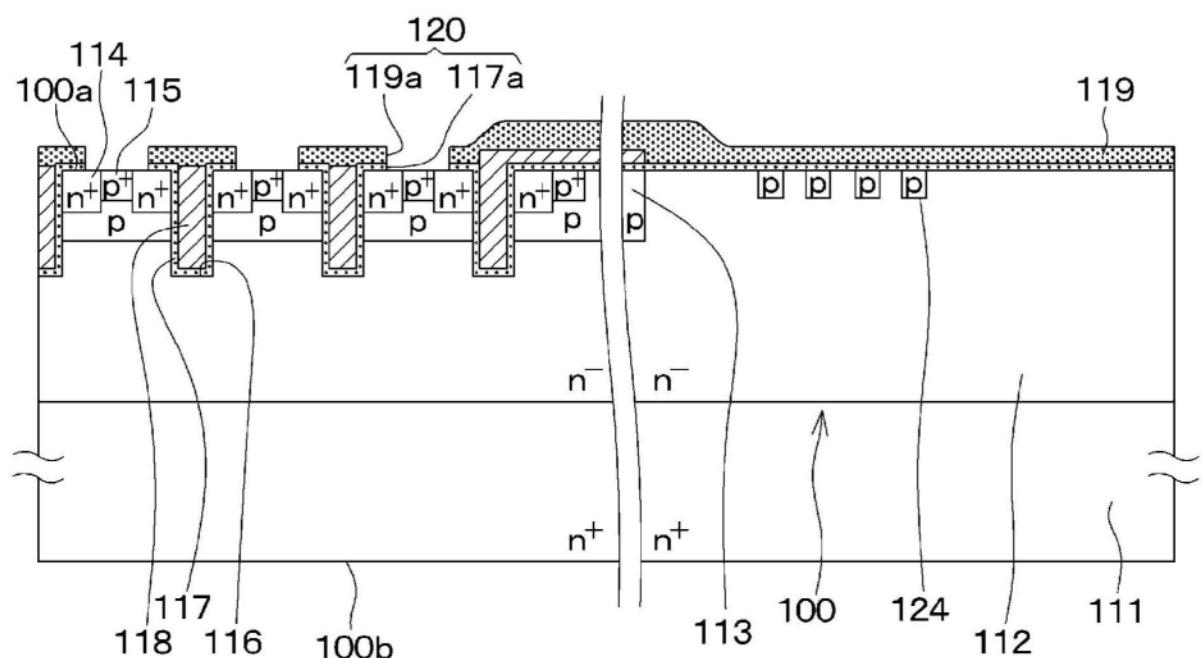


图9B

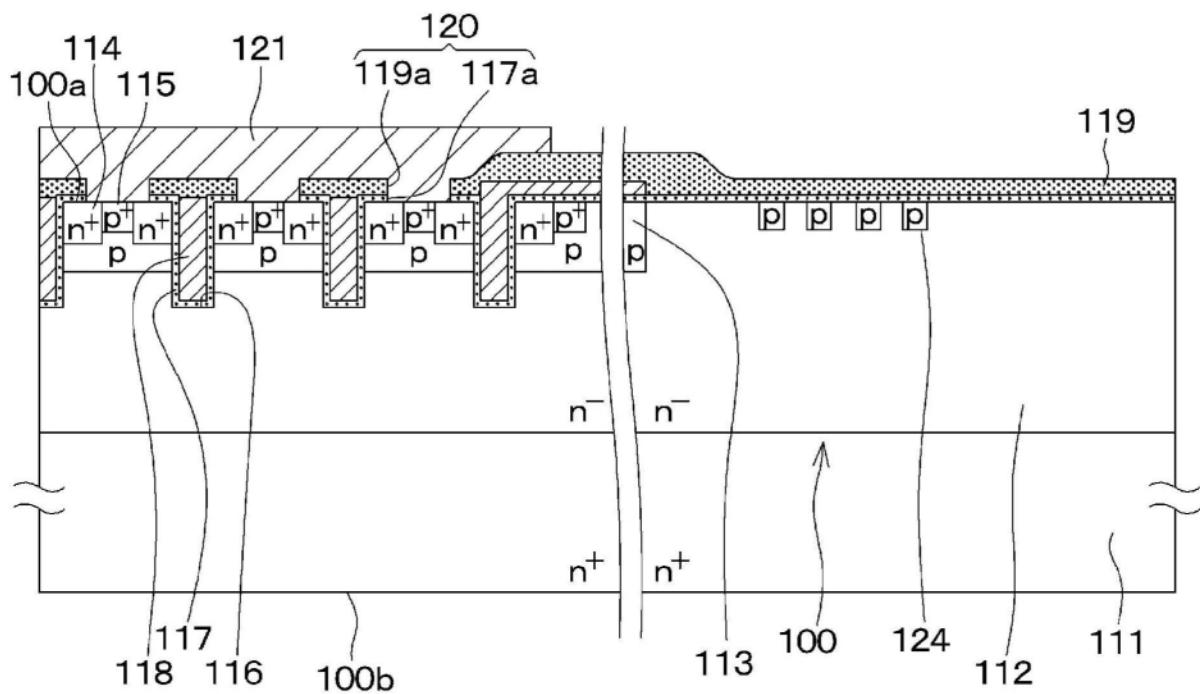


图9C

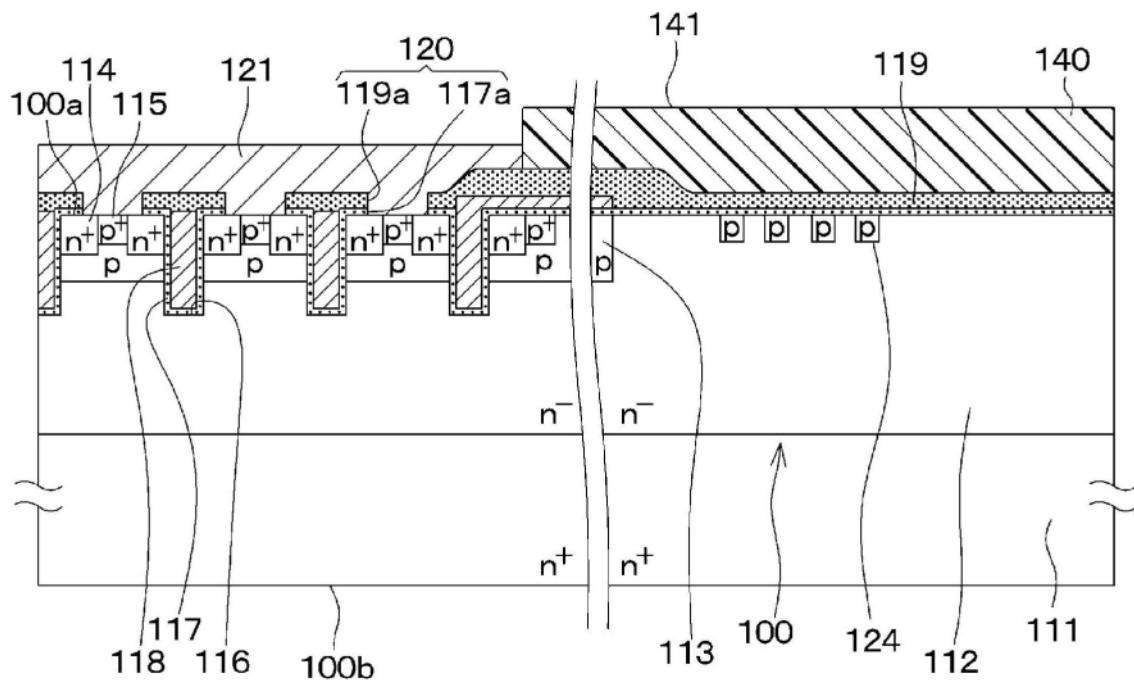


图9D

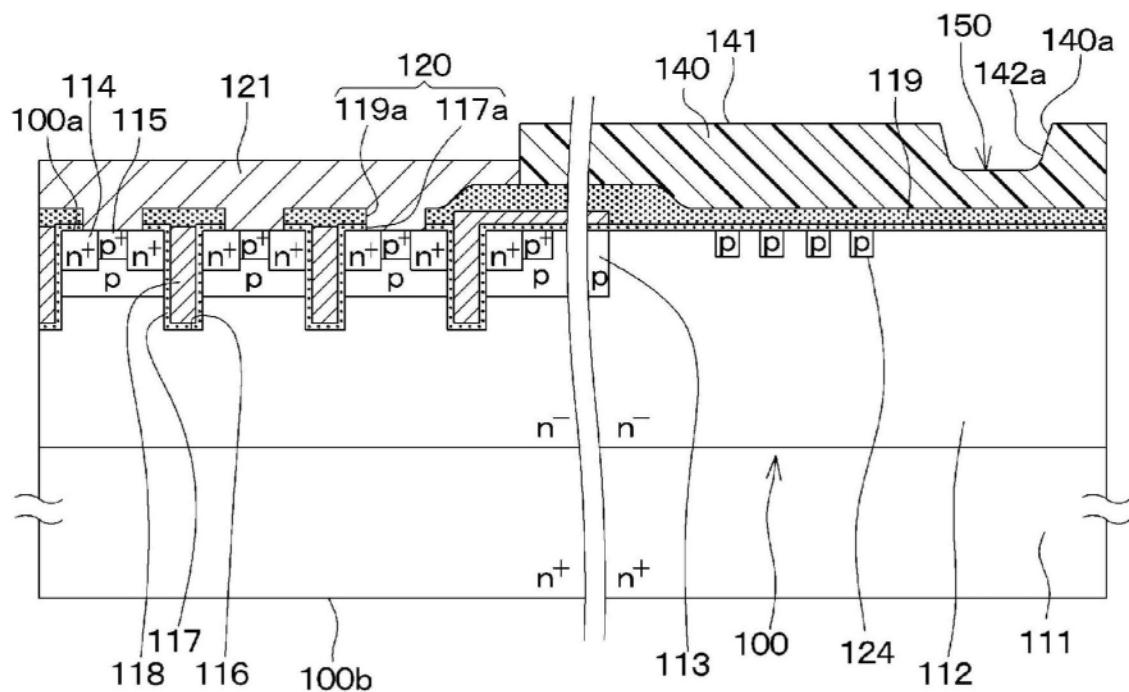


图9E

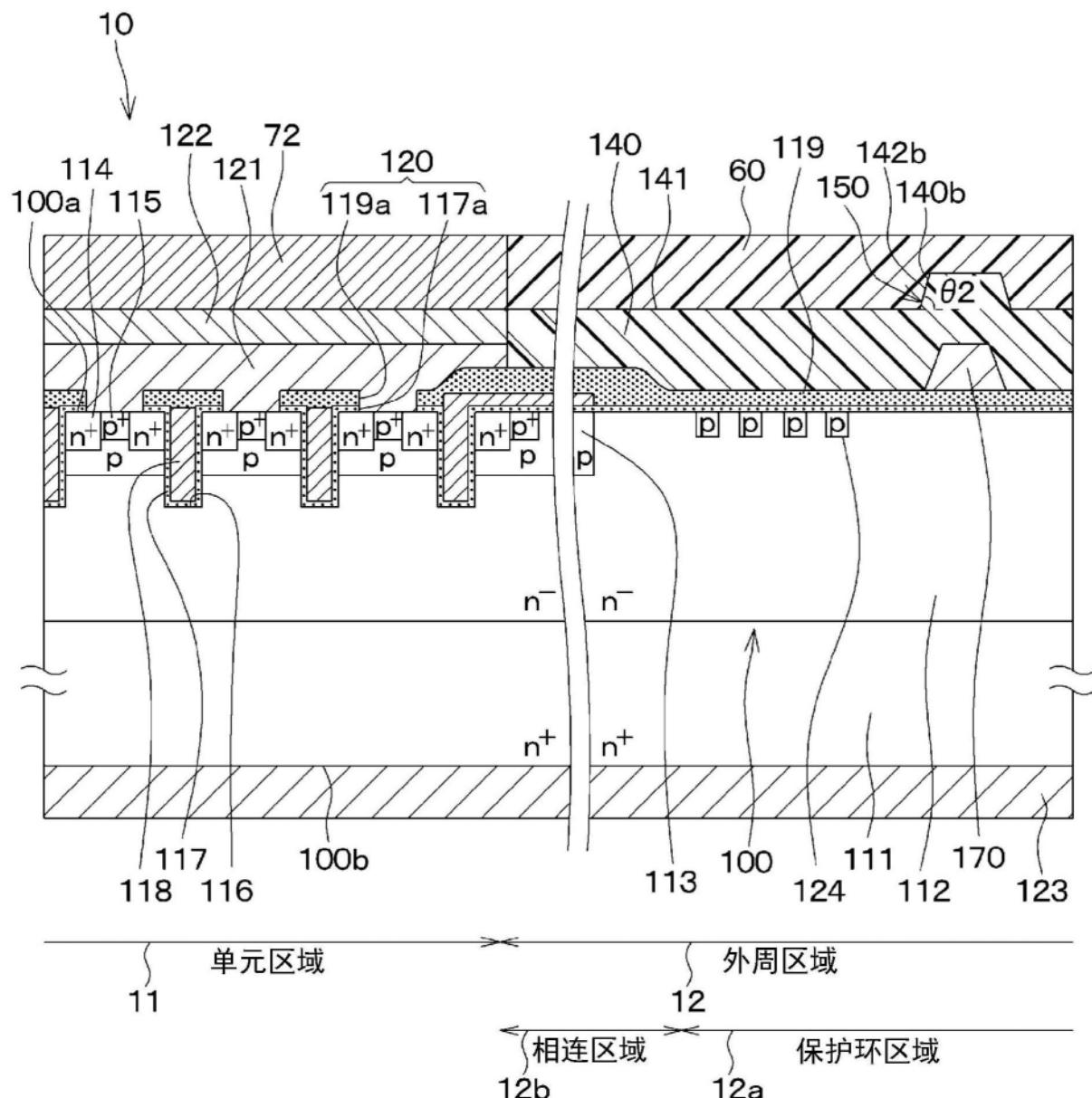


图10

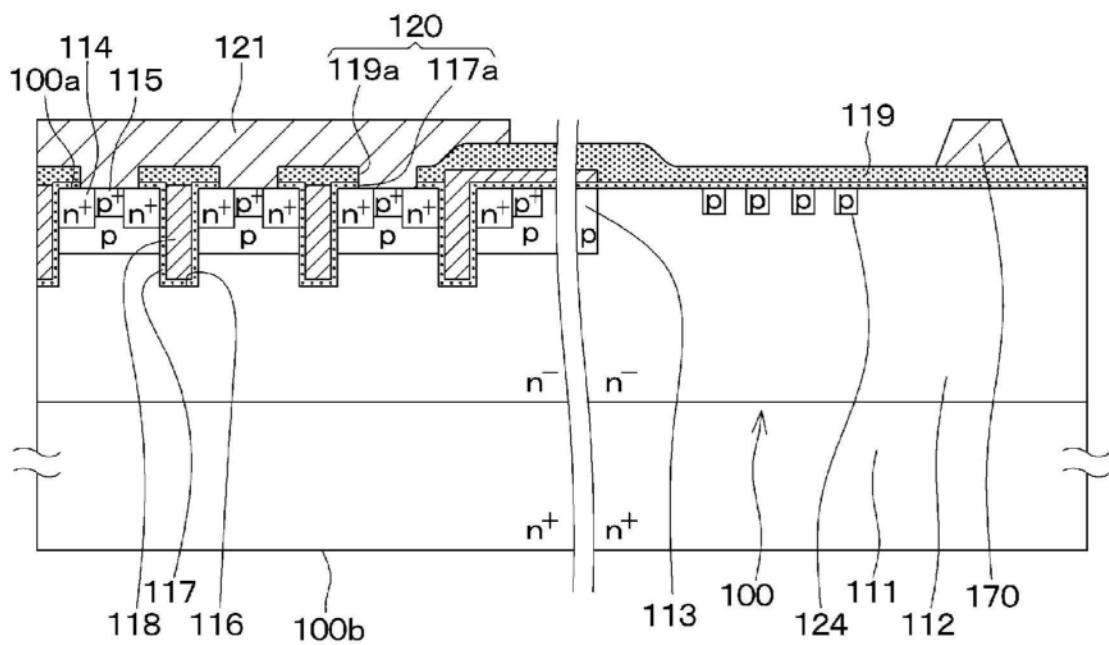


图11A

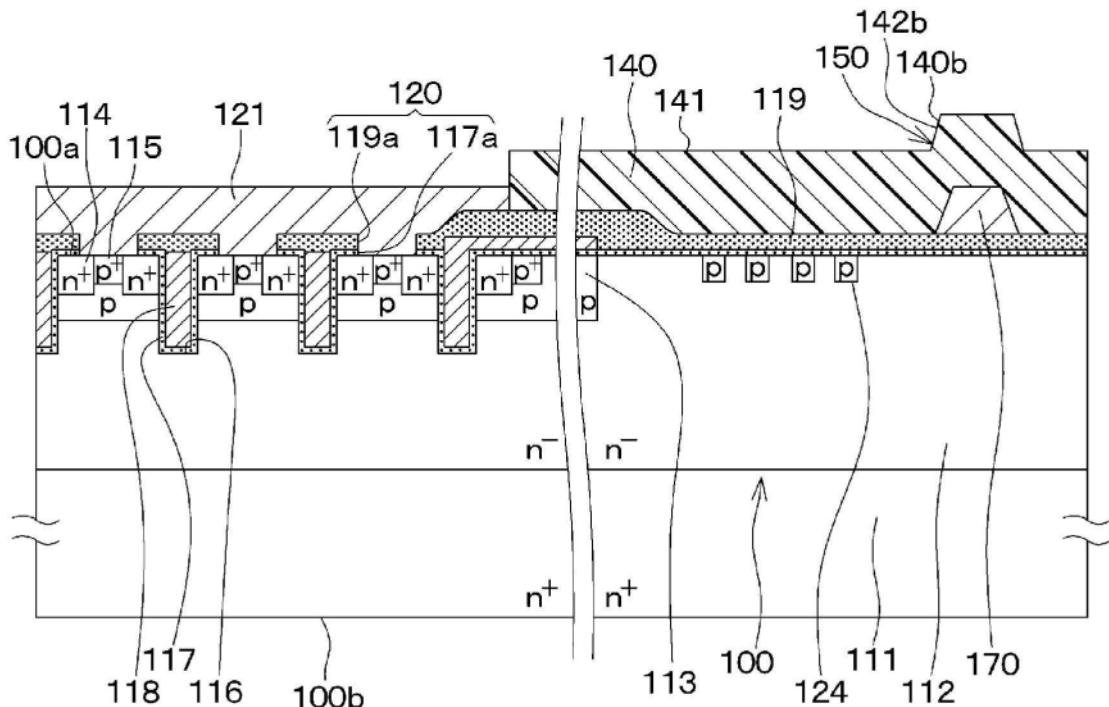


图11B

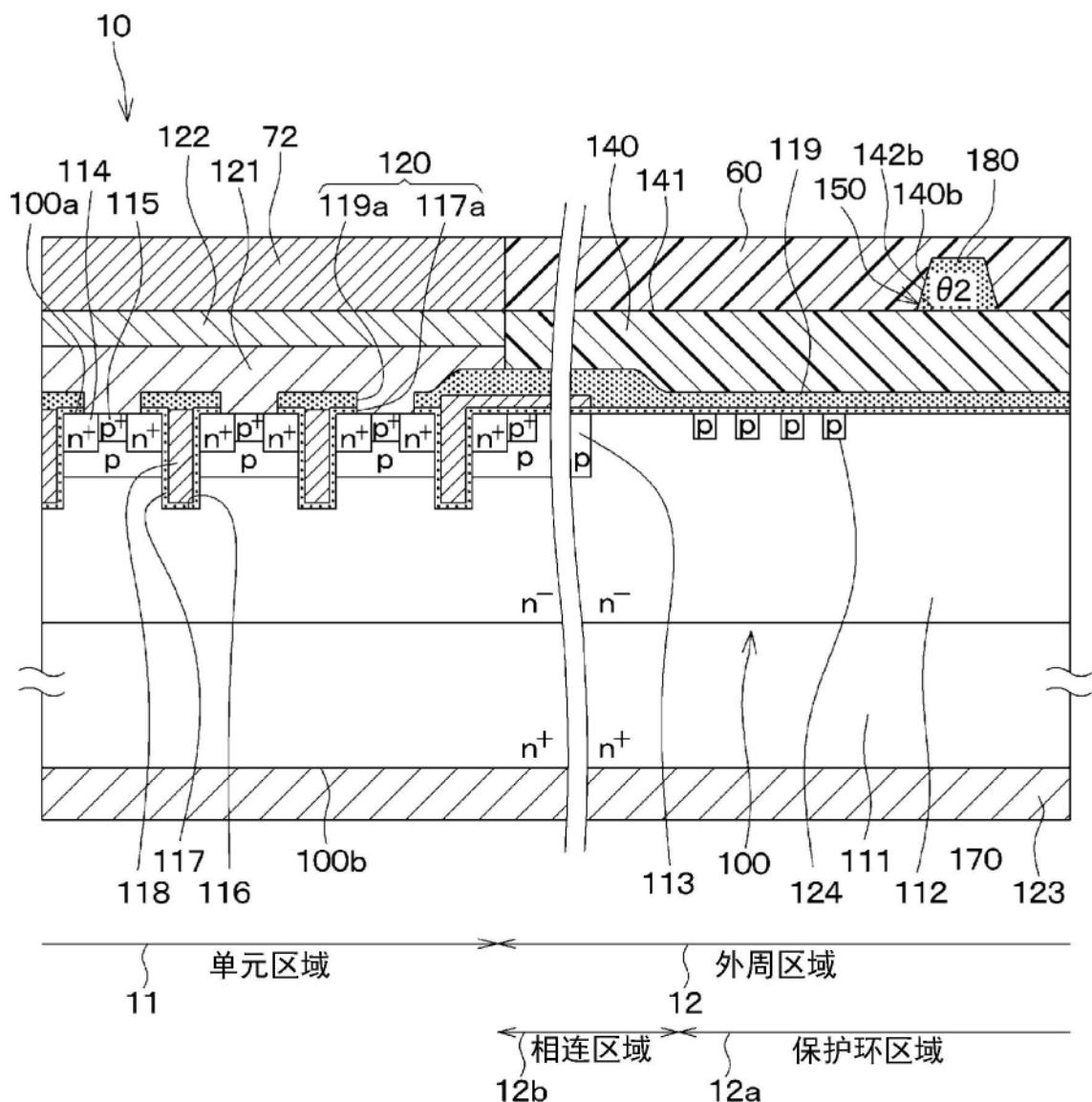


图12

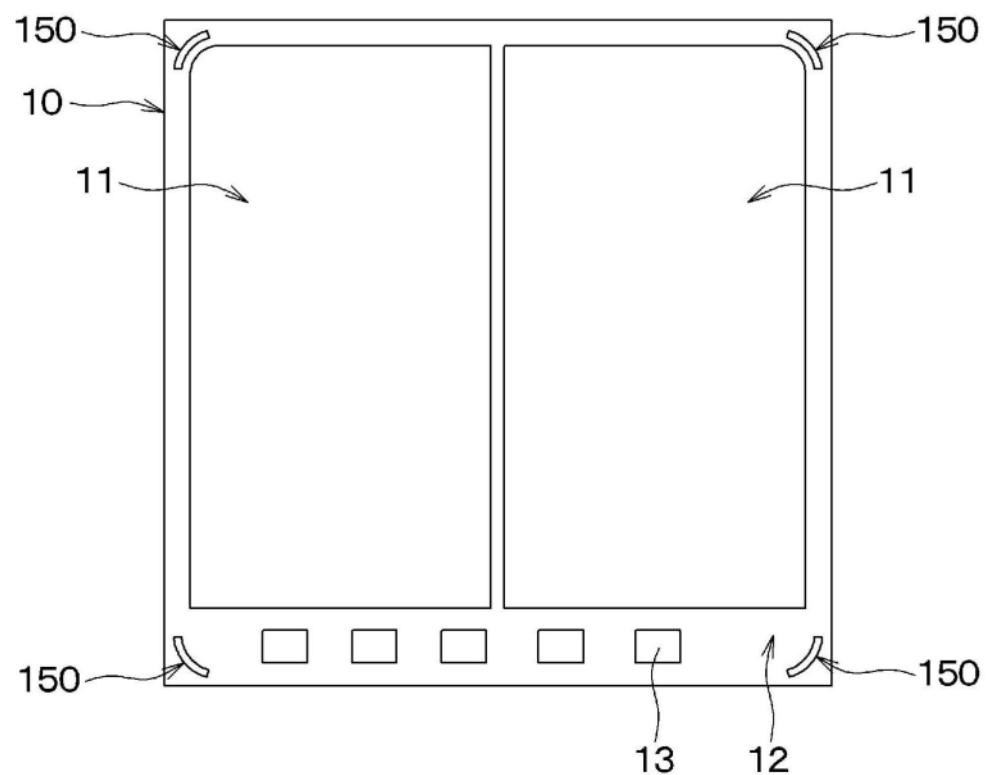


图13

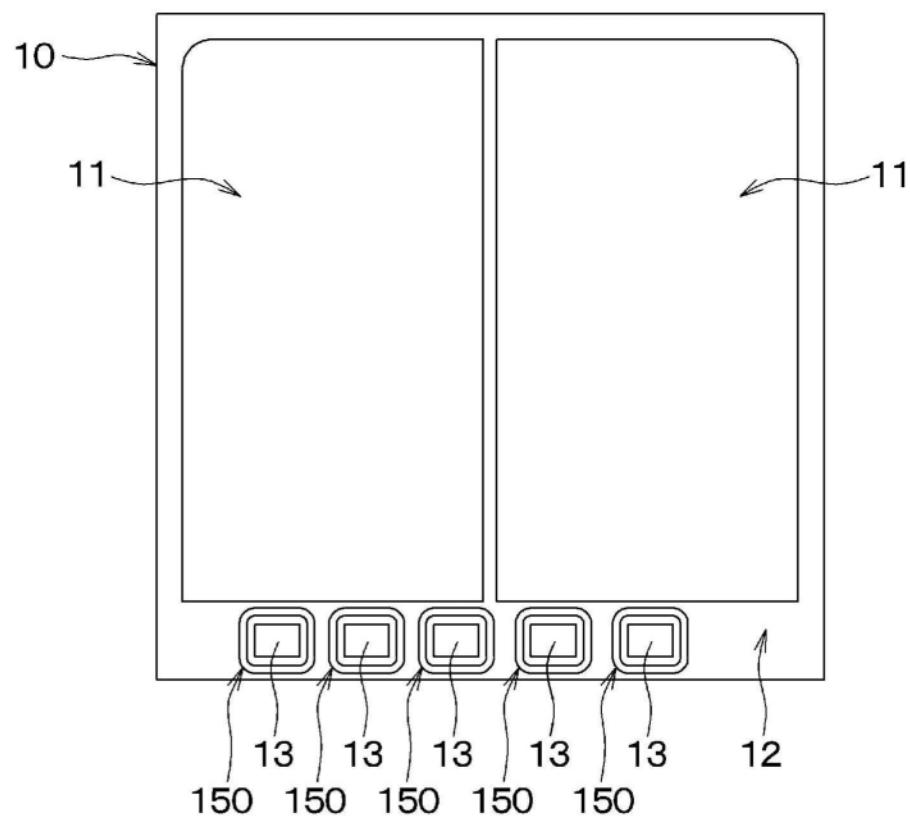


图14

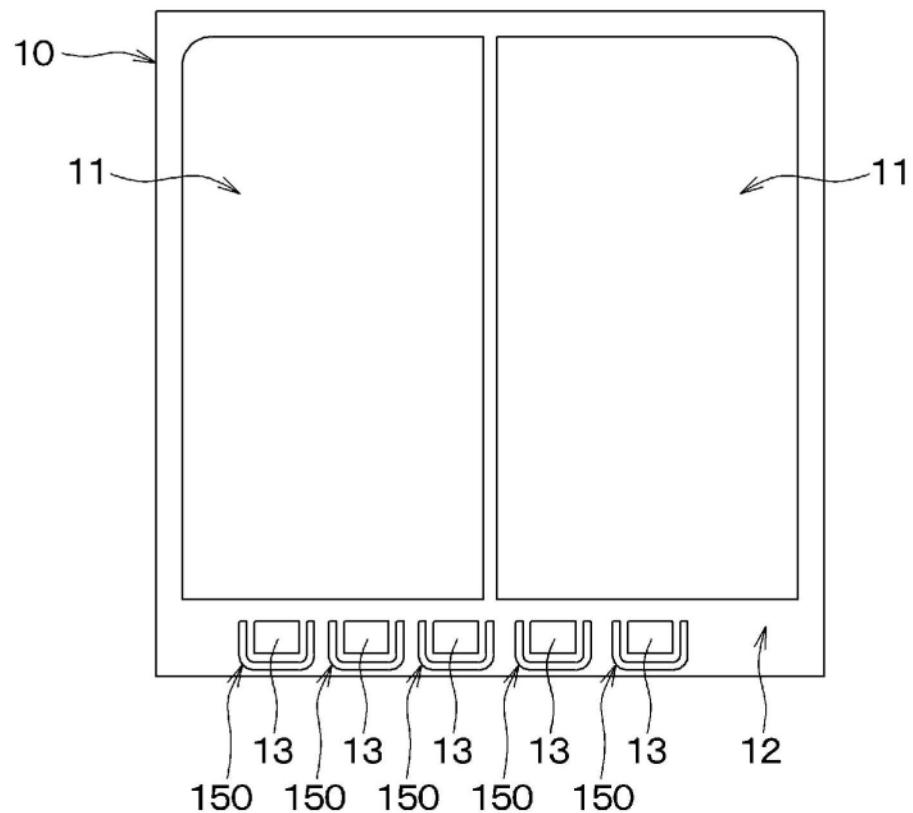


图15

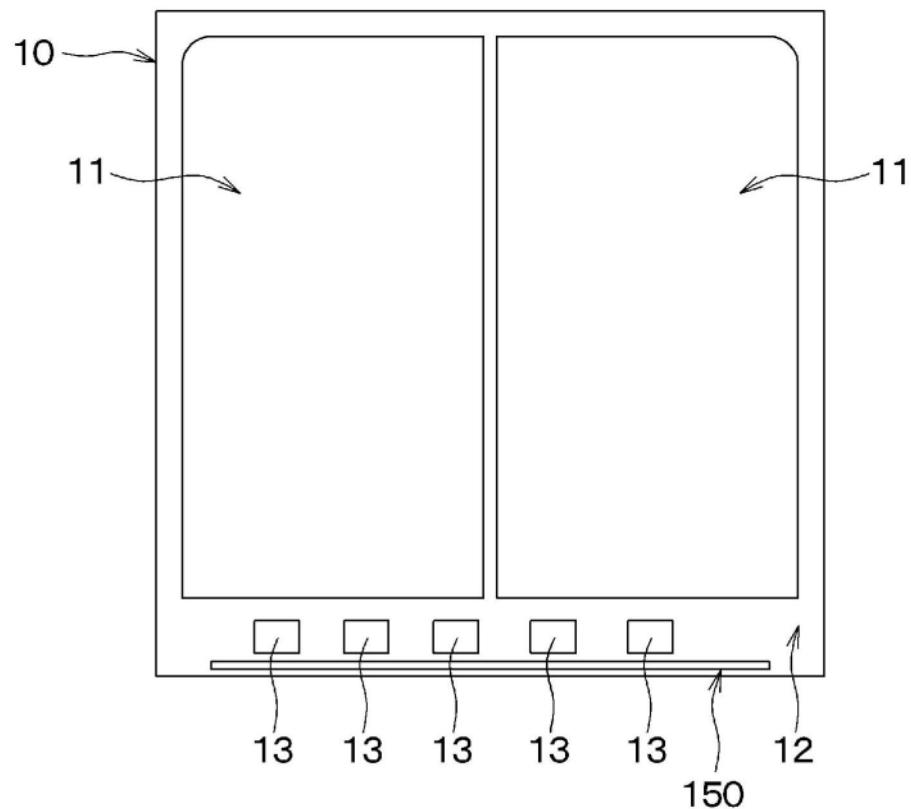


图16

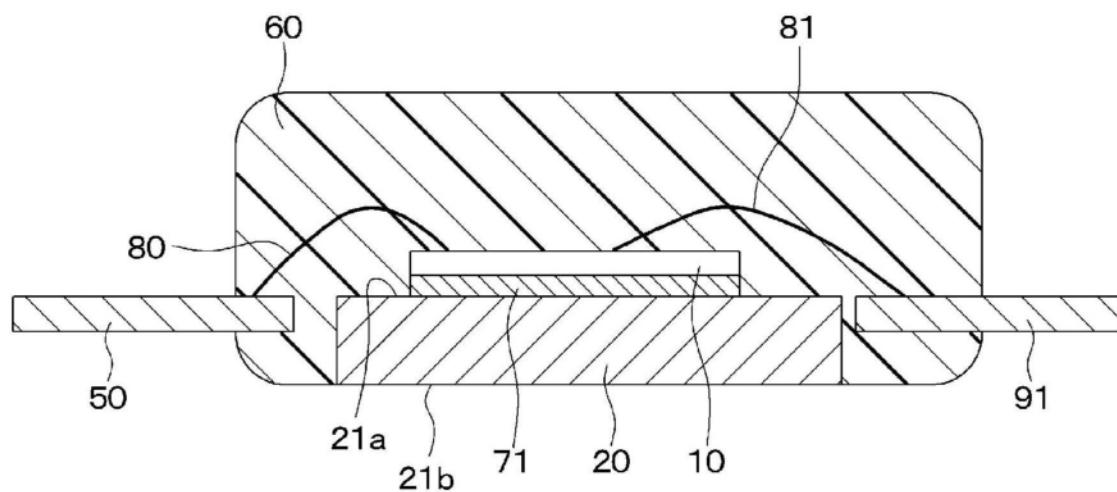


图17

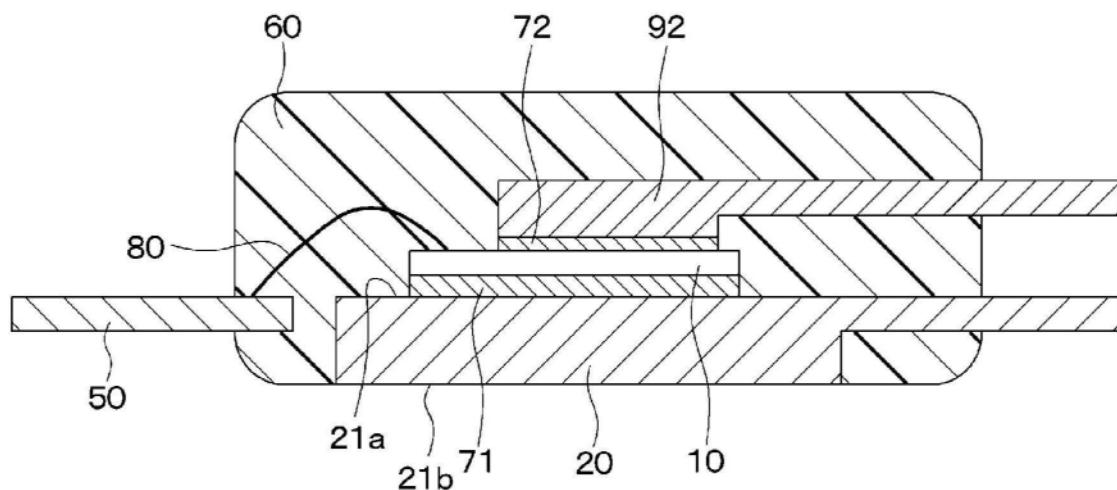


图18