



(12)发明专利申请

(10)申请公布号 CN 106057143 A

(43)申请公布日 2016. 10. 26

(21)申请号 201610371246.9

(22)申请日 2016.05.30

(71)申请人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 马占洁

(74)专利代理机构 北京市柳沈律师事务所  
11105

代理人 吕晓章 邓亚楠

(51)Int. Cl.

G09G 3/36(2006.01)

G11C 19/28(2006.01)

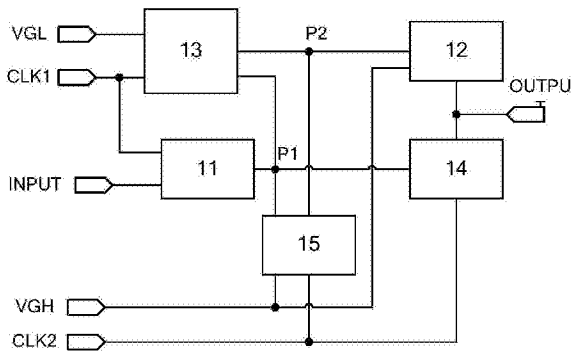
权利要求书2页 说明书6页 附图3页

(54)发明名称

移位寄存器及其操作方法、栅极驱动电路和显示装置

(57)摘要

一种移位寄存器及其操作方法、栅极驱动电路和显示装置。该移位寄存器包括：输入模块(11)，第一端与该移位寄存器的输入端连接用于从该输入端接收输入信号，第二端与第一时钟信号端连接，第三端与第一节点连接；上拉模块(12)，第一端与第一电源电压端连接，第二端与第二节点连接，第三端与输出端连接；上拉控制模块(13)，第一端与第一时钟信号端连接，第二端与第二电源电压端连接，第三端与第二节点连接，第四端与第一节点连接；输出模块(14)，第一端与第一节点连接，第二端与第二时钟信号端连接，第三端与输出端连接；降噪模块(15)，第一端与第二节点连接，第二端与第二时钟信号端连接，第三端与第一电源电压端连接，第四端与第一节点连接。可以有效降低输出端噪声。



1. 一种移位寄存器, 包含:

输入模块, 其第一端与该移位寄存器的输入端连接用于从该输入端接收输入信号, 第二端与第一时钟信号端连接, 第三端与第一节点连接;

上拉模块, 其第一端与第一电源电压端连接, 第二端与第二节点连接, 第三端与输出端连接;

上拉控制模块, 其第一端与第一时钟信号端连接, 第二端与第二电源电压端连接, 第三端与第二节点连接, 第四端与第一节点连接;

输出模块, 其第一端与第一节点连接, 第二端与第二时钟信号端连接, 第三端与输出端连接;

降噪模块, 其第一端与第二节点连接, 第二端与第二时钟信号端连接, 第三端与第一电源电压端连接, 第四端与第一节点连接。

2. 根据权利要求1所述的移位寄存器, 其中, 输入模块包括输入晶体管, 输入晶体管的栅极与第一时钟信号端连接, 第一极与输入端连接, 第二极与第一节点连接。

3. 根据权利要求2所述的移位寄存器, 其中, 上拉模块包括:

输出上拉晶体管, 其栅极与第二节点连接, 第一极与第一电源电压端连接, 第二极与输出端连接; 以及

第一电容, 其第一端与第二节点连接, 第二端与第一电源电压端连接。

4. 根据权利要求3所述的移位寄存器, 其中, 上拉控制模块包:

第一上拉控制晶体管, 其栅极与第一时钟信号端连接, 第一极与第二电源电压端连接, 第二极与第二节点连接; 以及

第二上拉控制晶体管, 其栅极与第一节点连接, 第一极与第二节点连接, 第二极与第一时钟信号端连接。

5. 根据权利要求4所述的移位寄存器, 其中, 输出模块包括:

输出晶体管, 其栅极与第一节点连接, 第一极与输出端连接, 第二极与第二时钟信号端连接; 以及

第二电容, 其第一端与第一节点连接, 第二端与输出端连接。

6. 根据权利要求5所述的移位寄存器, 其中, 降噪模块包括:

节点控制晶体管, 其栅极与第二节点连接, 第一极与第二时钟信号端连接; 以及

节点电位维持晶体管, 其栅极与节点控制晶体管的第二极连接, 第一极与第一电源电压端连接, 第二极与第一节点连接。

7. 根据权利要求2-6中任一项所述的移位寄存器, 其中, 所述晶体管均为P型晶体管。

8. 根据权利要求1所述的移位寄存器, 其中, 所述第二时钟信号端的第二时钟信号与第一时钟信号端的第一时钟信号反相。

9. 根据权利要求1所述的移位寄存器, 其中, 第一电源电压端是高电源电压端, 第二电源电压端是低电源电压端。

10. 一种移位寄存器的操作方法, 该移位寄存器包含输入模块、上拉模块、上拉控制模块、输出模块和降噪模块, 该移位寄存器的操作方法包含:

由输入模块将所接收的输入信号传递到第一节点;

由输出模块将第二时钟信号端的第二时钟信号输出到输出端;

由上拉控制模块控制上拉模块是否进行操作；

由上拉模块将输出端的输出信号拉至第一电源电压端的电源电压；

由降噪模块通过维持第一节点的电平来降低该移位寄存器的输出端的噪声。

11. 根据权利要求10所述的操作方法,其中,第一电源电压端是高电源电压端。

12. 根据权利要求11或12所述的操作方法,其中,第二时钟信号端的第二时钟信号与第一时钟信号端的第一时钟信号反相。

13. 一种栅极驱动电路,包括多个串联的移位寄存器,每个所述移位寄存器是如权利要求1-12中任一项所述的移位寄存器,

其中所述多个串联的移位寄存器中第一个移位寄存器的输入端输入帧起始信号;所述多个串联的移位寄存器中除最后一个移位寄存器外,其余每个移位寄存器的输出端均和与其相邻的下一个移位寄存器的输入端相连。

14. 根据权利要求13所述的栅极驱动电路,其中

相邻两级移位寄存器的第一时钟信号端输入的时钟信号互为反相,第二时钟信号端输入的时钟信号互为反相。

15. 一种包含根据权利要求13或14所述的栅极驱动电路的显示装置。

## 移位寄存器及其操作方法、栅极驱动电路和显示装置

### 技术领域

[0001] 本公开涉及一种移位寄存器及其操作方法、栅极驱动电路和显示装置。

### 背景技术

[0002] 薄膜晶体管液晶显示器(TFT-LCD)广泛应用于生产生活的各个领域,其采用M\*N点排列的逐行扫描矩阵显示。在进行显示时,TFT-LCD通过驱动电路来驱动显示面板中的各个像素进行显示。TFT-LCD的驱动电路主要包含栅极驱动电路和数据驱动电路。其中,数据驱动电路用于依据时钟信号定时将输入的数据顺序锁存并将锁存的数据转换成模拟信号后输入到显示面板的数据线。栅极驱动电路通常用移位寄存器来实现,所述移位寄存器将时钟信号转换成开启/断开电压,分别输出到显示面板的各条栅线上。显示面板上的一条栅线通常与一个移位寄存器(即移位寄存器的一级)对接。通过使得各个移位寄存器依序轮流输出开启电压,实现对显示面板中像素的逐行扫描。

[0003] 传统非晶硅工艺中,制成的非晶硅薄膜晶体管(amorphous-Si TFT)特性稳定性较差,通过其设计的、用于显示驱动电路相对而言比较复杂。在低温多晶硅工艺中制成的薄膜晶体管,性能相对稳定,通过其设计的、用于显示驱动电路相对简单、性能稳定。

### 发明内容

[0004] 本公开提供了一种移位寄存器及其操作方法、栅极驱动电路和显示装置。可以降低移位寄存器输出端的噪声,提高工作的稳定性。

[0005] 根据本公开的一方面,公开了一种移位寄存器,其结构简单,性能稳定。该移位寄存器包含:

[0006] 输入模块,其第一端与该移位寄存器的输入端连接用于从该输入端接收输入信号,第二端与第一时钟信号端连接,第三端与第一节点连接;

[0007] 上拉模块,其第一端与第一电源电压端连接,第二端与第二节点连接,第三端与输出端连接;

[0008] 上拉控制模块,其第一端与第一时钟信号端连接,第二端与第二电源电压端连接,第三端与第二节点连接,第四端与第一节点连接;

[0009] 输出模块,其第一端与第一节点连接,第二端与第二时钟信号端连接,第三端与输出端连接;

[0010] 降噪模块,其第一端与第二节点连接,第二端与第二时钟信号端连接,第三端与第一电源电压端连接,第四端与第一节点连接。

[0011] 根据本公开的又一方面,公开了一种移位寄存器的操作方法,该移位寄存器包含输入模块、上拉模块、上拉控制模块、输出模块和降噪模块,该移位寄存器的操作方法包含:

[0012] 由输入模块将所接收的输入信号传递到第一节点;

[0013] 由输出模块将第二时钟信号端的第二时钟信号输出到输出端;

[0014] 由上拉控制模块控制上拉模块是否进行操作;

[0015] 由上拉模块将输出端的输出信号拉至第一电源电压端的电源电压；

[0016] 由降噪模块通过维持第一节点的电平来降低该移位寄存器的输出端的噪声。

[0017] 根据本公开的另一方面,公开了一种栅极驱动电路,包括多个串联的移位寄存器,每个所述移位寄存器是上述移位寄存器,其中所述多个串联的移位寄存器中第一个移位寄存器的输入端输入帧起始信号;所述多个串联的移位寄存器中除最后一个移位寄存器外,其余每个移位寄存器的输出端均和与其相邻的下一个移位寄存器的输入端相连。

[0018] 根据本公开的再一方面,公开了一种包含上述栅极驱动电路的显示装置。

[0019] 根据本公开实施例的移位寄存器在不工作期间不断对输出端进行放噪,从而消除了输出端噪声、提高了工作稳定性,延长了使用寿命;同时,根据本公开实施例的移位寄存器采用的晶体管较少,因而能够实现液晶显示器的窄边框设计。

### 附图说明

[0020] 图1示出了根据本公开实施例的移位寄存器的框图；

[0021] 图2示出了根据本公开实施例的移位寄存器的一种示例电路结构图；

[0022] 图3示出了图2中的移位寄存器进行扫描时的时序图；

[0023] 图4示出了根据本公开实施例的、由多个移位寄存器级联形成的栅极驱动电路的示意图。

### 具体实施方式

[0024] 下面将结合本公开实施例中的附图,对本公开实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本公开一部分实施例,而不是全部的实施例。基于本公开中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本公开保护的范围。

[0025] 本公开所有实施例中采用的晶体管均可以为薄膜晶体管或场效应管或其他特性相同的器件。在本实施例中,每个晶体管的漏极和源极的连接方式可以互换,因此,本公开实施例中各晶体管的漏极、源极实际是没有区别的。这里,仅仅是为了区分晶体管除栅极之外的两极,而将其中一极称为漏极,另一极称为源极。

[0026] 本公开提出一种移位寄存器,可以有效降低输出端噪声。

[0027] 图1示出了根据本公开实施例的移位寄存器的框图。如图1所示,在一个实施例中,该移位寄存器包括输入模块11、上拉模块12、上拉控制模块13、输出模块14和降噪模块15。

[0028] 输入模块11的第一端与该移位寄存器的输入端INPUT连接用于从该输入端INPUT接收输入信号,第二端与第一时钟信号端CLK1连接,第三端与第一节点P1连接,并且该输入模块11被配置为在第一时钟信号端CLK1处的第一时钟信号的控制下将所接收的输入信号传递到第一节点P1。

[0029] 上拉模块12的第一端与第一电源电压端VGH连接,第二端与第二节点P2连接,第三端与输出端OUTPUT连接,并且该上拉模块12被配置为在第二节点P2的信号的的控制下将输出端OUTPUT的输出信号拉至第一电源电压端VGH的电源电压。

[0030] 上拉控制模块13的第一端与第一时钟信号端CLK1连接,第二端与第二电源电压端VGL连接,第三端与第二节点P2连接,第四端与第一节点P1连接,该上拉控制模块13被配置

为控制上拉模块12是否进行操作。例如,上拉控制模块13根据第一时钟信号端CLK1处的第一时钟信号和第一节点P1处的信号来控制上拉模块12是否进行操作。

[0031] 输出模块14的第一端与第一节点P1连接,第二端与第二时钟信号端CLK2连接,第三端与输出端OUTPUT连接,并且该输出模块14被配置为在第一节点P1处的信号的控制下将第二时钟信号端CLK2的第二时钟信号输出到输出端OUTPUT。

[0032] 降噪模块15的第一端与第二节点P2连接,第二端与第二时钟信号端CLK2连接,第三端与第一电源电压端VGH连接,第四端与第一节点P1连接,并且该降噪模块15被配置为通过维持第一节点P1的电平来降低该移位寄存器的输出端的噪声。

[0033] 其中,所述第一时钟信号端CLK1的第一时钟信号与第二时钟信号端CLK2的第二时钟信号反相。

[0034] 其中,第一电源电压端VGH是高电源电压端,第二电源电压端VGL是低电源电压端。

[0035] 图2示出了根据本公开实施例的移位寄存器的一种示例电路结构图。下面以图2中的晶体管均为在栅极输入低电平时导通的P型晶体管为例进行说明。

[0036] 如图2所示,在一个实施例中,例如,输入模块11包括输入晶体管M1,输入晶体管M1的栅极与第一时钟信号端CLK1连接,第一极与输入端INPUT连接,第二极与第一节点P1连接。在第一时钟信号端CLK1的第一时钟信号处于低电平时,输入晶体管M1导通,将输入端INPUT的输入信号传递到第一节点P1。

[0037] 在一个实施例中,例如,上拉模块12包括输出上拉晶体管M2和第一电容C1,输出上拉晶体管M2的栅极与第二节点P2和第一电容C1的第一端连接,输出上拉晶体管M2的第一极与第一电源电压端VGH和第一电容C1的第二端连接,输出上拉晶体管M2的第二极与输出端OUTPUT连接。在第二节点P2处的信号处于低电平时,输出上拉晶体管M2导通,将输出端OUTPUT的输出信号上拉至第一电源电压端VGH的电源电压。

[0038] 在一个实施例中,例如,上拉控制模块13包括第一上拉控制晶体管M3和第二上拉控制晶体管M4。第一上拉控制晶体管M3的栅极与第一时钟信号端CLK1连接,第一极与第二电源电压端VGL连接,第二极与第二节点P2连接;第二上拉控制晶体管M4的栅极与第一节点P1连接,第一极与第二节点P2连接,第二极与第一时钟信号端CLK1连接。例如,在第一时钟信号端CLK1处的第一时钟信号处于低电平时,第一上拉控制晶体管M3导通,将第二节点P2处的信号下拉至第二电源电压端VGL的电源电压;在第一节点P1处的信号处于低电平时并且在第一时钟信号端CLK1处的第一时钟信号处于高电平时,第二上拉控制晶体管M4导通,将第二节点P2处的信号上拉至高电平的第一时钟信号。

[0039] 在一个实施例中,例如,输出模块14包括输出晶体管M5和第二电容C2,输出晶体管M5的栅极和第二电容C2的第一端与第一节点P1连接,输出晶体管M5的第一极和第二电容C2的第二端与输出端OUTPUT连接,输出晶体管M5的第二极与第二时钟信号端CLK2连接。在第一节点P1处的信号处于低电平时,输出晶体管M5导通,将第二时钟信号端CLK2的第二时钟信号输出到输出端OUTPUT。

[0040] 在一个实施例中,例如,降噪模块15包括节点控制晶体管M6和节点电位维持晶体管M7。节点控制晶体管M6的栅极与第二节点P2连接,第一极与第二时钟信号端CLK2连接,第二极与节点电位维持晶体管M7的栅极连接,节点电位维持晶体管M7的第一极与第一电源电压端VGH连接,第二极与第一节点P1连接。在第二节点P2处的信号处于低电平时,节点控制

晶体管M6导通,将第二时钟信号端CLK2的第二时钟信号输出到节点电位维持晶体管M7的栅极;在节点控制晶体管M6导通,并且第二时钟信号端CLK2的第二时钟信号处于低电平时,节点电位维持晶体管M7导通,将第一电源电压端VGH的电源电压输出到第一节点P1。

[0041] 在节点控制晶体管M6导通,并且第二时钟信号端CLK2的第二时钟信号处于高电平时,节点电位维持晶体管M7截止,使得第一电源电压端VGH的电源电压不影响输出晶体管M5的栅极电位;在节点控制晶体管M6导通,并且第二时钟信号端CLK2的第二时钟信号处于低电平时,节点电位维持晶体管M7导通,将第一电源电压端VGH的电源电压输出到第一节点P1,从而使得输出晶体管M5的栅极电位不随第二时钟信号端CLK2的第二时钟信号的下拉造成电位的变化,不会引起输出晶体管M5的输出异常问题,从而保证输出端OUTPUT的稳定输出,降低噪声。

[0042] 能够理解,图2中所示出的输入模块11、上拉模块12、上拉控制模块13、输出模块14和降噪模块15的具体电路结构仅仅是一种示例,各个模块也可以采用其他适当的电路结构,只要能分别实现各自的功能即可,本发明对此不做限制。

[0043] 图3示出了图2中的移位寄存器进行扫描时的时序图。下面结合图2和图3对根据本公开实施例的移位寄存器在扫描时的具体工作过程进行描述。

[0044] 在本实施例中,第一电源电压端VGH是高电源电压端,第二电源电压端VGL是低电源电压端。

[0045] 在第一阶段 $t_1$ (输入阶段),输入端INPUT输入的信号和第一时钟信号端CLK1的第一时钟信号处于低电平,第二时钟信号端CLK2的第二时钟信号处于高电平。输入晶体管M1导通,将输入端INPUT的低电平信号传递到第一节点P1,此时第一节点P1处于低电平,进而,将低电平信号写入第二电容C2和输出晶体管M5的栅极,使得输出晶体管M5导通,由于第二时钟信号端CLK2的第二时钟信号处于高电平,输出端OUTPUT输出高电平。此外,在该阶段中,由于第一时钟信号端CLK1的第一时钟信号处于低电平,第一上拉控制晶体管M3导通,将第二电源电压端VGL的低电平传递到第二节点P2,此外,由于第一节点P1处于低电平,第二上拉控制晶体管M4导通,将处于低电平的第一时钟信号端CLK1的第一时钟信号传递到第二节点P2,使得第二节点P2处于低电平,将低电平信号写入第一电容C1和输出上拉晶体管M2的栅极。M2因此导通,将处于高电平的第一电源电压端VGH的信号写入到输出端OUTPUT,输出端OUTPUT输出高电平。同时由于第二节点P2处于低电平,节点控制晶体管M6导通,将处于高电平的第二时钟信号端CLK2的第二时钟信号输入到节点电位维持晶体管M7的栅极,M7截止,使得第一电源电压端VGH的信号不影响输出晶体管M5的栅极电位。

[0046] 在第二阶段 $t_2$ (输出阶段),输入端INPUT输入的信号和第一时钟信号端CLK1的第一时钟信号处于高电平,第二时钟信号端CLK2的第二时钟信号处于低电平。输入晶体管M1截止。此时存储在第二电容C2上的、输出晶体管M5的栅极电位,会通过M5的栅漏耦合电容,下拉M5的栅极电位,使得M5导通,将处于低电平的第二时钟信号端CLK2的第二时钟信号写入到输出端OUTPUT,输出端OUTPUT输出低电平。同时第二上拉控制晶体管M4继续导通,将高电平的第一时钟信号端CLK1的第一时钟信号输入到第二节点P2,保证输出上拉晶体管M2继续处于截止状态,不影响输出端OUTPUT的输出。节点控制晶体管M6继续处于截止状态,从而节点电位维持晶体管M7截止,使得第一电源电压端VGH的电源电压信号不影响输出晶体管M5的栅极电位。

[0047] 在第三阶段 $t_3$ (上拉阶段),输入端INPUT输入的信号和第二时钟信号端CLK2的第二时钟信号处于高电平,第一时钟信号端CLK1的第一时钟信号处于低电平。输入晶体管M1导通,将输入端INPUT的高电平信号传递到第一节点P1,此时第一节点P1处于高电平,进而,将高电平信号写入第二电容C2和输出晶体管M5的栅极,使得输出晶体管M5截止。由于第一节点P1处于高电平,第二上拉控制晶体管M4也截止。由于第一时钟信号端CLK1的第一时钟信号处于低电平,第一上拉控制晶体管M3导通,将第二电源电压端VGL的低电平传递到第二节点P2,使得第二节点P2处于低电平,将低电平信号写入第一电容C1和输出上拉晶体管M2的栅极。M2因此导通,将处于高电平的第一电源电压端VGH的信号写入到输出端OUTPUT,输出端OUTPUT输出高电平。节点控制晶体管M6导通,将处于高电平的第二时钟信号端CLK2的第二时钟信号写入节点电位维持晶体管M7的栅极,从而节点电位维持晶体管M7截止,使得第一电源电压端VGH的电源电压信号不影响输出晶体管M5的栅极电位。

[0048] 在第四阶段 $t_4$ (保持阶段),输入端INPUT输入的信号和第一时钟信号端CLK1的第一时钟信号处于高电平,第二时钟信号端CLK2的第二时钟信号处于低电平。第一上拉控制晶体管M3和第二上拉控制晶体管M4处于截止状态。第二节点P2的电位,还是第一电容C1保持的上一阶段的第二电源电压端VGL的低电平,使得输出上拉晶体管M2和节点控制晶体管M6导通。输出上拉晶体管M2的导通将第一电源电压端VGH的信号写入到输出端OUTPUT,输出端OUTPUT输出高电平。节点控制晶体管M6的导通将处于低电平的第二时钟信号端CLK2的第二时钟信号写入到节点电位维持晶体管M7的栅极,从而节点电位维持晶体管M7导通,将高电平的第一电源电压端VGH的信号写入第一节点P1,进而,将高电平信号写入第二电容C2和输出晶体管M5的栅极,使得输出晶体管M5截止,从而保持输出晶体管M5的栅极电位不随第二时钟信号端CLK2的第二时钟信号的下拉造成电位的变化,不会引起输出晶体管M5的输出异常问题,从而保证输出端OUTPUT的稳定输出,降低噪声。

[0049] 此后,在下一帧到来之前,重复第三阶段 $t_3$ 和第四阶段 $t_4$ 。直至下一帧到来,所述移位寄存器接收到输入端INPUT的低电平信号后,重新执行上述第一阶段 $t_1$ 。

[0050] 由图3可以看出,第一时钟信号端CLK1的第一时钟信号与第二时钟信号端CLK2的第二时钟信号反相。

[0051] 从以上的描述可以看出,根据本公开实施例的移位寄存器在不工作期间不断对输出端OUTPUT进行放噪,使得移位寄存器除了输出驱动信号的工作时间,其输出端OUTPUT始终保持高电位,从而消除了输出端噪声、提高了工作稳定性,延长了使用寿命;同时,根据本公开实施例的移位寄存器采用的晶体管较少,因而能够实现液晶显示器的窄边框设计。

[0052] 本公开还提供了一种上述移位寄存器的操作方法。下面结合图1和图3对该方法进行说明。在一个实施例中,例如,如图1所示,移位寄存器包括输入模块11、上拉模块12、上拉控制模块13、输出模块14和降噪模块15。该移位寄存器的操作方法包含:

[0053] 由输入模块11将所接收的输入信号传递到第一节点P1;

[0054] 由输出模块14将第二时钟信号端CLK2的第二时钟信号输出到输出端OUTPUT;

[0055] 由上拉控制模块13控制上拉模块12是否进行操作;

[0056] 由上拉模块12将输出端OUTPUT的输出信号拉至第一电源电压端VGH的电源电压;

[0057] 由降噪模块15通过维持第一节点P1的电平来降低该移位寄存器的输出端的噪声。

[0058] 在本实施例中,第一电源电压端VGH是高电源电压端,第一时钟信号端CLK1的第一

时钟信号与第二时钟信号端CLK2的第二时钟信号反相。

[0059] 图4示出了根据本公开实施例的、由多个移位寄存器级联形成的栅极驱动电路的示意图。

[0060] 如图4所示,在该栅极驱动电路中,多个上述移位寄存器串联连接。在该多个移位寄存器中,第一个移位寄存器R1的输入端输入帧起始信号STV。除最后一个移位寄存器Rn外,其余每个移位寄存器的输出端均和与其相邻的下一个移位寄存器的输入端相连接。

[0061] 另外,如图4所示,在该栅极驱动电路中,相邻两级移位寄存器的第一时钟信号端输入的时钟信号互为反相,第二时钟信号输入端输入的时钟信号互为反相。例如移位寄存器R1的第一时钟信号输入端输入CLK1信号,第二时钟信号输入端输入CLK2信号,移位寄存器R2的第一时钟信号输入端输入CLK2信号,第二时钟信号输入端输入CLK1信号,其中CLK1信号和CLK2信号互为反相。

[0062] 根据本公开的再一方面,公开了一种包含上述栅极驱动电路的显示装置。

[0063] 这里的显示装置可以为:电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0064] 以上所述,仅为本公开的具体实施方式,但本公开的保护范围并不局限于此,任何熟悉本技术领域的技术人员在本公开揭露的技术范围内,可轻易想到的变化或替换,都应涵盖在本公开的保护范围之内。因此,本公开的保护范围应以所述权利要求的保护范围为准。

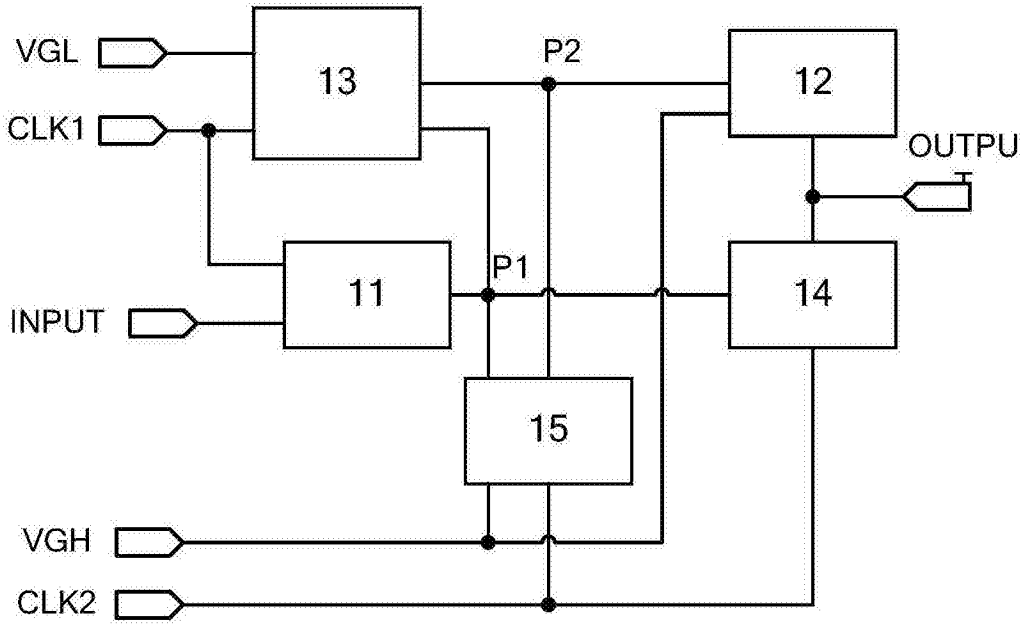


图1

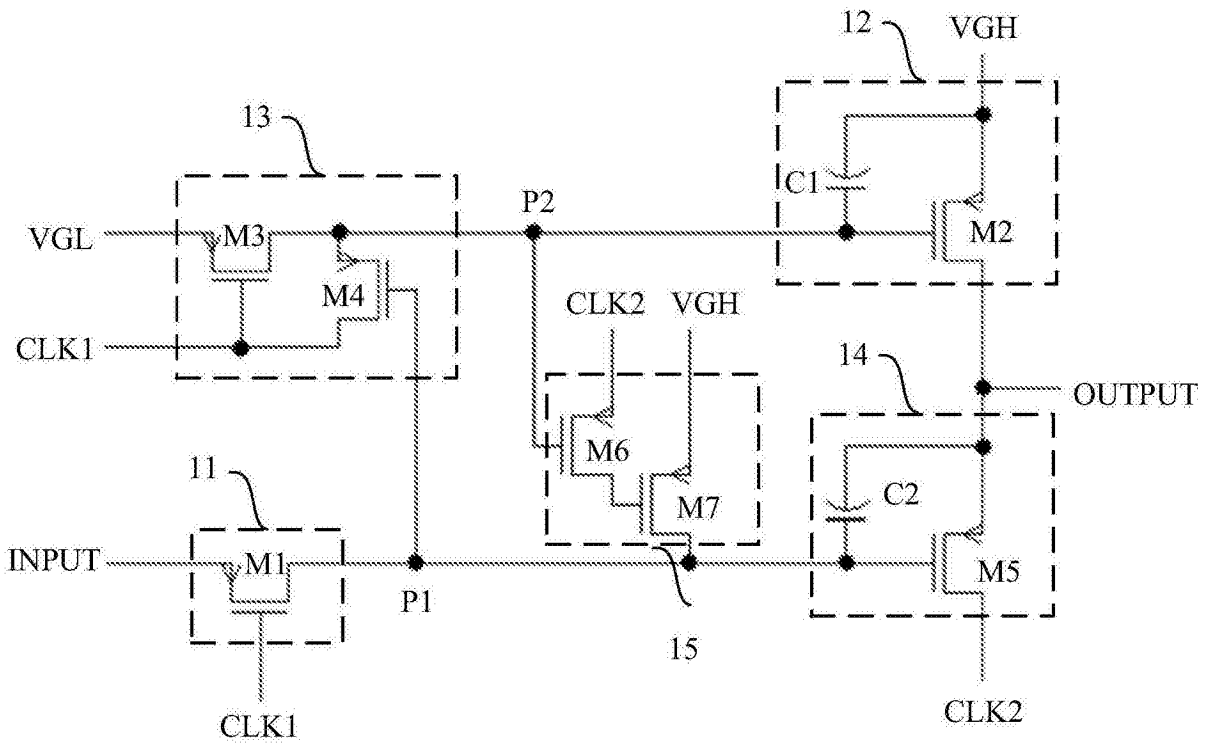


图2

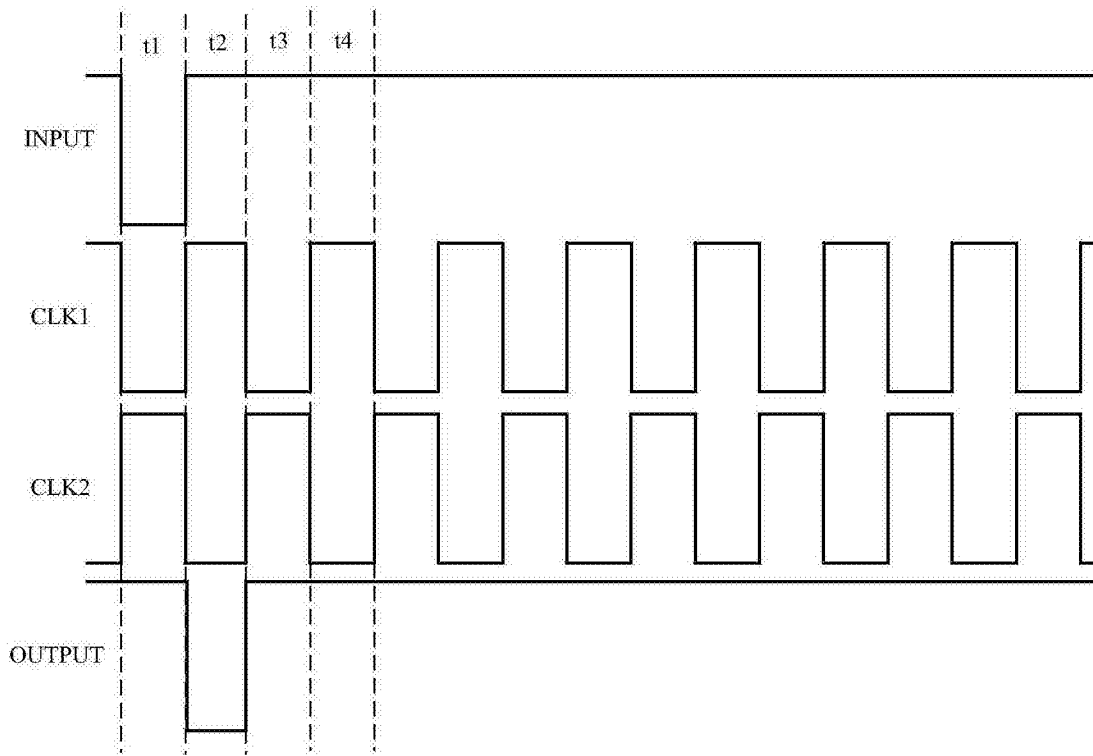


图3

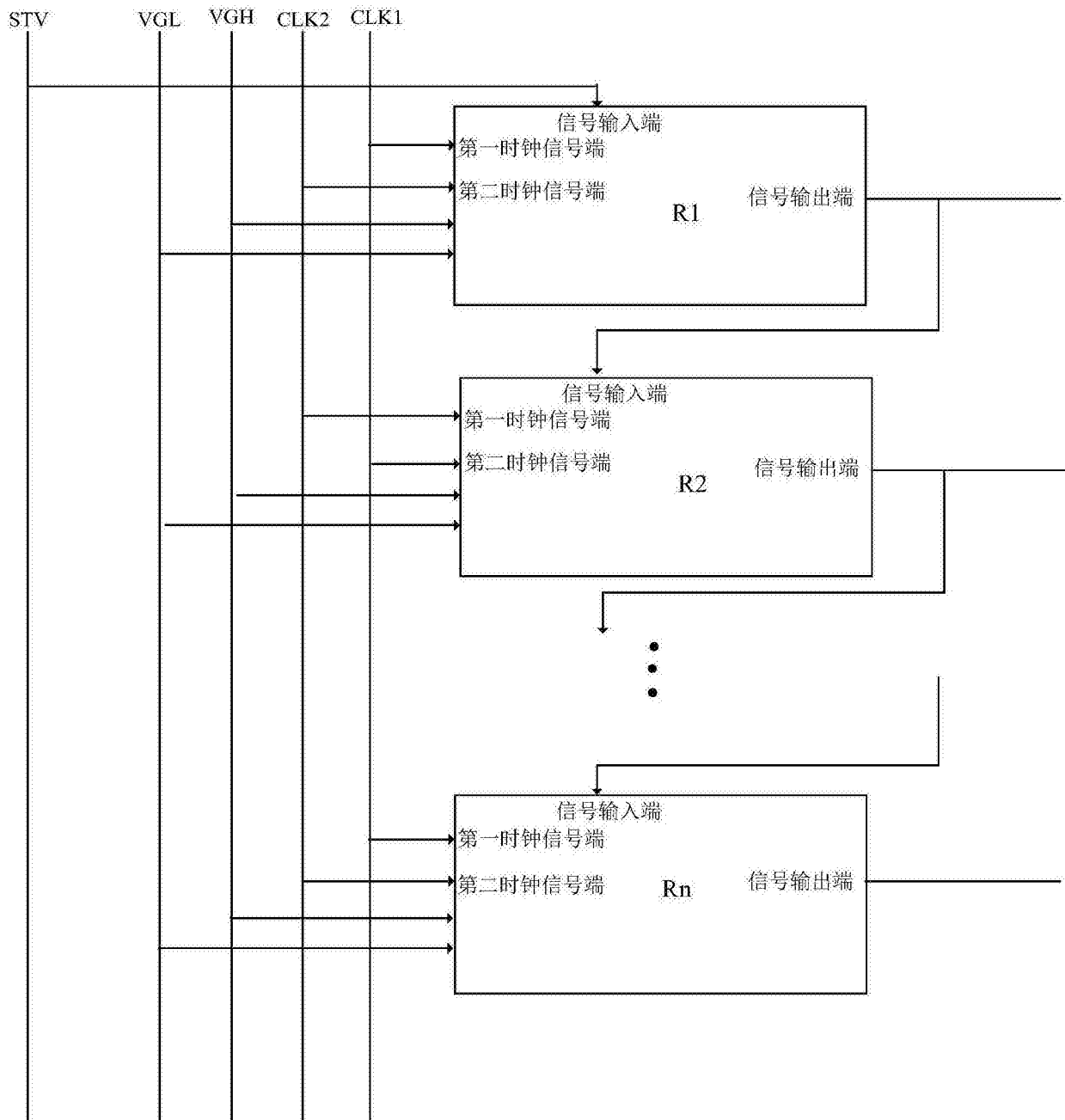


图4