



(12) 发明专利

(10) 授权公告号 CN 101201799 B

(45) 授权公告日 2010. 11. 10

(21) 申请号 200710300216. X

US 6807619 B1, 2004. 10. 19, 全文 .

(22) 申请日 2007. 12. 13

审查员 田晶

(30) 优先权数据

11/639126 2006. 12. 13 US

(73) 专利权人 英特尔公司

地址 美国加利福尼亚州

(72) 发明人 V·J·齐默 M·罗思曼

(74) 专利代理机构 中国专利代理(香港)有限公司
72001

代理人 曾祥尧 刘春元

(51) Int. Cl.

G06F 12/08(2006. 01)

(56) 对比文件

US 2006/0031593 A1, 2006. 02. 09, 全文 .

US 2005/0144390 A1, 2005. 06. 30, 说明书第
1 页 6 段 -2 页 37 段, 图 1.

US 2004/0098575 A1, 2004. 05. 20, 说明书 1
页 12 段 -3 页 35 段, 图 1-4.

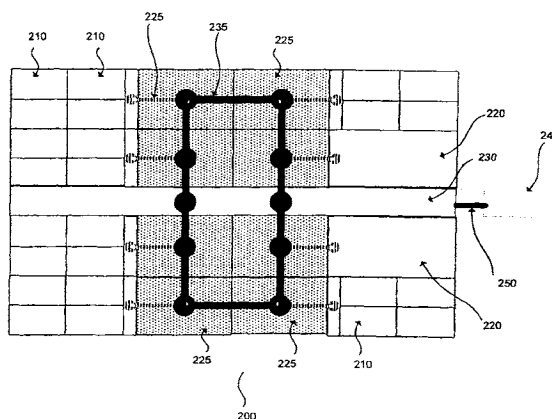
权利要求书 2 页 说明书 4 页 附图 5 页

(54) 发明名称

冻结环高速缓存

(57) 摘要

一种处理器具有:多个内核和多个高速缓存段,每个内核与这些高速缓存段之一关联,这些高速缓存段由数据通信环互连;以及逻辑,用于在启动事件时禁止该环的操作并在上述内核中的一个或多个内核处执行初始化序列,以使得上述内核的一个或多个内核中的每个内核在初始化序列期间利用与该内核关联的高速缓存段作为读-写存储器进行操作。



1. 一种处理器,包括:

多个内核和多个高速缓存段,每个内核与所述高速缓存段中的相应的一个关联,其中所述多个高速缓存段通过数据通信环互连,该数据通信环耦合到所述多个内核;以及

逻辑单元,用于在启动事件时禁止所述环的操作并在所述内核的一个或多个内核处执行初始化序列,以使得所述内核的所述一个或多个内核中的每个内核在所述初始化序列期间利用相应的关联的高速缓存段作为读-写存储器进行操作。

2. 如权利要求1所述的处理器,其特征在于,所述逻辑单元还用于在执行所述初始化序列之前执行测试来检查与相应的内核关联的相应的高速缓存段的完整性;并且如果所述测试不合格,那么执行补救措施。

3. 如权利要求1所述的处理器,其特征在于,所述初始化序列还用于初始化存储器控制器和位于所述处理器和其它设备之间的互连系统中的至少之一;并且如果所述初始化序列没有完成,那么执行补救措施。

4. 如权利要求1所述的处理器,其特征在于,所述逻辑单元还用于在所述初始化序列完成后利用所有内核均可访问的资源进行协调来启用所述环的操作。

5. 如权利要求2所述的处理器,其特征在于,所述补救措施还包括通知所述相应的高速缓存段不可用的全局通知。

6. 如权利要求5所述的处理器,其特征在于,所述补救措施还包括利用全局资源来继续为所述相应的内核执行所述初始化序列。

7. 如权利要求3所述的处理器,其特征在于,所述补救措施还包括通知相应的内核不可用的全局通知。

8. 一种在基于处理器的系统的启动事件时执行的方法,包括:

禁止将处理器的多个高速缓存段互连的数据通信环的操作,每个内核与所述高速缓存段中的相应的一个关联;以及

在所述内核的一个或多个内核处执行初始化序列,以使得在所述内核的所述一个或多个内核中的每个内核在所述初始化序列期间利用相应的关联的高速缓存段作为读-写存储器进行操作。

9. 如权利要求8所述的方法,其特征在于,还包括在执行所述初始化序列之前执行测试来检查与相应的内核关联的相应的高速缓存段的完整性;并且如果测试不合格,那么执行补救措施。

10. 如权利要求9所述的方法,还包括初始化存储器控制器和位于所述处理器和其它设备之间的互连系统中的至少之一;并且如果所述初始化没有完成,那么执行补救措施。

11. 如权利要求8所述的方法,还包括在所述初始化序列完成之后利用所有内核均可访问的资源进行协调来启用所述环的操作。

12. 如权利要求10所述的方法,其特征在于,执行所述补救措施还包括发出所述相应的高速缓存段不可用的全局通知。

13. 如权利要求12所述的方法,其特征在于,执行所述补救措施还包括利用全局资源来继续为所述相应的内核执行所述初始化序列。

14. 如权利要求10所述的方法,其特征在于,执行所述补救措施还包括发出所述相应的内核不可用的全局通知。

15. 一种基于处理器的系统,包括:

处理器,所述处理器还包括多个内核和多个高速缓存段,每个内核与所述高速缓存段中的相应的一个关联;所述高速缓存段由数据通信环互连;以及

逻辑单元,用于在启动事件时禁止所述环的操作并在所述内核的一个或多个内核处执行初始化序列,以使得所述内核的所述一个或多个内核中的每个内核在所述初始化序列期间利用相应的关联的高速缓存段作为读-写存储器进行操作。

16. 如权利要求 15 所述的系统,其特征在于,所述逻辑单元还用于在执行所述初始化序列之前执行测试来检查与相应的内核关联的相应的高速缓存段的完整性;并且如果测试不合格,那么执行补救措施。

17. 如权利要求 15 所述的系统,其特征在于,所述初始化序列还用于初始化存储器控制器和位于所述处理器和其它设备之间的互连系统中的至少之一;并且如果所述初始化序列没有完成,那么执行补救措施。

18. 如权利要求 15 所述的系统,其特征在于,所述逻辑单元还用于在所述初始化序列完成之后利用所有内核均可访问的资源进行协调来启用所述环的操作。

19. 如权利要求 15 所述的系统,还包括连接地耦合到所述处理器的动态随机存取存储器(DRAM)。

冻结环高速缓存

技术领域

[0001] 本发明涉及冻结环高速缓存。

背景技术

[0002] 在具有当前的和建议中的初始化过程（如由扩展固件接口（EFI）提供的初始化过程，可以访问网站 www.uefi.org 了解进一步的说明）的基于处理器的系统或平台中，初期的存储器使用是必须的。即，初期的平台初始化代码可能需要在初始化该平台的主存储器子系统之前访问存储器。在一种方法中，这种初始化代码可能依靠访问作为随机存取存储器（RAM）的处理器高速缓存或与多内核系统的内核关联的处理器高速缓存段以及根据初始化代码的需要利用这作为栈和 / 或堆的能力。这种技术称为利用高速缓存作为 RAM 的技术（cache-as-RAM, CAR）。

[0003] 在新出现的多内核系统的高速缓存拓扑中，可以在内核之间共享具有多个高速缓存段的大高速缓存。本领域中已知可允许在多个内核之间共享友好高速缓存行的各种共享方法。但是，在要用于 CAR 系统初始化的高速缓存达到可共享状态的状态进行初始化的系统会对初期的引导流程造成多个问题。例如，在一个 Pre-EFI 初始化（PEI）流程中，利用处理器高速缓存作为 RAM 来初始化主存储器技术（它可以是诸如双倍数据速率动态随机存取（DDR）存储器的多个熟知类型之一）或诸如公共系统互连（CSI）控制、解码和路由硬件的互连系统。

[0004] 目前，这些多内核（multi-core/many-core）系统中建议的引导模型是只启用一个内核并用硬件状态机来选择这一个内核，其中该硬件状态机在加电或启动事件时运行以便选择该内核。但是，在这种方案中，这一个内核可能会变成是有损系统的整体可靠性的单个故障点。

[0005] 而且，因为即时重启变成是服务器中的一个重要的特征，所以利用多个内核来进行更快速的引导过程是具吸引力的。因此，需要 pre-EFI 和类似的初始化软件能够在多个内核之间最大化地并行进行初始化，并且希望它在面对故障内核或错误内核或与内核关联的故障或失灵高速缓存段时足够稳固。

发明内容

[0006] 根据本发明的一方面，本发明涉及一种处理器，包括：

[0007] 多个内核和多个高速缓存段，每个内核与所述高速缓存段之一关联，所述高速缓存段由数据通信环互连；以及

[0008] 逻辑，用于在启动事件时禁止所述环的操作并在所述内核的一个或多个内核处执行初始化序列，以使得所述内核的所述一个或多个内核中的每个内核在所述初始化序列期间利用与所述内核关联的高速缓存段作为读 - 写存储器进行操作。

[0009] 根据本发明的另一方面，本发明涉及一种在基于处理器的系统的启动事件时执行的方法，包括：

[0010] 禁止将所述系统的处理器的多个处理器内核和所述处理器的多个高速缓存段互连的数据通信环的操作,每个内核与所述高速缓存段之一关联;以及

[0011] 在所述内核的一个或多个内核处执行初始化序列,以使得在所述内核的所述一个或多个内核中的每个内核在所述初始化序列期间利用与所述内核关联的高速缓存段作为读-写存储器进行操作。

[0012] 根据本发明的又一方面,本发明涉及一种系统,包括:

[0013] 处理器,所述处理器还包括多个内核和多个高速缓存段,每个内核与所述高速缓存段之一关联;所述高速缓存段由数据通信环互连;以及

[0014] 逻辑,用于在启动事件时禁止所述环的操作并在所述内核的一个或多个内核处执行初始化序列,以使得所述内核的所述一个或多个内核中的每个内核在所述初始化序列期间利用与所述内核关联的高速缓存段作为读-写存储器进行操作。

附图说明

[0015] 图 1 示出一个实施例中的基于处理器的系统。

[0016] 图 2 示出一个硬件实施例。

[0017] 图 3 示出另一个硬件实施例。

[0018] 图 4 描绘一个实施例中的引导流程。

[0019] 图 5 描绘一个实施例中的处理流程。

具体实施方式

[0020] 图 1 描绘一个实施例中的基于处理器的平台 100。该系统包括:一个或多个处理器 110,其潜在地具有一个或多个内核;存储子系统,其包括用于存储可由处理器执行的数据和程序的读-写随机存取存储器(RAM 存储器)150 和诸如盘系统 160 的非易失性存储单元,处理器和存储子系统由总线系统 140 互连,并且通过系统输入/输出(I/O)设备和外围设备 170 与外部网络或用户对接。已知,处理器 110 内还存在许多其它组件,如高速缓存、寄存器、各种类型的控制器等。类似地,基于处理器的系统中也可以存在其它组件,但为清楚起见,这里没有描绘。

[0021] 在一个实施例中,利用环高速缓存模型来提供多内核系统中的快速共享高速缓存。在建议的这种高速缓存架构中,高速缓存访问结构是设置在连接多个高速缓存段的环网络拓扑(有时称为高速缓存环)中的反转(counter rotating)芯片上互连,每个段于是成为环外的“站头”或连接。

[0022] 图 2 描绘一个实施例中的一个这样的环高速缓存结构 200。在该结构中,在形成多内核处理器的集成芯片上存在两种类型的处理器内核,即,低功率较低性能内核 210 和较高功率较高性能内核 220。每个较高功率内核和每组四个低功率内核经由数据连接器 225 连接到环互连 235,环互连 235 将八个高速缓存段 225 互连在一起。环互连可以由一个、两个或两个以上环组成,并且这些环可以设置成使得数据在不同环上沿不同方向流动,从而改善性能(反转环)。高速缓存还连接到逻辑电路 230,逻辑电路 230 可以包括 CSI 控制器、存储器控制器和环网络的路由器。然后,高速缓存还经由总线 250 连接到系统存储器 240。

[0023] 图 3 中描绘了另一个实施例。在该实施例中,描绘了另一种环高速缓存拓扑。在

该实施例中,处理器内核 310 经由环网络 320 连接到高速缓存段 330。此外,该实施例可以包括诸如位于系统总线 350 上的内核协议引擎 370、公共系统互连 (CSI) 控制器 380、路由器 340、本地协议引擎 360 和存储器控制器 390 的逻辑。

[0024] 一般来说,在上文公开的这些实施例以及具有环高速缓存和多内核处理器的其它实施例中,启动事件时利用逻辑来将这种基于环网络的高速缓存变用途 (repurpose) 为用于执行平台初始化的固件过程的无共享并行引导初始化模型。在一个实施例中,高速缓存可以在初期阶段使用,但是环网络被“冻结”或不可在内核中共享。这样,每个内核在高速缓存环中具有它自己的私有部分,这部分就像局部随机存取存储器那样有效地看起来像是初始化软件。因为这些存储器不通信,所以它们是不相干或局部存储装置。因此,在一个实施例中,诸如 PEI 的初始化代码可以具有用于它的代码流的调用栈和堆,以便用于诸如 CSI 初始化和存储器初始化的目的。在其它实施例中,CSI 流可能不存在,或者可能由可能需要在启动时初始化的其它高性能系统互连的类似流代替。此外,在该实施例中,内核可以与内核本身之外的全局相干资源 (如门铃寄存器) 协调,以便在固件完成它的并行执行阶段之后初始化环高速缓存。固件也可以将它本身复制到系统存储器中,并在引导过程完成时继续进一步处理。

[0025] 在发生故障的局部 CAR 实例的情况下,有两种选择。可以利用全局硬件寄存器来将访问从当前与发生故障的高速缓存段关联的内核重新引导或转到不同的段。或者,可以利用全局资源来指示给定内核它应当生成至备选内核的其它初始化流。

[0026] 图 4 描绘一个实施例中的固件总流程。在高级角度 440,系统在开机或启动时执行安全动作,然后进入 Pre-EFI 或 PEI 环境 460,从而执行平台初始化。在该阶段,三个主要的组成部分包括处理器初始化 410、芯片组初始化 420 和板初始化 430。在该实施例中,这是环被冻结的流程阶段。然后,在初始化存储器之后,引导过程可以继续 (450),进行驱动器初始化,然后到整个操作系统 (OS) 引导 (图中没有示出)。

[0027] 图 5 中示出一个实施例的示例性流程图。在系统启动事件 510 以及可能的一些安全验证步骤之后,在方框 520,对所有内核加电,并停止环高速缓存。因此,每个内核只可以访问一个高速缓存段。在选择用于初始化过程的每个内核处,执行局部 CAR 可用性测试 (530),并且如果它存在,则测试 CAR (540)。如果 CAR 不可用,或者没有通过完整性测试,那么该内核不可用作芯片组资源 (560),并且可以采取各种补救措施,如通知、记入日志、系统停机、系统应急或其它已知的措施。如果该内核和 CAR 的高速缓存起作用,那么该过程中的每个内核如固件流程所规定地那样参与执行各种初始化任务,如存储器控制器和 CSI 初始化 550。如果内核在初始化期间发生故障,那么宣告它不可用作芯片组资源 (570 和 560)。一旦初始化过程完成,重启高速缓存环,并释放任何会合内核用于等待循环 (580)。然后,如已知地那样,引导在存储器中继续。

[0028] 在以上描述中,为了说明的目的,阐述了众多具体细节,以便充分了解所描述的实施例,但是,本领域的技术人员将明白,即便没有这些具体细节,也可以实现许多其它实施例。

[0029] 以上详细描述中的一些部分用基于处理器的系统内对数据位的操作的算法和符号表示来介绍。这些算法描述和表示是本领域的技术人员用来向本领域的其它人员最有效地传达他们的工作实质的手段。操作是需要物理量的物理操纵的操作。这些量可以采用能

够被存储、传送、组合、比较和以其它方式操纵的电、磁、光或其它物理信号的形式。以位、值、元素、符号、字符、术语、数字等提及这些信号时常被证明是方便的，主要是因为常用。

[0030] 但是，应记住，所有这些和类似术语都是与合适的物理量关联的，它们只是应用于这些量的方便的标记。除非明确说明，否则从本描述中显见到，诸如“执行”、“处理”、“计算”“演算”或“确定”等术语可以指基于处理器的系统或类似的电子计算设备的动作和过程，这些设备操纵基于处理器的系统的存储设备内表示成物理量的数据并将这些数据变换为在其它这种信息存储、传输或显示设备中类似表示的其他数据。

[0031] 在对实施例的描述中，可以参照附图。在附图的几个视图中，类似的数字实质上描述类似的组件。可以利用其它实施例，并且可以做出结构、逻辑和电变化。此外，应了解，各种实施例虽然不同，但是不一定相互排斥。例如，一个实施例中描述的特定特征、结构或特性可以包含在其它实施例内。

[0032] 此外，在处理器中实现的实施例的设计可以经历从创建到模拟到制作的各个阶段。表示设计的数据可以用多种方式表示该设计。首先，可以利用硬件描述语言或其它功能描述语言来表示硬件，这在模拟中 useful。另外，可以在设计过程的某些阶段制造具有逻辑和 / 或晶体管栅极的电路级模型。此外，大多数设计在某一阶段达到表示硬件模型中的各种设备的实际布置的数据级别。在利用常规半导体制造技术的情况下，表示硬件模型的数据可以是指定用于制造集成电路的掩模的不同掩模层上的各种特征存在与否的数据。在设计在任何表示中，可以将数据存储在任何形式的机器可读介质中。经调制或经其它方式生成的光波或电波用于传输该信息，存储器、或诸如盘的磁或光存储设备可为机器可读介质。任何这些介质都可“载送”或“指示”设计或软件信息。当传输用于指示或载送代码或设计的电载波时，在执行电信号的复制、缓存或重新传输方面，进行新的复制。因此，通信提供商或网络提供商可以复制构成或表示实施例的物品（载波）。

[0033] 实施例可以作为程序产品提供，该程序产品可以包括其上存储有数据的机器可读介质，当机器访问这些数据时，这些数据可以使该机器执行根据所要求的主题的过程。机器可读介质可以包括但不限于软盘、光盘、DVD-ROM 盘、DVD-RAM 盘、DVD-RW 盘、DVD+RW 盘、CD-R 盘、CD-RW 盘、CD-ROM 盘和磁 - 光盘、ROM、RAM、EPROM、EEPROM、磁或光卡、闪存或其它类型的适于存储电子指令的介质 / 机器可读介质。此外，实施例也可以作为程序产品下载，其中该程序可以通过在载波或其它传播介质中实现的数据信号经由通信链路（如调制解调器或网络连接）从远程数据源传送到请求设备。

[0034] 许多方法按它们的最基本的形式进行描述，但在不偏离所要求的主题的基本范围的情况下，可以在任何一种方法中增加或删减步骤，并且可以在所描述的任何一条消息中增加或删减信息。本领域的技术人员将明白，可以做出其它修改和改变。提供特定实施例不是为了限制所要求的主题，而是为了对它进行说明。所要求主题的范围不是由上文提供的具体示例决定的，而是只能由随附权利要求决定。

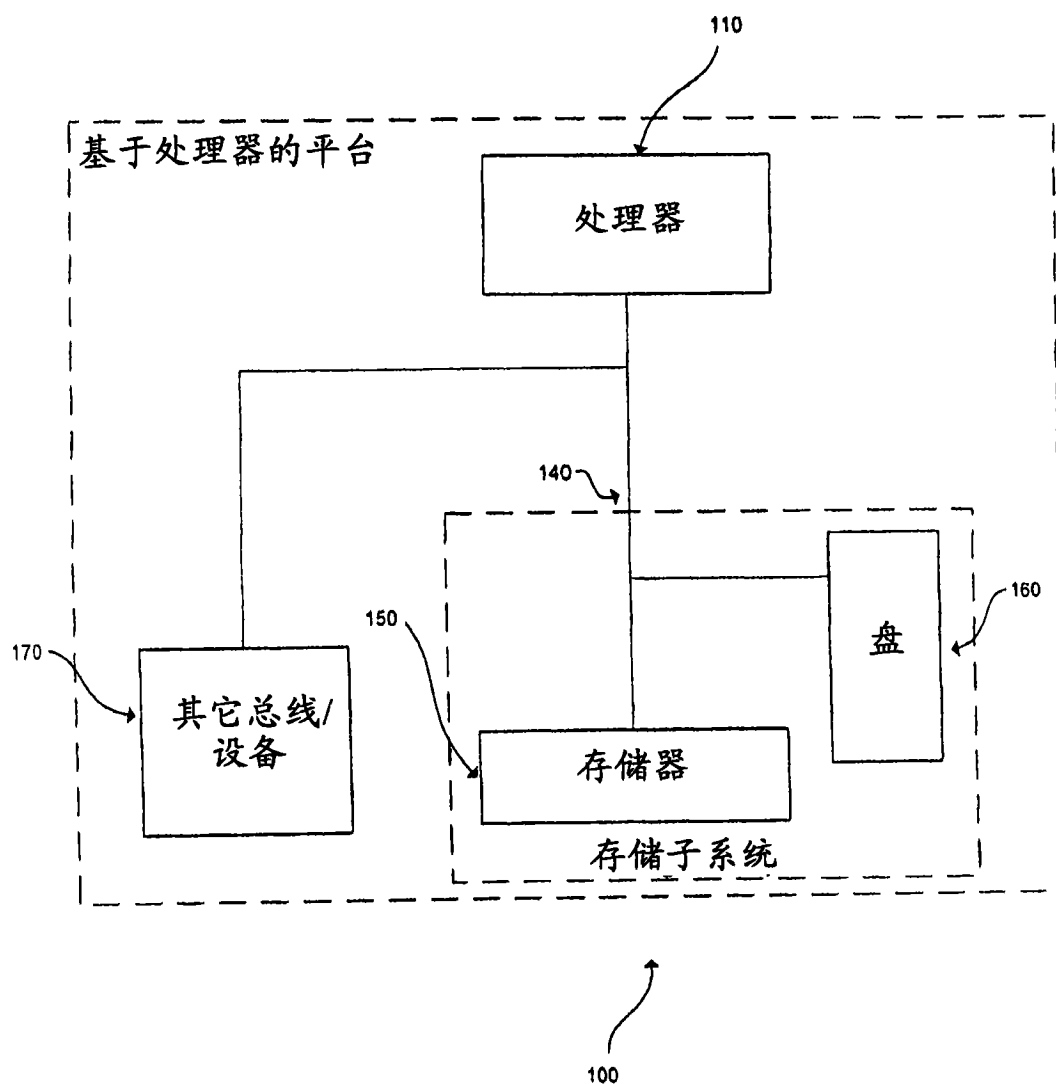


图 1

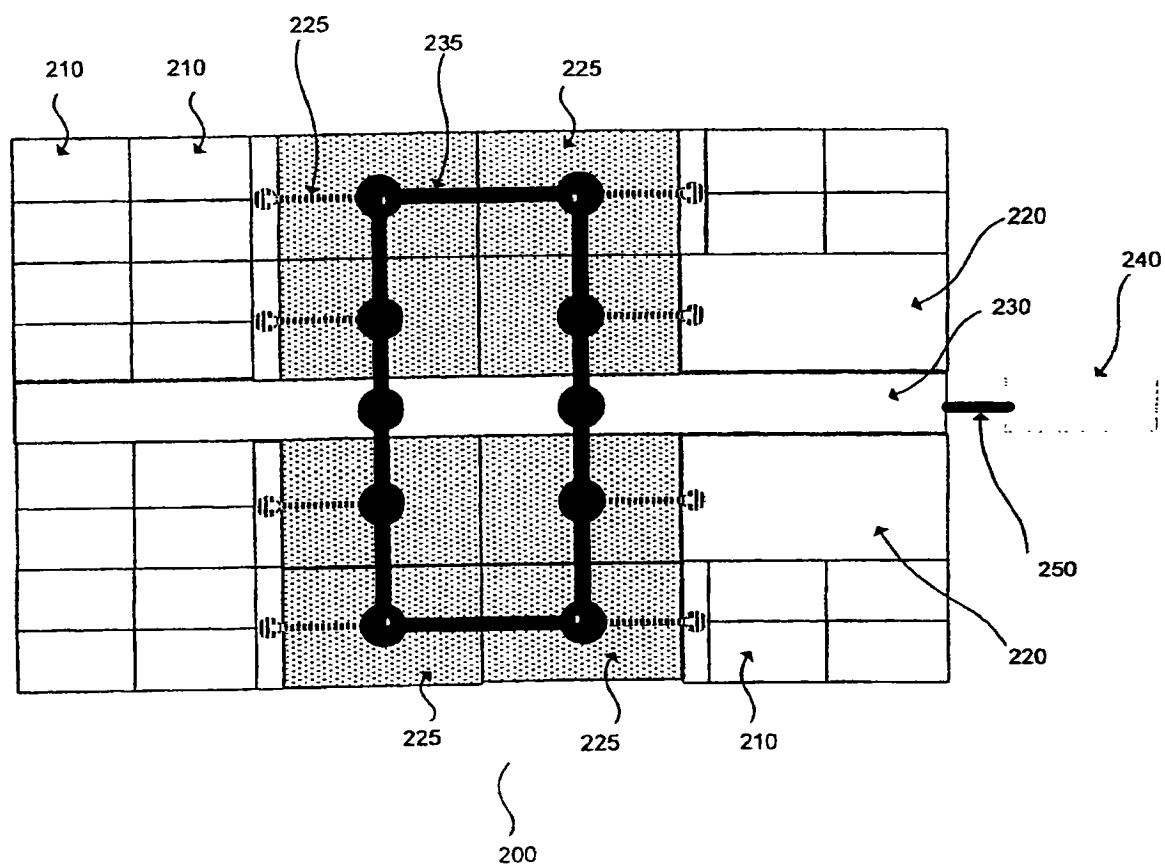


图 2

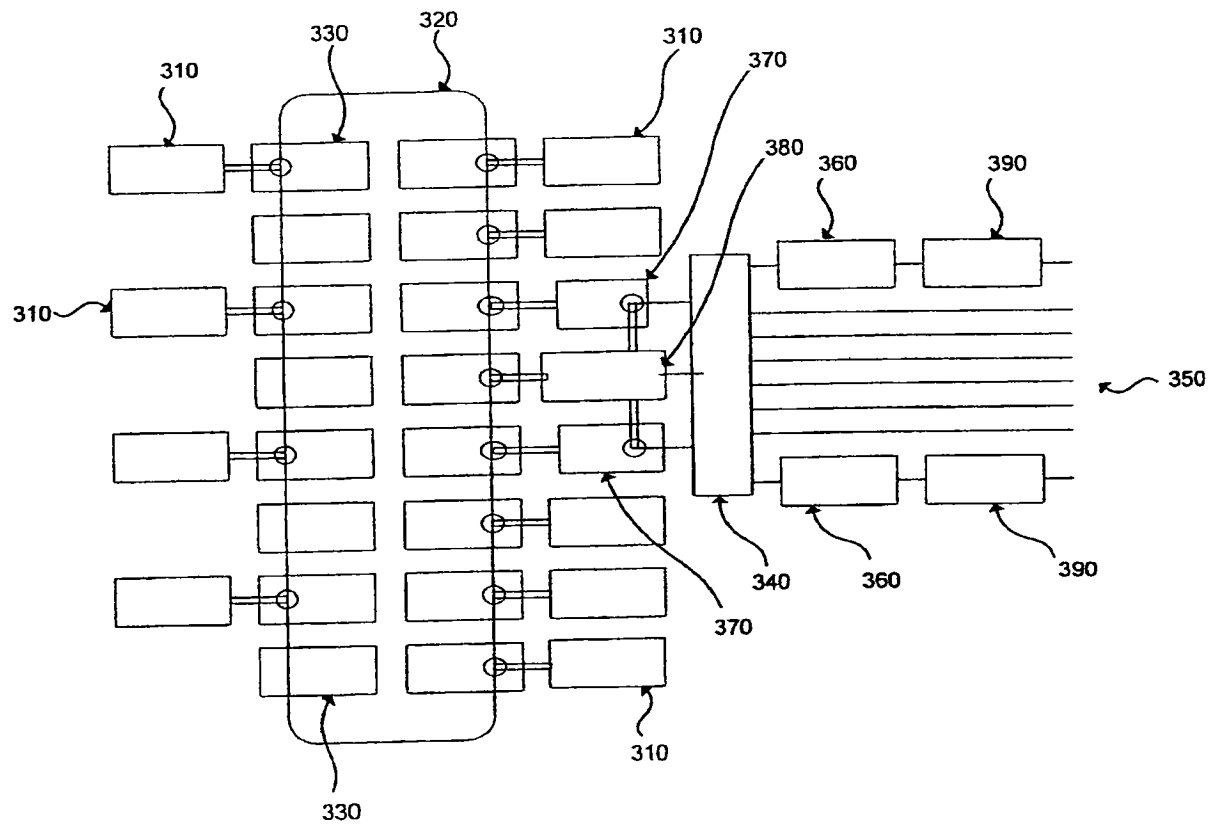


图 3

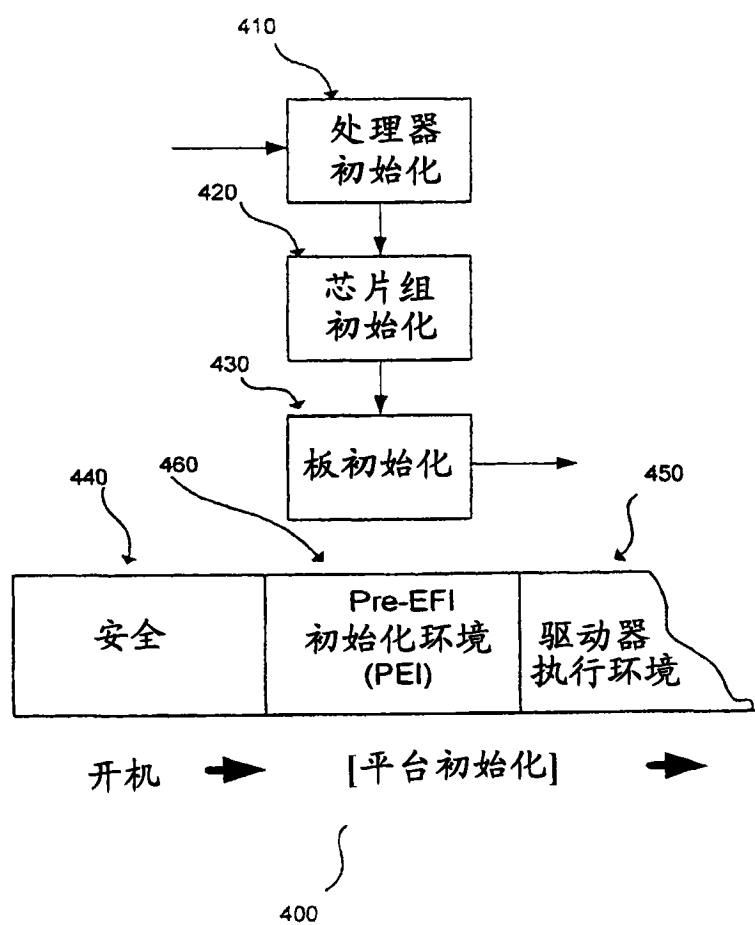


图 4

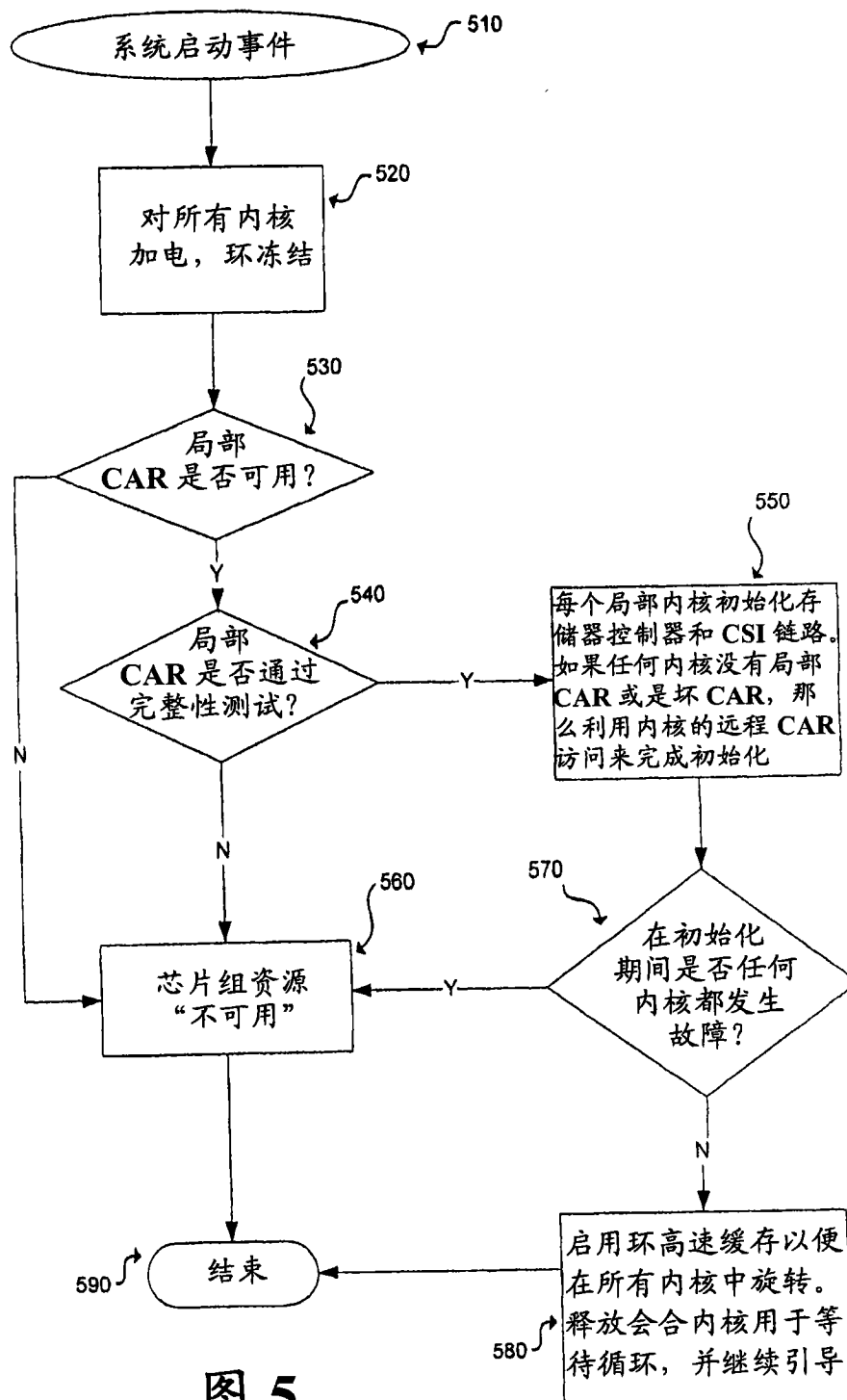


图 5