(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0036603
(43) 공개일자 2025년03월14일

(51) 국제특허분류(Int. Cl.)
H10B 12/00 (2023.01) *G11C 11/4097* (2006.01)
G11C 8/14 (2006.01) *H10D 30/60* (2025.01)
H10D 48/00 (2025.01)
(52) CPC특허분류
H10B 12/00 (2023.02)
G11C 11/4097 (2013.01)
(21) 출원번호 10-2023-0119278
(22) 출원일자 2023년09월07일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(72) 발명자
김상식
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
박태호
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
(뒷면에 계속)
(74) 대리인
리앤목특허법인

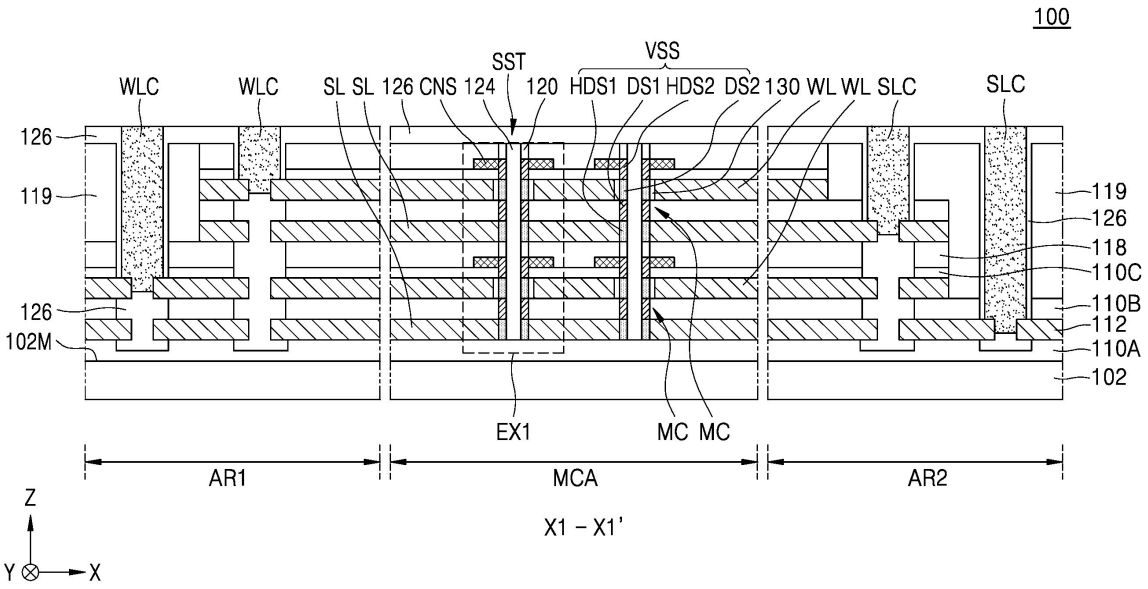
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **반도체 메모리 소자**

(57) 요 약

반도체 메모리 소자는 수평 방향으로 연장된 워드 라인과, 상기 워드 라인으로부터 이격된 위치에서 상기 워드 라인과 수직 방향으로 오버랩되어 있고, 상기 수평 방향으로 연장된 센싱 라인과, 상기 워드 라인 및 상기 센싱 라인을 상기 수직 방향으로 관통하고, 상기 수평 방향에서 상기 워드 라인에 대면하는 수직 채널 영역을 가지는 수직 반도체 구조물과, 상기 수직 채널 영역과 상기 워드 라인과의 사이에 개재된 게이트 유전막을 포함하고, 상기 수직 반도체 구조물은 상기 수직 방향을 따라 순차적으로 적층된 제1 도전형의 제1 고농도 도핑막, 제2 도전형의 제1 저농도 도핑막, 상기 제1 도전형의 제2 저농도 도핑막, 및 상기 제2 도전형의 제2 고농도 도핑막을 포함하고, 상기 수직 채널 영역은 상기 제1 저농도 도핑막 및 상기 제2 저농도 도핑막 중에서 선택된 어느 하나로 이루어지고, 상기 센싱 라인은 상기 수직 반도체 구조물의 상기 제1 고농도 도핑막에 접한다.

대 표 도



(52) CPC특허분류
G11C 8/14 (2013.01)
H10D 30/025 (2025.01)
H10D 30/63 (2025.01)
(72) 발명자
손재민
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
신연우
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
전주희
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
조경아
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)

명 세 서

청구범위

청구항 1

수평 방향으로 연장된 워드 라인과,

상기 워드 라인으로부터 이격된 위치에서 상기 워드 라인과 수직 방향으로 오버랩되어 있고, 상기 수평 방향으로 연장된 센싱 라인과,

상기 워드 라인 및 상기 센싱 라인을 상기 수직 방향으로 관통하고, 상기 수평 방향에서 상기 워드 라인에 대면하는 수직 채널 영역을 가지는 수직 반도체 구조물과,

상기 수직 채널 영역과 상기 워드 라인과의 사이에 개재된 게이트 유전막을 포함하고,

상기 수직 반도체 구조물은 상기 수직 방향을 따라 순차적으로 적층된 제1 도전형의 제1 고농도 도핑막, 제2 도전형의 제1 저농도 도핑막, 상기 제1 도전형의 제2 저농도 도핑막, 및 상기 제2 도전형의 제2 고농도 도핑막을 포함하고,

상기 수직 채널 영역은 상기 제1 저농도 도핑막 및 상기 제2 저농도 도핑막 중에서 선택된 어느 하나로 이루어지고,

상기 센싱 라인은 상기 수직 반도체 구조물의 상기 제1 고농도 도핑막에 접하는 반도체 메모리 소자.

청구항 2

제1항에 있어서,

상기 수직 반도체 구조물을 상기 수직 방향으로 관통하고, 상기 워드 라인 및 센싱 라인 각각으로부터 상기 수평 방향으로 이격된 절연 필라를 더 포함하고,

상기 제1 고농도 도핑막, 상기 제1 저농도 도핑막, 상기 제2 저농도 도핑막, 및 상기 제2 고농도 도핑막은 각각 상기 절연 필라를 수용하는 중공(hollow)을 가지는 반도체 메모리 소자.

청구항 3

제1항에 있어서,

상기 워드 라인 및 상기 센싱 라인 각각으로부터 상기 수평 방향으로 이격되어 있고, 상기 제2 고농도 도핑막에 연결되도록 구성된 비트 라인을 더 포함하는 반도체 메모리 소자.

청구항 4

제3항에 있어서,

상기 비트 라인은 상기 수직 방향으로 길게 연장되고, 상기 워드 라인 및 상기 센싱 라인을 사이에 두고 상기 수평 방향에서 상기 수직 반도체 구조물과 대면하는 반도체 메모리 소자.

청구항 5

제1항에 있어서,

상기 수직 반도체 구조물에서, 상기 제1 고농도 도핑막은 n^+ 도핑 영역으로 이루어지고, 상기 제1 저농도 도핑막은 p 도핑 영역으로 이루어지고, 상기 제2 저농도 도핑막은 n 도핑 영역으로 이루어지고, 상기 제2 고농도 도핑막은 p^+ 도핑 영역으로 이루어지고,

상기 수직 채널 영역은 상기 n 도핑 영역으로 이루어지고,

상기 워드 라인은 상기 게이트 유전막을 사이에 두고 상기 n 도핑 영역과 상기 수평 방향에서 대면하는 반도체

메모리 소자.

청구항 6

제1항에 있어서,

상기 수직 반도체 구조물에서, 상기 제1 고농도 도핑막은 n^+ 도핑 영역으로 이루어지고, 상기 제1 저농도 도핑막은 p 도핑 영역으로 이루어지고, 상기 제2 저농도 도핑막은 n 도핑 영역으로 이루어지고, 상기 제2 고농도 도핑막은 p^+ 도핑 영역으로 이루어지고,

상기 수직 채널 영역은 상기 p 도핑 영역으로 이루어지고,

상기 워드 라인은 상기 게이트 유전막을 사이에 두고 상기 p 도핑 영역과 상기 수평 방향에서 대면하는 반도체 메모리 소자.

청구항 7

제1항에 있어서,

상기 제2 고농도 도핑막에 접하며 상기 제2 고농도 도핑막을 포위하는 도전성 연결 구조물과,

상기 도전성 연결 구조물을 통해 상기 제2 고농도 도핑막에 연결된 비트 라인을 더 포함하고,

상기 비트 라인은 상기 워드 라인 및 상기 센싱 라인 각각으로부터 상기 수평 방향으로 이격된 위치에서 상기 수직 방향으로 길게 연장된 반도체 메모리 소자.

청구항 8

제1항에 있어서,

상기 제2 고농도 도핑막에 접하며 상기 제2 고농도 도핑막을 포위하는 도전성 연결 구조물과,

상기 도전성 연결 구조물을 통해 상기 제2 고농도 도핑막에 연결된 비트 라인을 더 포함하고,

상기 비트 라인은 상기 워드 라인 및 상기 센싱 라인 각각을 상기 수직 방향으로 관통하고, 상기 워드 라인 및 상기 센싱 라인 각각으로부터 이격되어 있는 반도체 메모리 소자.

청구항 9

수직 방향을 따라 일렬로 배치된 복수의 메모리 셀을 포함하는 메모리 셀 스트링을 포함하고,

상기 복수의 메모리 셀 각각은

수평 방향으로 연장된 워드 라인과,

상기 워드 라인으로부터 이격된 위치에서 상기 워드 라인과 수직 방향으로 오버랩되어 있고, 상기 수평 방향으로 연장된 센싱 라인과,

상기 워드 라인 및 상기 센싱 라인을 상기 수직 방향으로 관통하고, 상기 수평 방향에서 상기 워드 라인에 대면하는 수직 채널 영역을 가지는 수직 반도체 구조물과,

상기 수직 채널 영역과 상기 워드 라인과의 사이에 개재된 게이트 유전막을 포함하고,

상기 복수의 메모리 셀 각각에서 상기 수직 반도체 구조물은 상기 수직 방향을 따라 순차적으로 적층된 제1 도전형의 제1 고농도 도핑막, 제2 도전형의 제1 저농도 도핑막, 상기 제1 도전형의 제2 저농도 도핑막, 및 상기 제2 도전형의 제2 고농도 도핑막을 포함하고,

상기 복수의 메모리 셀 각각에서 상기 수직 채널 영역은 상기 제1 저농도 도핑막 및 상기 제2 저농도 도핑막 중에서 선택된 어느 하나로 이루어지고,

상기 복수의 메모리 셀 각각에서 상기 센싱 라인은 상기 수직 반도체 구조물의 상기 제1 고농도 도핑막에 접하는 반도체 메모리 소자.

청구항 10

제9항에 있어서,

상기 워드 라인 및 상기 센싱 라인으로부터 상기 수평 방향으로 이격된 위치에서 상기 수직 방향으로 길게 연장되어 있고, 상기 워드 라인 및 상기 센싱 라인을 사이에 두고 상기 수평 방향에서 상기 복수의 메모리 셀 각각의 상기 수직 반도체 구조물과 대면하는 비트 라인을 더 포함하고,

상기 복수의 메모리 셀은 상기 비트 라인을 공유하는 반도체 메모리 소자.

청구항 11

제9항에 있어서,

상기 복수의 메모리 셀 각각은 1 개의 트랜지스터를 포함하고, 커패시터는 포함하지 않는 반도체 메모리 소자.

청구항 12

제9항에 있어서,

상기 복수의 메모리 셀 각각의 상기 수직 반도체 구조물을 상기 수직 방향으로 관통하는 절연 필라를 더 포함하고,

상기 복수의 메모리 셀 각각에서 상기 제1 고농도 도핑막, 상기 제1 저농도 도핑막, 상기 제2 저농도 도핑막, 및 상기 제2 고농도 도핑막은 각각 상기 절연 필라를 수용하는 중공(hollow)을 가지는 반도체 메모리 소자.

청구항 13

제9항에 있어서,

상기 복수의 메모리 셀 각각의 사이에 하나씩 개재된 복수의 셀간 절연 구조물을 더 포함하고,

상기 복수의 메모리 셀 각각의 상기 수직 반도체 구조물은 상기 수직 방향으로 연장되는 일 직선을 따라 배치되고,

상기 복수의 메모리 셀 중에서 선택된 제1 메모리 셀의 상기 수직 반도체 구조물과, 상기 복수의 메모리 셀 중에서 선택되고 상기 제1 메모리 셀에 이웃하는 제2 메모리 셀의 상기 수직 반도체 구조물은 복수의 셀간 절연 구조물 중에서 선택된 하나의 셀간 절연 구조물을 사이에 두고 상기 수직 방향으로 이격된 반도체 메모리 소자.

청구항 14

제9항에 있어서,

상기 수평 방향은 상호 직교하는 제1 수평 방향 및 제2 수평 방향을 포함하고,

상기 복수의 메모리 셀 각각의 상기 수직 반도체 구조물로부터 상기 제1 수평 방향으로 이격된 위치에서 상기 워드 라인에 연결되는 워드 라인 콘택과,

상기 복수의 메모리 셀 각각의 상기 수직 반도체 구조물로부터 상기 제1 수평 방향으로 이격되어 있고, 상기 제1 수평 방향에서 상기 수직 반도체 구조물을 사이에 두고 상기 워드 라인 콘택으로부터 이격된 센싱 라인 콘택과,

상기 워드 라인 및 상기 센싱 라인으로부터 상기 제2 수평 방향으로 이격된 위치에서 상기 수직 방향으로 길게 연장되어 있는 비트 라인을 더 포함하는 반도체 메모리 소자.

청구항 15

제9항에 있어서,

상기 복수의 메모리 셀 각각의 상기 수직 반도체 구조물에서, 상기 제1 고농도 도핑막은 n^+ 도핑 영역으로 이루어지고, 상기 제1 저농도 도핑막은 p 도핑 영역으로 이루어지고, 상기 제2 저농도 도핑막은 n 도핑 영역으로 이루어지고, 상기 제2 고농도 도핑막은 p^+ 도핑 영역으로 이루어지고,

상기 수직 채널 영역은 상기 n 도핑 영역으로 이루어지고,

상기 워드 라인은 상기 게이트 유전막을 사이에 두고 상기 n 도핑 영역과 상기 수평 방향에서 대면하는 반도체 메모리 소자.

청구항 16

제9항에 있어서,

상기 복수의 메모리 셀 각각의 상기 수직 반도체 구조물에서, 상기 제1 고농도 도핑막은 n^+ 도핑 영역으로 이루어지고, 상기 제1 저농도 도핑막은 p 도핑 영역으로 이루어지고, 상기 제2 저농도 도핑막은 n 도핑 영역으로 이루어지고, 상기 제2 고농도 도핑막은 p^+ 도핑 영역으로 이루어지고,

상기 수직 채널 영역은 상기 p 도핑 영역으로 이루어지고,

상기 워드 라인은 상기 게이트 유전막을 사이에 두고 상기 p 도핑 영역과 상기 수평 방향에서 대면하는 반도체 메모리 소자.

청구항 17

기판 상에서 상호 직교하는 제1 수평 방향 및 제2 수평 방향과 상기 제1 수평 방향 및 상기 제2 수평 방향 각각에 수직인 수직 방향을 따라 3 차원으로 반복 배치된 복수의 메모리 셀을 포함하는 메모리 셀 어레이부를 포함하고,

상기 메모리 셀 어레이부는

상기 수직 방향을 따라 하나씩 교대로 배치되고 상기 수직 방향으로 서로 이격된 복수의 센싱 라인 및 복수의 워드 라인과,

상기 복수의 센싱 라인 및 상기 복수의 워드 라인 각각의 사이에 하나씩 개재된 복수의 절연막과,

상기 복수의 센싱 라인, 상기 복수의 워드 라인, 및 상기 복수의 절연막을 상기 수직 방향으로 관통하고, 각각 수직 채널 영역을 가지며 상기 수직 방향으로 서로 오버랩되어 있는 복수의 수직 반도체 구조물을 포함하는 스택 구조물과,

상기 복수의 수직 반도체 구조물을 상기 수직 방향으로 관통하는 절연 필라와,

상기 복수의 수직 반도체 구조물 각각의 상기 수직 채널 영역과 상기 복수의 워드 라인과의 사이에 개재된 복수의 게이트 유전막과,

상기 복수의 절연막을 상기 수직 방향으로 관통하는 복수의 비트 라인을 포함하고,

상기 복수의 메모리 셀 중 상기 수직 방향을 따라 일렬로 배치된 메모리 셀들은 상기 복수의 비트 라인 중에서 선택되는 하나의 비트 라인을 공유하고,

상기 복수의 수직 반도체 구조물은 각각 상기 수직 방향을 따라 순차적으로 적층된 제1 도전형의 제1 고농도 도핑막, 제2 도전형의 제1 저농도 도핑막, 상기 제1 도전형의 제2 저농도 도핑막, 및 상기 제2 도전형의 제2 고농도 도핑막을 포함하고,

상기 복수의 수직 반도체 구조물 각각의 상기 수직 채널 영역은 상기 제1 저농도 도핑막 및 상기 제2 저농도 도핑막 중에서 선택된 어느 하나인 반도체 메모리 소자.

청구항 18

제17항에 있어서,

상기 복수의 수직 반도체 구조물 각각의 상기 제1 고농도 도핑막은 상기 복수의 센싱 라인 중에서 선택된 하나의 센싱 라인에 접하고,

상기 복수의 수직 반도체 구조물 각각의 상기 제2 고농도 도핑막은 상기 복수의 비트 라인 중에서 선택된 하나의 비트 라인에 접하는 반도체 메모리 소자.

청구항 19

제17항에 있어서,

상기 기판 상에 배치되고 상기 메모리 셀 어레이부를 사이에 두고 상기 제1 수평 방향으로 이격된 제1 연결부 및 제2 연결부와,

상기 제1 연결부에서 상기 복수의 워드 라인 각각에 하나씩 연결되고 상기 수직 방향으로 길게 연장된 복수의 워드 라인 콘택과,

상기 제2 연결부에서 상기 복수의 센싱 라인 각각에 하나씩 연결되고 상기 수직 방향으로 길게 연장된 복수의 센싱 라인 콘택을 더 포함하는 반도체 메모리 소자.

청구항 20

제17항에 있어서,

상기 복수의 메모리 셀 각각은 1 개의 트랜지스터를 포함하고, 커패시터는 포함하지 않는 반도체 메모리 소자.

발명의 설명

기 술 분 야

[0001] 본 발명의 기술적 사상은 반도체 메모리 소자에 관한 것으로, 특히 3 차원으로 배열된 복수의 메모리 셀을 포함하는 반도체 메모리 소자에 관한 것이다.

배 경 기 술

[0002] 최근 전자 기술의 발달로 인해 반도체 소자의 다운-스케일링(down-scaling)이 급속도로 진행되고 있다. 이에 따라, 메모리 셀의 미세화가 요구되어, 기존의 메모리 셀에서는 고집적화 및 신뢰성 유지에 한계가 있다. 따라서, 메모리 셀의 미세화 및 고집적화가 용이한 구조를 가지는 반도체 메모리 소자를 개발할 필요가 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 기술적 사상이 이루고자 하는 기술적 과제는 메모리 셀의 미세화 및 고집적화가 용이한 구조를 가지는 반도체 메모리 소자를 제공하는 것이다.

과제의 해결 수단

[0004] 본 발명의 기술적 사상에 의한 일 양태에 따른 반도체 메모리 소자는 수평 방향으로 연장된 워드 라인과, 상기 워드 라인으로부터 이격된 위치에서 상기 워드 라인과 수직 방향으로 오버랩되어 있고, 상기 수평 방향으로 연장된 센싱 라인과, 상기 워드 라인 및 상기 센싱 라인을 상기 수직 방향으로 관통하고, 상기 수평 방향에서 상기 워드 라인에 대면하는 수직 채널 영역을 가지는 수직 반도체 구조물과, 상기 수직 채널 영역과 상기 워드 라인과의 사이에 개재된 게이트 유전막을 포함하고, 상기 수직 반도체 구조물은 상기 수직 방향을 따라 순차적으로 적층된 제1 도전형의 제1 고농도 도핑막, 제2 도전형의 제1 저농도 도핑막, 상기 제1 도전형의 제2 저농도 도핑막, 및 상기 제2 도전형의 제2 고농도 도핑막을 포함하고, 상기 수직 채널 영역은 상기 제1 저농도 도핑막 및 상기 제2 저농도 도핑막 중에서 선택된 어느 하나로 이루어지고, 상기 센싱 라인은 상기 수직 반도체 구조물의 상기 제1 고농도 도핑막에 접한다.

[0005] 본 발명의 기술적 사상에 의한 다른 양태에 따른 반도체 메모리 소자는 수직 방향을 따라 일렬로 배치된 복수의 메모리 셀을 포함하는 메모리 셀 스트링을 포함하고, 상기 복수의 메모리 셀 각각은 수평 방향으로 연장된 워드 라인과, 상기 워드 라인으로부터 이격된 위치에서 상기 워드 라인과 수직 방향으로 오버랩되어 있고, 상기 수평 방향으로 연장된 센싱 라인과, 상기 워드 라인 및 상기 센싱 라인을 상기 수직 방향으로 관통하고, 상기 수평 방향에서 상기 워드 라인에 대면하는 수직 채널 영역을 가지는 수직 반도체 구조물과, 상기 수직 채널 영역과 상기 워드 라인과의 사이에 개재된 게이트 유전막을 포함하고, 상기 복수의 메모리 셀 각각에서 상기 수직 반도체 구조물은 상기 수직 방향을 따라 순차적으로 적층된 제1 도전형의 제1 고농도 도핑막, 제2 도전형의 제1 저

농도 도핑막, 상기 제1 도전형의 제2 저농도 도핑막, 및 상기 제2 도전형의 제2 고농도 도핑막을 포함하고, 상기 복수의 메모리 셀 각각에서 상기 수직 채널 영역은 상기 제1 저농도 도핑막 및 상기 제2 저농도 도핑막 중에서 선택된 어느 하나로 이루어지고, 상기 복수의 메모리 셀 각각에서 상기 센싱 라인은 상기 수직 반도체 구조물의 상기 제1 고농도 도핑막에 접한다.

[0006] 본 발명의 기술적 사상에 의한 또 다른 양태에 따른 반도체 메모리 소자는 기판 상에서 상호 직교하는 제1 수평 방향 및 제2 수평 방향과 상기 제1 수평 방향 및 상기 제2 수평 방향 각각에 수직인 수직 방향을 따라 3 차원으로 반복 배치된 복수의 메모리 셀을 포함하는 메모리 셀 어레이부를 포함하고, 상기 메모리 셀 어레이부는 상기 수직 방향을 따라 하나씩 교대로 배치되고 상기 수직 방향으로 서로 이격된 복수의 센싱 라인 및 복수의 워드 라인과, 상기 복수의 센싱 라인 및 상기 복수의 워드 라인 각각의 사이에 하나씩 개재된 복수의 절연막과, 상기 복수의 센싱 라인, 상기 복수의 워드 라인, 및 상기 복수의 절연막을 상기 수직 방향으로 관통하고, 각각 수직 채널 영역을 가지며 상기 수직 방향으로 서로 오버랩되어 있는 복수의 수직 반도체 구조물을 포함하는 스택 구조물과, 상기 복수의 수직 반도체 구조물을 상기 수직 방향으로 관통하는 절연 필라와, 상기 복수의 수직 반도체 구조물 각각의 상기 수직 채널 영역과 상기 복수의 워드 라인과의 사이에 개재된 복수의 게이트 유전막과, 상기 복수의 절연막을 상기 수직 방향으로 관통하는 복수의 비트 라인을 포함하고, 상기 복수의 메모리 셀 중 상기 수직 방향을 따라 일렬로 배치된 메모리 셀들은 상기 복수의 비트 라인 중에서 선택되는 하나의 비트 라인을 공유하고, 상기 복수의 수직 반도체 구조물은 각각 상기 수직 방향을 따라 순차적으로 적층된 제1 도전형의 제1 고농도 도핑막, 제2 도전형의 제1 저농도 도핑막, 상기 제1 도전형의 제2 저농도 도핑막, 및 상기 제2 도전형의 제2 고농도 도핑막을 포함하고, 상기 복수의 수직 반도체 구조물 각각의 상기 수직 채널 영역은 상기 제1 저농도 도핑막 및 상기 제2 저농도 도핑막 중에서 선택된 어느 하나이다.

발명의 효과

[0007] 본 발명의 기술적 사상에 의한 반도체 메모리 소자는 1 개의 메모리 셀 내에 1 개의 트랜지스터를 포함하고 커패시터는 포함하지 않는 구조를 가진다. 본 발명의 기술적 사상에 의한 반도체 메모리 소자는 미세화가 가능하고 고밀도인 3 차원 배열에 유리한 구조를 제공할 수 있다. 또한, 본 발명의 기술적 사상에 의한 반도체 메모리 소자에서 수직 방향으로 서로 오버랩되어 있는 복수의 메모리 셀은 상기 수직 방향으로 길게 연장된 1 개의 비트 라인을 공유하는 3 차원 적층형 메모리 셀 어레이를 포함한다. 따라서, 기존의 2 차원 구조를 가지는 반도체 메모리 소자에서 직면하였던 비트 라인들의 밀도 한계에 따른 문제를 극복하고 반도체 메모리 소자의 고집적화에 유리한 구조를 제공할 수 있으며, 성능(performance), 전력(power), 칩 크기(area), 및 비용(cost)을 포함하는 다양한 측면에서 우수한 경쟁력을 제공할 수 있다.

도면의 간단한 설명

[0008] 도 1은 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 메모리 소자의 일부 영역들의 평면 레이아웃이다.

도 2a는 도 1의 X1 - X1' 선 단면도이다.

도 2b는 도 1의 Y1 - Y1' 선 단면도이다.

도 2c는 도 2a에서 "EX1"으로 표시한 부분의 확대 단면도이다.

도 2d는 도 2b에서 "EX2"로 표시한 부분의 확대 단면도이다.

도 3a 및 도 3b는 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 반도체 메모리 소자를 설명하기 위한 단면도들이다.

도 3c는 도 3a에서 "EX3"으로 표시한 부분의 확대 단면도이다.

도 3d는 도 3b에서 "EX4"로 표시한 부분의 확대 단면도이다.

도 4는 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 반도체 메모리 소자를 설명하기 위한 단면도이다.

도 5a는 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 반도체 메모리 소자에 포함된 메모리 셀의 일부 절결 사시도이다.

도 5b는 도 5a에 예시한 메모리 셀의 등가 회로도이다.

도 5c는 도 5a 및 도 5b에 예시한 메모리 셀에서의 동작 특성을 설명하기 위한 그래프이다.

도 6a는 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 반도체 메모리 소자에 포함된 메모리 셀의 일부 절결 사시도이다.

도 6b는 도 6a에 예시한 메모리 셀의 등가 회로도이다.

도 6c는 도 6a 및 도 6b에 예시한 메모리 셀에서의 동작 특성을 설명하기 위한 그래프이다.

도 7은 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 메모리 소자의 예시적인 회로도이다.

도 8은 도 7에 예시한 회로 구성을 가지는 반도체 메모리 소자에서 선택된 하나의 메모리 셀에서의 타이밍 다이어그램이다.

도 9는 도 7에 예시한 회로 구성에 따라 3x3x3 어레이로 배열된 반도체 메모리 소자의 개략적인 사시도이다.

도 10은 도 7에 예시한 회로 구성에 따라 3x3x3 어레이로 배열된 반도체 메모리 소자의 개략적인 측면도이다.

도 11은 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 반도체 메모리 소자의 예시적인 회로도이다.

도 12는 도 11에 예시한 회로 구성을 가지는 반도체 메모리 소자에서 선택된 하나의 메모리 셀에서의 타이밍 다이어그램이다.

도 13a 내지 도 33b는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 메모리 소자의 제조 방법을 설명하기 위한 도면들로서, 도 13a, 도 14a, 도 15a, 도 16, 도 17, 도 18a, 도 19a, 도 20, 도 21, 도 22a, 도 24a, 도 25a, 도 26a, 도 27a, 도 29, 도 30, 도 32a, 및 도 33a는 도 1의 X1 - X1' 선 단면에 대응하는 부분의 공정 순서에 따른 단면도들이고, 도 13b, 도 14b, 도 15b, 도 18b, 도 19b, 도 22b, 도 23, 도 24b, 도 25b, 도 26b, 도 27b, 도 28, 도 31, 도 32b, 및 도 33b는 도 1의 Y1 - Y1' 선 단면에 대응하는 부분의 공정 순서에 따른 단면도들이고, 도 18c는 도 18a에서 "EXA"로 표시한 부분의 확대 단면도이고, 도 19c는 도 19a에서 "EXA"로 표시한 부분의 확대 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0009] 이하, 첨부 도면을 참조하여 본 발명의 실시예들을 상세히 설명한다. 도면상의 동일한 구성요소에 대해서는 동일한 참조 부호를 사용하고, 이들에 대한 중복된 설명은 생략한다.

[0010] 도 1과 도 2a 내지 도 2d는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 메모리 소자(100)를 설명하기 위한 도면들로서, 도 1은 반도체 메모리 소자(100)의 일부 영역들의 평면 레이아웃이고, 도 2a는 도 1의 X1 - X1' 선 단면도이고, 도 2b는 도 1의 Y1 - Y1' 선 단면도이고, 도 2c는 도 2a에서 "EX1"으로 표시한 부분의 확대 단면도이고, 도 2d는 도 2b에서 "EX2"로 표시한 부분의 확대 단면도이다.

[0011] 도 1과 도 2a 내지 도 2d를 참조하면, 반도체 메모리 소자(100)는 기판(102)과, 기판(102) 상에 배치된 메모리 셀 어레이부(MCA)과, 기판(102) 상에 배치되고 메모리 셀 어레이부(MCA)을 사이에 두고 제1 수평 방향(X 방향)으로 이격된 제1 연결부(AR1) 및 제2 연결부(AR2)를 포함할 수 있다.

[0012] 메모리 셀 어레이부(MCA)는 상호 직교하는 제1 수평 방향(X 방향) 및 제2 수평 방향(Y 방향)과 제1 수평 방향(X 방향) 및 제2 수평 방향(Y 방향) 각각에 수직인 수직 방향(Z 방향)을 따라 3 차원으로 반복 배치된 복수의 메모리 셀(MC)을 포함할 수 있다.

[0013] 기판(102)은 Si, Ge, 또는 SiGe를 포함하는 반도체 기판으로 이루어질 수 있다.

[0014] 메모리 셀 어레이부(MCA)는 수직 방향(Z 방향)을 따라 하나씩 교대로 배치되고 수직 방향(Z 방향)으로 서로 이격된 복수의 센싱 라인(SL) 및 복수의 워드 라인(WL)을 포함할 수 있다. 복수의 센싱 라인(SL) 중 최하부 센싱 라인(SL)과 기판(102)과의 사이, 그리고 및 복수의 센싱 라인(SL) 및 복수의 워드 라인(WL) 각각의 사이에 복수의 절연막(110A, 110B, 110C) 중에서 선택된 하나의 절연막이 개재될 수 있다.

[0015] 메모리 셀 어레이부(MCA)에는 수직 방향(Z 방향)으로 서로 오버랩되어 있는 복수의 수직 반도체 구조물(VSS)을 각각 포함하는 복수의 스택 구조물(SST)이 배치될 수 있다. 복수의 수직 반도체 구조물(VSS)은 각각 워드 라인(WL), 센싱 라인(SL), 및 복수의 절연막(110A, 110B, 110C)을 수직 방향(Z 방향)으로 관통할 수 있다.

[0016] 복수의 워드 라인(WL) 및 복수의 센싱 라인(SL)은 각각 기판(102)의 주면(102M)과 평행한 수평 방향(X-Y 평면을 따르는 방향)으로 평탄하게 연장될 수 있다. 복수의 워드 라인(WL) 및 복수의 센싱 라인(SL)는 서로 수직 방향(Z 방향)으로 오버랩되도록 배치될 수 있다.

[0017] 복수의 워드 라인(WL) 및 복수의 센싱 라인(SL)은 각각 W, Al, Mo, Ru, Al, Co, Ti, TiN, Ta, TaN, WN, TiSiN, WSiN, 도핑된 폴리실리콘, 또는 이들의 조합으로 이루어질 수 있으나, 이들에 한정되는 것은 아니다. 복수의 절연막(110A, 110B, 110C)은 각각 실리콘 산화막으로 이루어질 수 있으나, 이에 한정되는 것은 아니다.

[0018] 복수의 수직 반도체 구조물(VSS)은 각각 기판(102)에 가장 가까운 부분으로부터 수직 방향(Z 방향)을 따라 순차적으로 적층된 제1 고농도 도핑막(HDS1), 제1 저농도 도핑막(DS1), 제2 저농도 도핑막(DS2), 및 제2 고농도 도핑막(HDS2)을 포함할 수 있다. 복수의 수직 반도체 구조물(VSS) 각각에서, 제1 고농도 도핑막(HDS1) 및 제2 저농도 도핑막(DS2)은 제1 도전형을 가지고, 제1 저농도 도핑막(DS1) 및 제2 고농도 도핑막(HDS2)은 상기 제1 도전형의 반대 도전형인 제2 도전형을 가질 수 있다. 본 명세서에서 사용되는 용어 "고농도" 및 "저농도"는 상대적인 용어로서, 고농도 도핑막은 저농도 도핑막에서보다 도핑 농도가 큰 것을 의미하고, 저농도 도핑막은 고농도 도핑막에서보다 도핑 농도가 작은 것을 의미한다.

[0019] 예시적인 실시예들에서, 복수의 수직 반도체 구조물(VSS) 각각에서 제1 고농도 도핑막(HDS1), 제1 저농도 도핑막(DS1), 제2 저농도 도핑막(DS2), 및 제2 고농도 도핑막(HDS2)은 도핑된 실리콘(Si) 막으로 이루어지고, 제1 고농도 도핑막(HDS1) 및 제2 고농도 도핑막(HDS2) 각각에서의 도핑 농도는 제1 저농도 도핑막(DS1) 및 제2 저농도 도핑막(DS2) 각각에서의 도핑 농도보다 클 수 있다. 예를 들면, 제1 고농도 도핑막(HDS1) 및 제2 저농도 도핑막(DS2)은 각각 n 형 불순물이 도핑된 폴리실리콘 막으로 이루어지고, 제1 고농도 도핑막(HDS1)에서의 n 형 불순물의 도핑 농도는 제2 저농도 도핑막(DS2)에서의 n 형 불순물의 도핑 농도보다 더 클 수 있다. 또한, 제1 저농도 도핑막(DS1) 및 제2 고농도 도핑막(HDS2)은 각각 p 형 불순물이 도핑된 폴리실리콘 막으로 이루어지고, 제2 고농도 도핑막(HDS2)에서의 p 형 불순물의 도핑 농도는 제1 저농도 도핑막(DS1)에서의 p 형 불순물의 도핑 농도보다 더 클 수 있다. 예시적인 실시예들에서, 상기 n 형 불순물은 P(phosphorus), As(arsenic), 및 Sb(antimony) 중에서 선택되고, 상기 p 형 불순물은 B(boron) 및 Ga(gallium) 중에서 선택될 수 있다.

[0020] 일 예에서, 제1 고농도 도핑막(HDS1)에서의 n 형 불순물 도핑 농도와 제2 고농도 도핑막(HDS2)에서의 p 형 불순물의 도핑 농도는 각각 1×10^{19} 원자/cm^3 내지 9×10^{20} 원자/cm^3의 범위 내에서 선택되고, 제1 저농도 도핑막(DS1)에서의 p 형 불순물의 도핑 농도와 제2 저농도 도핑막(DS2)에서의 n 형 불순물의 도핑 농도는 각각 1×10^{17} 원자/cm^3 내지 9×10^{18} 원자/cm^3의 범위 내에서 선택될 수 있으나, 이들에 한정되는 것은 아니다.

[0021] 복수의 수직 반도체 구조물(VSS) 각각은 수직 채널 영역을 포함하고, 상기 수직 채널 영역은 제1 저농도 도핑막(DS1) 및 제2 저농도 도핑막(DS2) 중에서 선택되는 어느 하나로 이루어질 수 있다. 도 2a 내지 도 2d에는 복수의 수직 반도체 구조물(VSS) 각각에서 수직 채널 영역이 제2 저농도 도핑막(DS2)으로 이루어지는 경우의 구조가 예시되어 있다. 복수의 수직 반도체 구조물(VSS) 각각에서 수직 채널 영역으로 사용되는 제2 저농도 도핑막(DS2)은 기판(102)의 주면(102)과 평행한 수평 방향(X-Y 평면을 따르는 방향)에서 워드 라인(WL)에 대면할 수 있다. 복수의 센싱 라인(SL)은 복수의 수직 반도체 구조물(VSS) 각각의 제1 고농도 도핑막(HDS1)에 접할 수 있다.

[0022] 다른 예시적인 실시예들에서, 도 2a 내지 도 2d에 예시된 바와 달리, 복수의 수직 반도체 구조물(VSS) 각각에서 수직 채널 영역은 제1 저농도 도핑막(DS1)으로 이루어질 수도 있다. 이 경우, 복수의 워드 라인(WL)은 각각 수직 반도체 구조물(VSS)의 제1 저농도 도핑막(DS1)에 대면하도록 배치될 수 있다.

[0023] 복수의 수직 반도체 구조물(VSS) 각각의 수직 채널 영역(도 2a 내지 도 2d에서 제2 저농도 도핑막(DS2))과 그에 인접한 워드 라인(WL)과의 사이에 게이트 유전막(130)이 개재될 수 있다. 예시적인 실시예들에서, 게이트 유전막(130)은 상유전(paraelectric) 물질로 이루어질 수 있다. 예를 들면, 게이트 유전막(130)은 제 실리콘 산화물, 실리콘 질화물, 실리콘 산질화물, 또는 이들의 조합으로 이루어질 수 있다. 다른 예시적인 실시예들에서, 게이트 유전막(130)은 고유전 물질로 이루어질 수 있다. 상기 고유전 물질은 약 10 내지 약 25의 유전 상수를 가질 수 있다. 예를 들면, 상기 고유전 물질은 하프늄 산화물, 알루미늄 산화물, 지르코늄 산화물, 또는 이들의 조합으로 이루어질 수 있으나, 이들에 한정되는 것은 아니다. 또 다른 예시적인 실시예들에서, 게이트 유전막(130)은 상유전 물질 및 고유전 물질의 조합으로 이루어질 수 있다.

[0024] 반도체 메모리 소자(100)는 수직 방향(Z 방향)으로 오버랩되도록 정렬된 복수의 수직 반도체 구조물(VSS)을 수직 방향(Z 방향)으로 관통하는 절연 필라(124)를 포함할 수 있다. 복수의 수직 반도체 구조물(VSS) 각각에서 제

1 고농도 도핑막(HDS1), 제1 저농도 도핑막(DS1), 제2 저농도 도핑막(DS2), 및 제2 고농도 도핑막(HDS2)은 절연 필라(124)를 수용하는 중공(hollow)(HH)을 가진다. 복수의 수직 반도체 구조물(VSS)은 각각 절연 필라(124)를 포위하는 파이프 형상을 가지며, 평면(X-Y 평면)에서 볼 때 링(ring) 형상을 가질 수 있다.

[0025] 도 2b 및 도 2d에 예시한 바와 같이, 반도체 메모리 소자(100)는 복수의 절연막(110B, 110C)을 수직 방향(Z 방향)으로 관통하는 복수의 비트 라인(BL)을 포함할 수 있다. 복수의 비트 라인(BL)은 각각 복수의 워드 라인(WL) 및 복수의 센싱 라인(SL)으로부터 제2 수평 방향(Y 방향)으로 이격되도록 배치될 수 있다. 복수의 비트 라인(BL)은 각각 도전성 연결 구조물(CNS)을 통해 수직 반도체 구조물(VSS)에 포함된 제2 고농도 도핑막(HDS2)에 연결되도록 구성될 수 있다. 도전성 연결 구조물(CNS)은 수직 반도체 구조물(VSS)에 포함된 제2 고농도 도핑막(HDS2)에 접하며 제2 고농도 도핑막(HDS2)을 포위할 수 있다. 복수의 비트 라인(BL)과 복수의 비트 라인(BL)에 연결된 복수의 도전성 연결 구조물(CNS)은 각각 W, Al, Mo, Ru, Al, Co, Ti, TiN, Ta, TaN, WN, TiSiN, WSiN, 도핑된 폴리실리콘, 또는 이들의 조합으로 이루어질 수 있으나, 이들에 한정되는 것은 아니다.

[0026] 복수의 비트 라인(BL)은 각각 수직 방향(Z 방향)으로 길게 연장되고, 복수의 워드 라인(WL) 및 복수의 센싱 라인(SL)을 사이에 두고 제2 수평 방향(Y 방향)에서 수직 반도체 구조물(VSS)과 대면할 수 있다. 반도체 메모리 소자(100)에서, 수직 방향(Z 방향)을 따라 일렬로 배치된 복수의 메모리 셀(MC)은 1 개의 메모리 셀 스트링(string)을 구성할 수 있다. 1 개의 메모리 셀 스트링에 포함된 복수의 메모리 셀(MC)은 복수의 비트 라인(BL) 중에서 선택되는 1 개의 비트 라인(BL)을 공유할 수 있다.

[0027] 반도체 메모리 소자(100)는 수직 방향(Z 방향)을 따라 일렬로 배치된 복수의 메모리 셀(MC) 각각의 사이에 하나씩 개재된 복수의 셀간 절연막(118)과, 절연 필라(124)와 셀간 절연막(118)과의 사이에 개재되고 절연 필라(124)를 포위하는 복수의 셀간 국부 절연막(120)을 포함할 수 있다. 셀간 절연막(118) 및 셀간 국부 절연막(120)은 수직 방향(Z 방향)에서 서로 인접한 2 개의 메모리 셀(MC) 사이에서 이들을 분리하는 셀간 절연 구조물을 구성할 수 있다.

[0028] 매립 절연막(126)의 일부는 메모리 셀 어레이부(MCA)에서 복수의 메모리 셀(MC), 복수의 절연 필라(124), 최상층의 셀간 절연막(118), 및 복수의 셀간 국부 절연막(120)을 덮을 수 있다. 도 2a에 예시한 바와 같이, 매립 절연막(126)의 다른 일부는 제1 연결부(AR1) 및 제2 연결부(AR2)에서 복수의 워드 라인(WL) 및 복수의 센싱 라인(SL) 각각의 제1 수평 방향(X 방향)에서의 단부에 접할 수 있다.

[0029] 도 1 및 도 2b에 예시한 바와 같이, 반도체 메모리 소자(100)는 복수의 분리 절연막(140)을 포함할 수 있다. 복수의 분리 절연막(140)은 메모리 셀 어레이부(MCA)에서 제1 수평 방향(X 방향)을 따라 길게 연장되는 바(bar) 형태의 평면 형상을 가질 수 있다. 복수의 분리 절연막(140)은 제2 수평 방향(Y 방향)을 따라 일렬로 배치된 복수의 메모리 셀 스트링 각각의 사이에 하나씩 배치될 수 있다. 복수의 분리 절연막(140)은 복수의 절연막(110A, 110B, 110C), 복수의 셀간 절연막(118), 및 매립 절연막(126)을 수직 방향(Z 방향)으로 관통하고, 각각 제2 수평 방향(Y 방향)의 일측에서 인접한 메모리 셀 스트링에 포함된 복수의 워드 라인(WL) 및 복수의 센싱 라인(SL)에 접할 수 있다.

[0030] 복수의 절연 필라(124), 복수의 셀간 절연막(118), 복수의 셀간 국부 절연막(120), 매립 절연막(126), 및 복수의 분리 절연막(140)은 각각 실리콘 산화막으로 이루어질 수 있으나, 이들에 한정되는 것은 아니다.

[0031] 도 2a에 예시한 바와 같이, 제1 연결부(AR1) 및 제2 연결부(AR2)에서 복수의 워드 라인(WL) 및 복수의 센싱 라인(SL)은 각각 기판(102)으로부터 멀어질수록 제1 수평 방향(X 방향)을 따르는 길이가 작아질 수 있다. 이에 따라, 제1 연결부(AR1) 및 제2 연결부(AR2)에서 복수의 워드 라인(WL) 및 복수의 센싱 라인(SL)을 포함하는 복수의 단차부가 형성될 수 있다. 제1 연결부(AR1) 및 제2 연결부(AR2)에서 상기 복수의 단차부에 의해 한정되는 공간은 몰드 절연막(119)으로 채워질 수 있다. 몰드 절연막(119)은 실리콘 산화막으로 이루어질 수 있다.

[0032] 제1 연결부(AR1)에는 복수의 워드 라인 콘택(WLC)이 배치될 수 있다. 복수의 워드 라인 콘택(WLC)은 각각 메모리 셀(MC)의 수직 반도체 구조물(VSS)로부터 제1 수평 방향(X 방향)으로 이격된 위치에서 복수의 워드 라인(WL) 중에서 선택되는 하나의 워드 라인(WL)에 연결될 수 있다.

[0033] 제2 연결부(AR2)에는 복수의 센싱 라인 콘택(SLC)이 배치될 수 있다. 복수의 센싱 라인 콘택(SLC)은 각각 메모리 셀(MC)의 수직 반도체 구조물(VSS)로부터 제1 수평 방향(X 방향)으로 이격된 위치에서 복수의 센싱 라인(SL) 중에서 선택되는 하나의 센싱 라인(SL)에 연결될 수 있다.

[0034] 복수의 워드 라인 콘택(WLC) 및 복수의 센싱 라인 콘택(SLC)은 각각 매립 절연막(126) 및 몰드 절연막(119)을 포함하는 절연 구조물을 수직 방향(Z 방향)으로 관통할 수 있다. 복수의 워드 라인 콘택(WLC) 및 복수의 센싱

라인 콘택(SLC)은 각각 W, Al, Mo, Ru, Al, Co, Ti, TiN, Ta, TaN, WN, TiSiN, WSiN, 도핑된 폴리실리콘, 또는 이들의 조합으로 이루어질 수 있으나, 이들에 한정되는 것은 아니다.

[0035] 통상적인 DRAM 소자는 1 개의 메모리 셀이 1 개의 트랜지스터와 1 개의 커패시터를 포함하는 구조(1T-1C 구조)를 가진다. 이와 같은 통상적인 DRAM 소자는 고집적화됨에 따라 커패시터의 종횡비(aspect ratio)가 증가하고 누설 전류가 증가될 수 있으며, 커패시터는 수직 적층 구조를 통한 스케일링에 장애가 되고 있다.

[0036] 피드백 전계효과 트랜지스터(feedback field-effect transistor: FBFET)에 기반한 메모리 소자는 양성 피드백 루프(positive feedback loop)를 이용하여 낮은 동작 전압 및 60 mV/decade 미만의 급격한 문턱 전압 기울기(subthreshold swing: SS)를 가질 수 있으며, 기존의 DRAM 소자와는 달리 리프레쉬(refresh) 동작이 필요 없어 전력 소모량이 낮은 장점이 있다. 또한, FBFET에 기반한 반도체 메모리 소자는 높은 온-오프 전류비에 따른 넓은 전류 감지 폭(current sensing margin)을 가지며, 기존의 CMOS(complementary metal-oxide-semiconductor) 트랜지스터 제조 공정과의 호환성을 확보할 수 있다는 장점이 있다.

[0037] 본 발명의 기술적 사상에 의한 반도체 메모리 소자(100)에 포함된 복수의 수직 반도체 구조물(VSS)에서, 제1 고농도 도핑막(HDS1)은 n 형 도판트로 도핑된 n^+ 도핑 영역으로 이루어지고, 제1 저농도 도핑막(DS1)은 p 형 도판트로 도핑된 p 도핑 영역으로 이루어지고, 제2 저농도 도핑막(DS2)은 n 형 도판트로 도핑된 n 도핑 영역으로 이루어지고, 제2 고농도 도핑막(HDS2)은 p 형 도판트로 도핑된 p^+ 도핑 영역으로 이루어질 수 있다. 상기 n 형 도판트는 P(phosphorus), As(arsenic), 및 Sb(antimony) 중에서 선택될 수 있다. 상기 p 형 도판트는 B(boron) 및 Ga(gallium) 중에서 선택될 수 있다.

[0038] 예시적인 실시예들에서, 복수의 수직 반도체 구조물(VSS) 각각에서 n 도핑 영역으로 이루어지는 제2 저농도 도핑막(DS2)이 수직 채널 영역으로 이용될 수 있다. 이 경우, 워드 라인(WL)은 게이트 유전막(130)을 사이에 두고 상기 n 도핑 영역으로 이루어지는 제2 저농도 도핑막(DS2)과 수평 방향에서 대면하도록 배치될 수 있으며, 메모리 셀(MC)은 커패시터는 포함하지 않고 1 개의 트랜지스터로 이루어지는 p-FBFET 기반의 DRAM 셀을 구성할 수 있다.

[0039] 다른 예시적인 실시예들에서, 복수의 수직 반도체 구조물(VSS) 각각에서 p 도핑 영역으로 이루어지는 제1 저농도 도핑막(DS1)이 수직 채널 영역으로 이용될 수 있다. 이 경우, 워드 라인(WL)은 게이트 유전막(130)을 사이에 두고 상기 p 도핑 영역으로 이루어지는 제1 저농도 도핑막(DS1)과 수평 방향에서 대면하도록 배치될 수 있으며, 메모리 셀(MC)은 커패시터는 포함하지 않고 1 개의 트랜지스터로 이루어지는 n-FBFET 기반의 DRAM 셀을 구성할 수 있다.

[0040] 상기한 바와 같이, 본 발명의 기술적 사상에 의한 반도체 메모리 소자(100)는 p-FBFET 기반의 DRAM 셀 또는 n-FBFET 기반의 DRAM 셀로 구현될 수 있으며, 기존의 CMOS 트랜지스터 제조 공정과의 호환성을 확보할 수 있다. 또한, 커패시터가 필요 없는 FBFET 기반의 메모리 셀을 1 개의 트랜지스터를 가지는 DRAM 셀로 활용함으로써, 고집적화에 유리한 구조를 제공할 수 있다.

[0041] 또한, 본 발명의 기술적 사상에 의한 반도체 메모리 소자(100)에서 복수의 메모리 셀(MC) 각각은 1 개의 트랜지스터를 포함하고 커패시터는 포함하지 않는 구조를 가짐에 따라 미세화가 가능하여 고밀도의 콤팩트한 3 차원 배열 구조를 제공할 수 있다. 또한, 본 발명의 기술적 사상에 의한 반도체 메모리 소자(100)에서 수직 방향(Z 방향)으로 서로 오버랩되어 있는 복수의 메모리 셀(MC)은 1 개의 비트 라인(BL)을 공유하는 3 차원 적층형 메모리 셀 어레이를 포함한다. 따라서, 기존의 2 차원 구조를 가지는 반도체 메모리 소자에서 직면하였던 비트 라인들의 밀도 한계에 따른 문제를 극복하고 반도체 메모리 소자의 고집적화에 유리한 구조를 제공할 수 있으며, 성능(performance), 전력(power), 칩 크기(area), 및 비용(cost)을 포함하는 다양한 측면에서 우수한 경쟁력을 제공할 수 있다.

[0042] 도 3a 내지 도 3d는 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 반도체 메모리 소자(200)를 설명하기 위한 도면들로서, 도 3a는 도 1의 X1 - X1' 선 단면에 대응하는 부분의 단면도이고, 도 3b는 도 1의 Y1 - Y1' 선 단면에 대응하는 부분의 단면도이고, 도 3c는 도 3a에서 "EX3"으로 표시한 부분의 확대 단면도이고, 도 3d는 도 3b에서 "EX4"로 표시한 부분의 확대 단면도이다. 반도체 메모리 소자(200)는 도 1에 예시한 평면 레이아웃과 대체로 동일한 평면 레이아웃을 가질 수 있다. 도 3a 내지 도 3d에서, 도 1과 도 2a 내지 도 2d에서와 동일한 참조 부호는 동일 부재를 나타내며, 여기서는 이들에 대한 상세한 설명을 생략한다.

[0043] 도 3a 내지 도 3d를 참조하면, 반도체 메모리 소자(300)는 도 1과 도 2a 내지 도 2d를 참조하여 설명한 반도체

메모리 소자(100)와 대체로 동일한 구성을 가질 수 있다. 단, 반도체 메모리 소자(200)는 도 2a 내지 도 2d에 예시한 복수의 워드 라인(WL) 대신 복수의 워드 라인(WL2)을 포함하고, 도 2a 내지 도 2d에 예시한 게이트 유전막(130) 대신 게이트 유전막(230)을 포함한다.

[0044] 복수의 워드 라인(WL2) 및 게이트 유전막(230)은 도 1과 도 2a 내지 도 2d를 참조하여 복수의 워드 라인(WL) 및 게이트 유전막(130)에 대하여 설명한 바와 대체로 동일한 구성을 가진다. 단, 복수의 워드 라인(WL2)에서 수직 반도체 구조물(VSS)에 포함된 제2 저농도 도핑막(DS2)에 대면하는 측벽과, 절연막(110B)에 대면하는 저면과, 절연막(110C)에 대면하는 상면이 각각 게이트 유전막(230)으로 덮일 수 있다. 도 3a에 예시한 바와 같이, 제1 연결부(AR1)에서 복수의 워드 라인 콘택(WLC)은 각각 게이트 유전막(230)을 관통하여 복수의 워드 라인(WL) 중에서 선택되는 하나의 워드 라인(WL)에 연결될 수 있다.

[0045] 도 4는 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 반도체 메모리 소자(300)를 설명하기 위한 단면도이다. 도 4에는 도 1의 X1 - X1' 선 단면에 대응하는 부분의 단면 구성이 예시되어 있다. 도 4에서, 도 1과 도 2a 내지 도 2d에서와 동일한 참조 부호는 동일 부재를 나타내며, 여기서는 이들에 대한 상세한 설명을 생략한다.

[0046] 도 4를 참조하면, 반도체 메모리 소자(300)는 도 1과 도 2a 내지 도 2d를 참조하여 반도체 메모리 소자(100)에 대하여 설명한 바와 대체로 동일한 구성을 가질 수 있다. 단, 반도체 메모리 소자(300)는 메모리 셀 어레이부(MCA), 제1 연결부(AR1), 및 제2 연결부(AR2)와 수직 방향(Z 방향)으로 오버랩되어 있는 주변 회로 구조물(PCS)을 포함할 수 있다.

[0047] 주변 회로 구조물(PCS)은 주변 회로 기판(352) 상에 형성된 복수의 주변 회로와, 상기 복수의 주변 회로를 상호 연결하거나 상기 복수의 주변 회로를 메모리 셀 어레이부(MCA), 제1 연결부(AR1), 및 제2 연결부(AR2)에 있는 도전성 구성 요소들과 연결하기 위한 다층 배선 구조(MWS)를 포함할 수 있다.

[0048] 주변 회로 기판(352)에서 소자 분리막(354)에 의해 활성 영역(PA)이 정의될 수 있다. 주변 회로 기판(352)에 대한 보다 상세한 사항은 도 2a 및 도 2b를 참조하여 기판(102)에 대하여 설명한 바와 대체로 동일하다. 주변 회로 기판(352)의 활성 영역(PA) 위에는 복수의 트랜지스터(TR3)가 형성될 수 있다. 복수의 트랜지스터(TR3)는 각각 주변 게이트(PG)와, 주변 게이트(PG)의 양측에서 활성 영역(PA) 내에 형성된 주변 소스/드레인 영역(PSD)을 포함할 수 있다. 예시적인 실시예들에서, 주변 회로 구조물(PCS)은 저항, 커패시터 등과 같은 단위 소자들을 더 포함할 수 있다. 복수의 트랜지스터(TR3) 위에 층간절연막(370)이 형성될 수 있다. 층간절연막(370)은 실리콘 산화막, 실리콘 질화막, SiON 막, SiOCN 막, 또는 이들의 조합을 포함할 수 있다.

[0049] 주변 회로 구조물(PCS)에서 다층 배선 구조(MWS)는 복수의 주변 회로 배선층(ML30, ML31, ML32)과 복수의 주변 회로 콘택(MC30, MC31, MC32)을 포함할 수 있다. 복수의 주변 회로 배선층(ML30, ML31, ML32) 중 일부는 복수의 트랜지스터(TR3)에 전기적으로 연결 가능하도록 구성될 수 있다. 복수의 주변 회로 콘택(MC30, MC31, MC32)은 복수의 주변 회로 배선층(ML30, ML31, ML32) 중에서 선택되는 일부를 상호 연결시키도록 구성될 수 있다. 복수의 주변 회로 배선층(ML30, ML31, ML32) 및 복수의 주변 회로 콘택(MC30, MC31, MC32)은 층간절연막(370)으로 덮일 수 있다.

[0050] 복수의 주변 회로 배선층(ML30, ML31, ML32) 및 복수의 주변 회로 콘택(MC30, MC31, MC32)은 각각 금속, 도전성 금속 질화물, 금속 실리사이드, 또는 이들의 조합으로 이루어질 수 있다. 예를 들면, 복수의 주변 회로 배선층(ML30, ML31, ML32) 및 복수의 주변 회로 콘택(MC30, MC31, MC32)은 각각 텅스텐, 몰리브덴, 티타늄, 코발트, 탄탈럼, 니켈, 텅스텐 실리사이드, 티타늄 실리사이드, 코발트 실리사이드, 탄탈럼 실리사이드, 니켈 실리사이드 등과 같은 도전 물질을 포함할 수 있다. 도 4에서, 복수의 주변 회로 배선층(ML30, ML31, ML32)이 수직 방향(Z 방향)을 따라 3 층의 배선 구조를 가지는 것으로 예시되었으나, 본 발명의 기술적 사상은 도 4에 예시된 바에 한정되는 것은 아니다. 예를 들면, 복수의 주변 회로 배선층(ML30, ML31, ML32)은 2 층, 또는 4 층 이상의 다층 배선 구조를 가질 수도 있다.

[0051] 예시적인 실시예들에서, 제1 연결부(AR1)에 배치된 복수의 워드 라인 콘택(WLC), 제2 연결부(AR2)에 배치된 복수의 센싱 라인 콘택(SLC), 및 메모리 셀 어레이부(MCA)에 배치된 복수의 비트 라인(BL)(도 2b 참조)은 각각 주변 회로 구조물(PCS)에 포함된 복수의 주변 회로 배선층(ML30, ML31, ML32) 중에서 선택되는 하나의 주변 회로 배선층에 연결되도록 구성될 수 있다.

[0052] 도 5a 및 도 5b는 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 반도체 메모리 소자(400A)를 설명하기 위한 도면들이다. 보다 구체적으로, 도 5a는 반도체 메모리 소자(400A)에 포함된 메모리 셀(MCP)의 예시적인

구조를 도시한 일부 절결 사시도이고, 도 5b는 도 5a에 예시한 메모리 셀(MCP)의 등가 회로도이다. 도 5a에는 도전성 구성 요소들 사이에서 이들을 절연하기 위한 절연막들의 도시가 생략되어 있다. 5a 및 도 5b에서, 도 1과 도 2a 내지 도 2d에서와 동일함 참조 부호는 동일 부재를 나타내며, 여기서는 이들에 대한 상세한 설명을 생략한다.

[0053] 도 5a 및 도 5b를 참조하면, 반도체 메모리 소자(400A)는 도 1과 도 2a 내지 도 2d를 참조하여 설명한 반도체 메모리 소자(100)와 대체로 동일한 구성을 가질 수 있다. 단, 반도체 메모리 소자(400A)는 메모리 셀(MC) 대신 메모리 셀(MCP)을 포함한다.

[0054] 메모리 셀(MCP)은 도 2a 내지 도 2d를 참조하여 설명한 메모리 셀(MC)과 대체로 동일한 구성을 가질 수 있다. 메모리 셀(MCP)은 수직 반도체 구조물(VSS)을 포함할 수 있다. 수직 반도체 구조물(VSS)은 n^+ 도핑 영역으로 이루어지는 제1 고농도 도핑막(HDS1)과, p 도핑 영역으로 이루어지는 제1 저농도 도핑막(DS1)과, n 도핑 영역으로 이루어지는 제2 저농도 도핑막(DS2)과, p^+ 도핑 영역으로 이루어지는 제2 고농도 도핑막(HDS2)을 포함할 수 있다.

[0055] 반도체 메모리 소자(400A)에서, 비트 라인(BL4)은 워드 라인(WL) 및 센싱 라인(WL) 각각을 수직 방향(Z 방향)으로 관통할 수 있다. 비트 라인(BL4)은 워드 라인(WL) 및 센싱 라인(WL) 각각으로부터 수평 방향(X-Y 평면을 따르는 방향)으로 이격될 수 있다. 비트 라인(BL4)과 워드 라인(WL)과의 사이, 및 비트 라인(BL4)과 센싱 라인(WL)과의 사이에는 절연막이 개재될 수 있다.

[0056] 메모리 셀(MCP)은 커패시터는 포함하지 않고 p-FBFET 기반의 구조를 가지는 1 개의 트랜지스터를 포함하는 수직 채널 구조의 1T-DRAM 셀을 구성할 수 있다. 메모리 셀(MCP)의 수직 반도체 구조물(VSS)에서 n 도핑 영역인 제2 저농도 도핑막(DS2)은 수직 채널 영역으로 이용되고, 워드 라인(WL)과 제2 저농도 도핑막(DS2)과의 사이에 게이트 유전막(130)이 개재될 수 있다. 센싱 라인(SL)은 n^+ 도핑 영역으로 이루어지는 제1 고농도 도핑막(HDS1)에 접하고, 비트 라인(BL)에 연결된 도전성 연결 구조물(CNS)은 p^+ 도핑 영역으로 이루어지는 제2 고농도 도핑막(HDS2)에 접할 수 있다.

[0057] 도 5c는 도 5a 및 도 5b에 예시한 메모리 셀(MCP)에서의 동작 특성을 설명하기 위한 그래프이다. 도 5c에서, 가로 축은 워드 라인(WL)(도 5a 참조)에서의 전압(V_{WL})을 나타내고, 세로 축은 센싱 라인(SL)(도 5a 참조)에서의 전류(I_{SL})를 나타낸다. 표 1에는 도 5a 및 도 5b에 예시한 메모리 셀(MCP)에서의 동작 조건이 예시되어 있다.

표 1

[0058]

	V_{BL} (V)	V_{WL} (V)
쓰기 "1"	V_{DD}	V_{Wp}
쓰기 "0"	$-V_{DD}$	V_{Wp}
읽기	V_{DD}	0
읽기	0	0

[0059] 표 1에서, V_{BL}은 비트 라인(BL)에서의 전압이고, V_{DD} 및 $-V_{DD}$ 는 각각 비트 라인(BL)에 인가되는 전압이고, V_{WL}은 워드 라인(WL)에서의 전압이고, V_{Wp}는 워드 라인(WL)에 인가되는 전압이다. 예시적인 실시예들에서, V_{DD} 는 약 0.5 V 내지 약 3 V의 범위 내에서 선택되고, $-V_{DD}$ 는 약 -3 V 내지 약 -0.5 V의 범위 내에서 선택되고, V_{Wp}는 약 -2 V 내지 약 -0.5 V의 범위 내에서 선택될 수 있으나, 이들에 한정되는 것은 아니다.

[0060] 도 5c와 표 1을 참조하면, 쓰기(write) 동작을 위하여, $V_{WL} = V_{Wp}$ 일 때 비트 라인(BL)에 V_{DD}의 전압을 인가하여 쓰기(write) "1"을 진행하고, $V_{WL} = V_{Wp}$ 일 때 비트 라인(BL)에 $-V_{DD}$의 전압을 인가하여 쓰기 "0"을 진행할 수 있다.

[0061] 읽기(read) 동작을 위하여 $V_{BL} = V_{DD}$ 일 때, V_{WL} 으로서 0 V를 인가할 수 있다. $V_{BL} = V_{DD}$ 일 때 V_{WL} 으로서 0 V를 인가하면 메모리 셀(MCP)이 쌍안정(bistable) 특성을 가지므로 읽기 동작이 가능하게 된다. 즉, $V_{BL} = V_{DD}$ 일

때, V_{WL} = 0 V를 인가하여 센싱 라인(SL)의 전류(I_{SL})의 값을 통해 메모리 셀(MCP)의 상태를 읽을 수 있다.

[0062] 홀드(hold) 동작을 위하여, 외부로부터 전압을 인가하지 않을 수 있다. 즉, V_{BL} = 0 V 및 V_{WL} = 0 V 일 수 있다. 메모리 셀(MCP)은 외부로부터 전압이 인가되지 않는 상태에서도 일정 시간 동안 수직 채널 영역의 내부에 저장된 전하에 의해 메모리 상태가 유지될 수 있다.

[0063] 도 5c에서, 비트 라인(BL)에서의 전압 V_{BL}의 변화에 따른 센싱 라인(SL)에서의 전류(I_{SL})의 변화가 선(L1)으로 나타나 있다. 도 5c에서 R11, R12, 및 R13으로 표시한 화살표들은 센싱 라인(SL)에서의 전류(I_{SL})가 선(L1)을 따라 변화되는 경로를 표시한 것이다. 도 5c에서, A1으로 표시한 원형 점선 내에 있는 위치에서의 전류(I_{SL})은 오프 전류(Ioff)에 해당하고, A2로 표시한 원형 점선 내에 있는 위치에서의 전류(I_{SL})은 온 전류(Ion)에 해당하고, A3으로 표시한 원형 점선 내에 있는 위치에서의 전류(I_{SL})은 워드 라인(WL)에서의 전압이 V_{Wp}일 때 쓰기 "0" 동작 또는 쓰기 "1" 동작이 수행되는 전류 값에 해당한다.

[0064] 도 6a 및 도 6b는 본 발명의 기술적 사상에 의한 또 다른 실시예들에 따른 반도체 메모리 소자(400B)를 설명하기 위한 도면들이다. 보다 구체적으로, 도 6a는 반도체 메모리 소자(400B)에 포함된 메모리 셀(MCN)의 예시적인 구조를 도시한 일부 절결 사시도이고, 도 6b는 도 6a에 예시한 메모리 셀(MCN)의 등가 회로도이다. 도 6a에는 도전성 구성 요소들 사이에서 이들을 절연하기 위한 절연막들의 도시가 생략되어 있다. 도 6a 및 도 6b에서, 도 1, 도 2a 내지 도 2d, 및 도 5a에서와 동일함 참조 부호는 동일 부재를 나타내며, 여기서는 이들에 대한 상세한 설명을 생략한다.

[0065] 도 6a 및 도 6b를 참조하면, 반도체 메모리 소자(400B)는 도 5a를 참조하여 설명한 반도체 메모리 소자(400A)와 대체로 동일한 구성을 가질 수 있다. 단, 반도체 메모리 소자(400B)는 메모리 셀(MCN)을 포함한다.

[0066] 메모리 셀(MCN)은 도 5a를 참조하여 설명한 메모리 셀(MCP)과 대체로 동일한 구성을 가질 수 있다. 메모리 셀(MCN)은 수직 반도체 구조물(VSS)을 포함할 수 있다. 수직 반도체 구조물(VSS)은 n^+ 도핑 영역으로 이루어지는 제1 고농도 도핑막(HDS1)과, p 도핑 영역으로 이루어지는 제1 저농도 도핑막(DS1)과, n 도핑 영역으로 이루어지는 제2 저농도 도핑막(DS2)과, p^+ 도핑 영역으로 이루어지는 제2 고농도 도핑막(HDS2)을 포함할 수 있다.

[0067] 메모리 셀(MCN)은 커패시터는 포함하지 않고 n-FBFET 기반의 구조를 가지는 1 개의 트랜지스터를 포함하는 수직 채널 구조의 1T-DRAM 셀을 구성할 수 있다. 메모리 셀(MCN)의 수직 반도체 구조물(VSS)에서 p 도핑 영역인 제1 저농도 도핑막(DS1)은 수직 채널 영역으로 이용되고, 워드 라인(WL)과 제1 저농도 도핑막(DS1)과의 사이에 게이트 유전막(130)이 개재될 수 있다. 센싱 라인(SL)은 n^+ 도핑 영역으로 이루어지는 제1 고농도 도핑막(HDS1)에 접하고, 비트 라인(BL)에 연결된 도전성 연결 구조물(CNS)은 p^+ 도핑 영역으로 이루어지는 제2 고농도 도핑막(HDS2)에 접할 수 있다.

[0068] 도 6c는 도 6a 및 도 6b에 예시한 메모리 셀(MCN)에서의 동작 특성을 설명하기 위한 그래프이다. 도 6c에서, 가로 축은 워드 라인(WL)(도 6a 참조)에서의 전압(V_{WL})을 나타내고, 세로 축은 센싱 라인(SL)(도 6a 참조)에서의 전류(I_{SL})를 나타낸다. 표 2에는 도 6a 및 도 6b에 예시한 메모리 셀(MCN)에서의 동작 조건이 예시되어 있다.

표 2

[0069]

	V_{BL} (V)	V_{WL} (V)
쓰기 "1"	V_{DD}	V_{Wn}
쓰기 "0"	$-V_{DD}$	V_{Wn}
읽기	V_{DD}	0
읽기	0	0

[0070] 표 2에서, V_{BL}은 비트 라인(BL)에서의 전압이고, V_{DD} 및 $-V_{DD}$ 는 각각 비트 라인(BL)에 인가되는 전압이고, V_{WL}은 워드 라인(WL)에서의 전압이고, V_{Wn}은 워드 라인(WL)에 인가되는 전압이다. 예시적인 실시예들에서, V_{DD} 는 약 0.5 V 내지 약 3 V의 범위 내에서 선택되고, $-V_{DD}$ 는 약 -3 V 내지 약 -0.5 V의 범위 내에서 선택되고, V_{Wn}은 약

0.5 V 내지 약 2 V의 범위 내에서 선택될 수 있으나, 이들에 한정되는 것은 아니다.

[0071] 도 6c와 표 2를 참조하면, 쓰기(write) 동작을 위하여, V_{WL} = V_{Wn} 일 때 비트 라인(BL)에 V_{DD}의 전압을 인가하여 쓰기(write) "1"을 진행하고, V_{WL} = V_{Wn} 일 때 비트 라인(BL)에 $-V_{DD}$의 전압을 인가하여 쓰기 "0"을 진행할 수 있다.

[0072] 읽기(read) 동작을 위하여 V_{BL} = V_{DD} 일 때, V_{WL} 으로서 0 V를 인가할 수 있다. V_{BL} = V_{DD} 일 때 V_{WL} 으로서 0 V를 인가하면 메모리 셀(MCN)이 쌍안정(bistable) 특성을 가지므로 읽기 동작이 가능하게 된다. 즉, V_{BL} = V_{DD} 일 때, V_{WL} = 0 V를 인가하여 센싱 라인(SL)의 전류(I_{SL})의 값을 통해 메모리 셀(MCN)의 상태를 읽을 수 있다.

[0073] 홀드(hold) 동작을 위하여, 외부로부터 전압이 인가되지 않을 수 있다. 즉, V_{BL} = 0 V 및 V_{WL} = 0 V 일 수 있다. 메모리 셀(MCN)은 외부로부터 전압이 인가되지 않는 상태에서도 일정 시간 동안 수직 채널 영역의 내부에 저장된 전하에 의해 메모리 상태가 유지될 수 있다.

[0074] 도 6c에서, 비트 라인(BL)에서의 전압 V_{BL}의 변화에 따른 센싱 라인(SL)에서의 전류(I_{SL})의 변화가 선(L2)로 나타나 있다. 도 6c에서 R21, R22, 및 R23으로 표시한 화살표들은 센싱 라인(SL)에서의 전류(I_{SL})가 선(L2)을 따라 변화되는 경로를 표시한 것이다. 도 6c에서, B1으로 표시한 원형 점선 내에 있는 위치에서의 전류(I_{SL})은 오프 전류(Ioff)에 해당하고, B2로 표시한 원형 점선 내에 있는 위치에서의 전류(I_{SL})은 온 전류(Ion)에 해당하고, B3으로 표시한 원형 점선 내에 있는 위치에서의 전류(I_{SL})은 워드 라인(WL)에서의 전압이 V_{Wn}일 때 쓰기 "0" 동작 또는 쓰기 "1" 동작이 수행되는 전류 값에 해당한다.

[0075] 도 7은 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 메모리 소자(500)의 예시적인 회로도이다.

[0076] 도 7에는 수직 1T-DRAM 셀로 이루어지는 복수의 메모리 셀(MC1)이 3x3x3 어레이로 배열된 경우의 회로 구성이 예시되어 있다. 도 7에서, 수직 방향(Z 방향)을 따라 일렬로 배치된 일 그룹의 메모리 셀(MC1)은 하나의 메모리 셀 스트링(MCS1)을 구성할 수 있다.

[0077] 예시적인 실시예들에서, 도 7에 예시한 복수의 메모리 셀(MC1)은 각각 도 2a 내지 도 2d를 참조하여 메모리 셀(MC)에 대하여 설명한 바와 같은 구성을 가질 수 있다. 다른 예시적인 실시예들에서, 도 7에 예시한 복수의 메모리 셀(MC1)은 각각 도 5a를 참조하여 메모리 셀(MCP)에 대하여 설명한 바와 같은 구성을 가질 수 있다.

[0078] 도 7에 예시한 회로 구성을 가지는 반도체 메모리 소자(500)에서, 1 개의 메모리 셀 스트링(MCS1)에 포함된 복수의 메모리 셀(MC1)은 1 개의 비트 라인(BL)을 공유할 수 있다. 1 개의 메모리 셀 스트링(MCS1)에 포함된 복수의 메모리 셀(MC1)은 서로 다른 워드 라인(WL) 및 센싱 라인(SL)에 연결될 수 있다. 동일한 수직 레벨에서 하나의 평면(X-Y 평면)에 배치된 복수의 메모리 셀(MC1)은 1 개의 워드 라인(WL) 및 1 개의 센싱 라인(SL)을 공유할 수 있다.

[0079] 도 8은 도 7에 예시한 회로 구성을 가지는 반도체 메모리 소자(500)에서 선택된 하나의 메모리 셀(MC1)에서의 타이밍 다이어그램이다.

[0080] 도 7 및 도 8을 참조하면, 복수의 비트 라인(BL) 중에서 하나의 비트 라인(BL)을 선택하여 원하는 메모리 셀 스트링(MCS1)을 결정하고, 복수의 워드 라인(WL) 중 하나의 워드 라인(WL)과, 복수의 센싱 라인(SL) 중 하나의 센싱 라인(SL)을 선택하여 1 개의 메모리 셀(MC1)을 선택할 수 있다. 이와 같이 선택된 메모리 셀(MC1)의 신호는 센싱 라인(SL)을 통해 읽을 수 있다. 선택된 비트 라인(BL)과 선택된 워드 라인(WL)에 각각 필요한 전압(예를 들면, 표 1을 참조하여 설명한 전압을 인가하여 상기 선택된 메모리 셀(MC1)에서만 선택적으로 쓰기(write), 읽기(read), 및 홀드(hold) 동작을 수행할 수 있다.

[0081] 도 9는 도 7에 예시한 회로 구성에 따라 3x3x3 어레이로 배열된 반도체 메모리 소자(500)의 개략적인 사시도이고, 도 10은 도 7에 예시한 회로 구성에 따라 3x3x3 어레이로 배열된 반도체 메모리 소자(500)의 개략적인 측면도이다. 도 9 및 도 10에서 복수의 워드 라인(WL) 및 복수의 센싱 라인(SL)은 점선으로 도시되어 있다.

[0082] 도 7, 도 9, 및 도 10에는 3x3x3 어레이로 배열된 반도체 메모리 소자(500)를 예시하였으나, 본 발명의 기술적 사상은 이에 한정되지 않는다. 제1 수평 방향(X 방향), 제2 수평 방향(Y 방향), 및 수직 방향(Z 방향)에서의 메모리 셀(MC1)의 개수는 특별히 제한되지 않으며, 필요에 따라 다양한 수의 메모리 셀(MC1)로 이루어지는 3 차원

구조를 형성할 수 있다.

[0083] 도 11은 본 발명의 기술적 사상에 의한 다른 실시예들에 따른 반도체 메모리 소자(600)의 예시적인 회로도이다.

[0084] 도 11에는 수직 1T-DRAM 셀로 이루어지는 복수의 메모리 셀(MC2)이 3x3x3 어레이로 배열된 경우의 회로 구성이 예시되어 있다. 도 11에서, 수직 방향(Z 방향)을 따라 일렬로 배치된 일 그룹의 메모리 셀(MC2)은 하나의 메모리 셀 스트링(MCS2)을 구성할 수 있다.

[0085] 예시적인 실시예들에서, 도 11에 예시한 복수의 메모리 셀(MC2)은 각각 도 6a를 참조하여 메모리 셀(MCN)에 대하여 설명한 바와 같은 구성을 가질 수 있다.

[0086] 도 11에 예시한 회로 구성을 가지는 반도체 메모리 소자(600)에서, 1 개의 메모리 셀 스트링(MCS2)에 포함된 복수의 메모리 셀(MC2)은 1 개의 비트 라인(BL)을 공유할 수 있다. 1 개의 메모리 셀 스트링(MCS2)에 포함된 복수의 메모리 셀(MC2)은 서로 다른 워드 라인(WL) 및 센싱 라인(SL)에 연결될 수 있다. 동일한 수직 레벨에서 하나의 평면(X-Y 평면)에 배치된 복수의 메모리 셀(MC2)은 1 개의 워드 라인(WL) 및 1 개의 센싱 라인(SL)을 공유할 수 있다.

[0087] 도 12는 도 11에 예시한 회로 구성을 가지는 반도체 메모리 소자(600)에서 선택된 하나의 메모리 셀(MC2)에서의 타이밍 다이어그램이다.

[0088] 도 11 및 도 12를 참조하면, 복수의 비트 라인(BL) 중에서 하나의 비트 라인(BL)을 선택하여 원하는 메모리 셀 스트링(MCS2)을 결정하고, 복수의 워드 라인(WL) 중 하나의 워드 라인(WL)과, 복수의 센싱 라인(SL) 중 하나의 센싱 라인(SL)을 선택하여 1 개의 메모리 셀(MC2)을 선택할 수 있다. 이와 같이 선택된 메모리 셀(MC2)의 신호는 센싱 라인(SL)을 통해 읽을 수 있다. 선택된 비트 라인(BL)과 선택된 워드 라인(WL)에 각각 필요한 전압(예를 들면, 표 2를 참조하여 설명한 전압을 인가하여 상기 선택된 메모리 셀(MC2)에서만 선택적으로 쓰기(write), 읽기(read), 및 홀드(hold) 동작을 수행할 수 있다.

[0089] 도 11에 예시한 회로 구성을 가지는 반도체 메모리 소자(600)는 도 9 및 도10을 참조하여 설명한 바와 유사하게 3x3x3 어레이 배열, 또는 이로부터 본 발명의 기술적 사상의 범위 내에서 다양하게 변형 및 변경된 3 차원 구조물로 구현될 수 있다.

[0090] 도 1 내지 도 12를 참조하여 설명한 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 메모리 소자(100, 200, 300, 400A, 400B, 500, 600)에서 메모리 셀은 1 개의 트랜지스터를 포함하고 커패시터는 포함하지 않는 구조를 가진다. 따라서, 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 메모리 소자(100, 200, 300, 400A, 400B, 500, 600)에 의하면, 통상의 기술에 따라 커패시터에 전하를 저장하는 방식과 달리, 트랜지스터의 수직 채널 영역의 내부에 전하를 저장하는 방식으로 단일의 트랜지스터로 DRAM 셀의 구현이 가능하며, 이에 따라 미세화되고 콤팩트한 3 차원 배열 구조를 제공하는 데 유리하다. 또한, 본 발명의 기술적 사상에 의한 반도체 메모리 소자(100, 200, 300, 400A, 400B, 500, 600)에서 수직 방향으로 서로 오버랩되어 있는 복수의 메모리 셀은 1 개의 비트 라인을 공유하는 3 차원 적층형 메모리 셀 어레이를 포함할 수 있다. 따라서, 기존의 2 차원 구조를 가지는 반도체 메모리 소자에서 직면하였던 비트 라인들의 밀도 한계에 따른 문제를 극복하고 반도체 메모리 소자의 고집적화에 유리한 구조를 제공할 수 있다.

[0091] 또한, 본 발명의 기술적 사상에 의한 반도체 메모리 소자(100, 200, 300, 400A, 400B, 500, 600)에 의하면, 양성 피드백 루프(positive feedback loop)를 이용하여 비교적 낮은 동작 전압과, 비교적 급격한 문턱 전압 기울기(subthreshold swing: SS)를 가지며, 기존의 DRAM 소자와는 달리 리프레쉬(refresh) 동작이 필요 없어 비교적 낮은 전력을 소모하는 장점이 있다. 또한, 비교적 높은 온-오프 전류비에 따른 넓은 전류 감지 폭(current sensing margin) 및 빠른 동작 속도를 제공할 수 있다. 따라서, 본 발명의 기술적 사상에 의한 반도체 메모리 소자(100, 200, 300, 400A, 400B, 500, 600)에 의하면, 성능(performance), 전력(power), 칩 크기(area), 및 비용(cost)을 포함하는 다양한 측면에서 우수한 경쟁력을 제공할 수 있다.

[0092] 다음에, 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 메모리 소자의 제조 방법에 대하여 상세히 설명한다.

[0093] 도 13a 내지 도 33b는 본 발명의 기술적 사상에 의한 실시예들에 따른 반도체 메모리 소자의 제조 방법을 설명하기 위한 도면들로서, 도 13a, 도 14a, 도 15a, 도 16, 도 17, 도 18a, 도 19a, 도 20, 도 21, 도 22a, 도 24a, 도 25a, 도 26a, 도 27a, 도 29, 도 30, 도 32a, 및 도 33a는 도 1의 X1 - X1' 선 단면에 대응하는 부분의 공정 순서에 따른 단면도들이고, 도 13b, 도 14b, 도 15b, 도 18b, 도 19b, 도 22b, 도 23, 도 24b, 도

25b, 도 26b, 도 27b, 도 28, 도 31, 도 32b, 및 도 33b는 도 1의 Y1 - Y1' 선 단면에 대응하는 부분의 공정 순서에 따른 단면도들이고, 도 18c는 도 18a에서 "EXA"로 표시한 부분의 확대 단면도이고, 도 19c는 도 19a에서 "EXA"로 표시한 부분의 확대 단면도이다. 도 13a 내지 도 33b를 참조하여, 도 1과 도 2a 내지 도 2d에 예시한 반도체 메모리 소자(100)의 예시적인 제조 방법을 설명한다. 도 13a 내지 도 33b에서, 도 1과 도 2a 내지 도 2d에서와 동일한 참조 부호는 동일 부재를 나타내며, 여기서는 이들에 대한 상세한 설명을 생략한다.

[0094] 도 13a 및 도 13b를 참조하면, 기판(102) 상에 절연막(110A), 복수의 제1 희생 패턴(112), 절연막(110B), 복수의 제2 희생 패턴(114), 및 절연막(110C)을 순차적으로 형성할 수 있다.

[0095] 복수의 제1 희생 패턴(112)은 각각 센싱 라인(SL)(도 2a 내지 도 2d 참조) 형성 공간을 확보하기 위한 것이고, 복수의 제2 희생 패턴(114)은 각각 워드 라인(WL)(도 2a 내지 도 2d 참조) 형성 공간을 확보하기 위한 것이다. 복수의 제1 희생 패턴(112) 및 복수의 제2 희생 패턴(114)은 제1 수평 방향(X 방향)을 따라 길게 연장되는 라인 형상을 가지도록 형성될 수 있다. 절연막(110B)은 절연막(110A) 위에서 복수의 제1 희생 패턴(112) 각각의 상면 및 측벽을 덮도록 형성되고, 절연막(110C)은 절연막(110B) 위에서 복수의 제2 희생 패턴(114) 각각의 상면 및 측벽을 덮도록 형성될 수 있다.

[0096] 절연막(110A, 110B, 110C)은 실리콘 산화막으로 이루어질 수 있다. 제1 희생 패턴(112) 및 제2 희생 패턴(114)은 각각 실리콘 산화막과는 다른 물질로 이루어지는 막으로서, 실리콘 산화막과는 다른 식각 선택비를 가지는 물질로 이루어질 수 있다. 예시적인 실시예들에서, 제1 희생 패턴(112) 및 제2 희생 패턴(114)은 실리콘 질화막(SiN), 실리콘 질화막, SiON 막, SiCN 막, SiOCN 막, 및 알루미늄 산화막(AlO) 중에서 선택되는 서로 다른 막으로 이루어질 수 있다. 본 명세서에서 사용되는 용어 SiN, SiON, SiCN, SiOCN, 및 AlO는 각각의 용어에 포함된 원소들로 이루어지는 재료를 의미하는 것으로서, 화학양론적 관계를 나타내는 화학식은 아니다. 예를 들면, 제1 희생 패턴(112)은 실리콘 질화막으로 이루어지고, 제2 희생 패턴(114)은 SiON 막으로 이루어질 수 있으나, 이에 한정되는 것은 아니다.

[0097] 도 14a 및 도 14b를 참조하면, 도 13a 및 도 13b의 결과물 상에 복수의 제3 희생 패턴(116) 및 셀간 절연막(118)을 차례로 형성할 수 있다.

[0098] 복수의 제3 희생 패턴(116)은 제2 수평 방향(Y 방향)을 따라 길게 연장되는 라인 형상을 가지도록 형성될 수 있다. 복수의 제3 희생 패턴(116)은 각각 도전성 연결 구조물(CNS)(도 2a 내지 도 2d 참조) 형성 공간을 확보하기 위한 것이다. 복수의 제3 희생 패턴(116)은 복수의 제1 희생 패턴(112) 및 복수의 제2 희생 패턴(114) 각각의 구성 물질과는 다른 물질로 이루어지는 것으로서, 실리콘 질화막(SiN), 실리콘 질화막, SiON 막, SiCN 막, SiOCN 막, 및 알루미늄 산화막(AlO) 중에서 선택되는 어느 하나의 막으로 이루어질 수 있다. 예를 들면, 복수의 제1 희생 패턴(112)이 실리콘 질화막으로 이루어지고, 복수의 제2 희생 패턴(114)이 SiON 막으로 이루어지는 경우, 복수의 제3 희생 패턴(116)은 알루미늄 산화막으로 이루어질 수 있으나, 이에 한정되는 것은 아니다. 셀간 절연막(118)은 절연막(110C) 위에서 복수의 제3 희생 패턴(116) 각각의 상면 및 측벽을 덮도록 형성될 수 있다. 셀간 절연막(118)은 실리콘 산화막으로 이루어질 수 있다.

[0099] 도 14a 및 도 14b에서, 기판(102) 상에 차례로 적층된 복수의 제1 희생 패턴(112), 절연막(110B), 복수의 제2 희생 패턴(114), 절연막(110C), 복수의 제3 희생 패턴(116), 및 셀간 절연막(118)을 포함하는 적층 구조물(RP)은 기판(102) 상의 동일한 수직 레벨에서 하나의 수평 방향 평면(X-Y 평면)에 배치되는 복수의 메모리 셀(MC)(도 2a 내지 도 2d 참조)을 형성하는 데 필요한 구조물이다.

[0100] 도 15a 및 도 15b를 참조하면, 도 14a 및 도 14b의 결과물에서 적층 구조물(RP)을 수직 방향(Z 방향)을 따라 필요한 횟수만큼 반복 형성할 수 있다. 수직 방향(Z 방향)을 따라 적층되는 적층 구조물(RP)의 개수는 수직 방향(Z 방향)을 따라 길게 연장되는 하나의 메모리 셀 스트링에 포함되는 메모리 셀(MC)(도 2a 내지 도 2d 참조)의 개수에 대응할 수 있다. 도 15a 및 도 15b에는 수직 방향(Z 방향)을 따라 2 개의 적층 구조물(RP)이 형성된 경우를 예시하였으나, 본 발명의 기술적 사상은 이에 한정되지 않으며, 하나의 메모리 셀 스트링을 구성하는 데 필요한 메모리 셀(MC)의 개수만큼 적층 구조물(RP)을 반복하여 형성할 수 있다.

[0101] 도 16을 참조하면, 도 15a 및 도 15b의 결과물의 제1 연결부(AR1) 및 제2 연결부(AR2)에서 복수의 적층 구조물(RP) 각각의 일부를 식각하여 복수의 단차부를 형성하고, 상기 복수의 단차부를 덮는 몰드 절연막(119)을 형성할 수 있다.

[0102] 도 17을 참조하면, 메모리 셀 어레이부(MCA)에서 복수의 적층 구조물(RP)을 수직 방향(Z 방향)으로 관통하는 복수의 채널 홀(H1)을 형성할 수 있다. 복수의 채널 홀(H1) 각각의 바닥부에서 기판(102)에 가장 가까운 절연막

(110A)이 노출될 수 있다. 복수의 채널 홀(H1)을 형성하기 위하여 이방성 건식 식각 공정을 이용할 수 있다.

[0103] 도 18a, 도 18b, 및 도 18c를 참조하면, 복수의 채널 홀(H1) 각각의 내부에서 채널 홀(H1) 각각의 바닥부로부터 수직 방향(Z 방향)을 따라 순차적으로 제1 고농도 도핑막(HDS1), 제1 저농도 도핑막(DS1), 제2 저농도 도핑막(DS2), 제2 고농도 도핑막(HDS2), 및 셀간 국부 절연막(120)을 반복적으로 형성할 수 있다.

[0104] 도 19a, 도 19b, 및 도 19c를 참조하면, 도 18a, 도 18b, 및 도 18c의 결과물에서 복수의 채널 홀(H1) 각각의 내부에 있는 제1 고농도 도핑막(HDS1), 제1 저농도 도핑막(DS1), 제2 저농도 도핑막(DS2), 제2 고농도 도핑막(HDS2), 및 셀간 국부 절연막(120)의 적층 구조물을 수직 방향(Z 방향)으로 관통하는 중공(HH)을 형성하고, 중공(HH)을 절연 필라(124)로 채울 수 있다.

[0105] 그 결과, 제1 고농도 도핑막(HDS1), 제1 저농도 도핑막(DS1), 제2 저농도 도핑막(DS2), 제2 고농도 도핑막(HDS2), 및 셀간 국부 절연막(120)은 각각 절연 필라(124)를 포위하는 링(ring) 형태로 남게 되고, 제1 고농도 도핑막(HDS1), 제1 저농도 도핑막(DS1), 제2 저농도 도핑막(DS2), 및 제2 고농도 도핑막(HDS2)을 각각 포함하는 복수의 수직 반도체 구조물(VSS)이 얻어질 수 있다.

[0106] 도 20을 참조하면, 도 19a, 도 19b, 및 도 19c의 결과물 상에 복수의 홀(MPH)이 형성된 마스크 패턴(MP1)을 형성할 수 있다. 마스크 패턴(MP1)이 형성된 후, 제1 연결부(AR1) 및 제2 연결부(AR2)에서 복수의 홀(MPH)을 통해 셀간 절연막(118)의 상면과 몰드 절연막(119)의 상면이 노출될 수 있다. 예시적인 실시예들에서, 마스크 패턴(MP1)은 폴리실리콘으로 이루어질 수 있으나, 이에 한정되는 것은 아니다.

[0107] 그 후, 마스크 패턴(MP1)을 식각 마스크로 이용하여 복수의 홀(MPH)을 통해 노출되는 하부 구조물을 식각하여 복수의 콘택홀(H2)을 형성할 수 있다. 복수의 콘택홀(H2) 각각의 바닥부에서 기판(102)에 가장 가까운 절연막(110A)이 노출될 수 있다. 복수의 콘택홀(H2)을 형성하기 위하여 이방성 건식 식각 공정을 이용할 수 있다.

[0108] 도 21을 참조하면, 도 20의 결과물에서 복수의 콘택홀(H2)을 통해 노출된 복수의 절연막(110A, 110B, 110C), 복수의 셀간 절연막(118), 및 몰드 절연막(119) 각각의 일부를 선택적으로 제거하여 복수의 콘택홀(H2) 각각의 일부 영역들을 수평 방향(X-Y 평면을 따르는 방향) 및 수직 방향(Z 방향)으로 확장하여 복수의 확장된 콘택홀(H2A)을 형성할 수 있다. 복수의 확장된 콘택홀(H2A)을 형성하기 위하여 습식 식각 공정을 이용할 수 있다.

[0109] 도 22a 및 도 22b를 참조하면, 도 21의 결과물로부터 마스크 패턴(MP1)을 제거하여 최상층의 셀간 절연막(118)과 몰드 절연막(119) 각각의 상면을 노출시킨 후, 복수의 확장된 콘택홀(H2A)을 채우며 상기 최상층의 셀간 절연막(118)과 몰드 절연막(119) 각각의 상면을 덮는 매립 절연막(126)을 형성할 수 있다.

[0110] 도 23을 참조하면, 도 22a 및 도 22b의 결과물 중 메모리 셀 어레이부(MCA)에서 일부 영역들을 식각하여, 제1 수평 방향(X 방향)을 따라 길게 연장되는 바(bar) 형태의 평면 형상을 가지는 복수의 슬릿(SH)을 형성할 수 있다. 복수의 슬릿(SH) 각각의 바닥부에서 기판(102)에 가장 가까운 절연막(110A)이 노출되고, 복수의 슬릿(SH) 각각의 내부 측벽에서 복수의 제1 희생 패턴(112), 복수의 제2 희생 패턴(114), 및 복수의 제3 희생 패턴(116)이 노출될 수 있다.

[0111] 도 24a 및 도 24b를 참조하면, 복수의 슬릿(SH)을 통해 복수의 제2 희생 패턴(114)을 선택적으로 제거하여 복수의 워드 라인 공간(WLH)을 형성할 수 있다. 복수의 제2 희생 패턴(114)을 선택적으로 제거하기 위하여 습식 식각 공정을 이용할 수 있다. 복수의 워드 라인 공간(WLH)에서 제1 저농도 도핑막(DS1)이 노출될 수 있다.

[0112] 도 25a 및 도 25b를 참조하면, 복수의 워드 라인 공간(WLH)에서 노출된 제1 저농도 도핑막(DS1)의 표면을 덮는 게이트 유전막(130)을 형성할 수 있다. 예시적인 실시예들에서, 게이트 유전막(130)을 형성하기 위하여 선택적 ALD(selective atomic layer deposition) 공정을 수행할 수 있다.

[0113] 다른 예시적인 실시예들에서, 게이트 유전막(130) 대신 도 3a 내지 도 3d에 예시한 게이트 유전막(230)을 형성할 수도 있다. 게이트 유전막(230)을 형성하기 위하여, ALD 공정을 이용하여 도 24a 및 도 24b의 결과물에서 노출된 표면들을 컨포멀하게 덮는 게이트 유전막(230)을 형성한 후, 게이트 유전막(230) 중 복수의 워드 라인 공간(WLH) 내에 있는 부분들을 제외한 다른 부분들을 제거할 수 있다.

[0114] 도 26a 및 도 26b를 참조하면, 복수의 슬릿(SH)을 통해 복수의 제1 희생 패턴(112)을 선택적으로 제거하여 복수의 센싱 라인 공간(SLH)을 형성할 수 있다. 복수의 제1 희생 패턴(112)을 선택적으로 제거하기 위하여 습식 식각 공정을 이용할 수 있다. 복수의 센싱 라인 공간(SLH)에서 제1 고농도 도핑막(HDS1)이 노출될 수 있다.

[0115] 도 27a 및 도 27b를 참조하면, 도 26a 및 도 26b의 결과물에서 복수의 워드 라인 공간(WLH)을 채우는 복수의 워

드 라인(WL)과, 복수의 센싱 라인 공간(SLH)을 채우는 복수의 센싱 라인(SL)을 형성할 수 있다.

[0116] 복수의 워드 라인(WL)과 복수의 센싱 라인(SL)을 형성하기 위하여, 도 26a 및 도 26b의 결과물에서 ALD 공정 또는 CVD(chemical vapor deposition) 공정을 이용하여 복수의 슬릿(SH)을 통해 복수의 워드 라인 공간(WLH) 및 복수의 센싱 라인 공간(SLH)을 채우는 도전층을 형성한 후, 상기 도전층 중 복수의 워드 라인 공간(WLH) 및 복수의 센싱 라인 공간(SLH) 각각의 내부에 있는 부분들을 제외한 불필요한 부분들을 제거할 수 있다. 상기 도전층은 W, Al, Mo, Ru, Al, Co, Ti, TiN, Ta, TaN, WN, TiSiN, WSiN, 도핑된 폴리실리콘, 또는 이들의 조합으로 이루어질 수 있으나, 이들에 한정되는 것은 아니다.

[0117] 도 28을 참조하면, 도 27a 및 도 27b의 결과물에서 복수의 슬릿(SH)을 채우는 복수의 분리 절연막(140)을 형성할 수 있다. 복수의 분리 절연막(140)을 형성하기 위하여 도 27a 및 도 27b의 결과물에서 복수의 슬릿(SH)을 채우기에 충분한 두께를 가지는 실리콘 산화막을 형성한 후, 상기 실리콘 산화막의 일부를 제거하여 매립 절연막(126)의 상면을 노출시킬 수 있다.

[0118] 도 29를 참조하면, 제1 연결부(AR1)에서 매립 절연막(126) 및 몰드 절연막(119)을 포함하는 절연 구조물을 수직 방향(Z 방향)으로 관통하는 복수의 워드 라인 콘택홀(WLCH)과, 제2 연결부(AR2)에서 매립 절연막(126) 및 몰드 절연막(119)을 포함하는 절연 구조물을 수직 방향(Z 방향)으로 관통하는 복수의 센싱 라인 콘택홀(SLCH)을 형성할 수 있다.

[0119] 제1 연결부(AR1)에서 복수의 워드 라인 콘택홀(WLCH)을 통해 복수의 워드 라인(WL)과 매립 절연막(126)이 노출되고, 제2 연결부(AR2)에서 복수의 센싱 라인 콘택홀(SLCH)을 통해 복수의 센싱 라인(SL)과 매립 절연막(126)이 노출될 수 있다.

[0120] 도 30을 참조하면, 제1 연결부(AR1)에서 복수의 워드 라인 콘택홀(WLCH) 내에 복수의 워드 라인 콘택(WLC)을 형성하고, 제2 연결부(AR2)에서 복수의 센싱 라인 콘택홀(SLCH) 내에 복수의 센싱 라인 콘택(SLC)을 형성할 수 있다.

[0121] 도 31을 참조하면, 메모리 셀 어레이부(MCA)에서 복수의 워드 라인(WL) 및 복수의 센싱 라인(SL)을 사이에 두고 복수의 수직 반도체 구조물(VSS)로부터 수평 방향으로 이격된 위치에서, 복수의 절연막(110A, 110B, 110C), 복수의 제3 희생 패턴(116), 복수의 셀간 절연막(118), 및 매립 절연막(126)을 수직 방향(Z 방향)으로 관통하는 복수의 비트 라인 홀(BLH)을 형성할 수 있다. 복수의 비트 라인 홀(BLH) 각각의 바닥부에서 기판(102)에 가장 가까운 절연막(110A)이 노출될 수 있다. 복수의 비트 라인 홀(BLH)을 형성하기 위하여 이방성 건식 식각 공정을 이용할 수 있다.

[0122] 도 32a 및 도 32b를 참조하면, 도 31의 결과물에서 복수의 비트 라인 홀(BLH)을 통해 복수의 제3 희생 패턴(116)을 선택적으로 제거하여 복수의 연결 공간(CNH)을 형성할 수 있다. 복수의 연결 공간(CNH) 각각에서 제2 고농도 도핑막(HDS2)이 노출될 수 있다.

[0123] 도 33a 및 도 33b를 참조하면, 도 32a 및 도 32b의 결과물에서 복수의 연결 공간(CNH) 및 복수의 비트 라인 홀(BLH)을 도전 물질로 채워 복수의 도전성 연결 구조물(CNS) 및 복수의 비트 라인(BL)을 형성할 수 있다.

[0124] 이상, 도 13a 내지 도 33b를 참조하여 도 1과 도 2a 내지 도 2d를 참조하여 설명한 반도체 메모리 소자(100)의 예시적인 제조 방법을 설명하였으나, 도 13a 내지 도 33b를 참조하여 설명한 바로부터 본 발명의 기술적 사상의 범위 내에서 다양한 변형 및 변경을 가하여, 본 발명의 기술적 사상의 범위 내에서 다양하게 변형 및 변경된 다양한 구조들을 가지는 반도체 메모리 소자들을 제조할 수 있음을 당업자들은 잘 알 수 있을 것이다.

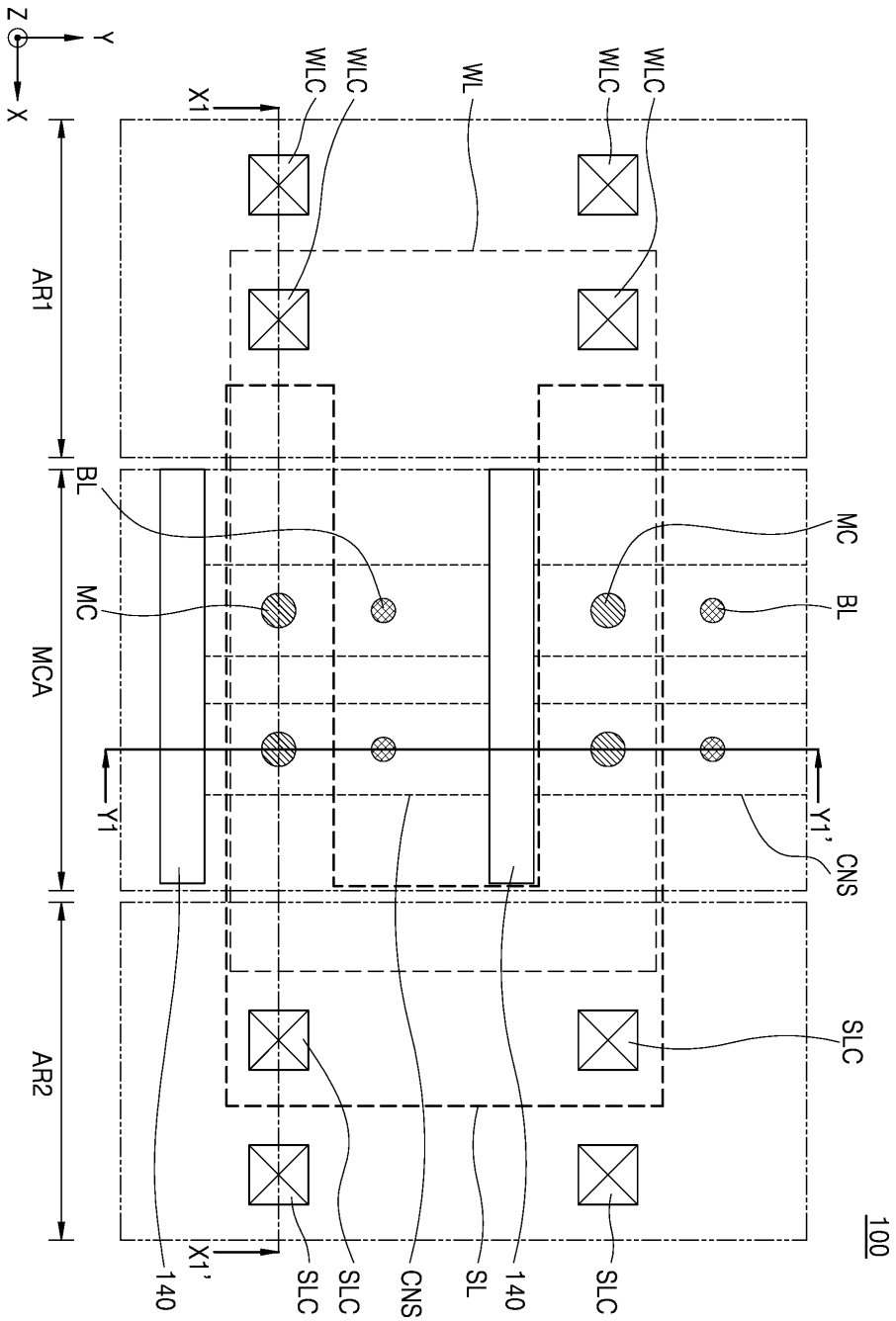
[0125] 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상 및 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

부호의 설명

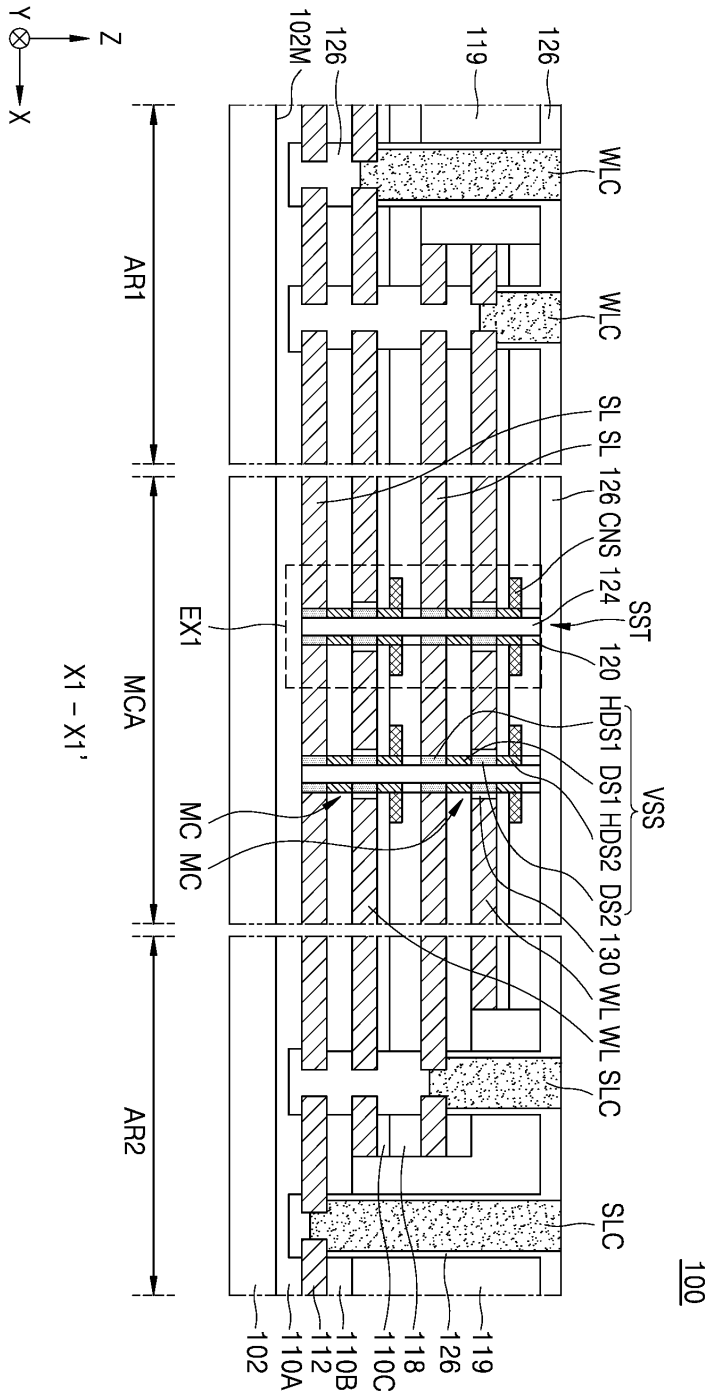
[0126] 102: 기판, 110A, 110B, 110C: 절연막, 118: 셀간 절연막, 119: 몰드 절연막, 120: 셀간 국부 절연막, 124: 절연 필라, 130: 게이트 유전막, 140: 스트링간 분리 절연막, AR1: 제1 연결부, AR2: 제2 연결부, BL: 비트 라인, CNS: 도전성 연결 구조물, DS1: 제1 저농도 도핑막, DS2: 제2 저농도 도핑막, HDS1: 제1 고농도 도핑막, HDS2: 제2 고농도 도핑막, MC: 메모리 셀, MCA: 메모리 셀 어레이부, SL: 센싱 라인, WL: 워드 라인.

도면

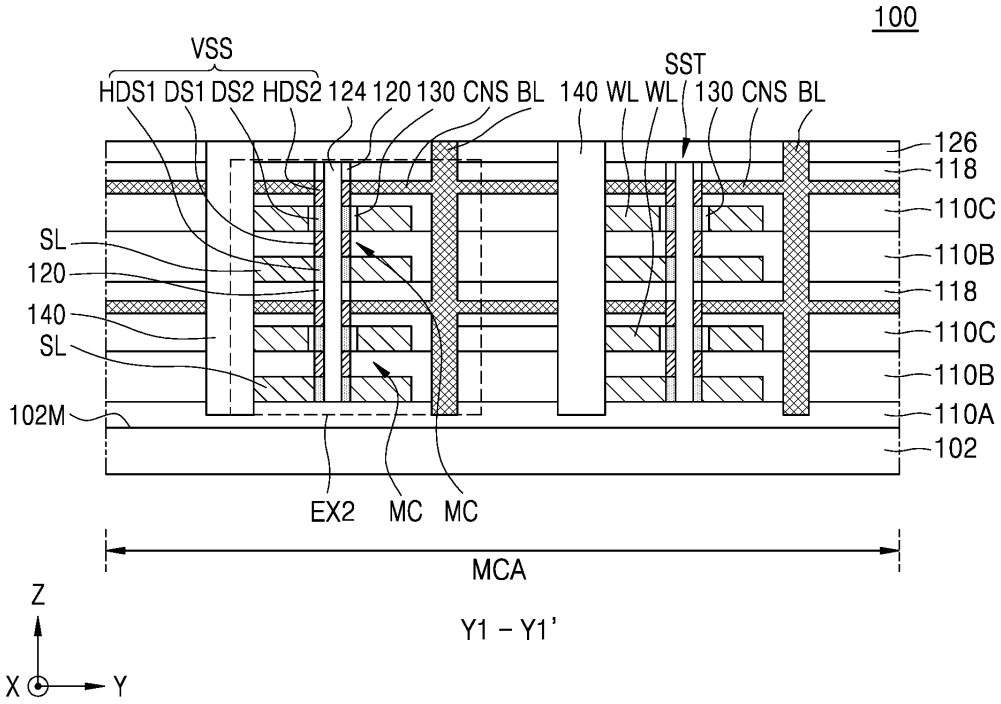
도면1


Z
Y
X
X1
WLC
WLC
WL
WLC
WLC
AR1
BL
MC
MC
BL
MCA
Y1
Y1'
CNS
AR2
SLC
100
X1'
140
SLC
SLC
CNS
SL
140
SLC

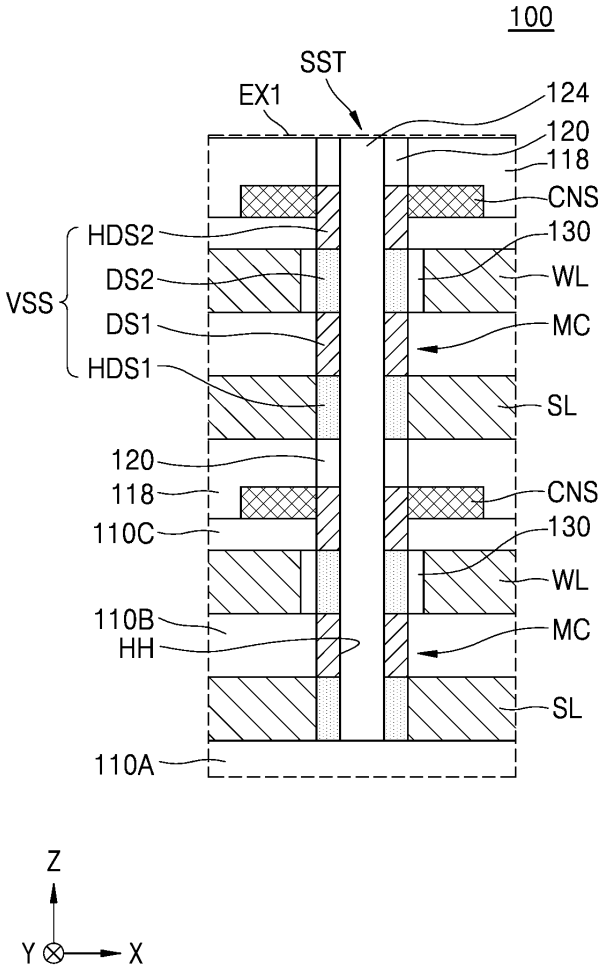
도면2a


Y
Z
X
102M
126
119
126
WLC
WLC
SL SL
126
CNS
124
SST
120
HDS1
DS1
VSS
HDS2
DS2
130
WL WL
SLC
SLC
AR1
MCA
AR2
EX1
MC MC
X1 – X1'
100
102
110A
112
110B
110C
118
126
119

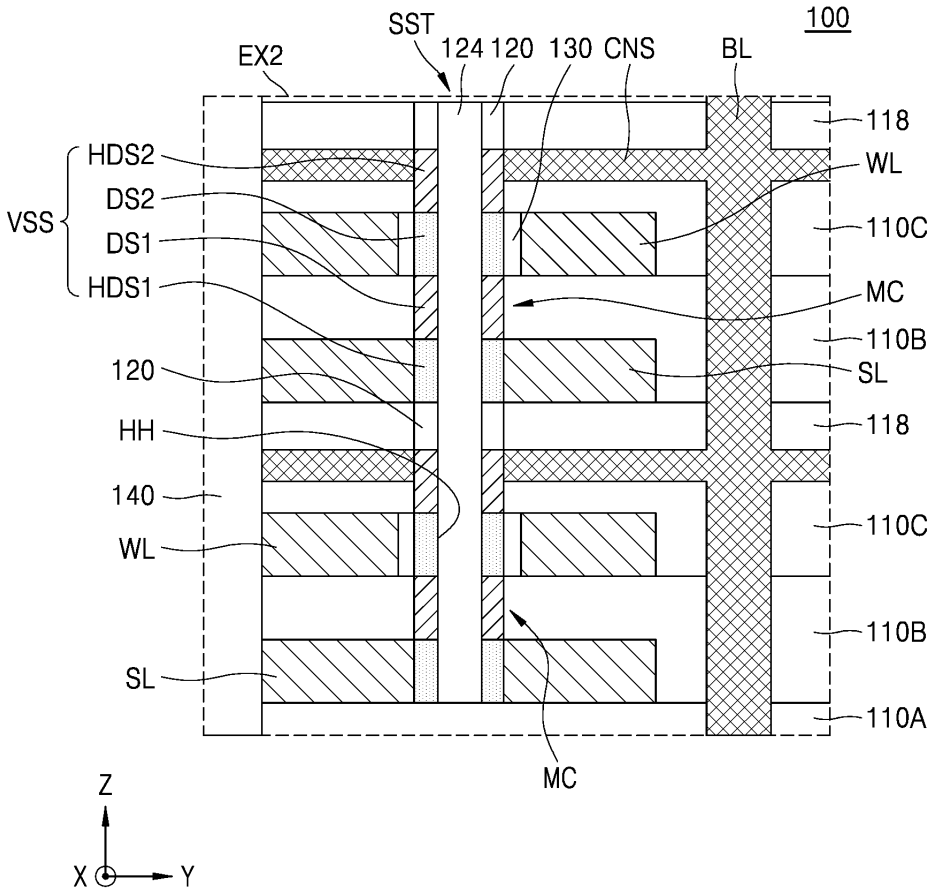
도면2b


100
VSS
HDS1 DS1 DS2 HDS2 124 120 130 CNS BL
140 WL WL
SST
130 CNS BL
126
118
110C
110B
118
110C
110B
110A
102
SL
120
140
SL
102M
EX2
MC
MC
MCA
Y1 – Y1'
Z
X
Y

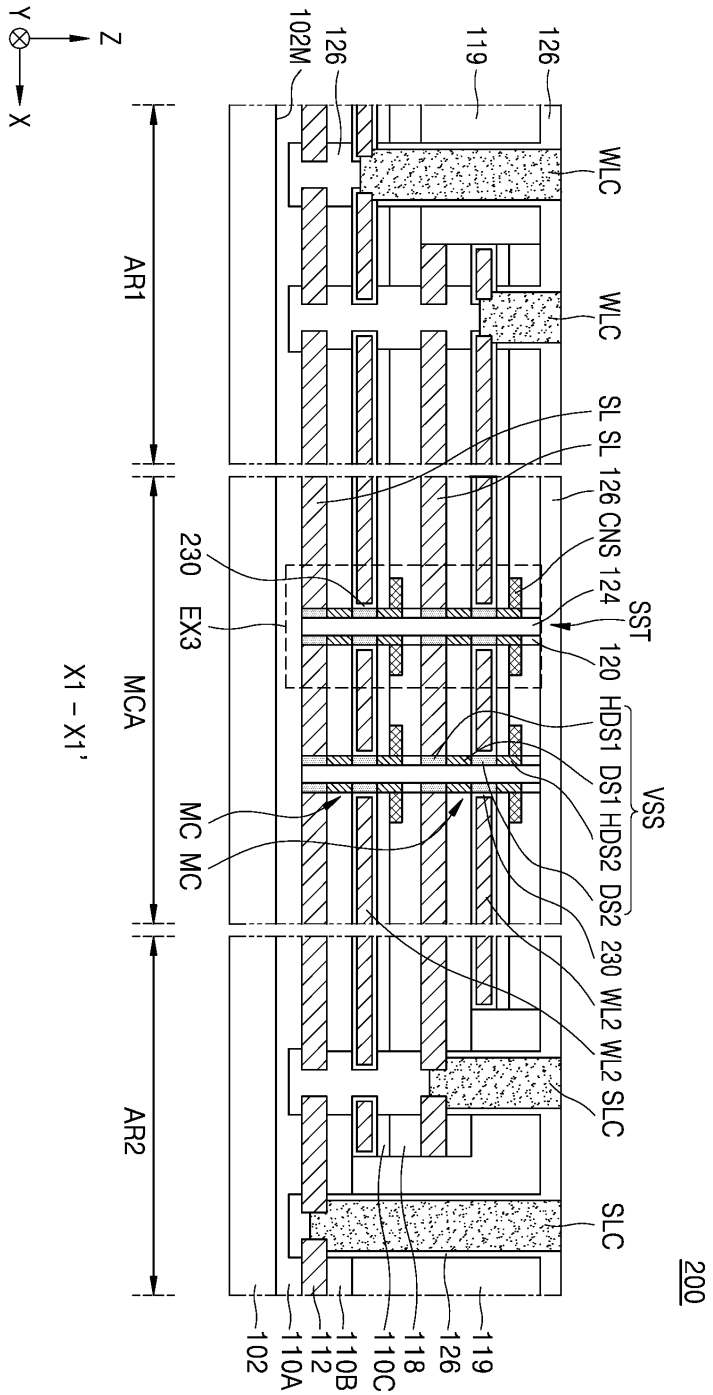
도면2c


100
SST
EX1
124
120
118
CNS
130
WL
MC
SL
CNS
130
WL
MC
SL
HDS2
DS2
DS1
HDS1
VSS
120
118
110C
110B
HH
110A
Z
Y
X

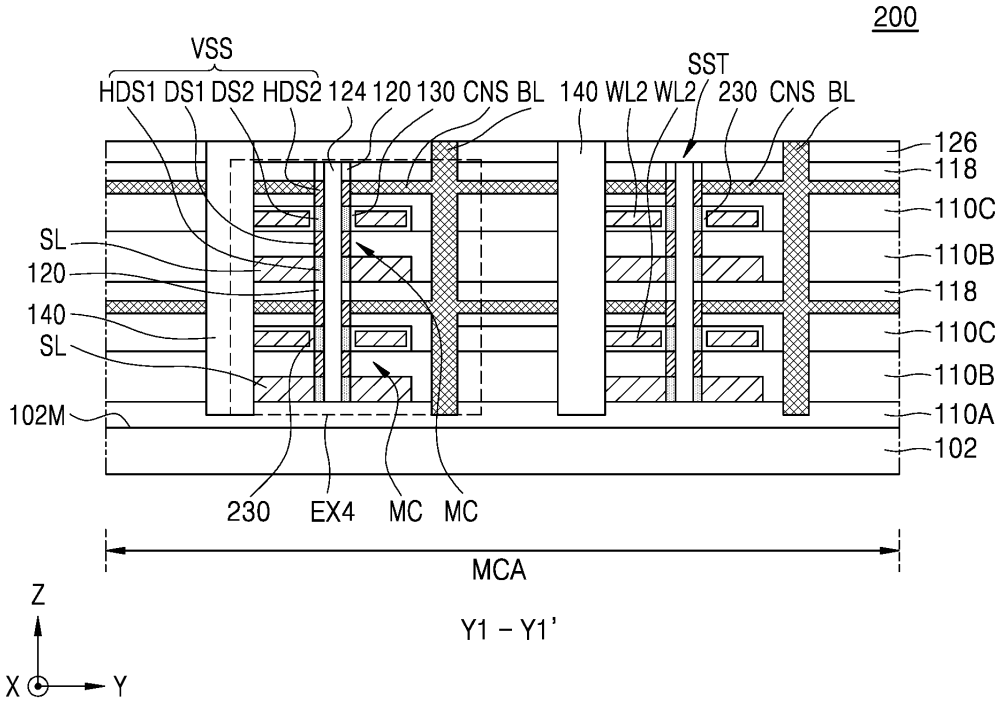
도면2d


100
SST
124
120
130
CNS
BL
EX2
118
WL
110C
MC
110B
SL
118
110C
110B
110A
HDS2
DS2
DS1
HDS1
VSS
120
HH
140
WL
SL
MC
Z
X
Y

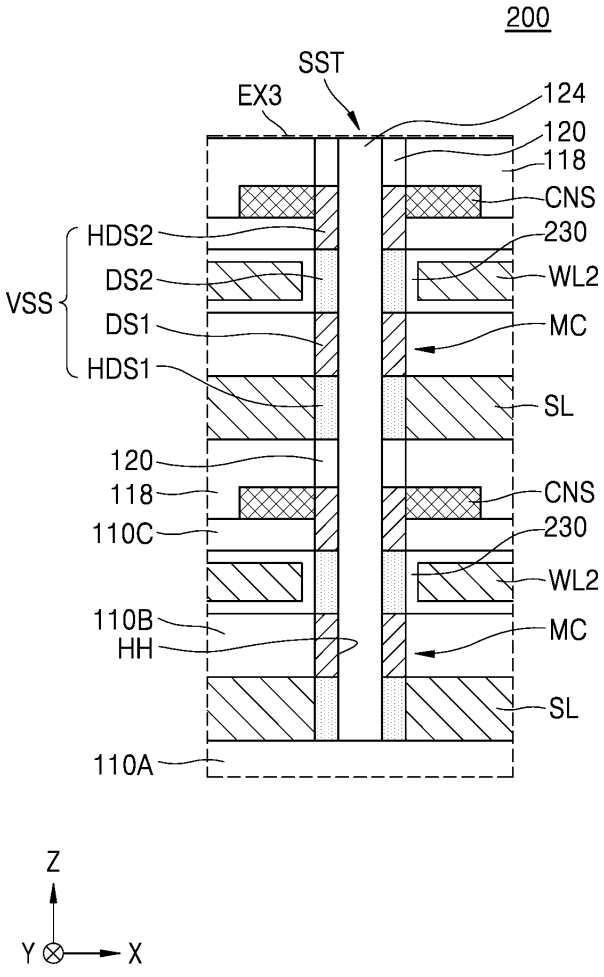
도면3a


Y
Z
X
102M
126
119
126
WLC
WLC
SL SL
126 CNS
124
SST
120
HDS1 DS1
HDS2 DS2
VSS
230 WL2 WL2
SLC
SLC
200
AR1
MCA
AR2
230
EX3
MC MC
X1 – X1'
102
110A
112
110B
110C
118
126
119

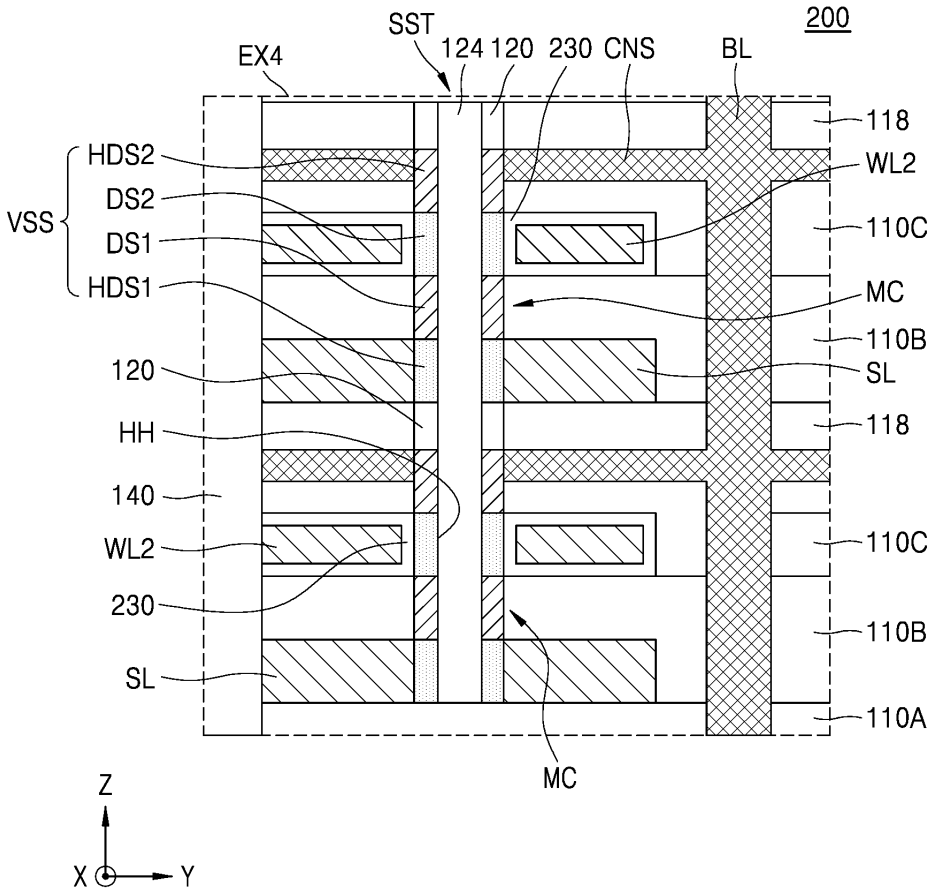
도면3b


200
VSS
HDS1 DS1 DS2 HDS2 124 120 130 CNS BL 140 WL2 WL2 230 CNS BL
SST
126
118
110C
110B
118
110C
110B
110A
102
SL
120
140
SL
102M
230 EX4 MC MC
MCA
Y1 – Y1'
Z
X
Y

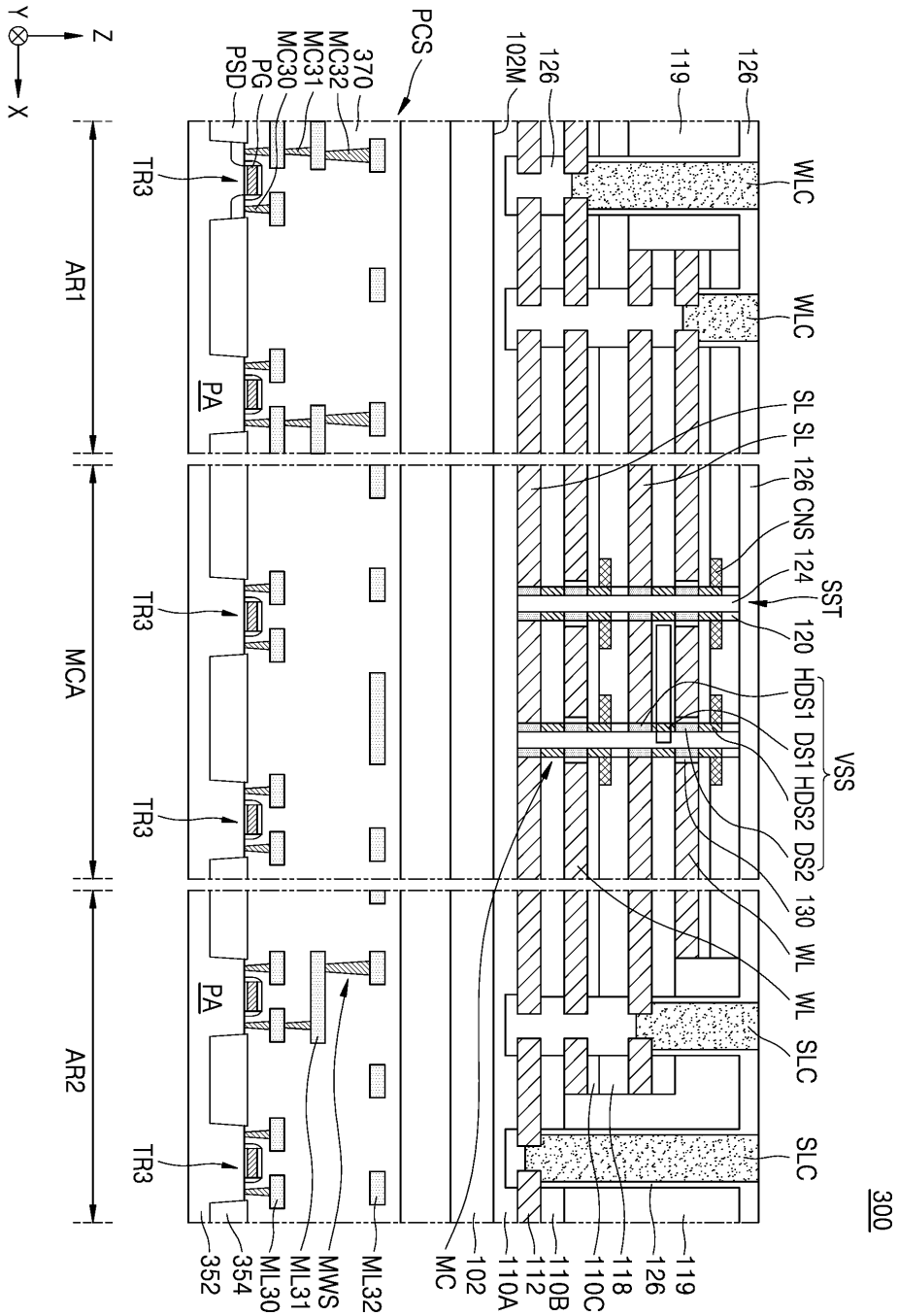
도면3c


200
SST
EX3
124
120
118
CNS
230
WL2
MC
SL
CNS
230
WL2
MC
SL
HDS2
DS2
DS1
HDS1
VSS
120
118
110C
110B
HH
110A
Z
Y
X

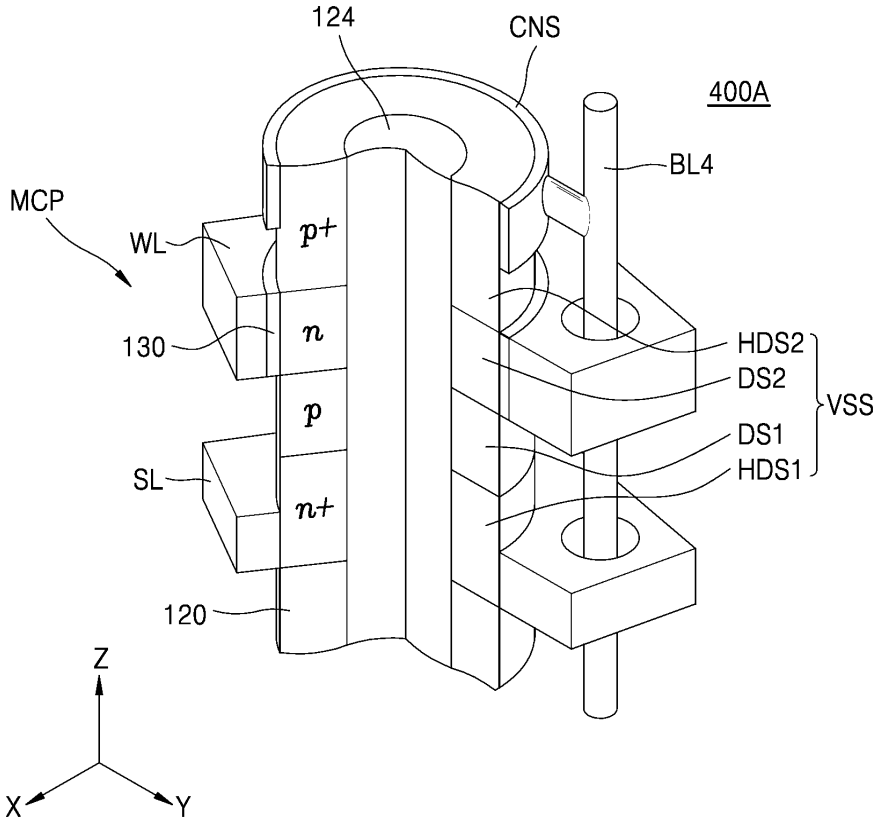
도면3d


200
SST
EX4
124
120
230
CNS
BL
118
WL2
110C
MC
110B
SL
118
110C
110B
110A
HDS2
DS2
DS1
HDS1
VSS
120
HH
140
WL2
230
SL
MC
Z
X
Y

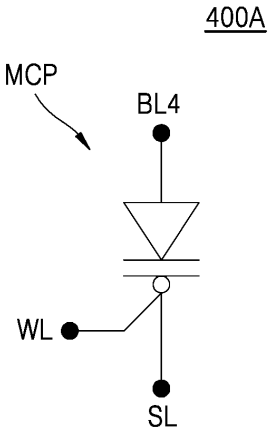
도면4


Z
Y
X
AR1
MCA
AR2
PA
PA
TR3
TR3
TR3
TR3
PSD
PG
MC30
MC31
MC32
370
PCS
102M
126
119
126
WLC
WLC
SL
SL
126
CNS
124
SST
120
HDS1
DS1
HDS2
DS2
VSS
130
WL
WL
SLC
SLC
300
352
354
ML30
ML31
MWS
ML32
MC
102
110A
112
110B
110C
118
126
119

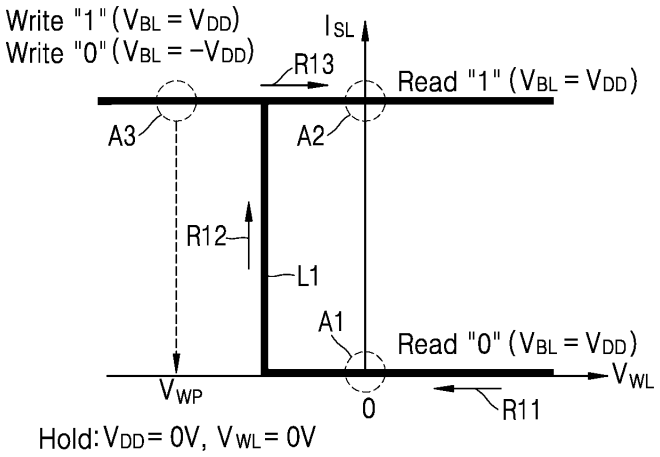
도면5a


124
CNS
400A
BL4
MCP
WL
p+
n
130
p
HDS2
DS2
VSS
DS1
HDS1
SL
n+
120
Z
X
Y

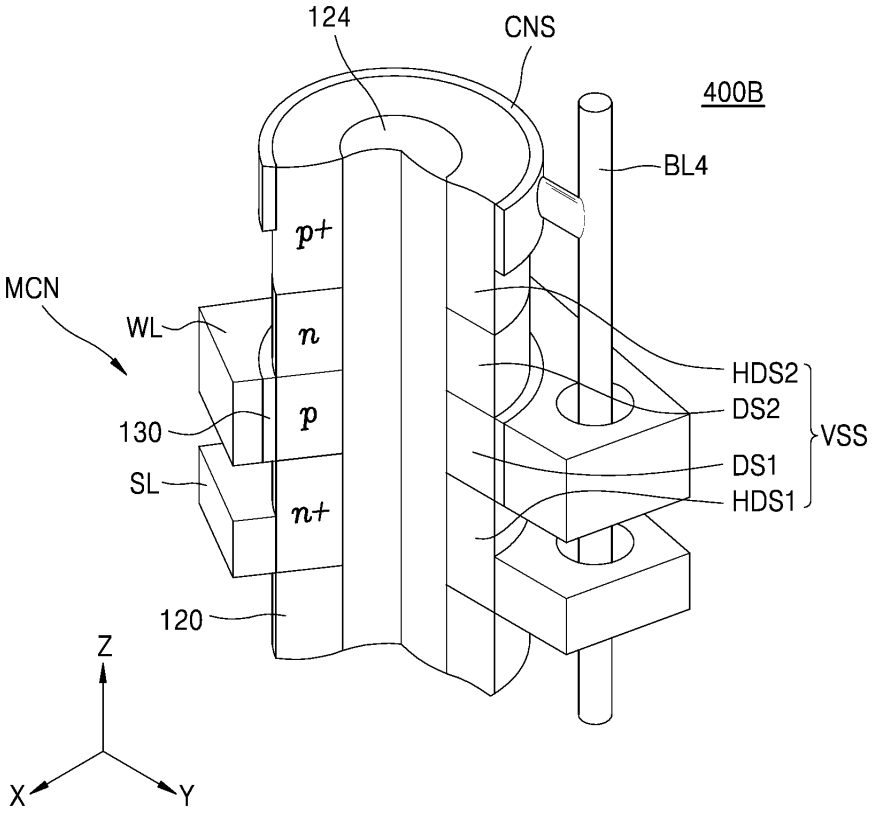
도면5b


400A
MCP
BL4
WL
SL

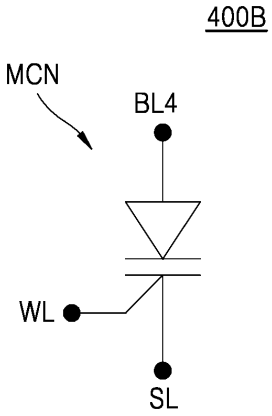
도면5c


Write "1" (V_{BL} = V_{DD})
Write "0" (V_{BL} = −V_{DD})
I_{SL}
R13
Read "1" (V_{BL} = V_{DD})
A3
A2
R12
L1
A1
Read "0" (V_{BL} = V_{DD})
V_{WP}
V_{WL}
0
R11
Hold: V_{DD} = 0V, V_{WL} = 0V

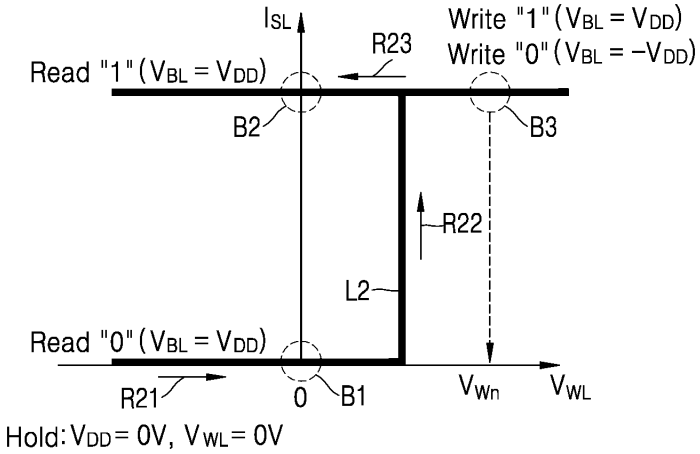
도면6a


124
CNS
400B
BL4
p+
MCN
WL
n
HDS2
DS2
VSS
130
p
DS1
SL
n+
HDS1
120
Z
X
Y

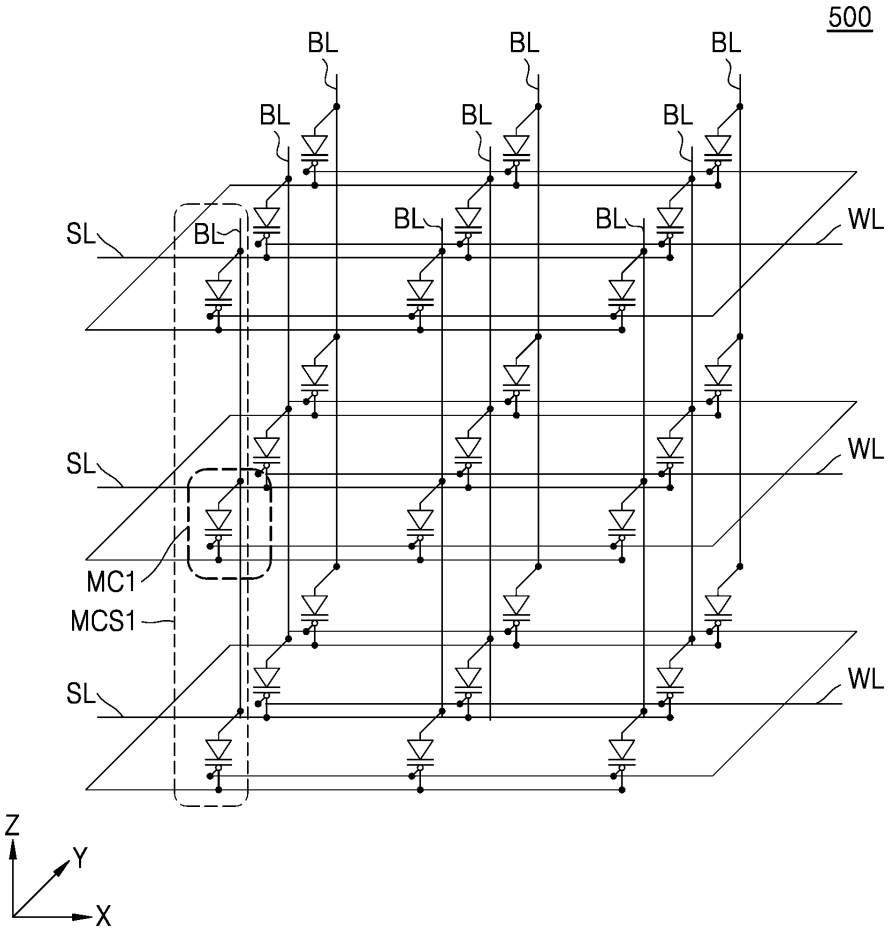
도면6b


400B
MCN
BL4
WL
SL

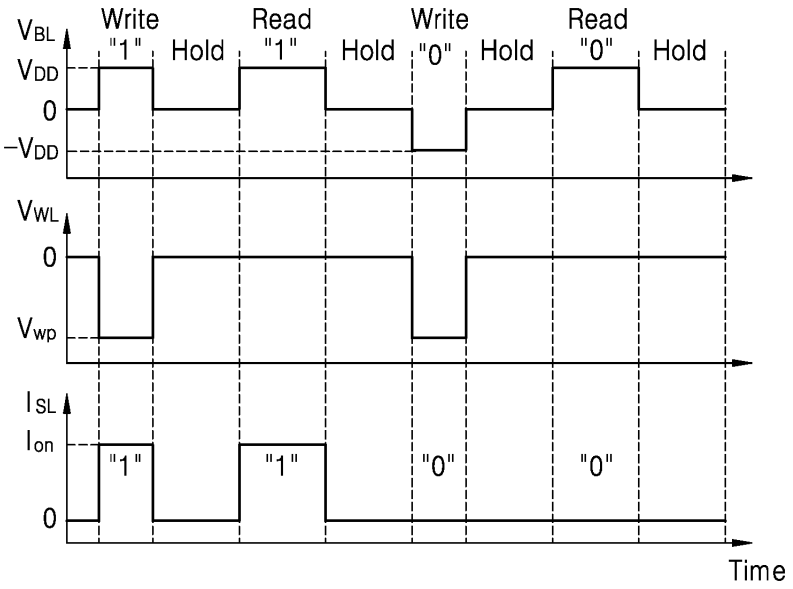
도면6c


ISL
R23
Write "1" (VBL = VDD)
Write "0" (VBL = −VDD)
Read "1" (VBL = VDD)
B2
B3
R22
L2
Read "0" (VBL = VDD)
R21
0
B1
VWn
VWL
Hold: VDD = 0V, VWL = 0V

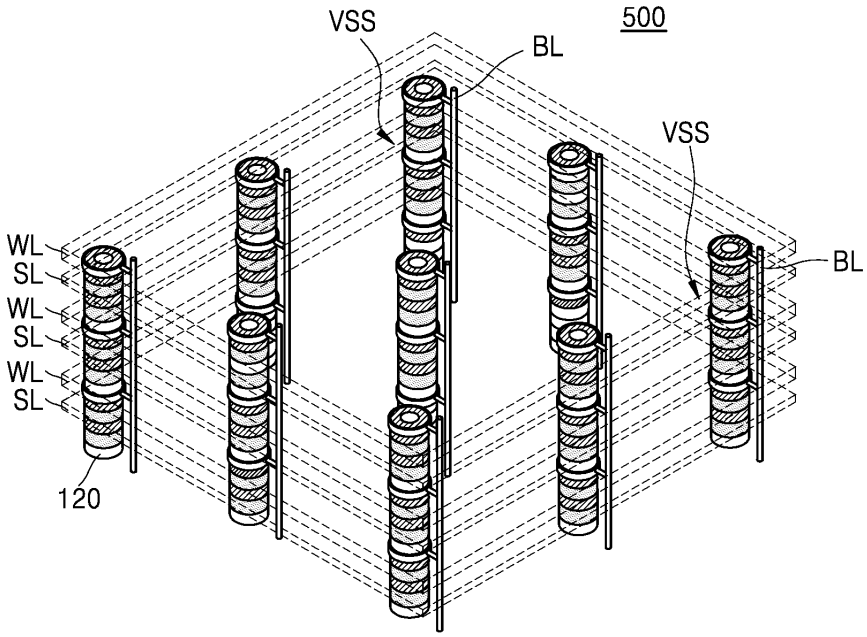
도면7


500
BL
SL
WL
MC1
MCS1
Z
Y
X

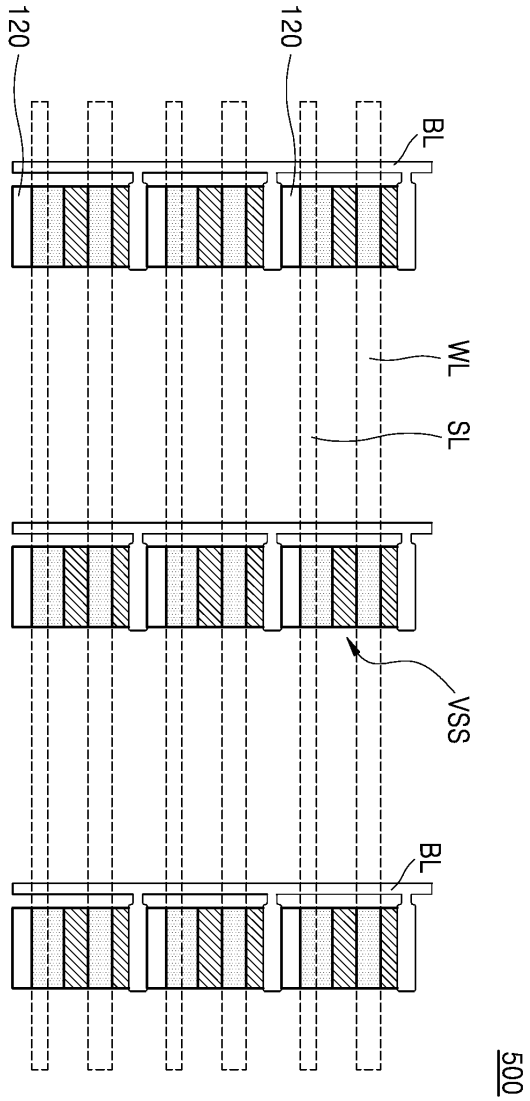
도면8


Write
Read
Write
Read
"1"
Hold
"0"
V_{BL}
V_{DD}
0
$-V_{DD}$
V_{WL}
V_{wp}
I_{SL}
I_{on}
Time

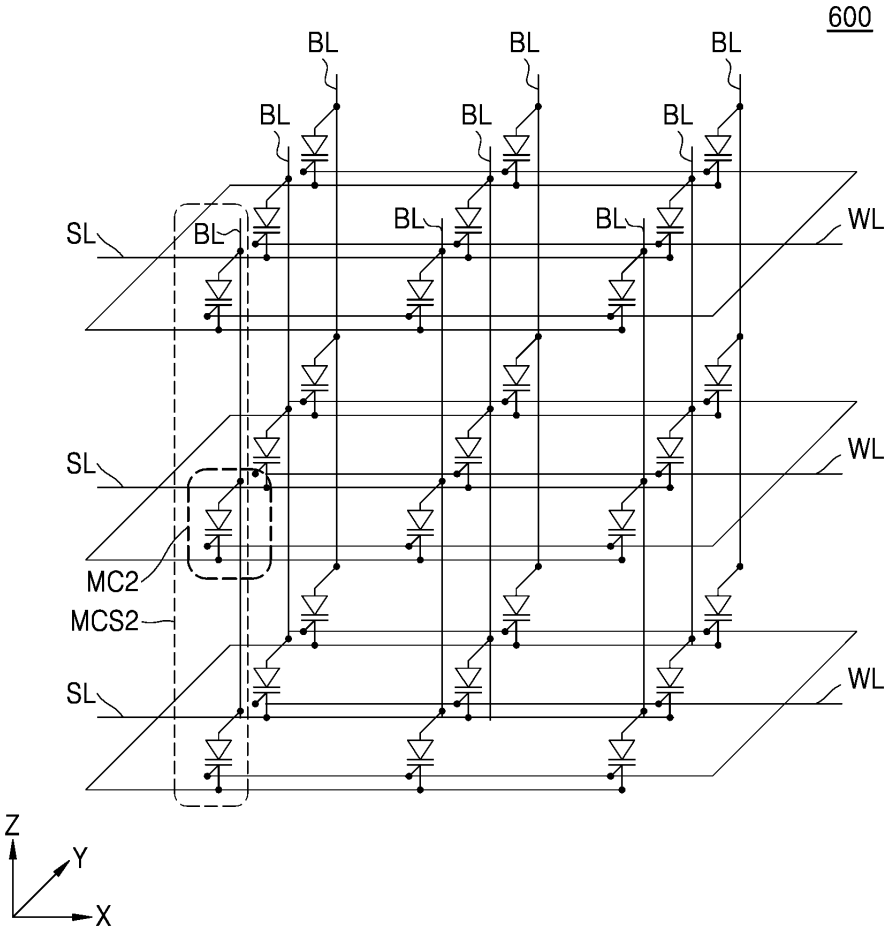
도면9



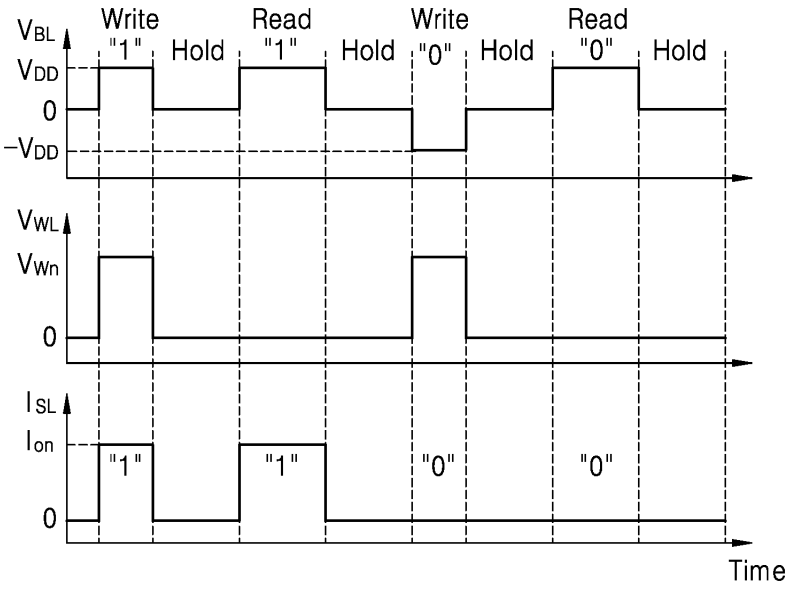
도면10



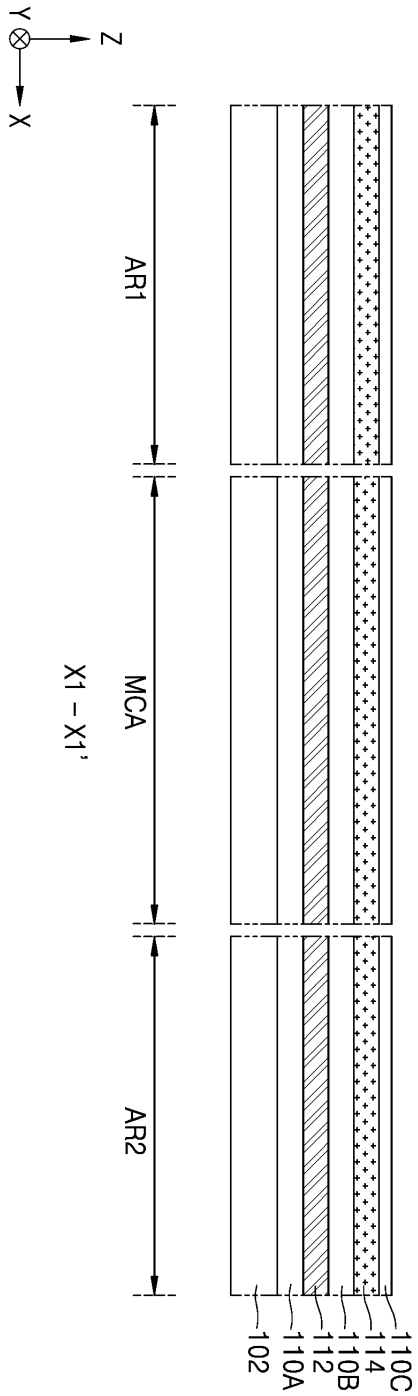
도면11


600
BL
SL
WL
MC2
MCS2
Z
Y
X

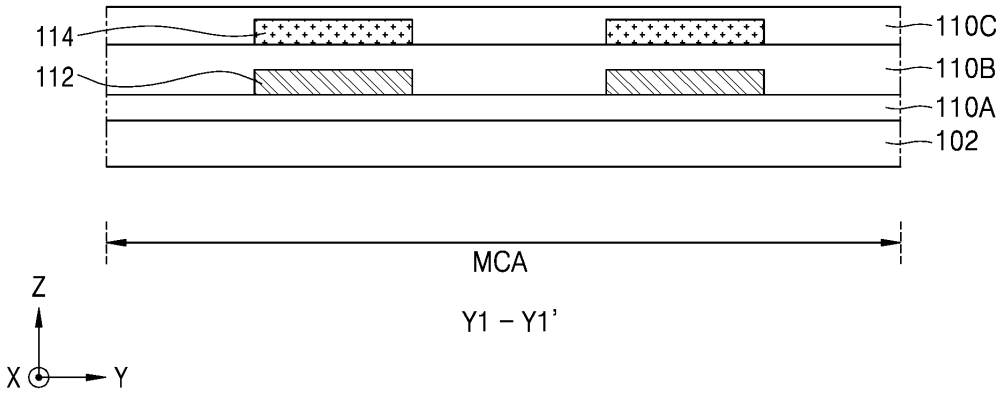
도면12


VBL
VDD
0
-VDD
Write
"1"
Hold
Read
"1"
Write
"0"
Read
"0"
VWL
VWn
ISL
Ion
Time

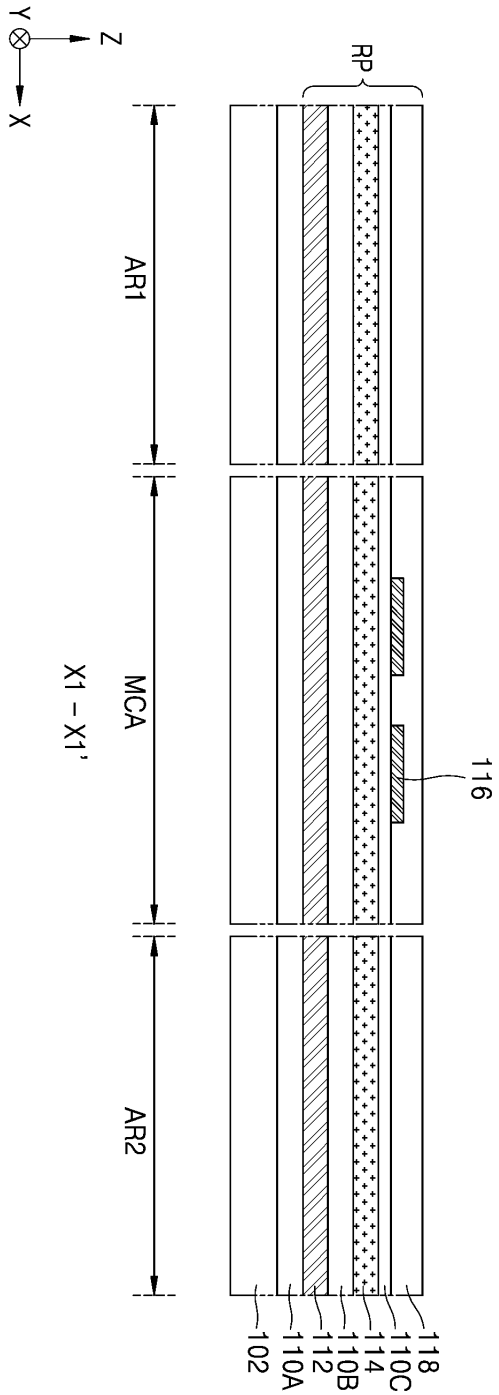
도면13a



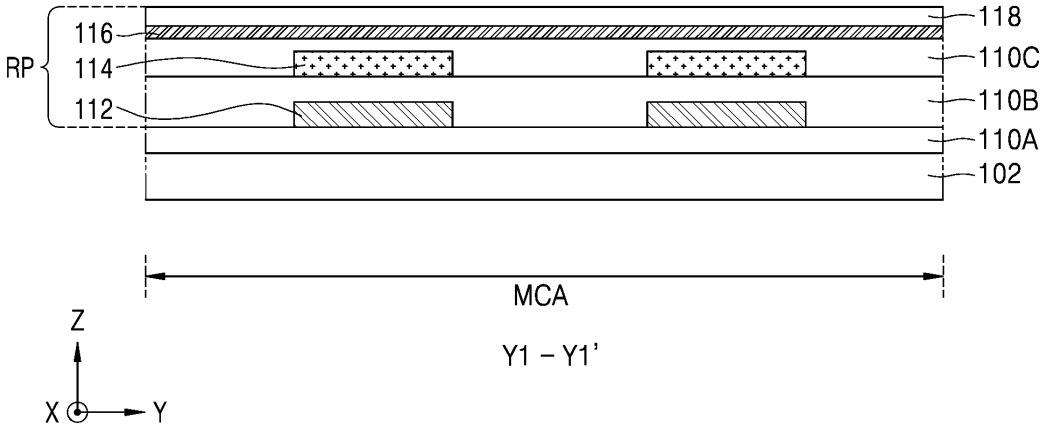
도면13b



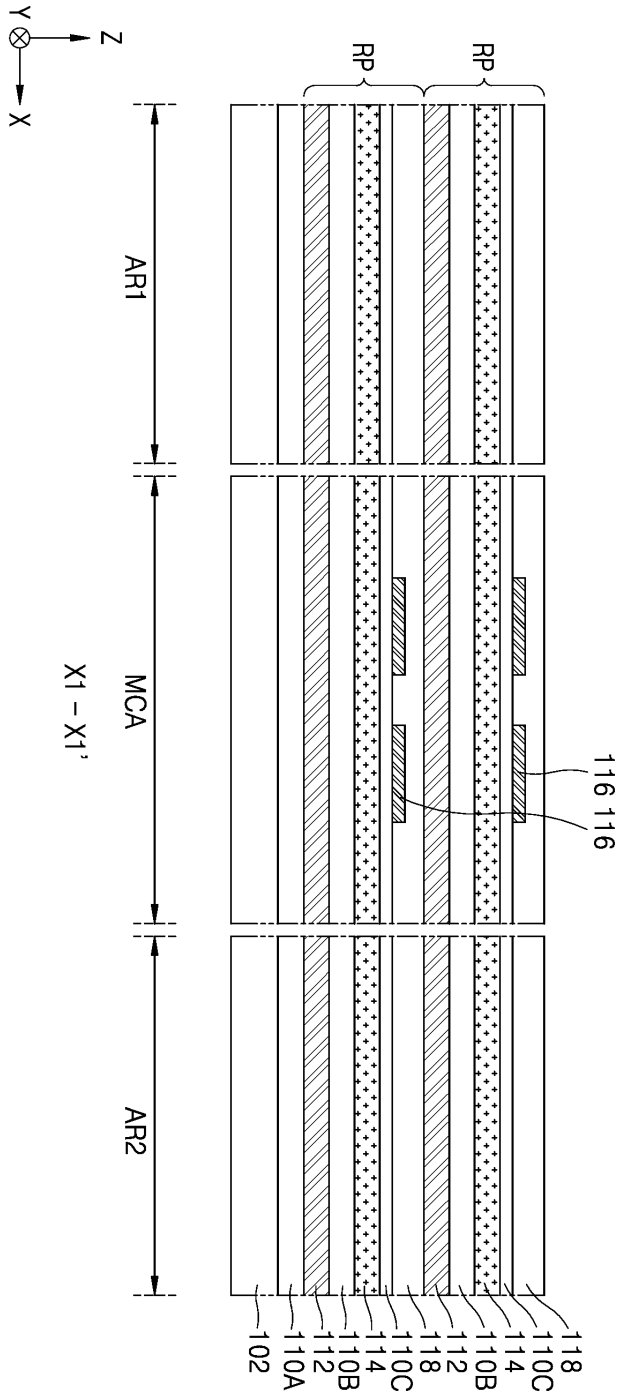
도면14a



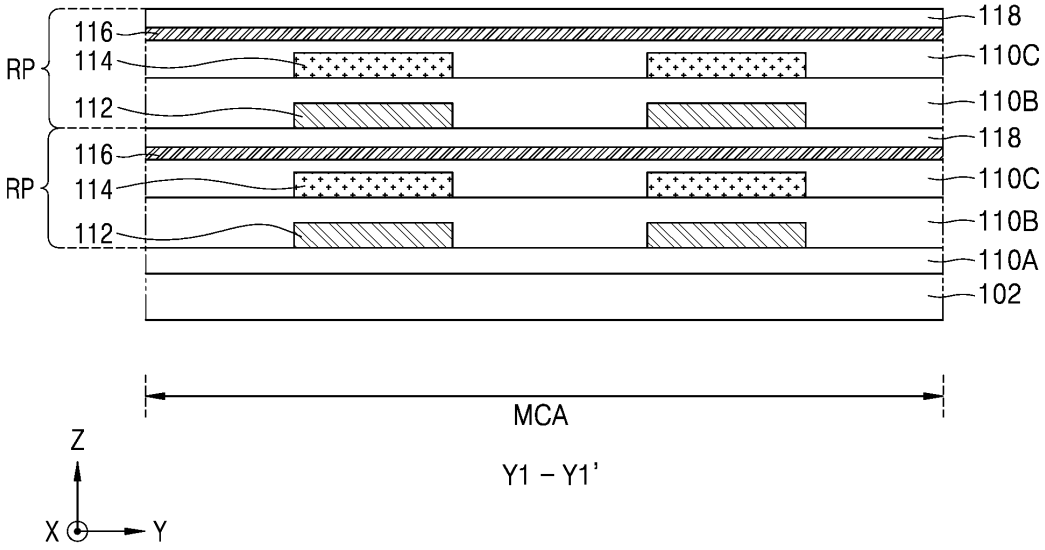
도면14b



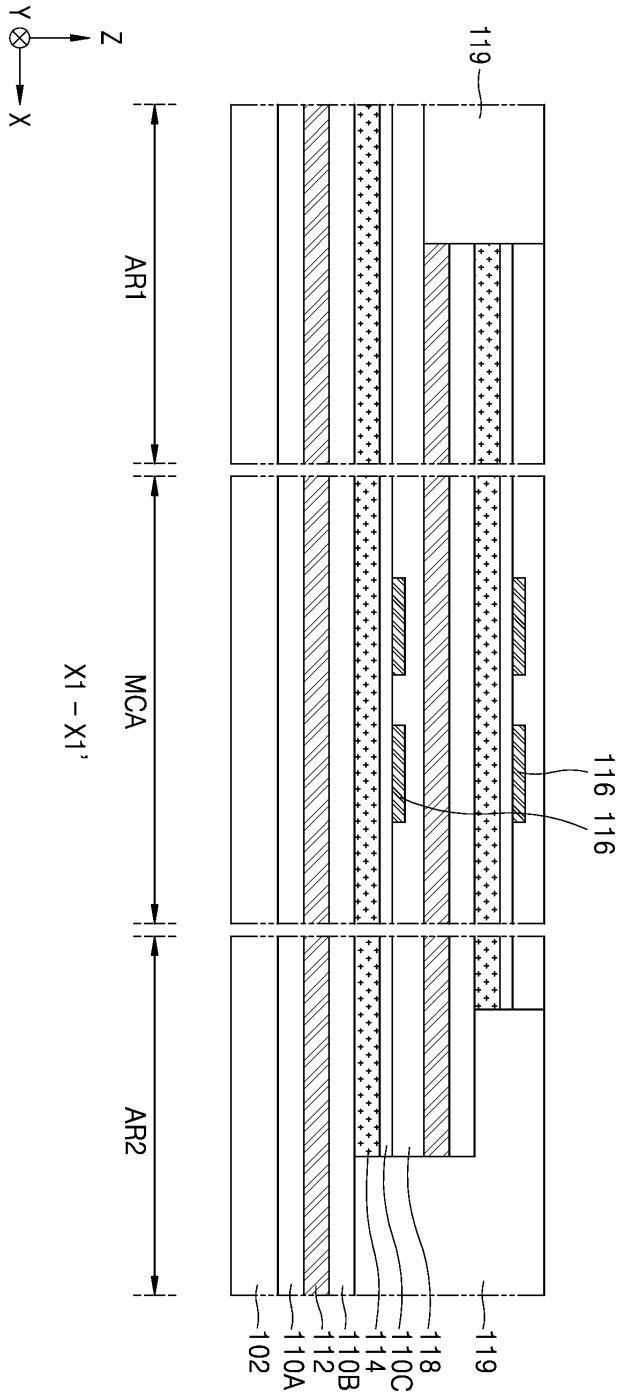
도면15a


Y
Z
X
RP
RP
AR1
MCA
AR2
X1 – X1'
116 116
102
110A
112
110B
114
110C
118
112
110B
114
110C
118

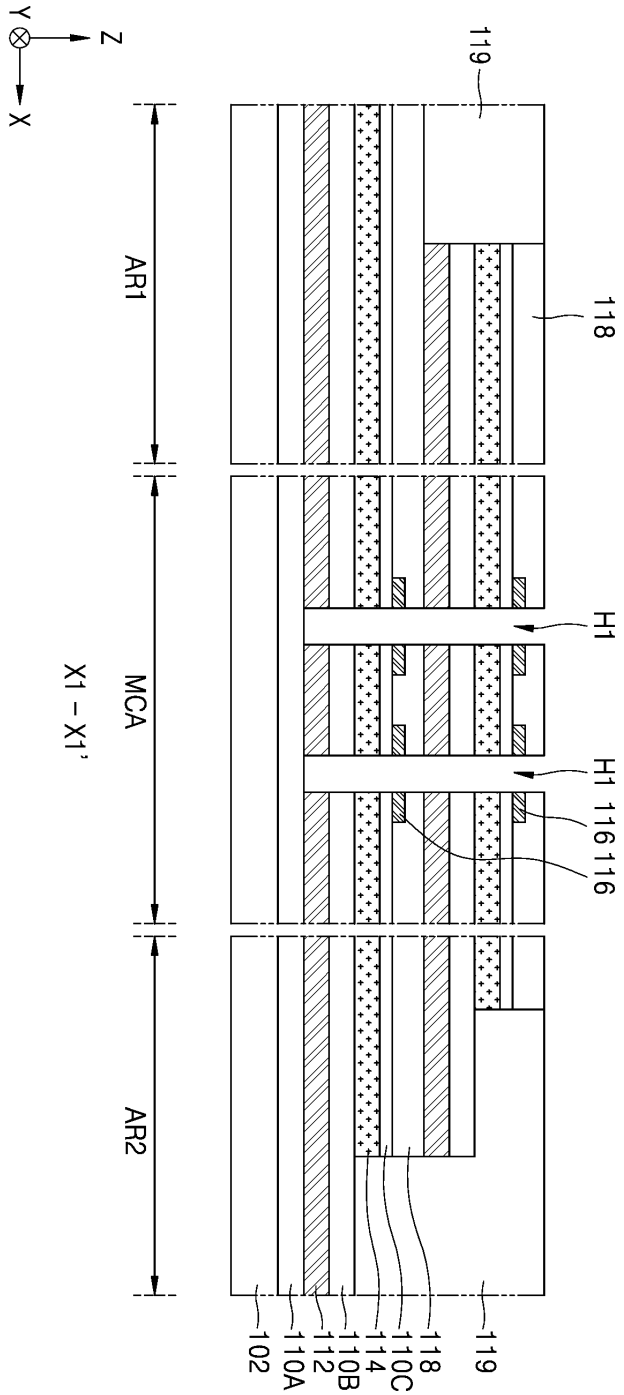
도면15b


116
114
112
RP
116
114
112
RP
118
110C
110B
118
110C
110B
110A
102
MCA
Y1 – Y1'
Z
X
Y

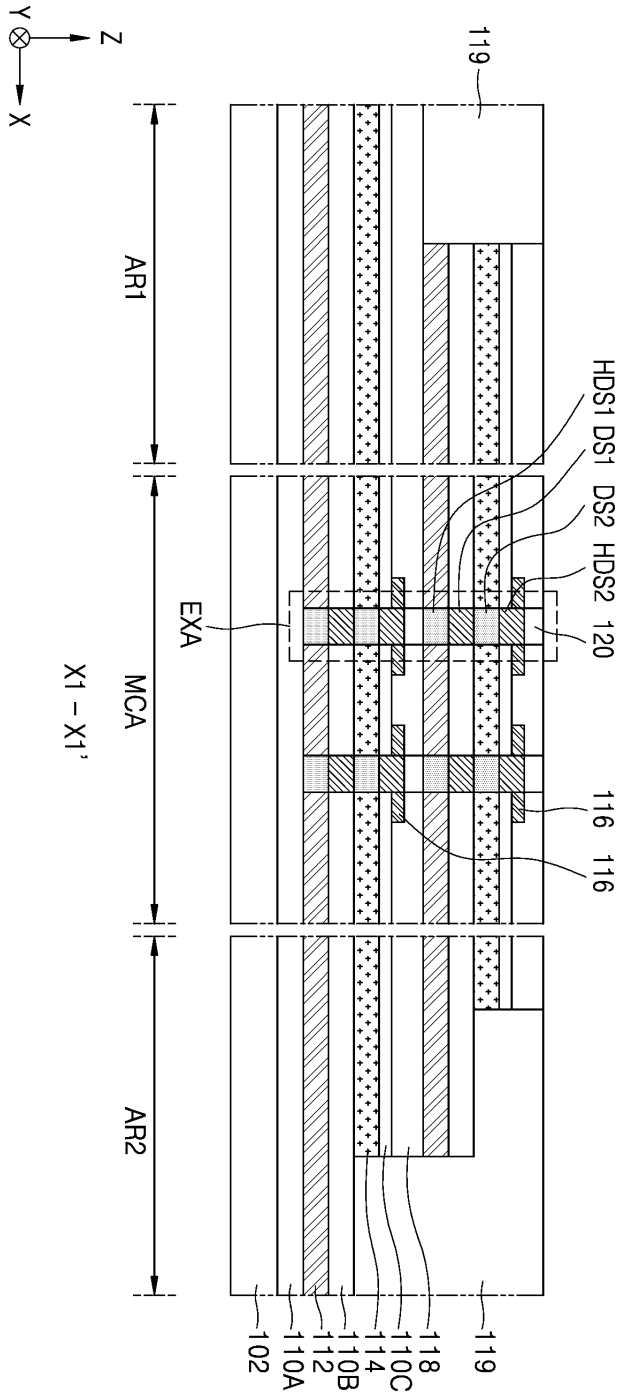
도면16


Y
Z
X
119
AR1
MCA
AR2
X1 – X1'
116 116
102
110A
112
110B
114
110C
118
119

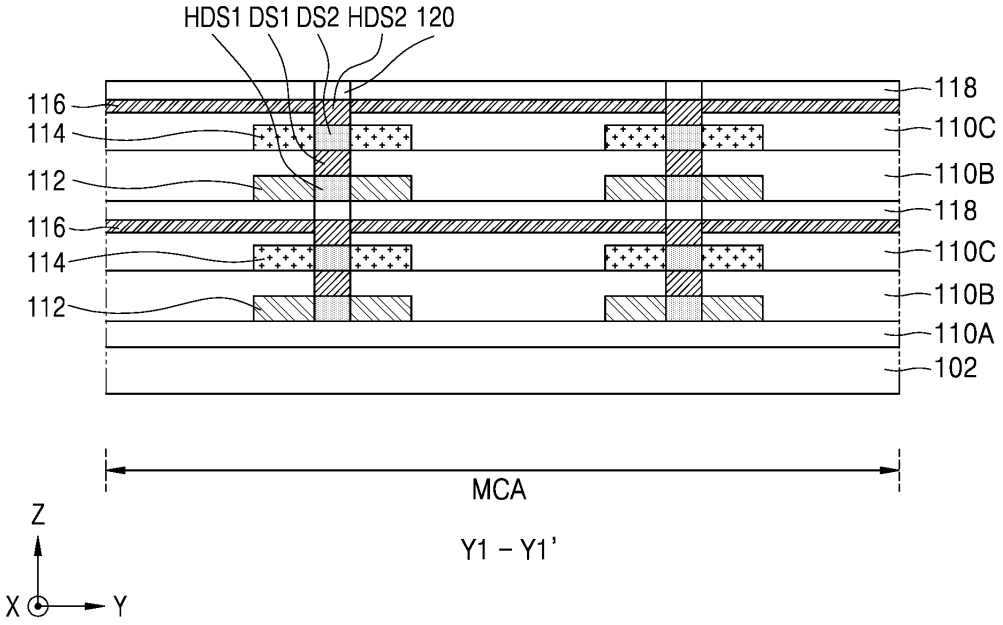
도면17


Y
Z
X
119
AR1
118
H1
MCA
X1 – X1'
H1
116
116
AR2
102
110A
112
110B
114
110C
118
119

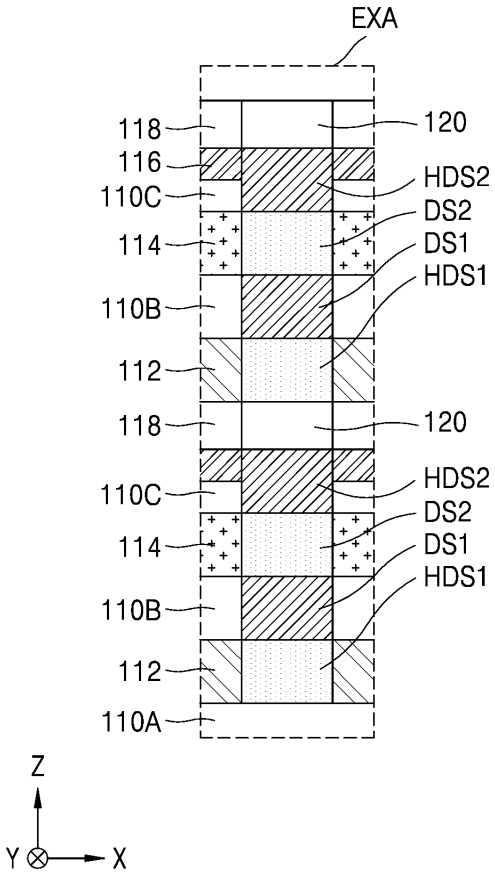
도면18a


Y
Z
X
119
AR1
HDS1
DS1
DS2
HDS2
120
EXA
MCA
116
116
X1 – X1'
AR2
102
110A
112
110B
114
110C
118
119

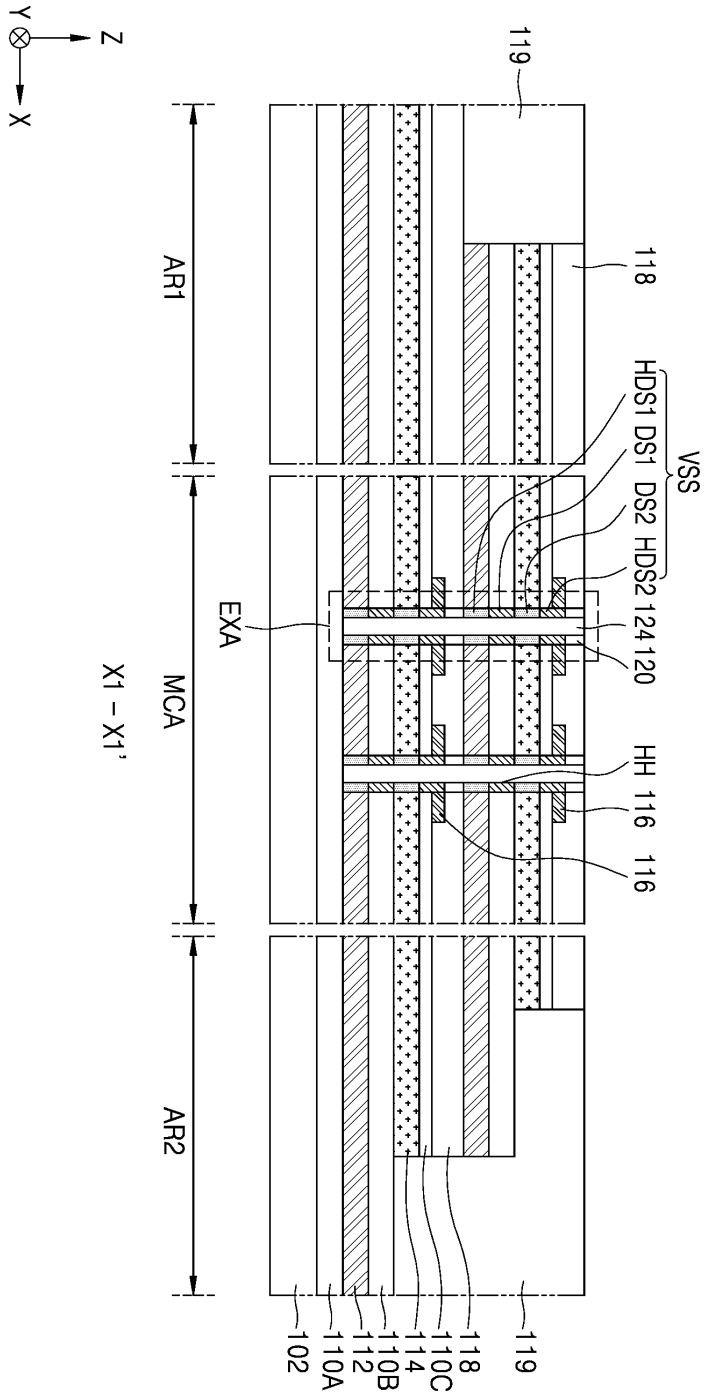
도면18b


HDS1 DS1 DS2 HDS2 120
116
114
112
116
114
112
118
110C
110B
118
110C
110B
110A
102
MCA
Y1 – Y1'
Z
X
Y

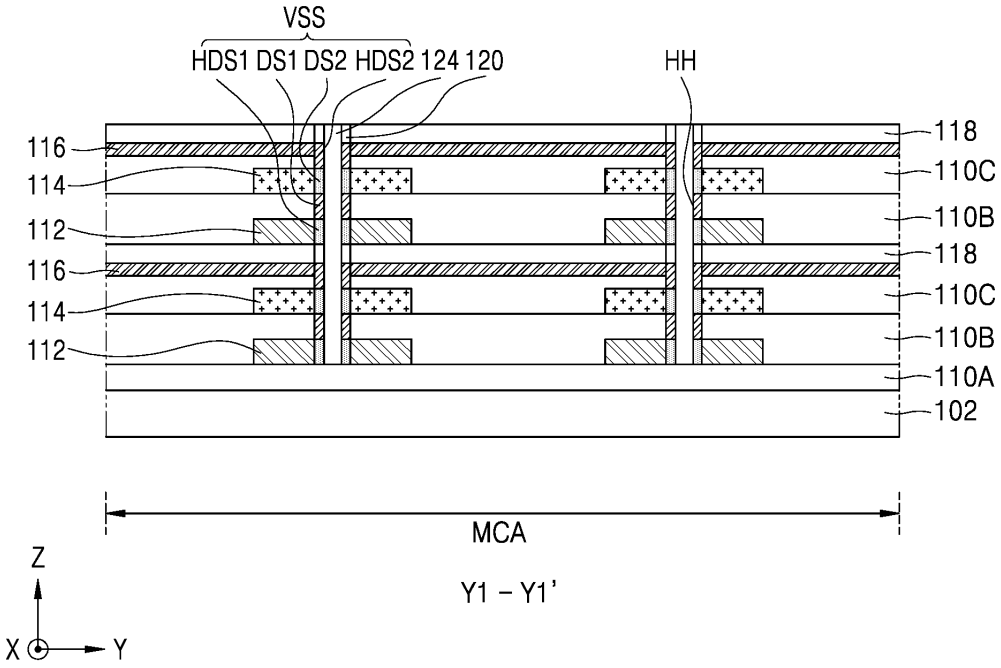
도면18c


EXA
118
116
110C
114
110B
112
118
110C
114
110B
112
110A
120
HDS2
DS2
DS1
HDS1
120
HDS2
DS2
DS1
HDS1
Z
Y
X

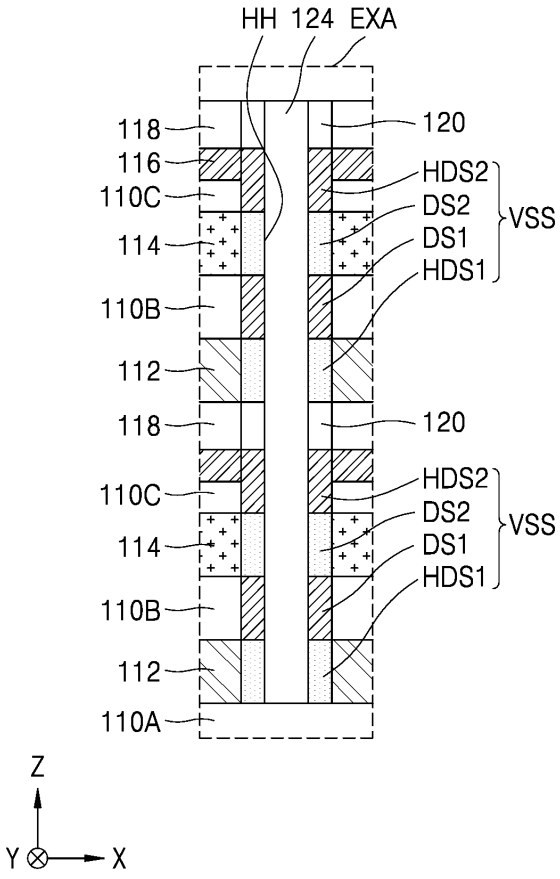
도면19a


Y
Z
X
119
AR1
118
HDS1
DS1
VSS
DS2
HDS2
EXA
124
120
MCA
HH
116
116
X1 – X1'
AR2
102
110A
112
110B
114
110C
118
119

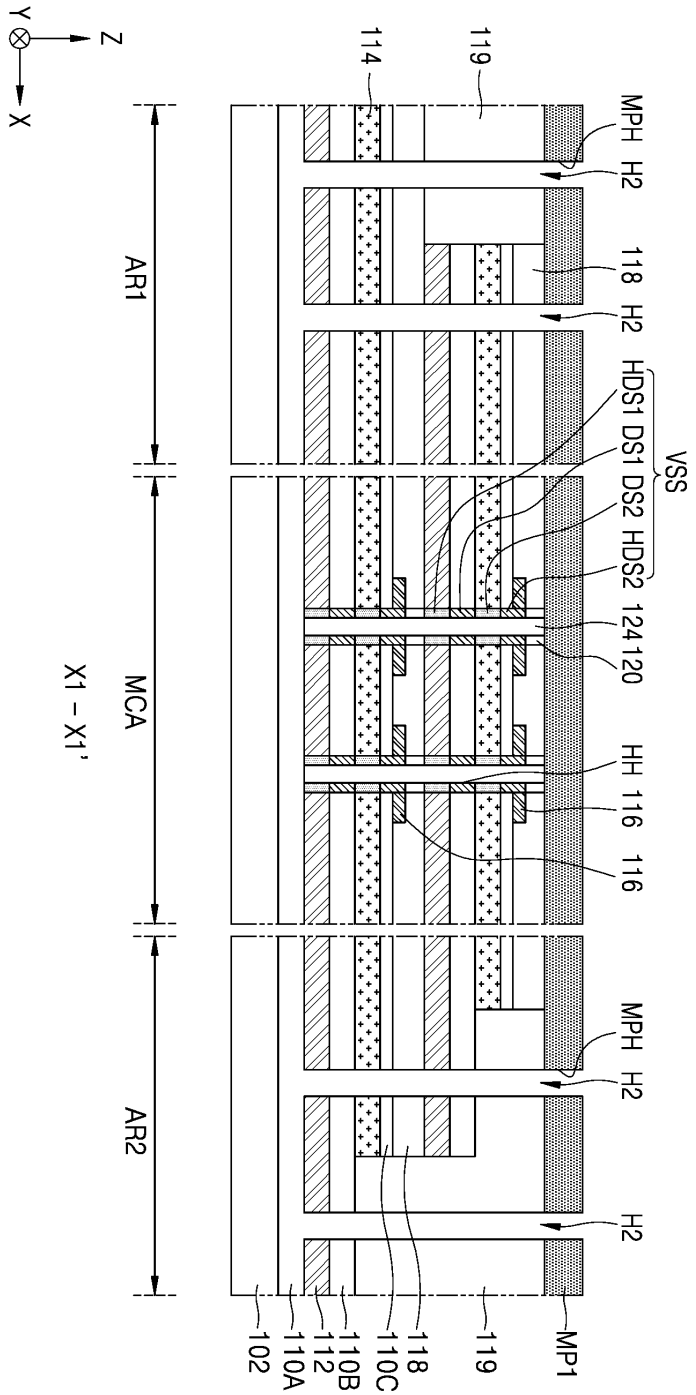
도면19b


VSS
HDS1 DS1 DS2 HDS2 124 120
HH
116
114
112
116
114
112
118
110C
110B
118
110C
110B
110A
102
MCA
Y1 – Y1'
Z
X
Y

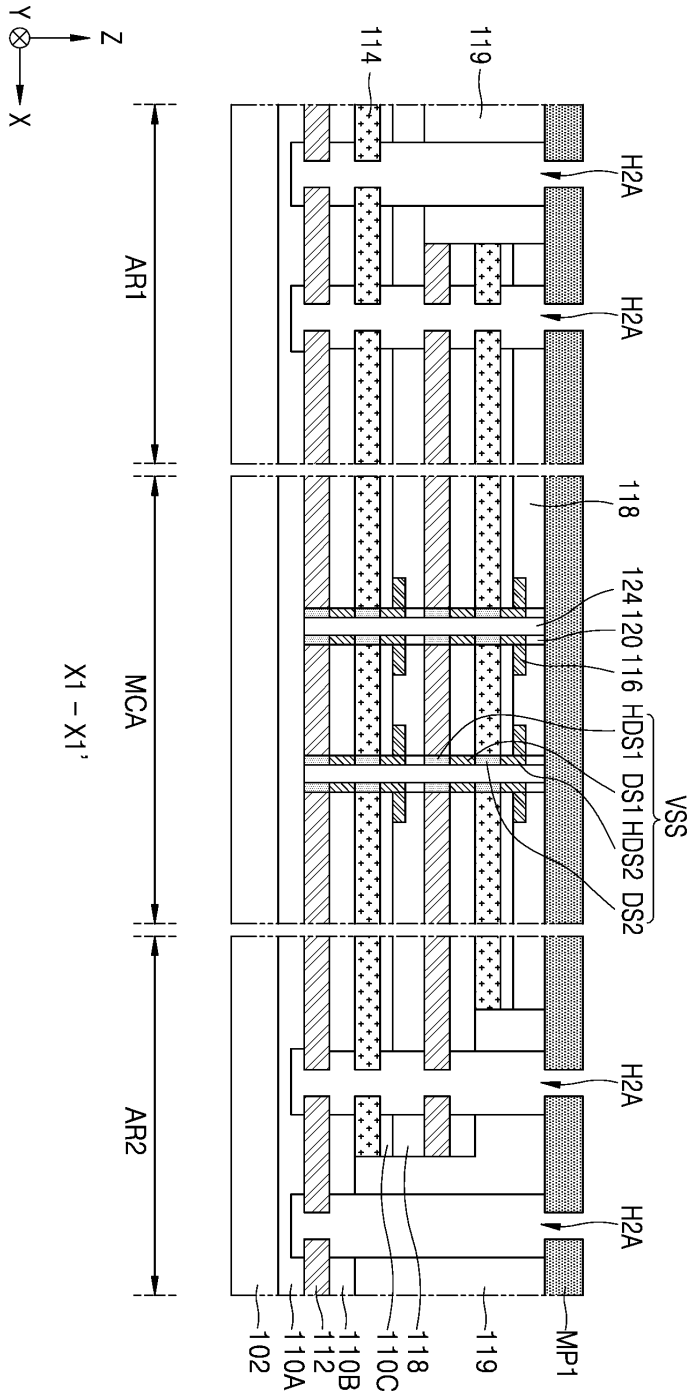
도면19c


HH 124 EXA
118
116
110C
114
110B
112
118
110C
114
110B
112
110A
120
HDS2
DS2
DS1
HDS1
VSS
120
HDS2
DS2
DS1
HDS1
VSS
Z
Y
X

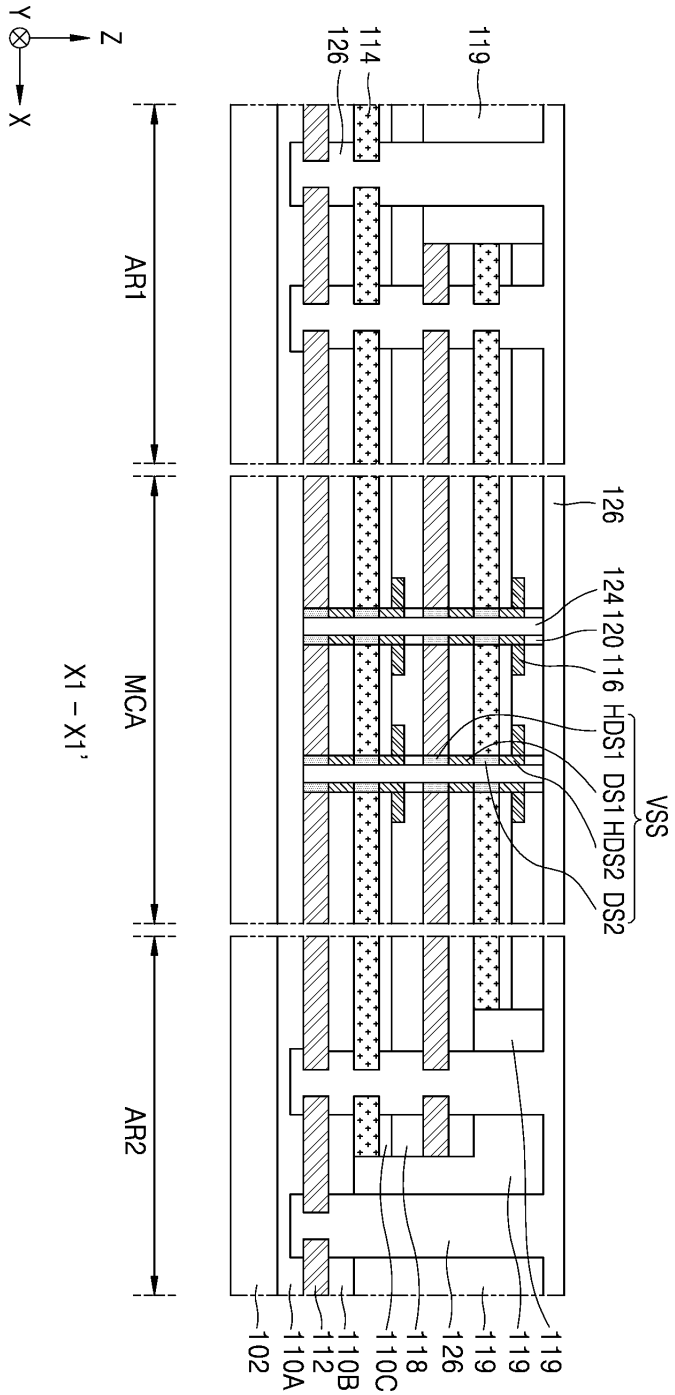
도면20


Y
Z
X
114
119
MPH
H2
118
H2
HDS1
DS1
DS1
DS2
HDS2
VSS
124
120
HH
116
116
MPH
H2
H2
AR1
MCA
AR2
X1 – X1'
102
110A
112
110B
110C
118
119
MP1

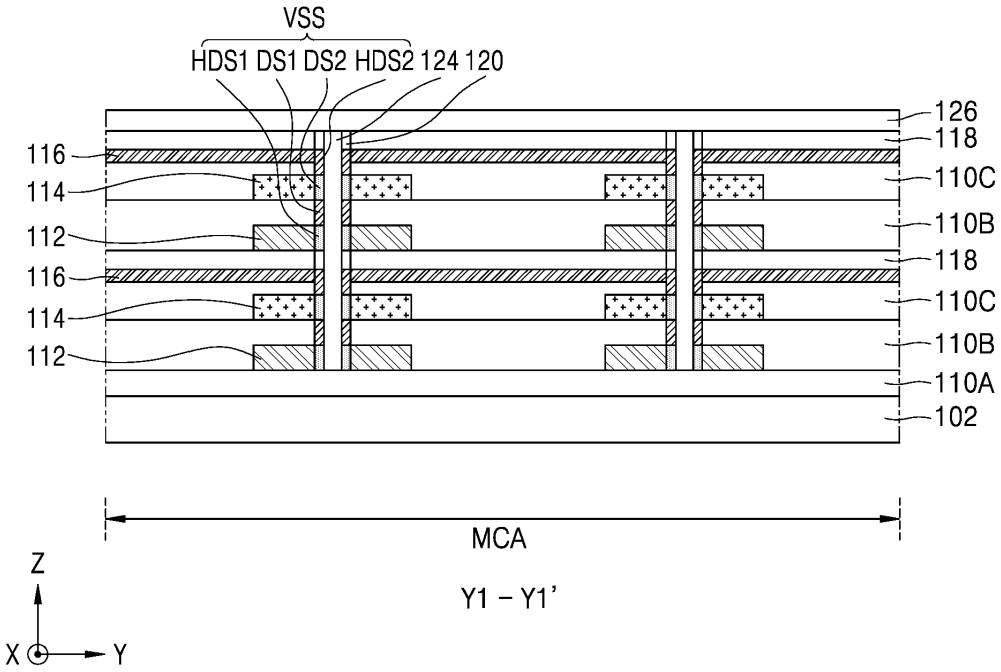
도면21


Y
Z
X
114
119
H2A
H2A
AR1
118
124
120
116
HDS1
DS1
HDS2
DS2
VSS
MCA
X1 – X1'
H2A
H2A
AR2
102
110A
112
110B
110C
118
119
MP1

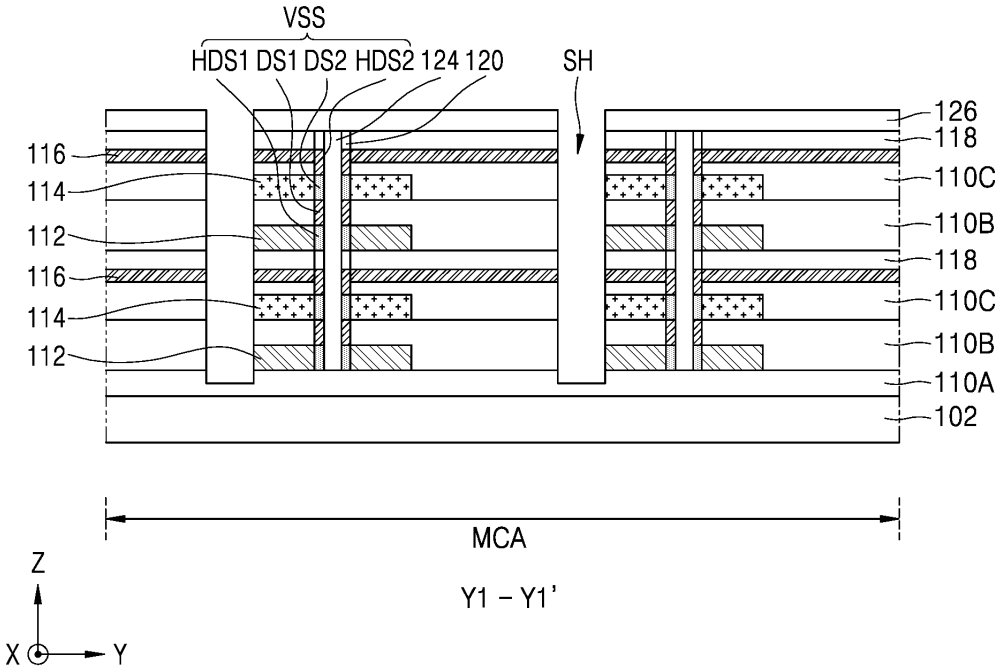
도면22a


Y
Z
X
126
114
119
AR1
MCA
AR2
X1 – X1'
126
124
120
116
HDS1
DS1
HDS2
DS2
VSS
102
110A
112
110B
110C
118
126
119
119
119

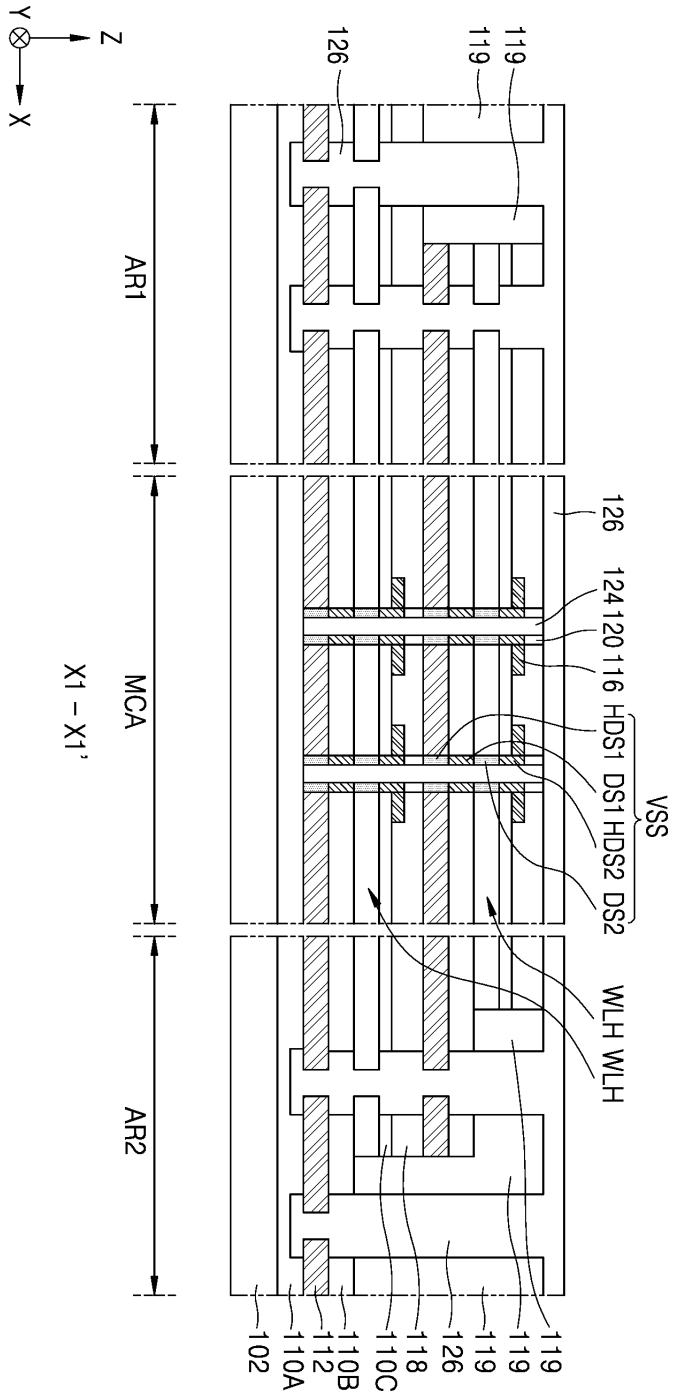
도면22b


VSS
HDS1 DS1 DS2 HDS2 124 120
126
118
110C
110B
118
110C
110B
110A
102
116
114
112
116
114
112
MCA
Y1 – Y1'
Z
X
Y

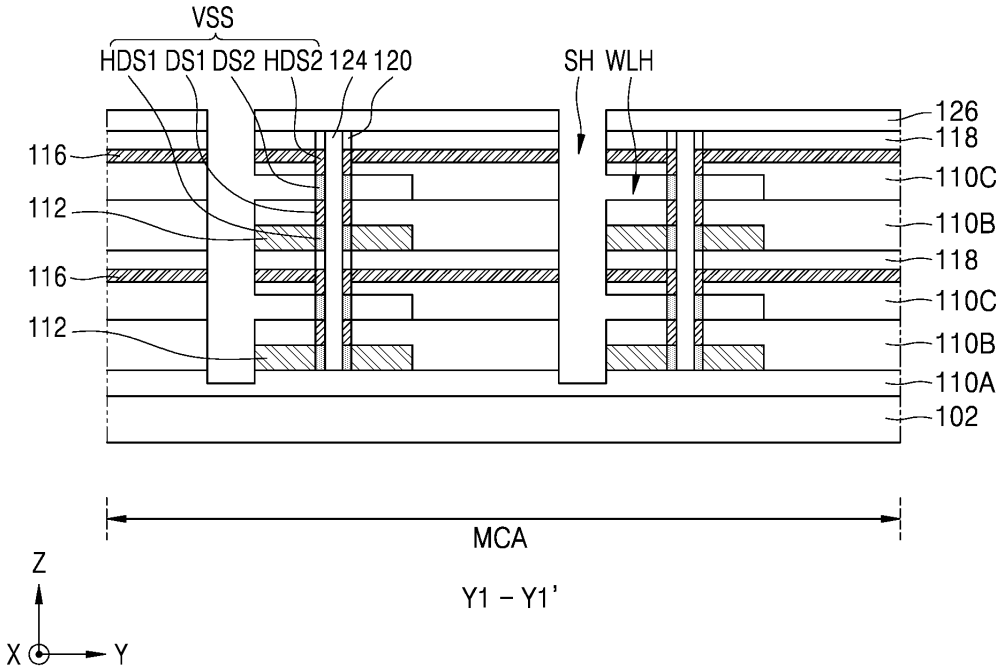
도면23


VSS
HDS1 DS1 DS2 HDS2 124 120
SH
126
118
110C
110B
118
110C
110B
110A
102
116
114
112
116
114
112
MCA
Y1 – Y1'
Z
X
Y

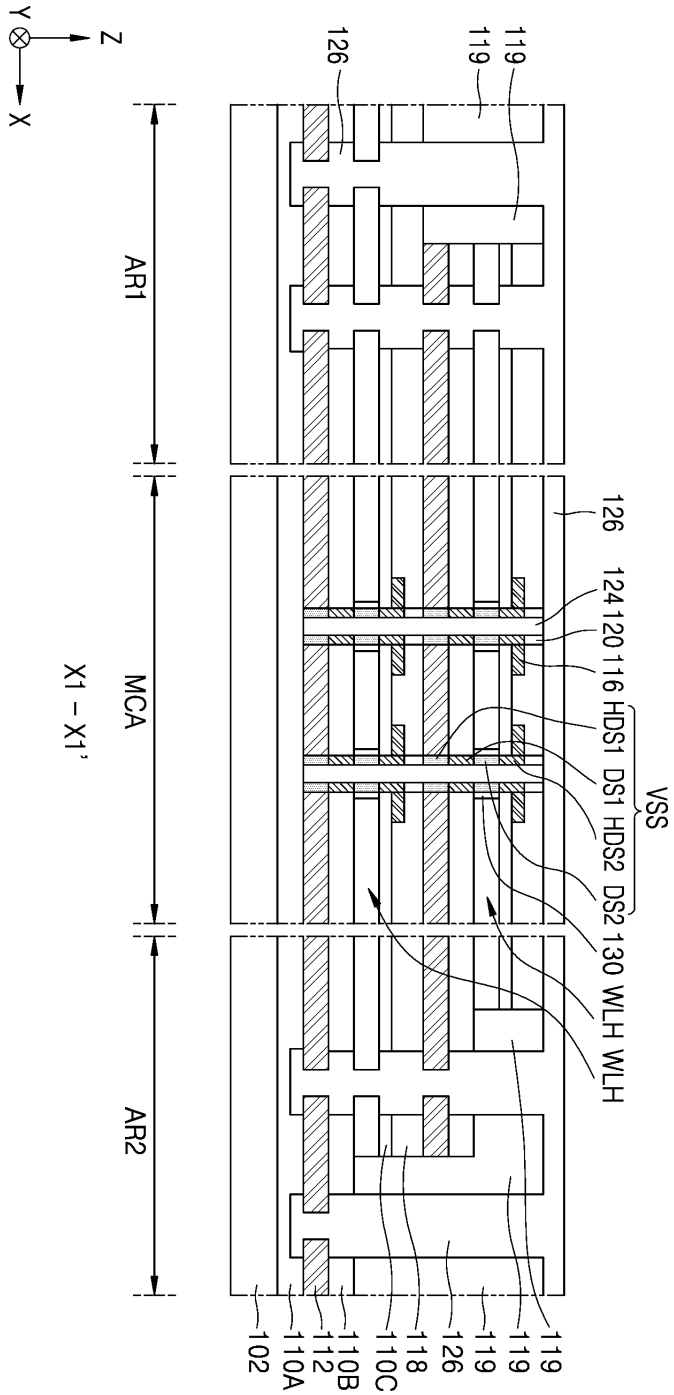
도면24a


Y
Z
X
126
119
119
AR1
MCA
AR2
X1 – X1'
126
124
120
116
HDS1
DS1
HDS2
DS2
VSS
WLH
WLH
102
110A
112
110B
110C
118
126
119
119
119

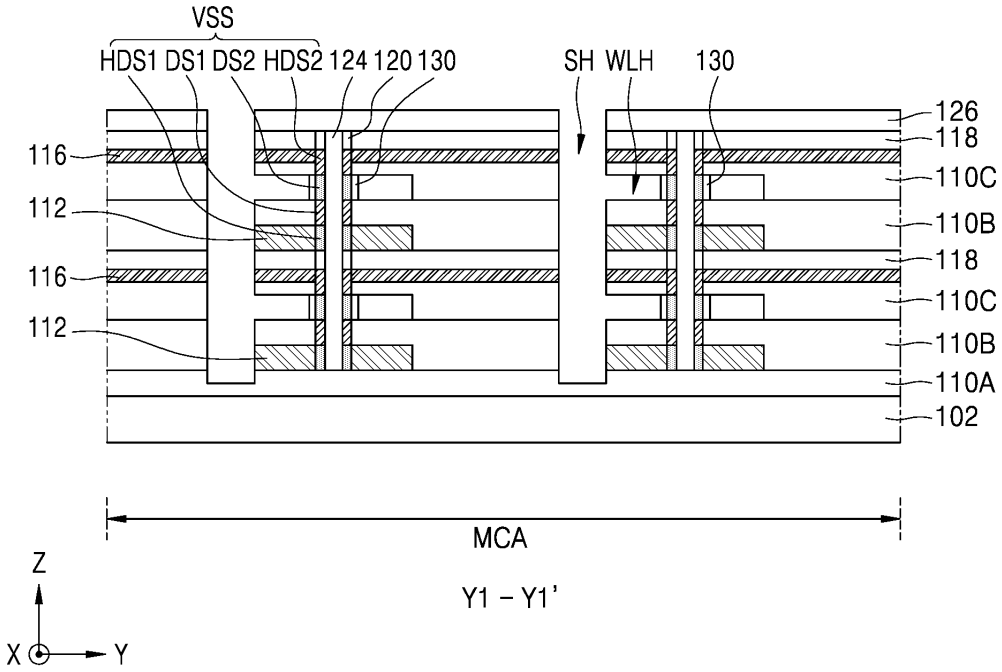
도면24b


VSS
HDS1 DS1 DS2 HDS2 124 120
SH WLH
126
118
110C
110B
118
110C
110B
110A
102
116
112
116
112
MCA
Y1 – Y1'
Z
X
Y

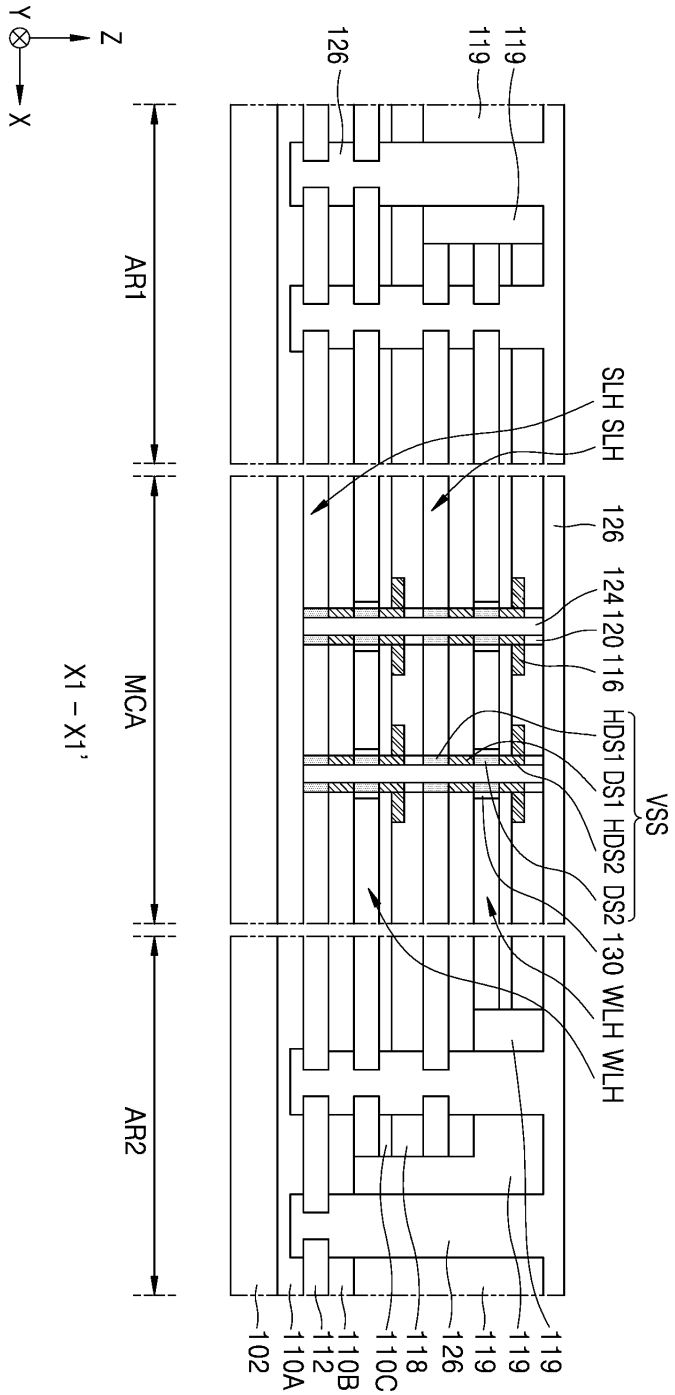
도면25a


Y
Z
X
126
119
119
AR1
MCA
AR2
X1 – X1'
126
124
120
116
HDS1
DS1
HDS2
DS2
VSS
130
WLH
WLH
102
110A
112
110B
110C
118
126
119
119
119

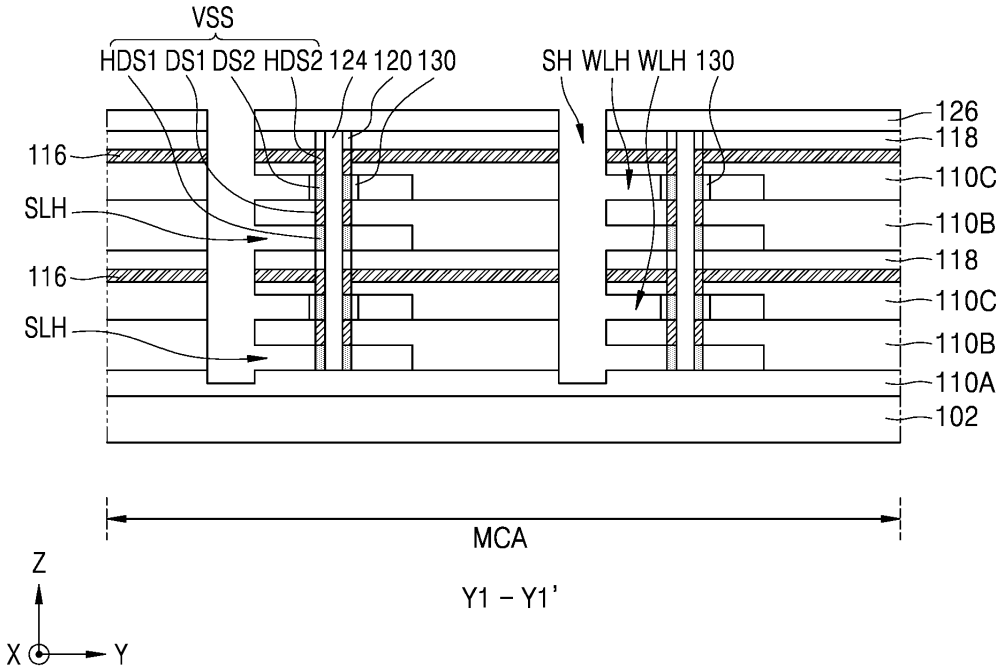
도면25b


VSS
HDS1 DS1 DS2 HDS2 124 120 130
SH WLH
130
126
118
110C
110B
118
110C
110B
110A
102
116
112
116
112
MCA
Y1 – Y1'
Z
X
Y

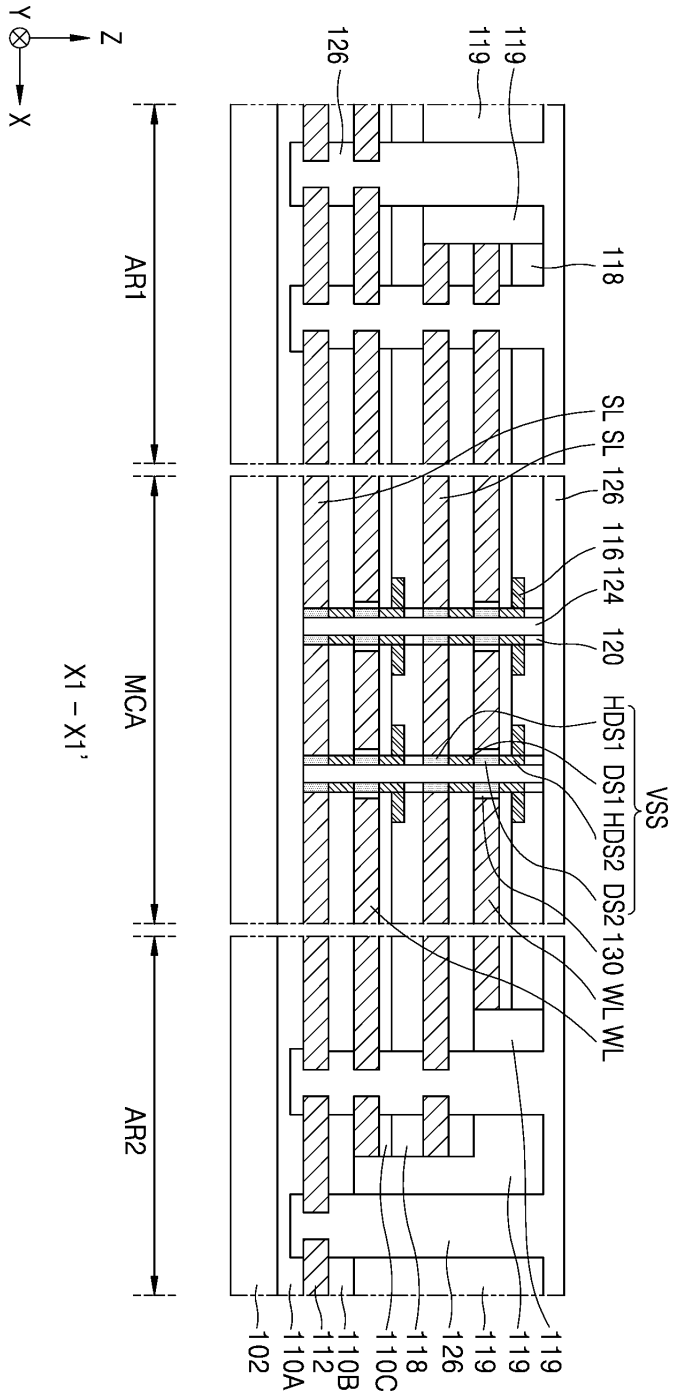
도면26a


Y
Z
X
126
119
119
AR1
SLH SLH
126
124 120 116
HDS1 DS1 HDS2 DS2
VSS
130 WLH WLH
MCA
X1 – X1'
AR2
102
110A
112
110B
110C
118
126
119
119
119

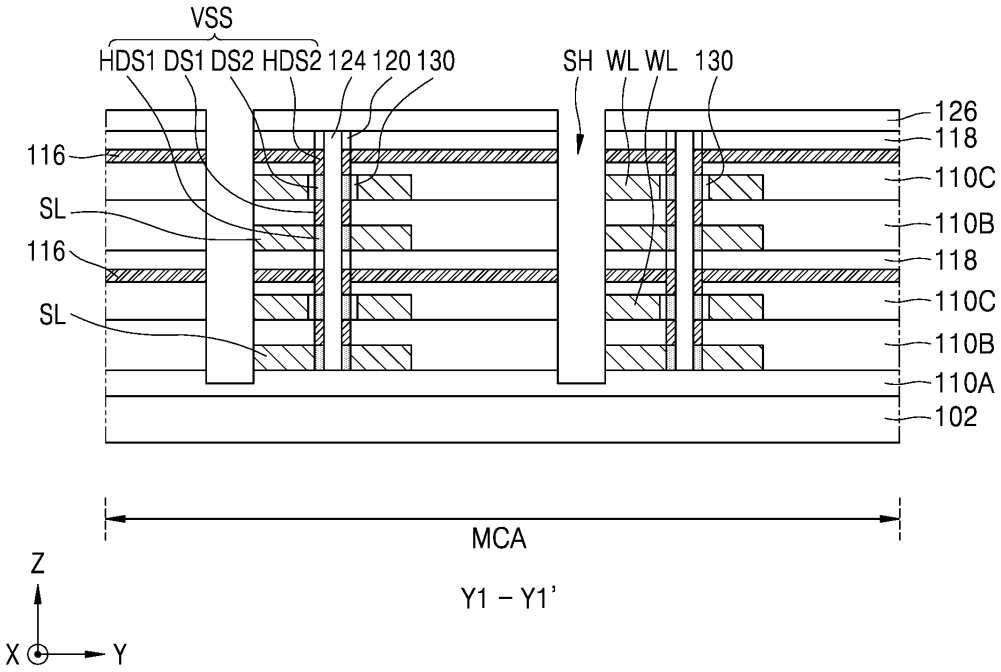
도면26b


VSS
HDS1 DS1 DS2 HDS2 124 120 130
SH WLH WLH 130
126
118
110C
110B
118
110C
110B
110A
102
116
SLH
116
SLH
MCA
Y1 – Y1'
Z
X
Y

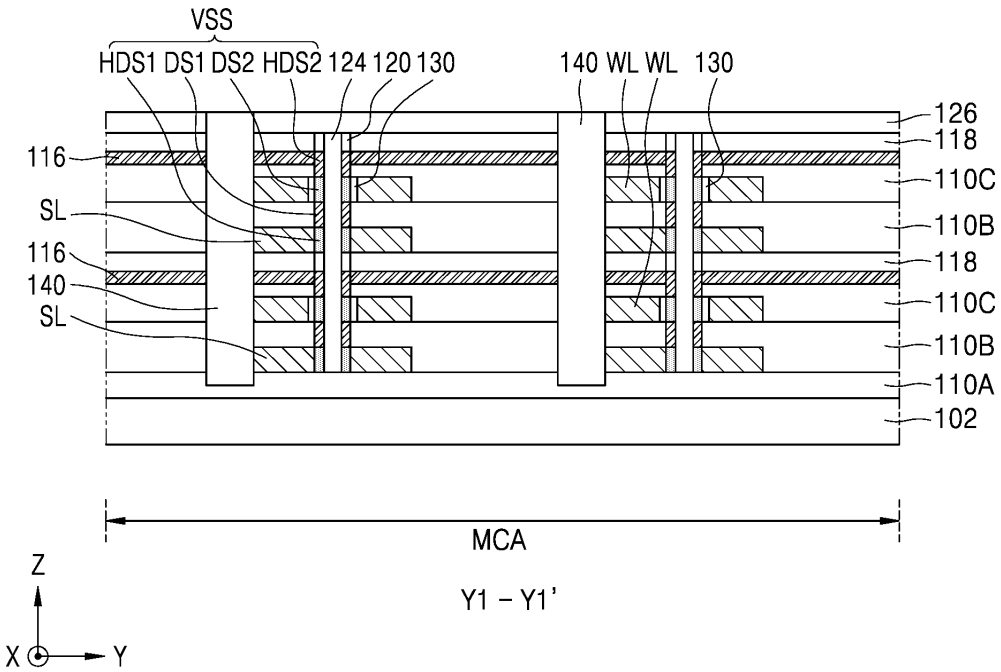
도면27a


Y
Z
X
AR1
MCA
AR2
X1 – X1'
126
119
119
118
SL
SL
126
116
124
120
HDS1
DS1
HDS2
DS2
VSS
130
WL
WL
102
110A
112
110B
110C
118
126
119
119
119

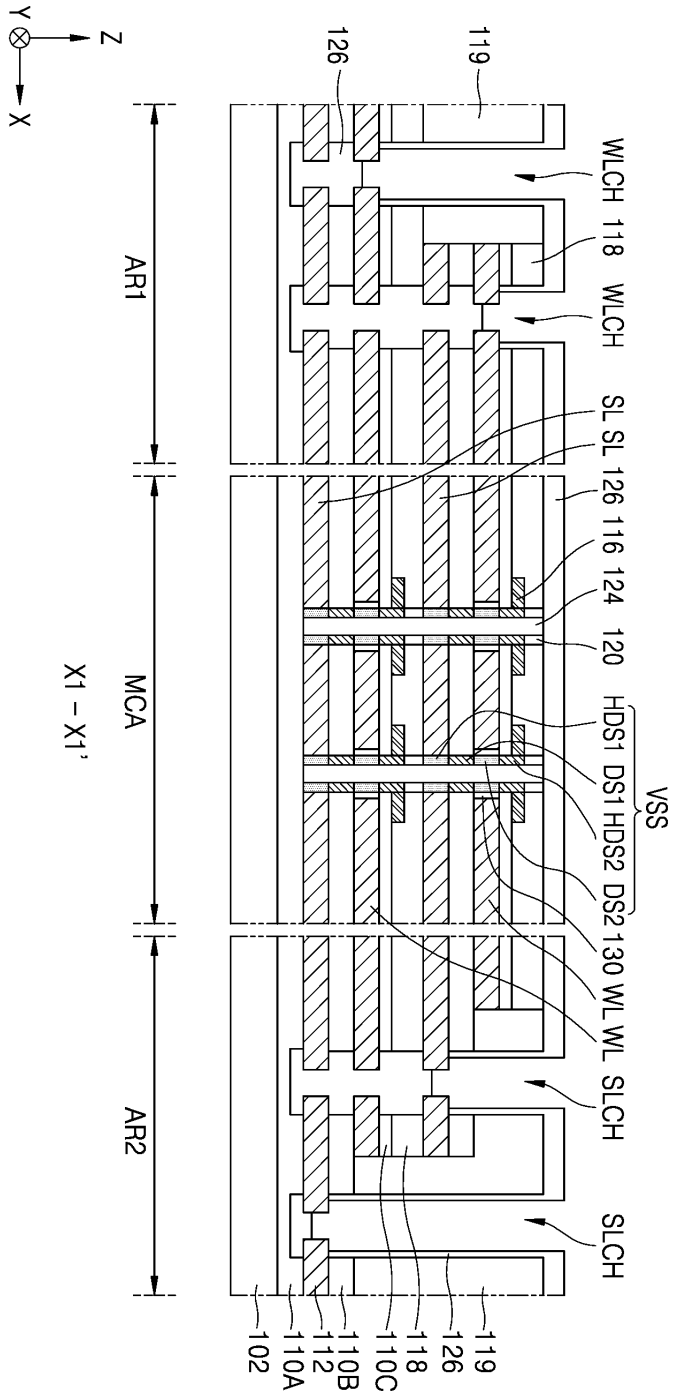
도면27b


VSS
HDS1 DS1 DS2 HDS2 124 120 130
SH WL WL 130
126
118
110C
110B
118
110C
110B
110A
102
116
SL
116
SL
MCA
Y1 – Y1'
Z
X
Y

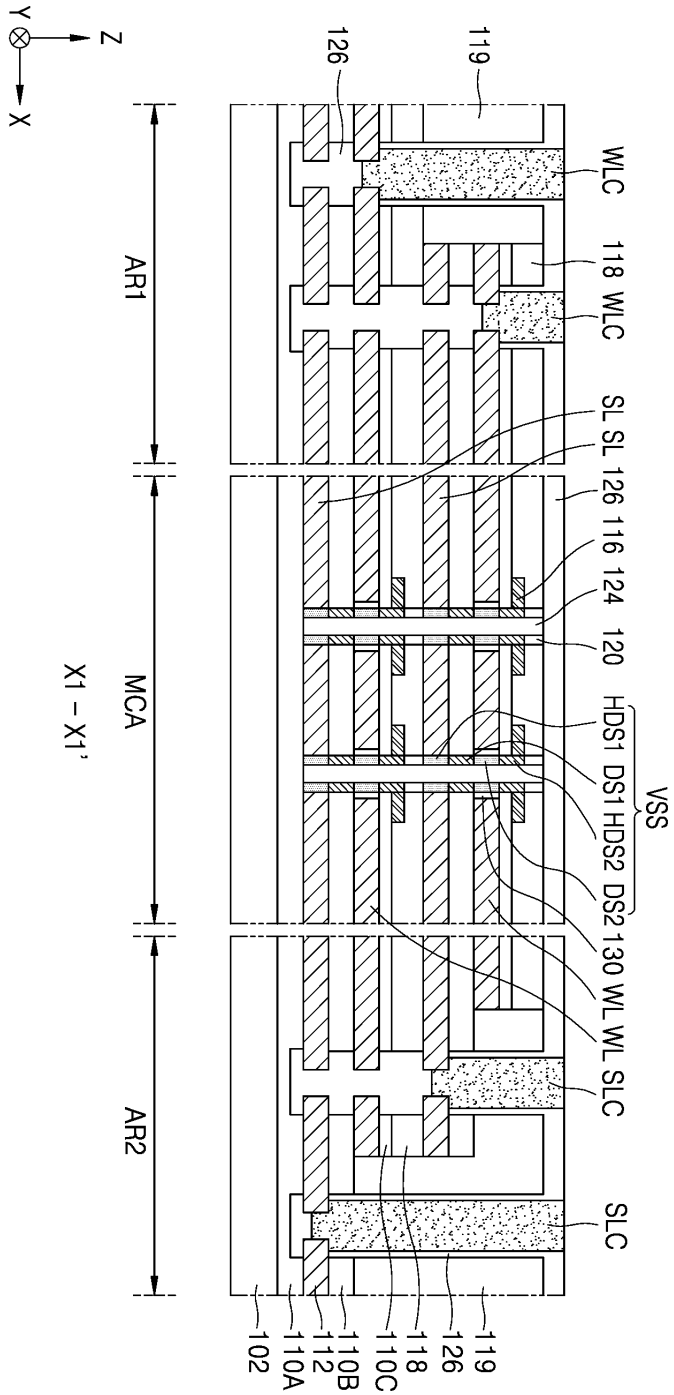
도면28


VSS
HDS1 DS1 DS2 HDS2 124 120 130
140 WL WL 130
126
118
110C
110B
118
110C
110B
110A
102
116
SL
116
140
SL
MCA
Y1 – Y1'
Z
X
Y

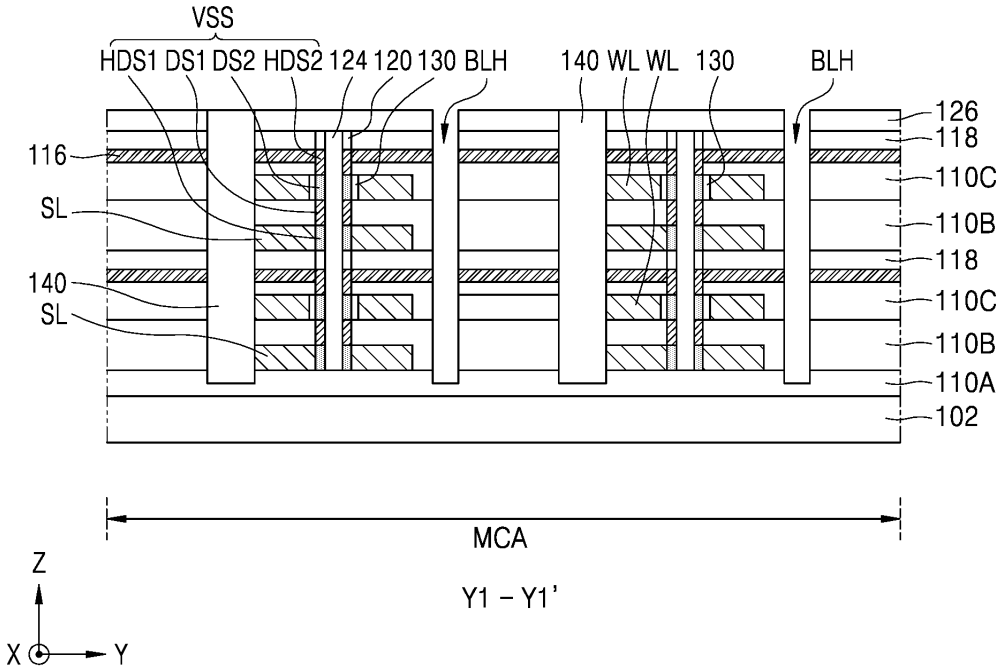
도면29


Y
Z
X
126
119
WLCH
118
WLCH
SL
SL
126
116
124
120
HDS1
DS1
HDS2
DS2
VSS
130
WL
WL
SLCH
SLCH
AR1
MCA
AR2
X1 – X1'
102
110A
112
110B
110C
118
126
119

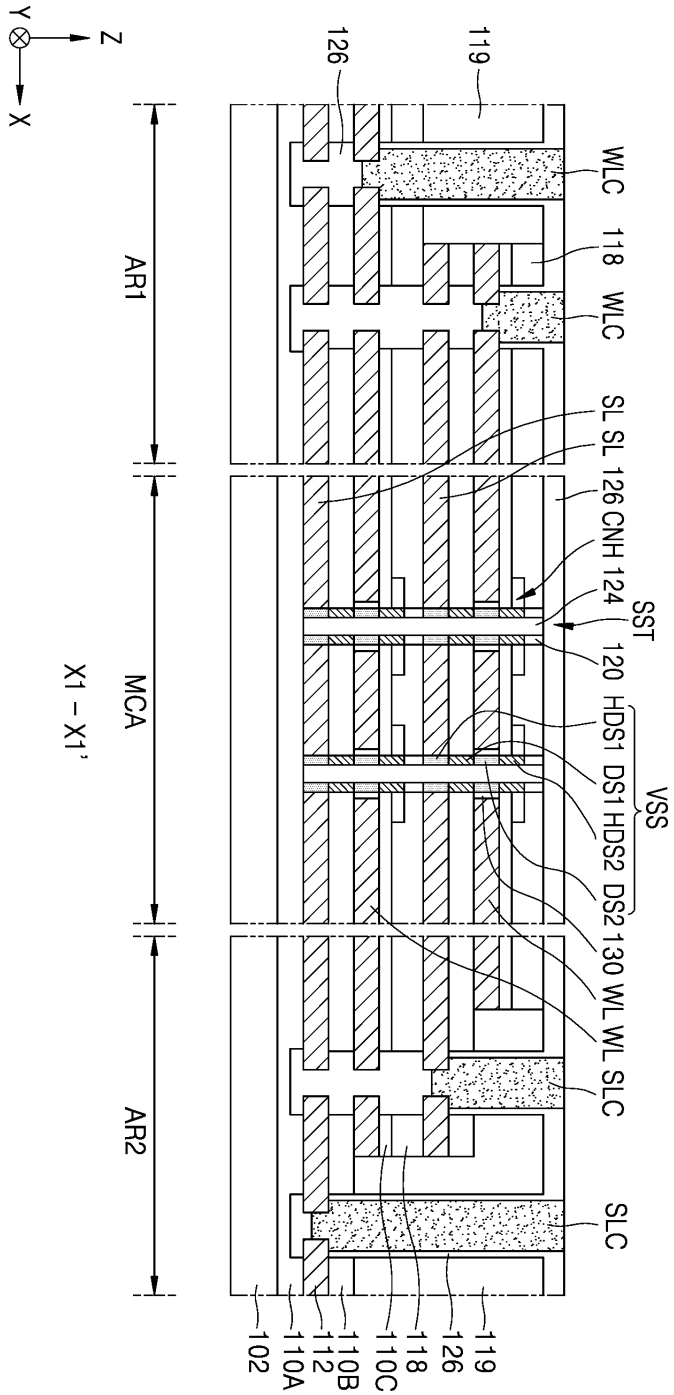
도면30


Y
Z
X
126
119
WLC
118 WLC
SL SL
126
116
124
120
HDS1
DS1
HDS2
DS2
VSS
130 WL WL
SLC
SLC
AR1
MCA
AR2
X1 – X1'
102
110A
112
110B
110C
118
126
119

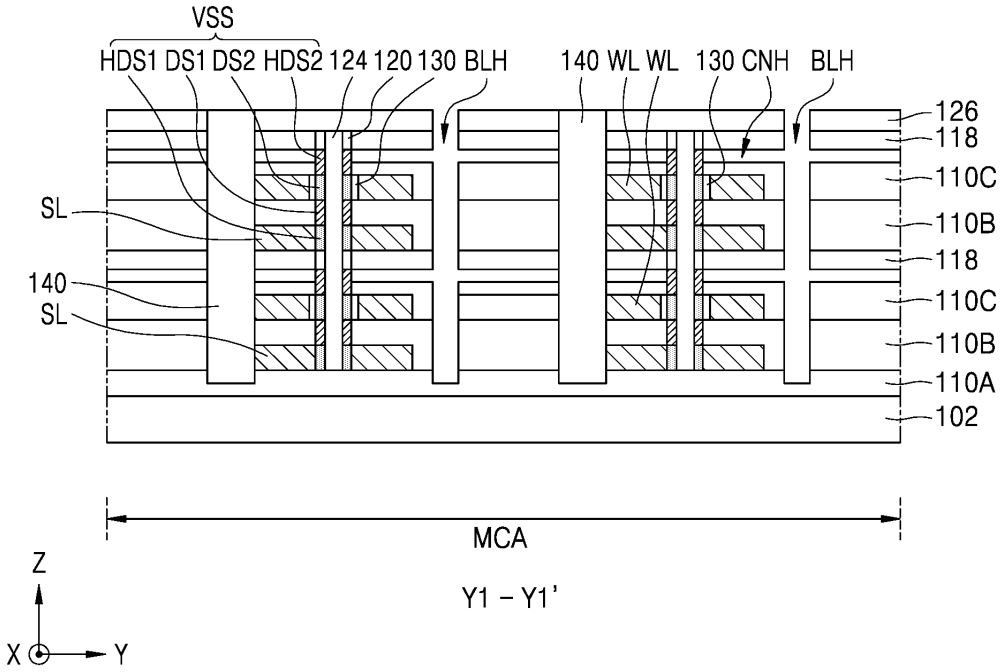
도면31


VSS
HDS1 DS1 DS2 HDS2 124 120 130 BLH
140 WL WL 130
BLH
126
118
116
110C
SL
110B
118
140
110C
SL
110B
110A
102
MCA
Y1 – Y1'
Z
X
Y

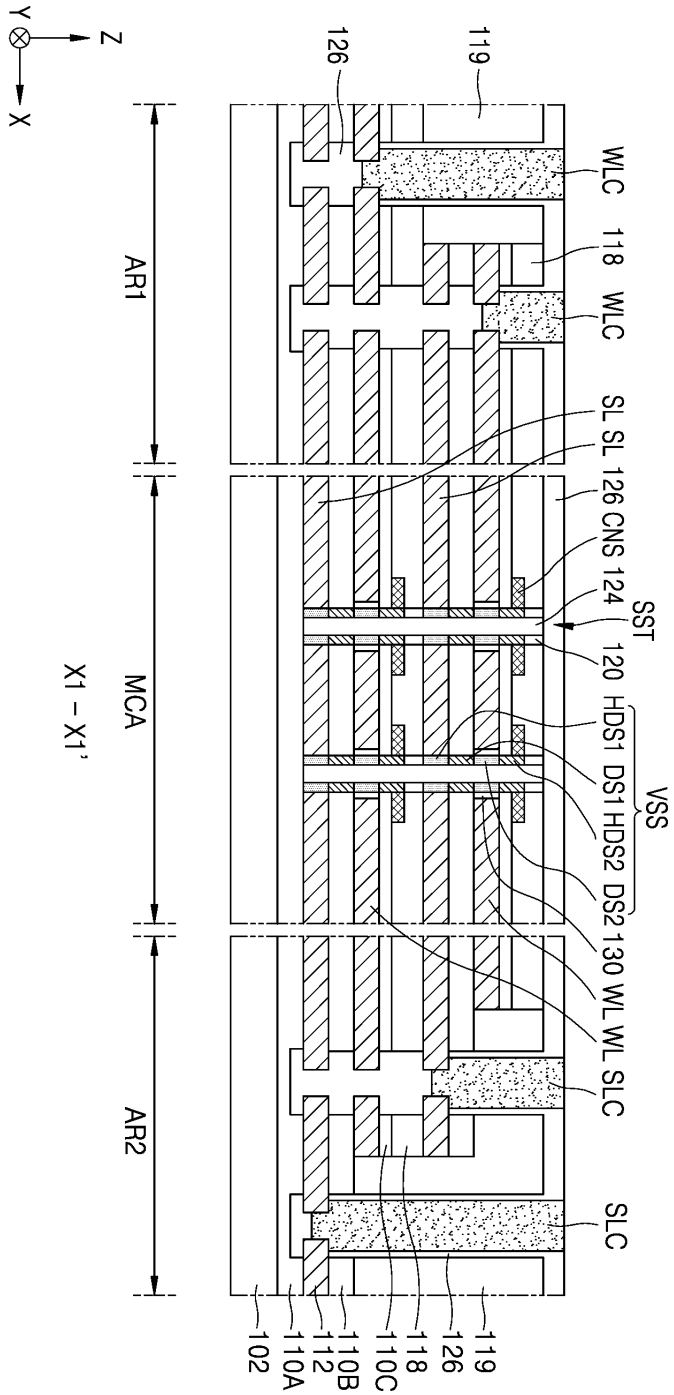
도면32a


Y
Z
X
126
119
WLC
118
WLC
SL
SL
126
CNH
124
SST
120
HDS1
DS1
HDS2
DS2
VSS
130
WL
WL
SLC
SLC
AR1
MCA
AR2
X1 – X1'
102
110A
112
110B
110C
118
126
119

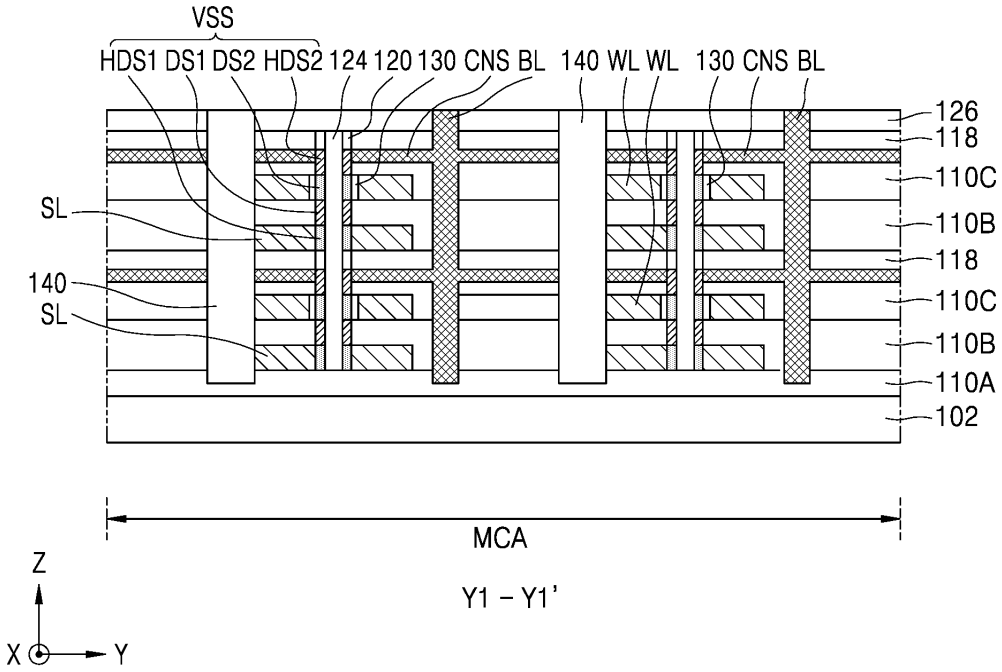
도면32b


VSS
HDS1 DS1 DS2 HDS2 124 120 130 BLH
140 WL WL 130 CNH BLH
126
118
110C
110B
118
110C
110B
110A
102
SL
140
SL
MCA
Y1 – Y1'
Z
X
Y

도면33a


Y
Z
X
126
119
WLC
118
WLC
SL
SL
126
CNS
124
SST
120
HDS1
DS1
HDS2
DS2
VSS
130
WL
WL
SLC
SLC
AR1
MCA
AR2
X1 – X1'
102
110A
112
110B
110C
118
126
119

도면33b


VSS
HDS1 DS1 DS2 HDS2 124 120 130 CNS BL 140 WL WL 130 CNS BL
126
118
110C
110B
118
110C
110B
110A
102
SL
140
SL
MCA
Y1 - Y1'
Z
X
Y