

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6285671号  
(P6285671)

(45) 発行日 平成30年2月28日 (2018. 2. 28)

(24) 登録日 平成30年2月9日 (2018. 2. 9)

(51) Int. Cl.	F I				
GO 1 J 1/44 (2006. 01)	GO 1 J 1/44	P			
GO 1 V 8/20 (2006. 01)	GO 1 V 8/20	Q			
HO 4 N 5/32 (2006. 01)	HO 4 N 5/32				
HO 4 N 5/374 (2011. 01)	HO 4 N 5/374	2 0 0			
HO 1 L 27/146 (2006. 01)	HO 1 L 27/146	C			
請求項の数 4 (全 37 頁) 最終頁に続く					

(21) 出願番号 特願2013-187259 (P2013-187259)  
(22) 出願日 平成25年9月10日 (2013. 9. 10)  
(65) 公開番号 特開2014-74713 (P2014-74713A)  
(43) 公開日 平成26年4月24日 (2014. 4. 24)  
審査請求日 平成28年9月7日 (2016. 9. 7)  
(31) 優先権主張番号 特願2012-200495 (P2012-200495)  
(32) 優先日 平成24年9月12日 (2012. 9. 12)  
(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
株式会社半導体エネルギー研究所  
神奈川県厚木市長谷 3 9 8 番地  
(72) 発明者 黒川 義元  
神奈川県厚木市長谷 3 9 8 番地 株式会社  
半導体エネルギー研究所内  
(72) 発明者 鶴目 卓也  
神奈川県厚木市長谷 3 9 8 番地 株式会社  
半導体エネルギー研究所内  
審査官 塚本 丈二

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

一画素内に、表示素子と光検出回路とを有し、  
前記光検出回路は、  
光電変換素子と、  
前記光電変換素子と電氣的に接続された第 1 の信号出力回路と、  
前記光電変換素子と電氣的に接続された第 2 の信号出力回路と、  
第 1 の配線と、を有し、  
前記第 1 の信号出力回路及び前記第 2 の信号出力回路は、  
前記光電変換素子への光の入射量に応じてゲート電位が変動し、前記ゲート電位に応じた信号を出力するトランジスタと、  
前記光電変換素子と前記トランジスタとの間に電氣的に接続され、前記ゲート電位を保持する第 1 のスイッチング素子と、  
前記信号の出力制御を行う第 2 のスイッチング素子と、を各々有し、  
前記第 1 の信号出力回路の前記第 2 のスイッチング素子のゲートと、前記第 2 の信号出力回路の前記第 2 のスイッチング素子のゲートとは、それぞれ異なる配線に電氣的に接続され、  
前記第 1 の信号出力回路の前記第 2 のスイッチング素子のソース及びドレインの一方の端子と、前記第 2 の信号出力回路の前記第 2 のスイッチング素子のソース及びドレインの一方の端子とは、前記第 1 の配線に電氣的に接続され、

10

20

前記第 1 の信号出力回路に保持される前記ゲート電位及び前記第 2 の信号出力回路に保持される前記ゲート電位は、各々が異なる期間における前記光電変換素子への光の入射量に基づく電位であり、

前記第 1 の信号出力回路及び前記第 2 の信号出力回路の各々に前記ゲート電位を保持した後に、前記第 1 の信号出力回路及び前記第 2 の信号出力回路の各々から前記ゲート電位に応じた前記信号を異なるタイミングで前記第 1 の配線に出力することを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記第 1 のスイッチング素子は、チャンネル形成領域に酸化物半導体材料を用いたトランジスタであることを特徴とする半導体装置。

10

【請求項 3】

請求項 1 において、

前記トランジスタ、前記第 1 のスイッチング素子、及び前記第 2 のスイッチング素子は、チャンネル形成領域に酸化物半導体材料を用いたトランジスタであることを特徴とする半導体装置。

【請求項 4】

請求項 1 において、

前記光電変換素子へ入射する光は、放射線を受けたシンチレータから出力された光であることを特徴とする半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、光検出回路および光検出回路を備える半導体装置に関する。

【背景技術】

【0002】

様々な分野において、外部からの光を受光して当該光の入射量に応じた信号を出力する回路（以下、「光検出回路」とも記載する）を備えた半導体装置が用いられている。

【0003】

光検出回路としては、例えば CMOS 回路を備えた光検出回路（以下、CMOS センサとも記載する）などがあり、CMOS センサは、光の入射量に応じた電流を流すことのできる光電変換素子（例えば、フォトダイオードなど）と、光電変換素子への光の入射量に基づいた電位を保持し、当該電位に応じた信号を出力する信号出力回路とを有している。

30

【0004】

なお、CMOS センサは、信号出力回路に保持された電位（電荷ともいえる）を初期状態にする動作（リセット動作ともいう）と、光電変換素子に流れる光電流の量に対応した電位を生成する動作（電位生成動作ともいう）と、当該電位に応じた信号を出力する動作（出力動作ともいう）を、MOS トランジスタを含んだ信号出力回路で行うことにより、光電変換素子への光の入射量を検出する。

【0005】

光検出回路を備えた半導体装置として、例えば、マトリクス状に配置された複数の画素の各々に光検出回路が設けられた画像表示装置などが一例として挙げられる（例えば、特許文献 1 参照）。

40

【0006】

当該画像表示装置では、表示画面上に被検出物（例えば、ペンや指など）が存在した場合、当該画像表示装置から発せられた光の一部が被検出物により反射され、その反射光の量を光検出回路により検出することにより、被検出物の表示画面上での存在領域の検出を行うことができる。

【0007】

また、光検出回路を備えた半導体装置としては、シンチレータ、および複数の光検出回路

50

を備えるフラットパネルディテクタが設けられた医療用画像診断装置などが一例として挙げられる（例えば、特許文献 2 参照）。

【 0 0 0 8 】

当該医療用画像診断装置では、放射線照射源から照射された放射線（例えば、X 線など）を人体に照射し、人体を透過した放射線をシンチレータにより光（例えば、可視光など）に変換し、当該光をフラットパネルディテクタが備える光検出回路により検出して撮像データを構成することで、人体内部の画像を電子データとして取得することができる。

【 0 0 0 9 】

しかし、上記のように、半導体装置内に設けられた光検出回路により各種情報を取得する半導体装置において、光検出回路から出力される信号（検出信号ともいう）は、情報取得に必要な信号（必須信号ともいう）だけでなく、不要な信号（ノイズ信号ともいう）を含んだ複合信号である場合がある。

10

【 0 0 1 0 】

例えば、上述の画像表示装置では、「被検出物により反射されて光検出回路に入射する光」に応じて光検出回路から出力される信号は必須信号であるのに対し、「太陽光や蛍光灯など装置の外部から入射する光（外光）」に応じて光検出回路から出力される信号はノイズ信号となる。

【 0 0 1 1 】

また、上述の医療用画像診断装置において、シンチレータより発せられる光には、放射線照射停止後も発光が続く現象（いわゆる、アフターグローと呼ばれる現象）が存在するため、フラットパネルディテクタの受ける光は、「放射線の照射により発せられる光」と、「アフターグローにより発せられる光」の両方を含んだ光となる場合がある。

20

【 0 0 1 2 】

この場合、「放射線の照射により発せられる光」に応じて光検出回路から出力される信号は必須信号であるのに対し、「アフターグローにより発せられる光」に応じて光検出回路から出力される信号はノイズ信号となる。

【 0 0 1 3 】

上述のように、光検出回路から出力される検出信号に必須信号だけでなくノイズ信号も含まれてしまう問題を解決するためには、複合信号からノイズ信号のみを選択的に除去することが有効である。これを行うために、例えば画像表示装置では、非特許文献 1 のようにマトリクス状に配置された光検出回路（CMOS センサ）を有する装置が提案されている。

30

【 0 0 1 4 】

非特許文献 1 の画像表示装置（非特許文献 1 の図 3 参照）では、マトリクス状に配置された光検出回路（非特許文献 1 では、フォトセンサと記載されている）は、トランジスタ M 1、トランジスタ M 2 および容量  $C_{INT}$  が信号出力回路として機能し、素子 D 1 が光電変換素子として機能する。

【 0 0 1 5 】

そして、バックライトを点灯して被検出物に光を照射する期間において、奇数行目の光検出回路でリセット動作及び電位生成動作を行った後、バックライトを非点灯として被検出物に光を照射しない期間において、偶数行目の光検出回路でリセット動作及び電位生成動作を行う。

40

【 0 0 1 6 】

なお、バックライトの点滅の間隔は短く、バックライトの点灯時と非点灯時とで被検出物はほとんど移動しないと見なす。

【 0 0 1 7 】

その後、隣接する 2 行の光検出回路において同時に出力動作を行い、それらの検出信号の差分をとる。そして、当該動作を順次繰り返し、全行の光検出回路の出力動作を行う。

【 0 0 1 8 】

こうして得られた隣接する 2 行の光検出回路により得られた検出信号の差分は、バックラ

50

イト点灯時における光検出回路への光の入射量に応じた信号（複合信号）から、バックライト非点灯時における光検出回路への光の入射量に応じた信号（ノイズ信号）が排除されているため、必須信号のみが含まれた正確な信号であるといえる。

【0019】

つまり、光検出回路を用いて複数の検出信号（少なくとも2個以上の検出信号）を取得し、当該複数の検出信号を用いて正確な検出信号を得ている。

【先行技術文献】

【特許文献】

【0020】

【特許文献1】特開2006-079589号公報

10

【特許文献2】特開2003-250785号公報

【非特許文献】

【0021】

【非特許文献1】K. Tanaka et. al, "A System LCD with Optical Input Function using Infra-Red Backlight Subtraction Scheme", SID 2010 Digest p. 680-683

【発明の概要】

【発明が解決しようとする課題】

【0022】

20

しかしながら、非特許文献1に記載の構造では、異なる期間（バックライト点灯時およびバックライト非点灯時）における検出信号を取得するためには、少なくとも隣接する2つの光検出回路を必要とする。

【0023】

このため、2つの光検出回路の光電変換素子の特性（例えば受光感度など）に差がある場合、2つの光検出回路から出力される検出信号には光電変換素子の特性差が含まれてしまう。

【0024】

上記の課題に鑑み、開示する発明の一態様は、光電変換素子の特性に影響を受けることなく、異なる期間における検出信号を取得することが可能な光検出回路を提供することを目的の一つとする。

30

【0025】

また、開示する発明の一態様は、上記光検出回路を備える半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0026】

上述課題を解決するため、開示する発明の一態様では、光検出回路の構造を、一つの光電変換素子に $n$ 個（ $n$ は2以上の自然数）の信号出力回路が接続し、 $n$ 個の信号出力回路を、（1）光電変換素子への光の入射量に応じてゲート電位が変動し、当該ゲート電位に応じた信号を出力するトランジスタ、（2）光電変換素子とトランジスタ間に接続され、トランジスタのゲート電位を保持する第1のスイッチング素子、（3）トランジスタから出力される信号の制御を行う第2のスイッチング素子、を備えた構造とする。

40

【0027】

信号出力回路を上述した構造とした場合、第1のスイッチング素子をオフ状態とすることでトランジスタのゲート電位を保持できるため、光電変換素子への光の入射量に基づく情報を、異なる期間毎に別の信号出力回路に保持できる。そして、 $n$ 個の信号出力回路において、それぞれ異なる期間における情報（光電変換素子への光の入射量に基づく情報）を保持した後に、第2のスイッチング素子をオン状態とすることで、光電変換素子の特性に影響を受けることなく、異なる期間における信号を取得することが可能となる。

【0028】

50

すなわち、本発明の一態様は、光電変換素子と、光電変換素子と接続された $n$ 個（ $n$ は2以上の自然数）の信号出力回路を備え、 $n$ 個の前記信号出力回路は、光電変換素子への光の入射量に応じてゲート電位が変動しゲート電位に応じた信号を出力するトランジスタと、光電変換素子とトランジスタ間に接続されゲート電位を保持する第1のスイッチング素子と、信号の出力制御を行う第2のスイッチング素子を有し、 $n$ 個の信号出力回路に保持されるゲート電位は、各々が異なる期間における光電変換素子への光の入射量に基づく電位であり、 $n$ 個の信号出力回路にゲート電位を保持した後に $n$ 個の信号出力回路の各々からゲート電位に応じた信号を出力することを特徴とする光検出回路である。

【0029】

光検出回路を上述した構造とすることにより、光電変換素子の特性に影響を受けることなく、異なる期間における信号を取得することが可能な光検出回路とすることができる。

10

【0030】

なお、上述の光検出回路において、 $n$ 個の信号出力回路の第2のスイッチング素子に接続され、第2のスイッチング素子の動作状態を制御する信号を伝送する配線を有する構造とする事により、各々の信号出力回路における第2のスイッチング素子のオンオフ動作に必要な配線を少なくすることができる。また、 $n$ 個の信号出力回路からの信号の出力を同時に行うこともできるため、信号の取得を短時間で行うことができる。

【0031】

そして、上述の光検出回路において、第1のスイッチング素子を、チャネル形成領域に酸化物半導体材料を用いたトランジスタとした場合、第1のスイッチング素子はオフ電流が非常に低く、トランジスタのゲート電位を長時間保持できる。このため、信号出力回路から出力される信号は、光電変換素子への光の入射量に対応した情報を極めて正確に含む信号となる。

20

【0032】

なお、第1のスイッチング素子に加えて更に、第2のスイッチング素子およびトランジスタを、チャネル形成領域に酸化物半導体材料を用いたトランジスタとした場合、信号出力回路の備える素子を同一の工程で作製することができるため、光検出回路の作製に係る時間やコストを低減できる。

【0033】

また、上述の光検出回路を半導体装置に用いる場合は、光検出回路をマトリクス状に備え、マトリクス状の光検出回路の全てにおいて、光検出回路の備える $n$ 個の信号出力回路にゲート電位を保持した後、各々の光検出回路からゲート電位に応じた $n$ 個の信号を出力する構造とすることで、全ての光検出回路から短時間で、異なる期間における信号を取得することが可能となる。

30

【0034】

半導体装置の具体的な一例としては、例えば放射線撮像装置がある。放射線撮像装置に上述の光検出回路を用いる場合は、放射線照射源と、放射線照射源から出力される放射線を受けて光を出力するシンチレータと、マトリクス状に設置された光検出回路および光検出回路の動作を制御する光検出回路制御部を備えた光検出機構と、光検出回路制御部から出力される信号の比較処理を行う検出信号比較部を有し、光検出機構は、マトリクス状の光検出回路の全てにおいて光検出回路の備える $n$ 個の信号出力回路にゲート電位を保持した後、各々の光検出回路からゲート電位に応じた $n$ 個の前記信号を出力し、検出信号比較部は、各々の光検出回路から出力される $n$ 個の信号について光検出回路毎に比較処理を行う構造とすればよい。

40

【0035】

放射線撮像装置とは異なる半導体装置の具体的な一例としては、例えば画像表示装置がある。画像表示装置に上述の光検出回路を用いる場合は、表示素子および光検出回路を有する画素をマトリクス状に備える表示部と、表示素子の動作を制御する表示素子制御部と、光検出回路の動作を制御する光検出回路制御部と、光検出回路制御部から出力される信号を用いて画像信号を生成する画像信号生成部を有し、マトリクス状の画素が備える光検出

50

回路の全てにおいて、光検出回路の備える  $n$  個の信号出力回路にゲート電位を保持した後、各々の光検出回路からゲート電位に応じた  $n$  個の前記信号を出力し、画像信号生成部は、各々の光検出回路から出力される  $n$  個の信号について、光検出回路毎に画像信号生成処理を行う構造とすればよい。

【0036】

また、本発明の一態様は、光電変換素子と、光電変換素子と接続された  $n$  個 ( $n$  は 2 以上の自然数) の信号出力回路を備え、 $n$  個の信号出力回路は、光電変換素子への光の入射量に応じてゲート電位が変動してゲート電位に応じた信号を出力するトランジスタと、光電変換素子とトランジスタ間に接続されゲート電位を保持する第 1 のスイッチング素子と、トランジスタから出力される信号の制御を行う第 2 のスイッチング素子を有し、 $n$  個の信号出力回路において、光電変換素子への光の入射量に基づく電位を第 1 のスイッチング素子をオフ状態とすることでゲート電位として保持する工程を、信号出力回路毎に異なる期間で行った後、第 2 のスイッチング素子をオン状態としてゲート電位に応じた信号を出力する工程を行うことを特徴とする光検出回路の動作方法である。

10

【0037】

光検出回路を上述の動作方法で駆動させることにより、光検出回路において、光電変換素子の特性に影響を受けることなく、異なる期間における光電変換素子への光の入射量に応じた信号を短時間で取得することができる。

【0038】

なお、上述の光検出回路の動作方法において、ゲート電位を初期状態とする動作を  $n$  個の信号出力回路において同時に行うことにより、 $n$  個の信号出力回路におけるゲート電位のリセットを同時に行うことができるため、信号の取得を短時間で行うことができる。

20

【0039】

また、上述の光検出回路の動作方法において、第 2 のスイッチング素子をオン状態とする動作およびオフ状態とする動作を  $n$  個の信号出力回路において同時に行うことにより、 $n$  個の信号出力回路からの信号の出力を同時に行うこともできるため、信号の取得を短時間で行うことができる。

【発明の効果】

【0040】

本発明の一態様のように、光検出回路の構造を、光電変換素子に  $n$  個 ( $n$  は 2 以上の自然数) の出力回路が接続された構造とし、当該出力回路においては、生成された電位の大きさにより出力される信号が変化するトランジスタと、出力回路からの電位のリークを防止する第 1 のスイッチング素子と、トランジスタからの出力信号の制御を行う第 2 のスイッチング素子を有した構造とする。そして、 $n$  個の出力回路において、出力回路毎に異なる期間で (タイミングで) 信号を保持した後、 $n$  個の出力回路から信号を出力する。

30

【0041】

これにより、光電変換素子の特性に影響を受けることなく、かつ、異なる期間における信号の取得が可能な光検出回路とすることができる。

【図面の簡単な説明】

【0042】

40

【図 1】光検出回路の構造および動作フローを説明する図。

【図 2】光検出回路の動作フローを説明する図。

【図 3】光検出回路の構造および動作フローを説明する図。

【図 4】光検出回路の動作フローを説明する図。

【図 5】光検出回路の構造を説明する図。

【図 6】光検出回路の構造を説明する図。

【図 7】演算増幅回路を説明する図。

【図 8】光検出回路のレイアウトを説明する図。

【図 9】光検出回路のレイアウトを説明する図。

【図 10】放射線撮像装置の構造を説明する図。

50

【図 1 1】放射線撮像装置の動作を説明する図。

【図 1 2】画像表示装置の構造を説明する図。

【図 1 3】画像表示装置の構造を説明する図。

【図 1 4】画像表示装置の動作を説明する図。

【図 1 5】光検出回路の構造を説明する図。

【発明を実施するための形態】

【0043】

以下に、発明を実施するための形態について、図面を用いて詳細に説明する。但し、以下の実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、実施の形態を説明するための全図において、同一部分又は同様な機能を有する部分には同一の符号を付し、その繰り返しの説明は省略する。

10

【0044】

なお、以下に説明する実施の形態において、トランジスタの「一方の端子」とは「ソース電極およびドレイン電極の一方」を表し、トランジスタの「他方の端子」とは、「ソース電極およびドレイン電極の他方」を表す。つまり、トランジスタの「一方の端子」が「ソース電極」である場合、トランジスタの「他方の端子」は「ドレイン電極」を表す。

【0045】

また、本明細書中において、電気的な接続とは、電流、電圧または電位が、供給可能、或いは伝送可能な状態に相当する。従って、電気的に接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧または電位が、供給可能、或いは伝送可能であるように、配線、抵抗、ダイオード、トランジスタなどの回路素子を介して間接的に接続している状態も、その範疇に含む。

20

【0046】

なお、特に断りがない限り、本明細書でオフ電流とは、nチャネル型トランジスタにおいては、ドレイン電極をソース電極とゲート電極よりも高い電位とした状態において、ソース電極の電位を基準としたときのゲート電極の電位が0以下であるときに、ソース電極とドレイン電極の間に流れる電流のことを意味する。また、pチャネル型トランジスタにおいては、ドレイン電極をソース電極とゲート電極よりも低い電位とした状態において、ソース電極の電位を基準としたときのゲート電極の電位が0以上であるときに、ソース電極とドレイン電極の間に流れる電流のことを意味する。

30

【0047】

(実施の形態1)

本実施の形態では、光検出回路の構造および動作方法について、図1および図2を用いて説明する。

【0048】

<光検出回路の構造>

図1(A)は、光検出回路の構成を表す回路図の一例である。光検出回路は、光電変換素子100と、光電変換素子100と接続された2個の信号出力回路(第1の信号出力回路101および第2の信号出力回路102)を備えている。

40

【0049】

<光電変換素子の説明>

光電変換素子100として、図1ではフォトダイオードを記載している。当該フォトダイオードは、外部からの光の入射により電流が発生する性質を有しており、入射した光の強度により流れる光電流の値が変化する。なお、光電変換素子100がフォトダイオードに限定されることはない。例えば、光電変換素子100を可変抵抗素子とした構成でもよい。可変抵抗素子には、一对の電極と、その一对の電極間に設けられたi型の導電性を有する非晶質シリコン層を有する構成を用いることができる。当該i型非晶質シリコン層は、光が照射されることにより抵抗が変化するため、フォトダイオードと同様に用いることが

50

できる。

#### 【 0 0 5 0 】

光電変換素子 1 0 0 は、一方の電極が配線 1 1 1（配線 P R とも記載する）と接続され、他方の電極が第 1 の信号出力回路 1 0 1 および第 2 の信号出力回路 1 0 2 と接続されている。

#### 【 0 0 5 1 】

勿論、光電変換素子 1 0 0 の一方の電極を、第 1 の信号出力回路 1 0 1 および第 2 の信号出力回路 1 0 2 と接続し、他方の電極を配線 1 1 1 と接続した構造としてもよい。

#### 【 0 0 5 2 】

信号出力回路（第 1 の信号出力回路 1 0 1 および第 2 の信号出力回路 1 0 2）は、光電変換素子 1 0 0 への光の入射量を情報として含む電位を各々の回路内に保持する役割および、当該電位に応じた検出信号を外部に出力する役割を担っている。

10

#### 【 0 0 5 3 】

本実施の形態の説明において、2 個の信号出力回路（第 1 の信号出力回路 1 0 1 および第 2 の信号出力回路 1 0 2）は同一の構造であるため、信号出力回路の備える構成要素については同一の符号を使用する。例えば、第 1 の信号出力回路 1 0 1 の備えるトランジスタと第 2 の信号出力回路 1 0 2 の備えるトランジスタは、共に「トランジスタ 1 2 0」と記載する。

#### 【 0 0 5 4 】

< 検出回路の説明 >

20

第 1 の信号出力回路 1 0 1 は、光電変換素子 1 0 0 への光の入射量に応じてゲート電位が変動し、当該ゲート電位に応じた信号を出力するトランジスタ 1 2 0 と、光電変換素子 1 0 0 とトランジスタ 1 2 0 間に接続され両者の接続状態を制御し、トランジスタ 1 2 0 のゲートに加わる電位を保持する役割を担う第 1 のスイッチング素子 1 2 1 と、トランジスタ 1 2 0 から出力される信号の制御を行う第 2 のスイッチング素子 1 2 2 を有している。

#### 【 0 0 5 5 】

第 1 の信号出力回路 1 0 1 の備えるトランジスタ 1 2 0 は、ゲートが配線 1 1 2（配線 F D 1 とも記載する）と、ソースおよびドレインの一方が配線 1 1 3（配線 V R とも記載する）と、ソースおよびドレインの他方が第 2 のスイッチング素子 1 2 2 のソースおよびドレインの一方と接続されている。

30

#### 【 0 0 5 6 】

第 1 の信号出力回路 1 0 1 の備える第 1 のスイッチング素子 1 2 1 は、トランジスタ 1 2 0 のゲートに加わる電位を保持する役割を担うため、オフ時のリーク電流が極力小さいことが好ましい。

#### 【 0 0 5 7 】

オフ時のリーク電流が小さいスイッチング素子としては、例えば、チャネル形成領域に酸化物半導体材料を用いたトランジスタを用いることができる。

#### 【 0 0 5 8 】

上述酸化物半導体材料としては、少なくともインジウム（I n）あるいは亜鉛（Z n）を含むことが好ましい。特に I n と Z n を含むことが好ましい。また、該酸化物半導体材料を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム（G a）を有することが好ましい。また、スタビライザーとしてスズ（S n）を有することが好ましい。また、スタビライザーとしてハフニウム（H f）を有することが好ましい。また、スタビライザーとしてアルミニウム（A l）を有することが好ましい。

40

#### 【 0 0 5 9 】

また、他のスタビライザーとして、ランタノイドである、ランタン（L a）、セリウム（C e）、プラセオジウム（P r）、ネオジウム（N d）、サマリウム（S m）、ユウロピウム（E u）、ガドリニウム（G d）、テルビウム（T b）、ジスプロシウム（D y）、ホルミウム（H o）、エルビウム（E r）、ツリウム（T m）、イッテルビウム（Y b）、ル

50



テチウム (Lu) のいずれか一種または複数種を含んでいてもよい。

【0060】

酸化物半導体材料を用いた膜は、バンドギャップが3.0電子ボルト以上であり、シリコンのバンドギャップ(1.1電子ボルト)と比較して非常に大きい。

【0061】

トランジスタのオフ抵抗(トランジスタがオフ状態の時ににおける、ソースとドレイン間の抵抗をいう)は、チャネル形成領域における熱的に励起するキャリアの濃度に反比例する。ドナーやアクセプタによるキャリアが全く存在しない状態(真性半導体)であっても、シリコンの場合にはバンドギャップが1.1電子ボルトであるため、室温(300K)での熱励起キャリアの濃度は $1 \times 10^{11} \text{ cm}^{-3}$ 程度である。

10

【0062】

一方、酸化物半導体材料を用いた膜のバンドギャップは、上述のとおり一般的に3.0電子ボルト以上と大きく、例えばバンドギャップが3.2電子ボルトの場合では、熱励起キャリアの濃度は $1 \times 10^{-7} \text{ cm}^{-3}$ 程度となる。電子移動度が同じ場合、抵抗率は、キャリア濃度に反比例するので、バンドギャップ3.2電子ボルトの半導体の抵抗率は、シリコンより18桁も大きい。

【0063】

このようなバンドギャップの広い酸化物半導体材料をチャネル形成領域に適用したトランジスタは極めて低いオフ電流を実現できる。

【0064】

20

そして、当該トランジスタを第1のスイッチング素子121として用い、光電変換素子100への光の入射量に基づいてトランジスタ120のゲート電位が変動した後に第1のスイッチング素子121をオフ状態とすることで、トランジスタ120のゲート電位を配線112に長時間保持することができる。

【0065】

なお、上述では第1のスイッチング素子121の一例として、チャネル形成領域に酸化物半導体材料を用いたトランジスタについての説明を行ったが、オフ電流が低い他のスイッチング素子を用いてもよい。例えば、磁気抵抗効果を用いたトランジスタ(スピントランジスタなどとも言われる)や、ゲート絶縁膜として強誘電体材料を用いたトランジスタ(強誘電体トランジスタなどとも言われる)などを用いることができる。

30

【0066】

トランジスタ120のドレイン(またはソース)からは、トランジスタ120のゲート電位に応じた信号が出力される。したがって、当該信号は「光電変換素子100への光の入射量を情報として含む信号」と捉えることもできる。

【0067】

第1のスイッチング素子121である、チャネル形成領域に酸化物半導体材料を用いたトランジスタは、ソースおよびドレインの一方が光電変換素子100の他方の電極と、ソースおよびドレインの他方がトランジスタ120のゲートと、ゲートが配線114(配線TX1とも記載する)と接続されている。

【0068】

40

なお、本実施の形態等では、チャネル形成領域に酸化物半導体材料を用いたトランジスタを第1のスイッチング素子121として記載しているが、接続状態(導通状態)のオンオフを切り替えることが可能な素子であればトランジスタに限定されるものではなく、様々な公知技術を用いることができる。

【0069】

第1の信号出力回路101が備える第2のスイッチング素子122は、ソースおよびドレインの一方がトランジスタ120のソースおよびドレインの他方と、ソースおよびドレインの他方が配線115(配線OUTとも記載する)と、ゲートが配線116(配線SE1とも記載する)と接続されている。

【0070】

50

図1(A)のように第2のスイッチング素子122をトランジスタとした場合、当該トランジスタの $V_{gs}$ (ソースを基準とした場合のゲートとソース間の電圧差)をしきい値電圧より十分大きな電圧とすることにより、トランジスタ120から出力される信号が配線115(OUT)に出力される。

【0071】

なお、配線115(OUT)には、積分回路が接続されていてもよい。配線115(OUT)に積分回路が接続されていることにより、信号のS/N比を高めることができ、より微弱な光を検出することができる。積分回路の具体的な構成例については、実施の形態2にて記載する。

【0072】

第2の信号出力回路102は、光電変換素子100への光の入射量に応じてゲート電位が変動し、当該ゲート電位に応じた信号を出力するトランジスタ120と、光電変換素子100とトランジスタ120間に接続され両者の接続状態を制御し、トランジスタ120のゲートに加わる電位を保持する役割を担う第1のスイッチング素子121と、トランジスタ120から出力される信号の制御を行う第2のスイッチング素子122を有している。

【0073】

第2の信号出力回路102の備えるトランジスタ120は、ゲートが配線132(配線FD2とも記載する)と、ソースおよびドレインの一方が配線113(配線VRとも記載する)と、ソースおよびドレインの他方が第2のスイッチング素子122の一方の電極と電気的に接続されている。

【0074】

トランジスタ120のソースおよびドレインの一方と接続された配線は、第1の信号出力回路101における配線113と共通の配線を用いている。

【0075】

第2の信号出力回路102の備える第1のスイッチング素子121は、トランジスタ120のゲートに加わる電位を保持する役割を担うため、オフ電流が極力小さいことが好ましく、例えば、チャネル形成領域に酸化物半導体材料を用いたトランジスタを用いることができる。チャネル形成領域に酸化物半導体材料を用いたトランジスタについての説明は、上述した「第1の信号出力回路101の説明」に記載した内容を参酌することができる。

【0076】

チャネル形成領域に酸化物半導体材料を用いたトランジスタはオフ電流が極めて小さいため、第1のスイッチング素子121として用い、光電変換素子100への光の入射量に基づいてトランジスタ120のゲート電位が変動した後に第1のスイッチング素子121をオフ状態とすることで、トランジスタ120のゲート電位を配線132に長時間保持することができる。

【0077】

また、トランジスタ120のドレイン(またはソース)からは、トランジスタ120のゲート電位に応じた信号(以下、第2の信号出力回路102から出力される信号を、第2の信号とも記載する)が出力される。

【0078】

第1のスイッチング素子121である、チャネル形成領域に酸化物半導体材料を用いたトランジスタは、ソースおよびドレインの一方が光電変換素子100の他方の電極と、ソースおよびドレインの他方がトランジスタ120のゲートと、ゲートが配線134(配線TX2とも記載する)と接続されている。

【0079】

なお、本実施の形態等では、チャネル形成領域に酸化物半導体材料を用いたトランジスタを第1のスイッチング素子121として記載しているが、接続状態(導通状態)のオンオフを切り替えることが可能な素子であれば、トランジスタに限定されるものではない。

【0080】

第2の信号出力回路102の備える第2のスイッチング素子122は、ソースおよびドレ

10

20

30

40

50

インの一方がトランジスタ 1 2 0 のソースおよびドレインの他方と、ソースおよびドレインの他方が配線 1 1 5 (配線 O U T と記載する) と、ゲートが配線 1 3 6 (配線 S E 2 と記載する) と接続されている。

【 0 0 8 1 】

第 2 のスイッチング素子 1 2 2 のソースおよびドレインの他方と接続された配線は、第 1 の信号出力回路 1 0 1 における配線 1 1 5 と共通の配線を用いている。

【 0 0 8 2 】

光検出回路を上述の構造とすることにより、各々の信号出力回路の備える第 1 のスイッチング素子 1 2 1 を異なるタイミングでオン状態とすることで、異なるタイミングでの光電変換素子 1 0 0 への光の入射量を検出することができる。第 1 のスイッチング素子 1 2 1 をオフ状態とすることで当該情報をゲート電位として保持できるため、例えば、第 1 の期間において光電変換素子 1 0 0 に入射する光が「複合信号」を生成する光であっても、当該光を情報として含む電位を第 1 の信号出力回路 1 0 1 内に保持し、さらに第 2 の期間において「ノイズ信号」を生成する光を検出し、当該光を情報として含む電位を第 2 の信号出力回路 1 0 2 内に保持することで、光検出回路から「必須信号」の生成に必要な信号を得ることができる。

10

【 0 0 8 3 】

なお、本実施の形態において、トランジスタ 1 2 0 は光電変換素子 1 0 0 が生成する電気信号を増幅する機能を有するため、高い移動度を有することが好ましい。

【 0 0 8 4 】

高い移動度を備えるトランジスタ 1 2 0 としては、例えば、非晶質シリコンや微結晶シリコン、多結晶シリコン、単結晶シリコンなどをチャネル形成領域に用いた薄膜トランジスタを適用することが可能である。

20

【 0 0 8 5 】

一方で、配線 1 1 3 ( V R ) に不必要な電位を出力することを防ぐため、低いオフ電流特性が必要である。そのため、高い移動度と低いオフ電流を両立できる、酸化物半導体材料をチャネル形成領域に用いたトランジスタでトランジスタ 1 2 0 を構成することも有効である。

【 0 0 8 6 】

また、本実施の形態において、第 2 のスイッチング素子 1 2 2 は、信号出力回路からの信号の出力を制御する機能を有するため、高い移動度を有することが好ましい。

30

【 0 0 8 7 】

高い移動度を備える第 2 のスイッチング素子 1 2 2 としては、例えば、非晶質シリコンや微結晶シリコン、多結晶シリコン、単結晶シリコンなどをチャネル形成領域に用いた薄膜トランジスタを適用することが可能である。

【 0 0 8 8 】

一方で、配線 1 1 5 ( O U T ) に不必要な電位を出力することを防ぐため、低いオフ電流特性が必要である。そのため、高い移動度と低いオフ電流を両立できる、酸化物半導体材料をチャネル形成領域に用いたトランジスタで第 2 のスイッチング素子 1 2 2 を構成する構成も有効である。

40

【 0 0 8 9 】

なお、各々の信号出力回路の備える全ての構成要素 (トランジスタ 1 2 0、第 1 のスイッチング素子 1 2 1 および第 2 のスイッチング素子 1 2 2) に、チャネル形成領域に酸化物半導体材料を用いたトランジスタを用いることで、信号出力回路の作製プロセスを簡略化することができる。

【 0 0 9 0 】

また、トランジスタ 1 2 0 及び第 2 のスイッチング素子 1 2 2 のチャネル形成領域に、例えば、多結晶または単結晶のシリコンなどのように、酸化物半導体材料よりも高い移動度を得られる半導体材料を用いた場合は、信号出力回路からの情報の読み出しを高速で行うことができる。

50

## 【0091】

また、配線115(OUT)の電位を安定させるために、配線115(OUT)に容量素子を設けることも有効である。

## 【0092】

また、図1(A)では、配線113(VR)と配線115(OUT)の間に、トランジスタ120、第2のスイッチング素子122の順に両者が直列に接続された構成であるが、トランジスタ120と第2のスイッチング素子122の接続順が逆であってもよい。

## 【0093】

また、図1(A)では、トランジスタ120は半導体層の片側にのみにゲートを備えた構造であるが、トランジスタ120が、半導体層を挟んで存在する一対のゲートを備えた構造であってもよい。トランジスタ120が半導体層を挟んで存在する一対のゲートを有している場合、一方のゲートは配線112(または配線132)の電位を与えるフロントゲートとして機能し、他方のゲートはトランジスタ120のしきい値等を制御するバックゲートとしての機能することができる。この場合、他方のゲートに印加する電位は、ソース電位に対して-20V以上+2V以下の範囲とすればよい。なお、他方のゲートに印加する電位を上述範囲で変動させても、トランジスタ120のしきい値電圧の変動が信号出力回路の動作に影響を与えないようならば、他方のゲートは電氣的に絶縁されたフローティングの状態であってもよい。

10

## 【0094】

以上が、光検出回路の回路構成についての説明である。当該実施の形態にて記載した図1(A)に示す回路構成のレイアウト例について、実施の形態4にて記載する。

20

## 【0095】

なお、本実施の形態に記載の光検出回路は、1つの光電変換素子および当該光電変換素子に接続された2つの信号出力回路を備えた構造であるが、n個(nは2以上自然数)の信号出力回路を備えた構造としてもよい。例えば、図15のように、1つの光電変換素子に対して4つの信号出力回路(第1の信号出力回路101、第2の信号出力回路102、第3の信号出力回路103、および第4の信号出力回路104)を備えた構造であってもよい。1つの光電変換素子を4つの信号出力回路で共通化することができるため、配線の共用化、光電変換素子の大面積化が可能となる。また、光電変換素子の面積を大きくする必要が無い場合は、光検出回路の面積を小さくすることができる。

30

## 【0096】

また、本実施の形態に記載の光検出回路の構成は、図5に示すように、第1の信号出力回路101および第2の信号出力回路102にトランジスタ501が加えられた構成でもよい。当該トランジスタのゲートは配線111(PR)と電氣的に接続され、ソースおよびドレインの一方は配線112(FD1)(または、配線132(FD2))と電氣的に接続され、ソースおよびドレインの他方は配線502a(または、配線502b)と電氣的に接続され、光電変換素子100の一方の電極が配線503と電氣的に接続されている。ここで、配線503は光電変換素子100に逆バイアスを印加するための信号線(低電位線)である。また、配線502aおよび配線502bは、配線112(FD1)(または、配線132(FD2))を高電位にリセットするための信号線(高電位線)である。

40

## 【0097】

トランジスタ501は、配線112(FD1)(または、配線132(FD2))をリセットするためのリセットトランジスタとして機能する。したがって、図1(A)に示す検出回路とは異なり、光電変換素子100を介したリセット動作は行われず、該光電変換素子は常時逆バイアスが印加されている。配線112(FD1)および配線132(FD2)のリセットは、配線111(PR)の電位を"High"に制御することで行うことができる。

## 【0098】

トランジスタ501は、非晶質シリコン、微結晶シリコン、多結晶シリコン、単結晶シリコンなどのシリコン半導体を用いて形成することも可能であるが、リーク電流が大きいと

50

、電荷蓄積部で電荷が保持できる時間が十分でなくなってしまう。したがって、トランジスタ１２０と同じく、酸化物半導体材料で半導体層（少なくともチャネル形成領域）を形成したオフ電流が極めて小さい特性を有するトランジスタを用いることが好ましい。

【００９９】

< 光検出回路の動作フロー >

次に、図１（Ａ）に示す光検出回路の動作フローについて、図１（Ｂ）を用いて説明する。

【０１００】

図１（Ｂ）において、１１４Ｓ、１１２Ｓ、１１６Ｓはそれぞれ、第１の信号出力回路１０１における配線１１４（ＴＸ１）、配線１１２（ＦＤ１）、配線１１６（ＳＥ１）の電位に相当し、１３４Ｓ、１３２Ｓ、１３６Ｓはそれぞれ、第２の信号出力回路１０２における配線１３４（ＴＸ２）、配線１３２（ＦＤ２）、配線１３６（ＳＥ２）の電位に相当する。また、１１１Ｓ、１１５Ｓはそれぞれ、第１の信号出力回路１０１および第２の信号出力回路１０２に共通して用いられている配線１１１（ＰＲ）、配線１１５（ＯＵＴ）の電位に相当する。なお、配線１１３（ＶＲ）の電位は”Ｌｏｗ”で一定値とする。

【０１０１】

まず、時刻Ｔ１において、配線１１１の電位（信号１１１Ｓ）を”Ｈｉｇｈ”、第１の信号出力回路１０１における配線１１４（ＴＸ１）の電位（信号１１４Ｓ）を”Ｈｉｇｈ”とする（リセット動作開始）。

【０１０２】

これにより、光電変換素子１００に順方向バイアスが印加され、第１の信号出力回路１０１における配線１１２（ＦＤ１）の電位（信号１１２Ｓ）が”Ｈｉｇｈ”となる。なお、配線１１５（ＯＵＴ）の電位（信号１１５Ｓ）は”Ｈｉｇｈ”にプリチャージしておく。

【０１０３】

次に、時刻Ｔ２において、配線１１１（ＰＲ）の電位（信号１１１Ｓ）を”Ｌｏｗ”、第１の信号出力回路１０１における配線１１４（ＴＸ１）の電位（信号１１４Ｓ）を”Ｈｉｇｈ”とする（リセット動作終了、電位生成動作開始）。

【０１０４】

これにより、光電変換素子１００への光の入射量に基づいて光電変換素子１００に逆方向電流が流れ、第１の信号出力回路１０１における配線１１２（ＦＤ１）の電位（信号１１２Ｓ）が低下し始める。

【０１０５】

光電変換素子１００は、光が照射されると逆方向電流が増大するので、照射される光の量に応じて第１の信号出力回路１０１における配線１１２（ＦＤ）の電位（信号１１２Ｓ）の低下速度は変化する。すなわち、光電変換素子１００への光の入射量に基づいて、第１の信号出力回路１０１におけるトランジスタ１２０のソースとドレイン間のチャネル抵抗が変化する。

【０１０６】

次に、時刻Ｔ３において、第１の信号出力回路１０１における配線１１４（ＴＸ１）の電位（信号１１４Ｓ）を”Ｌｏｗ”とする（電位生成動作終了）。

【０１０７】

本実施の形態等における第１のスイッチング素子１２１は、上述のとおりチャネル形成領域に酸化物半導体材料を用いたトランジスタであり、オフ電流が極めて小さいため、後の出力動作を行うまで、第１の信号出力回路１０１におけるトランジスタ１２０のゲートに加わる電位を、配線１１２（ＦＤ１）に保持することが可能である。

【０１０８】

なお、第１の信号出力回路１０１における配線１１４（ＴＸ１）の電位（信号１１４Ｓ）を”Ｌｏｗ”とする際に、第１の信号出力回路１０１における配線１１４（ＴＸ１）と配線１１２（ＦＤ１）の間の寄生容量により、配線１１２（ＦＤ）の電位変化が生じる場合がある。電位変化の変化量が大きい場合、電位生成動作中に光電変換素子１００が生成し

10

20

30

40

50

た電荷量を正確に取得できないことになる。

【0109】

電位変化の変化量を低減するには、第1のスイッチング素子121として用いているトランジスタのゲートとソース（もしくはゲートとドレイン）間容量を低減する、トランジスタ120のゲート容量を増大する、第1の信号出力回路101における配線112（FD1）に保持容量を設ける、などの対策が有効である。なお、図1（B）では、これらの対策を施し、上記電位変化を無視できるものとしている。

【0110】

次に、第2の信号出力回路102においても、光電変換素子100への光の入射量を情報として含む電位を第2の信号出力回路102内に保持するため、第1の信号出力回路101にて行われた上述動作と同様に「リセット動作」、「電位生成動作」を行う。これにより、後の出力動作を行うまで、光電変換素子100への光の入射量を情報として含む電位を配線132に保持できる（時刻T4から時刻T6までの動作が、当該内容に相当する）。

10

【0111】

次に、時刻T7において、第1の信号出力回路101における配線116（SE1）の電位（信号116S）を「High」（出力動作開始）にすると、第2のスイッチング素子122のソースとドレイン間に、トランジスタ120のゲート電位に応じた電流が流れ、配線115（OUT）の電位（信号115S）が低下していく。なお、時刻T7以前に、配線115（OUT）のプリチャージを終了しておく。

20

【0112】

ここで、配線115（OUT）の電位（信号115S）が低下する速さは、第1の信号出力回路101におけるトランジスタ120のソースとドレイン間のチャネル抵抗に依存する。すなわち、第1の信号出力回路101での電位生成動作中における光電変換素子100への光の入射量に応じて、配線115（OUT）の電位（信号115S）が低下する速さが変化する。

【0113】

そして、時刻T8において、第1の信号出力回路101における配線116（SE1）の電位（信号116S）を「Low」（出力動作終了）にすると、第2のスイッチング素子122のソースとドレイン間に流れる電流が遮断され、配線115（OUT）の電位（信号115S）は、一定値となる。

30

【0114】

ここで、一定値となる値は、第1の信号出力回路101の電位生成動作中における光電変換素子100への光の入射量に応じて変化する。したがって、配線115（OUT）の電位（信号115S）を取得することで、第1の信号出力回路101の電位生成動作中における、光電変換素子100への光の入射量を知ることができる。つまり、出力動作後に第1の信号出力回路101から出力される信号が、第1の信号出力回路101における検出信号となる。

【0115】

より具体的には、光電変換素子100への光の入射量が多い場合、第1の信号出力回路101において、配線112（FD1）の電位（信号112S）は低くなり、トランジスタ120のゲート電位は低くなるので、配線115（OUT）の電位（信号115S）が低下する速さは遅くなる。したがって、配線115（OUT）の電位は高くなる。

40

【0116】

また、光電変換素子100への光の入射量が少ない場合、第1の信号出力回路101において、配線112（FD1）の電位（信号112S）は高くなり、トランジスタ120のゲート電位は高くなるので、配線115（OUT）の電位（信号115S）が低下する速さは速くなる。したがって、配線115（OUT）の電位は低くなる。

【0117】

次に、配線115（OUT）をプリチャージする。

50

## 【 0 1 1 8 】

そして、第 2 の信号出力回路 1 0 2 においても、第 1 の信号出力回路 1 0 1 にて行われた上述動作と同様に「出力動作」を行う。これにより、第 2 の信号出力回路 1 0 2 における検出信号が得られる（時刻 T 9 から時刻 T 1 0 までの動作が、当該内容に相当する）。

## 【 0 1 1 9 】

以上のように、異なる期間（第 1 の信号出力回路 1 0 1 における電位生成動作期間と、第 2 の信号出力回路 1 0 2 における電位生成動作期間）における、光電変換素子 1 0 0 への光の入射量に基づく電位（データ）を、トランジスタ 1 2 0 および第 1 のスイッチング素子 1 2 1 を用いて各々の信号出力回路内に保持することができる。そして、全ての信号出力回路において当該電位が保持された後に、信号出力回路の備える第 2 のスイッチング素子を用いて、各々の信号出力回路から検出信号を得ることにより、光電変換素子の特性に影響を受けることなく、異なる期間における検出信号を取得することができる。

10

## 【 0 1 2 0 】

以上が、本実施の形態の光検出回路における動作フローの説明である。

## 【 0 1 2 1 】

< 光検出回路の異なる動作フロー >

なお、図 1 ( A ) に記載の光検出回路の動作フローは、図 1 ( B ) を用いて説明した上述以外の動作フローであってもよい。以下に、上述とは異なる動作フローについて、図 2 を用いて説明する。

## 【 0 1 2 2 】

まず、時刻 T 1 において、配線 1 1 1 の電位（信号 1 1 1 S）を " H i g h " にすると共に、第 1 の信号出力回路 1 0 1 における配線 1 1 4 ( T X 1 ) の電位（信号 1 1 4 S）および第 2 の信号出力回路 1 0 2 における配線 1 3 4 ( T X 2 ) の電位（信号 1 3 4 S）を " H i g h " とする（リセット動作開始）。

20

## 【 0 1 2 3 】

図 1 ( B ) に記載の動作フローでは、第 1 の信号出力回路 1 0 1 と第 2 の信号出力回路 1 0 2 のリセット動作を別々に行っていたが、図 2 のように第 1 の信号出力回路 1 0 1 および第 2 の信号出力回路 1 0 2 において同時にリセット動作を行うことにより、リセット動作開始から出力動作終了までの時間（時刻 T 1 から時刻 T 1 0 までの時間）を短縮することができるため、異なる期間における検出信号を短時間で取得することが可能となる。

30

## 【 0 1 2 4 】

なお、以降の動作フローについては、図 1 ( B ) を用いて説明した上述動作フローのうち、時刻 T 4 から時刻 T 5 間の動作フローを除いたものであるため、図 1 ( B ) を用いて説明した動作フローを参酌することができる。

## 【 0 1 2 5 】

以上が、光検出回路の異なる動作フローについての説明である。

## 【 0 1 2 6 】

上述の動作を採用する場合、配線 1 1 2 ( F D 1 ) および配線 1 3 2 ( F D 2 ) における容量が、光電変換素子 1 0 0 と第 1 の信号出力回路 1 0 1 における第 1 のスイッチング素子 1 2 1 間における配線容量、および光電変換素子 1 0 0 と第 2 の信号出力回路 1 0 2 における第 1 のスイッチング素子 1 2 1 間の配線容量より大きいことが好ましい。

40

## 【 0 1 2 7 】

（実施の形態 2）

本実施の形態では、構造および動作方法が実施の形態 1 とは異なる光検出回路について、図 3 および図 4 を用いて説明する。

## 【 0 1 2 8 】

< 光検出回路の構造 >

図 3 ( A ) は、光検出回路の構成を表す回路図の一例である。光検出回路は実施の形態 1 と同様に、光電変換素子 1 0 0 と、光電変換素子 1 0 0 と接続された 2 個の信号出力回路（第 1 の信号出力回路 3 0 1 および第 2 の信号出力回路 3 0 2）を備えている。

50

## 【 0 1 2 9 】

## &lt; 光電変換素子の説明 &gt;

光電変換素子 1 0 0 としては、実施の形態 1 と同様にフォトダイオードを記載しているが、光電変換素子 1 0 0 がフォトダイオードに限定されることはない。

## 【 0 1 3 0 】

光電変換素子 1 0 0 は、一方の電極が配線 1 1 1 ( P R ) と、他方の電極が第 1 の信号出力回路 3 0 1 および第 2 の信号出力回路 3 0 2 と接続されている。

## 【 0 1 3 1 】

信号出力回路 ( 第 1 の信号出力回路 3 0 1 および第 2 の信号出力回路 3 0 2 ) は、光電変換素子 1 0 0 への光の入射量を情報として含む電位を各々の回路内に保持する役割および、当該電位 ( データ ) に応じた検出信号を外部に出力する役割を担っている。

10

## 【 0 1 3 2 】

## &lt; 検出回路の説明 &gt;

図 3 ( A ) に記載の第 1 の信号出力回路 3 0 1 および第 2 の信号出力回路 3 0 2 は、構成要素としてトランジスタ 1 2 0、第 1 のスイッチング素子 1 2 1 および第 2 のスイッチング素子 1 2 2 を有しているという点では実施の形態 1 と同様であるが、第 2 のスイッチング素子 1 2 2 の動作状態を制御する配線を、第 1 の信号出力回路 3 0 1 および第 2 の信号出力回路 3 0 2 とで共用している点、信号出力回路から検出信号を出力するための配線を、第 1 の信号出力回路 3 0 1 および第 2 の信号出力回路 3 0 2 とで異なる配線を用いている点について、実施の形態 1 とは異なる。

20

## 【 0 1 3 3 】

具体的には、図 1 ( A ) に記載された光検出回路では、第 1 の信号出力回路 1 0 1 の備える第 2 のスイッチング素子 1 2 2 は配線 1 1 6 ( S E 1 ) に接続され、第 2 の信号出力回路 1 0 2 の備える第 2 のスイッチング素子 1 2 2 は配線 1 3 6 ( S E 2 ) に接続されている。

## 【 0 1 3 4 】

これに対し、図 3 ( A ) に記載された光検出回路では、第 1 の信号出力回路 3 0 1 の備える第 2 のスイッチング素子 1 2 2 および第 2 の信号出力回路 3 0 2 の備える第 2 のスイッチング素子 1 2 2 は、共に配線 3 1 6 ( S E ) と接続されている。

## 【 0 1 3 5 】

また、図 1 ( A ) に記載された光検出回路では、第 1 の信号出力回路 1 0 1 の備える第 2 のスイッチング素子 1 2 2 および第 2 の信号出力回路 1 0 2 の備える第 2 のスイッチング素子 1 2 2 は、共に配線 1 1 5 ( O U T ) と接続されている。

30

## 【 0 1 3 6 】

これに対し、図 3 ( A ) に記載された光検出回路では、第 1 の信号出力回路 3 0 1 の備える第 2 のスイッチング素子 1 2 2 は配線 3 1 5 ( O U T 1 ) と接続され、第 2 の信号出力回路 3 0 2 の備える第 2 のスイッチング素子 1 2 2 は配線 3 3 5 ( O U T 2 ) に接続されている。

## 【 0 1 3 7 】

光検出回路を上述の構造とすることにより、第 1 の信号出力回路 3 0 1 と第 2 の信号出力回路 3 0 2 から同時に検出信号を出力することができるため、検出信号の取得を短時間で行うことができる。

40

## 【 0 1 3 8 】

なお、本実施の形態に記載の光検出回路の構成は、図 6 に示すように、第 1 の信号出力回路 3 0 1 および第 2 の信号出力回路 3 0 2 にトランジスタ 6 0 1 が加えられた構成でもよい。当該トランジスタのゲートは配線 1 1 1 ( P R ) と電氣的に接続され、ソースおよびドレインの一方は配線 1 1 2 ( F D 1 ) ( または、配線 1 3 2 ( F D 2 ) ) と電氣的に接続され、ソースおよびドレインの他方は配線 6 0 2 a ( または、配線 6 0 2 b ) と電氣的に接続され、光電変換素子 1 0 0 の一方の電極が配線 6 0 3 と電氣的に接続されている。ここで、配線 6 0 3 は光電変換素子 1 0 0 に常時逆バイアスを印加するための信号線 ( 低

50



電位線)である。また、配線602aおよび配線602bは、配線112(FD1)(または、配線132(FD2))を高電位にリセットするための信号線(高電位線)である。

【0139】

トランジスタ601は、配線112(FD1)(または、配線132(FD2))をリセットするためのリセットトランジスタとして機能する。したがって、図3(A)に示す検出回路とは異なり、光電変換素子100を介したリセット動作は行われず、該光電変換素子は常時逆バイアスが印加されている。配線112(FD1)および配線132(FD2)のリセットは、配線111(PR)の電位を"High"に制御することで行うことができる。

10

【0140】

トランジスタ601は、非晶質シリコン、微結晶シリコン、多結晶シリコン、単結晶シリコンなどのシリコン半導体を用いて形成することも可能であるが、リーク電流が大きいと、電荷蓄積部で電荷が保持できる時間が十分でなくなってしまう。したがって、トランジスタ120と同じく、オフ電流が極めて小さい特性を有する酸化物半導体材料で半導体層(少なくともチャネル形成領域)を形成したトランジスタを用いることが好ましい。

【0141】

<光検出回路の動作フロー>

次に、図3(A)に示す光検出回路の動作フローについて、図3(B)を用いて説明する。

20

【0142】

まず、実施の形態1にて説明した光検出回路の動作フローと同様に、時刻T1から時刻T6において、第1の信号出力回路301および第2の信号出力回路302のリセット動作および電位生成動作を行う。

【0143】

次に、時刻T7において、第1の信号出力回路301および第2の信号出力回路302の出力動作を行う。実施の形態1では第1の信号出力回路101の出力動作および第2の信号出力回路102の出力動作を順次行ったが、本実施の形態における光検出回路の動作フローは、図3(B)に示すように、第1の信号出力回路301と第2の信号出力回路302の出力動作を一度に行う(配線316(SE)の電位(信号316S)を"High"とする)。

30

【0144】

これにより、第1の信号出力回路301および第2の信号出力回路302が備える第2のスイッチング素子122のソースとドレイン間に、トランジスタ120のゲート電位に応じた電流が流れ、配線315(OUT1)の電位(信号315S)および配線335(OUT2)の電位(信号335S)が低下していく。

【0145】

そして、時刻T8において、第1の信号出力回路301における配線316(SE)の電位(信号316S)を"Low"(出力動作終了)にすると、第1の信号出力回路301および第2の信号出力回路302が備える第2のスイッチング素子122のソースとドレイン間に流れる電流が遮断され、第1の信号出力回路301から出力される検出信号の伝搬路である配線315(OUT1)の電位(信号315S)および、第2の信号出力回路から出力される検出信号の伝搬路である配線335(OUT2)の電位(信号335S)は、一定値となる。

40

【0146】

図3(A)に示すように、第2のスイッチング素子122の動作状態を制御する配線(配線316(SE))を、第1の信号出力回路301および第2の信号出力回路302とで共用し、また、信号出力回路から検出信号を出力するための配線を、第1の信号出力回路301および第2の信号出力回路302とで異なる配線(配線315(OUT1)および配線335(OUT2))を用いることにより、第1の信号出力回路301からの検出信

50

号の出力と、第2の信号出力回路302からの検出信号の出力を同時に行うことができるため、異なる期間における検出信号の取得を短期間で行うことができる。

【0147】

以上が、本実施の形態の光検出回路における動作フローの説明である。

【0148】

<光検出回路の異なる動作フロー>

なお、図3(A)に記載の光検出回路の動作フローは、図3(B)を用いて説明した上述以外の動作フローであってもよい。以下に、上述とは異なる動作フローについて、図4を用いて説明する。

【0149】

まず、時刻T1において、配線111の電位(信号111S)を"High"にすると共に、第1の信号出力回路301における配線114(TX1)の電位(信号114S)および第2の信号出力回路302における配線134(TX2)の電位(信号134S)を"High"とする(リセット動作開始)。

【0150】

図3(B)に記載の動作フローでは、第1の信号出力回路301と第2の信号出力回路302のリセット動作を別々に行っていたが、図4のように第1の信号出力回路301および第2の信号出力回路302において同時にリセット動作を行うことにより、リセット動作開始から出力動作終了までの時間(時刻T1から時刻T8までの時間。)を短縮することができるため、異なる期間における検出信号を短時間で取得することが可能となる。

【0151】

なお、以降の動作フローについては、図3(B)を用いて説明した上述の動作フローのうち、時刻T4から時刻T5間の動作フローを除いたものであるため、図3(B)を用いて説明した動作フローを参酌することができる。

【0152】

以上が、光検出回路の異なる動作フローについての説明である。

【0153】

(実施の形態3)

本実施の形態では、実施の形態1の配線115(OUT)、実施の形態2の配線315(OUT1)、配線335(OUT2)に接続して用いることのできる積分回路の構成の一例について説明する。

【0154】

図7(A)は、演算増幅回路(OPアンプともいう)を用いた積分回路である。演算増幅回路の反転入力端子は、抵抗素子Rを介して配線115(OUT)、配線315(OUT1)、配線335(OUT2)に接続される。演算増幅回路の非反転入力端子は、接地電位に接続される。演算増幅回路の出力端子は、容量素子Cを介して演算増幅回路の反転入力端子に接続される。

【0155】

ここで、演算増幅回路は理想的と仮定する。すなわち、入力インピーダンスが無限大(入力端子に電流が流れ込まない)と仮定する。また、定常状態で非反転入力端子の電位と反転入力端子の電位とは等しいため、反転入力端子の電位を接地電位と考えることができる。

【0156】

配線115(OUT)、配線315(OUT1)、配線335(OUT2)の電位を $V_i$ 、演算増幅回路の出力端子の電位を $V_o$ 、抵抗素子Rを流れる電流を $i_1$ 、容量素子Cを流れる電流を $i_2$ とすると、式(1)、式(2)、式(3)の関係が成り立つ。

【0157】

10

20

30

40

【数 1】

$$V_i = i_1 \cdot R \quad \dots (1)$$

$$i_2 = C \cdot dV_o / dt \quad \dots (2)$$

$$i_1 + i_2 = 0 \quad \dots (3)$$

【0158】

ここで、時刻  $t = 0$  で容量素子  $C$  の電荷を放電したとすると、時刻  $t = t$  における演算増幅回路の出力端子の電位  $V_o$  は、式 (4) で表される。

【0159】

【数 2】

$$V_o = -(1/CR) \int V_i dt \quad \dots (4)$$

すなわち、時間  $t$  (積分時間) を長く設定することで、読み出しの電位 ( $V_i$ ) を高めて検出信号  $V_o$  として出力することができる。また、熱ノイズなどを平均化することにも相当し、検出信号  $V_o$  の  $S/N$  比を向上することが可能である。

【0160】

なお、実際の演算増幅回路では、入力端子に信号が入力されない時でもバイアス電流が流れるため、出力端子に出力電圧が生じ、容量素子  $C$  に電荷が蓄積されてしまう。そのため、容量素子  $C$  に並列に抵抗素子をつなぎ、放電する構成とすることが有効である。

【0161】

図 7 (B) は、図 7 (A) とは異なる構成の演算増幅回路を用いた積分回路である。演算増幅回路の反転入力端子は、抵抗素子  $R$  と容量素子  $C_1$  を介して配線 115 (OUT)、配線 315 (OUT1)、配線 335 (OUT2) に接続される。演算増幅回路の非反転入力端子は、接地電位に接続される。演算増幅回路の出力端子は、容量素子  $C_2$  を介して演算増幅回路の反転入力端子に接続される。

【0162】

ここで、演算増幅回路は理想的と仮定する。すなわち、入力インピーダンスが無限大 (入力端子に電流が流れ込まない) と仮定する。また、定常状態で非反転入力端子の電位と反転入力端子の電位とは等しいため、反転入力端子の電位を接地電位と考えることができる。

【0163】

配線 115 (OUT)、配線 315 (OUT1)、配線 335 (OUT2) の電位を  $V_i$ 、演算増幅回路の出力端子の電位を  $V_o$ 、抵抗素子  $R$  および容量素子  $C_1$  を流れる電流を  $i_1$ 、容量素子  $C_2$  を流れる電流を  $i_2$  とすると、式 (5)、式 (6)、式 (7) の関係が成り立つ。

【0164】

【数 3】

$$V_i = (1/C_1) \int i_1 dt + i_1 \cdot R \quad \dots (5)$$

$$i_2 = C_2 \cdot dV_o / dt \quad \dots (6)$$

$$i_1 + i_2 = 0 \quad \dots (7)$$

【0165】

10

20

30

40

50

ここで、時刻  $t = 0$  で容量素子  $C_2$  の電荷を放電したとすると、時刻  $t = t$  における演算増幅回路の出力端子の電位  $V_o$  について、高周波成分は式 (8) のとき、式 (9) となり、低周波成分は式 (10) のとき、式 (11) となる。

【0166】

【数4】

$$V_o \ll dV_o/dt \quad \dots (8)$$

$$V_o = -(1/C_2 R) \int V_i dt \quad \dots (9)$$

$$V_o \gg dV_o/dt \quad \dots (10)$$

$$V_o = -C_1/C_2 \cdot V_i \quad \dots (11)$$

【0167】

すなわち、容量素子  $C_1$  および  $C_2$  の容量比を適当に設定することで、読み出しの電位 ( $V_i$ ) を高めて検出信号  $V_o$  として出力することができる。また、入力信号の高周波のノイズ成分は時間積分により平均化することができ、検出信号  $V_o$  の  $S/N$  比を向上することが可能である。

【0168】

なお、実際の演算増幅回路では、入力端子に信号が入力されない時でもバイアス電流が流れるため、出力端子に出力電圧が生じ、容量素子  $C_2$  に電荷が蓄積されてしまう。そのため、容量素子  $C_2$  に並列に抵抗素子をつなぎ、放電する構成とすることが有効である。

【0169】

図7(C)は、図7(A)および図7(B)とは異なる構成の演算増幅回路を用いた積分回路である。演算増幅回路の非反転入力端子は、抵抗素子  $R$  を介して配線115(OUT)、配線315(OUT1)、配線335(OUT2)に接続され、また容量素子  $C$  を介して接地電位に接続される。演算増幅回路の出力端子は、演算増幅回路の反転入力端子に接続される。なお、抵抗素子  $R$  と容量素子  $C$  は、 $CR$  積分回路を構成する。また、演算増幅回路はユニティゲインバッファを構成する。

【0170】

配線115(OUT)、配線315(OUT1)、配線335(OUT2)の電位を  $V_i$ 、演算増幅回路の出力端子の電位を  $V_o$  とすると、 $V_o$  は式(12)であらわすことができる。なお、 $V_o$  は  $V_i$  の値で飽和するが、 $CR$  積分回路により、入力信号  $V_i$  に含まれるノイズ成分を平均化することができ、検出信号  $V_o$  の  $S/N$  比を向上することが可能である。

【0171】

【数5】

$$V_o = (1/CR) \int V_i dt \quad \dots (12)$$

【0172】

以上が、配線115(OUT)、配線315(OUT1)、配線335(OUT2)に接続して用いることのできる積分回路の構成の一例である。配線115(OUT)、配線315(OUT1)、配線335(OUT2)に上述の積分回路を接続することにより、検出信号の  $S/N$  比を高めることができ、より微弱な光を検出することができるため、半導体装置において、より正確な画像信号を生成できる。

【0173】

(実施の形態4)

本実施の形態では、実施の形態1にて記載した、図1(A)および図3(A)に示す光検

10

20

30

40

50

出回路のレイアウトの一例について、図 8 および図 9 を用いて説明する。

【 0 1 7 4 】

< 図 1 ( A ) に記載の光検出回路のレイアウト一例 >

図 8 ( A ) は、図 1 ( A ) に示す光検出回路の上面図であり、図 8 ( B ) は、図 8 ( A ) の一点鎖線 A 1 A 2 における断面図である。

【 0 1 7 5 】

光検出回路は、絶縁膜 8 6 1 が形成された基板 8 6 0 上に、配線 1 1 1 ( P R ) として機能する導電膜 8 1 1 と、第 1 の信号出力回路 1 0 1 において配線 1 1 2 ( F D 1 ) として機能する導電膜 8 1 2 と、第 2 の信号出力回路 1 0 2 において配線 1 3 2 ( F D 2 ) として機能する導電膜 8 3 2 と、配線 1 1 3 ( V R ) として機能する導電膜 8 1 3 と、第 1 の信号出力回路 1 0 1 において配線 1 1 4 ( T X 1 ) として機能する導電膜 8 1 4 と、第 2 の信号出力回路 1 0 2 において配線 1 3 4 ( T X 2 ) として機能する導電膜 8 3 4 と、配線 1 1 5 ( O U T ) として機能する導電膜 8 1 5 と、第 1 の信号出力回路 1 0 1 において配線 1 1 6 ( S E 1 ) として機能する導電膜 8 1 6 と、第 2 の信号出力回路 1 0 2 において配線 1 3 6 ( S E 2 ) として機能する導電膜 8 3 6 を有している。

10

【 0 1 7 6 】

光電変換素子 1 0 0 は、順に積層された p 型の半導体膜 8 0 1、i 型の半導体膜 8 0 2、および n 型の半導体膜 8 0 3 を有している。

【 0 1 7 7 】

配線 1 1 1 ( P R ) として機能する導電膜 8 1 1 は、光電変換素子 1 0 0 の一对の電極の一方 ( アノード ) として機能する p 型の半導体膜 8 0 1 に電氣的に接続されている。

20

【 0 1 7 8 】

導電膜 8 4 1 は、トランジスタ 1 2 0 のソースおよびドレインの一方と導電膜 8 1 3 を接続する配線として機能している。

【 0 1 7 9 】

導電膜 8 4 2 は、第 1 のスイッチング素子 1 2 1 のソースおよびドレインの一方として機能する。

【 0 1 8 0 】

導電膜 8 4 3 は、第 1 の信号出力回路 1 0 1 および第 2 の信号出力回路 1 0 2 に備えられた第 1 のスイッチング素子 1 2 1 のソースおよびドレインの一方同士を接続する配線として機能している。

30

【 0 1 8 1 】

導電膜 8 4 4 は、トランジスタ 1 2 0 のソースおよびドレインの一方として機能する。

【 0 1 8 2 】

導電膜 8 4 5 は、第 1 のスイッチング素子 1 2 1 のソースおよびドレインの他方として機能する。

【 0 1 8 3 】

導電膜 8 4 6 は、トランジスタ 1 2 0 のソースおよびドレインの他方と第 2 のスイッチング素子 1 2 2 のソースおよびドレインの一方を接続する配線として機能する。

【 0 1 8 4 】

導電膜 8 4 7 は、第 1 の信号出力回路 1 0 1 における第 2 のスイッチング素子 1 2 2 のゲートとして機能する。

40

【 0 1 8 5 】

導電膜 8 4 8 は、第 2 の信号出力回路 1 0 2 における第 2 のスイッチング素子 1 2 2 のゲートとして機能する。

【 0 1 8 6 】

導電膜 8 4 9 は、第 1 の信号出力回路 1 0 1 における第 2 のスイッチング素子 1 2 2 のゲートと、導電膜 8 1 6 を接続する配線として機能する。

【 0 1 8 7 】

導電膜 8 5 0 は、第 2 の信号出力回路における第 2 のスイッチング素子 1 2 2 のゲートと

50

、導電膜 8 3 6 を接続する配線として機能する。

【 0 1 8 8 】

導電膜 8 1 2、導電膜 8 1 4、導電膜 8 1 6、導電膜 8 3 2、導電膜 8 3 4、導電膜 8 3 6、導電膜 8 4 1、導電膜 8 4 3、導電膜 8 4 7 および導電膜 8 4 8 は、絶縁表面上に形成された一つの導電膜を所望の形状に加工することで形成することができる。そして、これらの導電膜上には、ゲート絶縁膜 8 6 2 が形成されている。また、導電膜 8 1 1、導電膜 8 1 3、導電膜 8 1 5、導電膜 8 4 2、導電膜 8 4 4、導電膜 8 4 5、導電膜 8 4 6、導電膜 8 4 9 および導電膜 8 5 0 は、ゲート絶縁膜 8 6 2 上に形成された一つの導電膜を所望の形状に加工することで形成することができる。

【 0 1 8 9 】

また、導電膜 8 1 1、導電膜 8 1 3、導電膜 8 1 5、導電膜 8 4 2、導電膜 8 4 4、導電膜 8 4 5、導電膜 8 4 6、導電膜 8 4 9 および導電膜 8 5 0 の上には、絶縁膜 8 6 3 および絶縁膜 8 6 4 が形成され、絶縁膜 8 6 3 および絶縁膜 8 6 4 の上に、導電膜 8 7 0 が形成される。

【 0 1 9 0 】

第 1 のスイッチング素子 1 2 1 の半導体層 8 8 0 には、酸化物半導体を用いることが好ましい。光電変換素子 1 0 0 に光が入射することにより生成された電荷を導電膜 8 1 2 ( F D 1 ) ( または、導電膜 8 3 2 ( F D 2 ) ) で長時間保持するためには、当該導電膜と電氣的に接続される第 1 のスイッチング素子 1 2 1 として、オフ電流が極めて低いトランジスタで構成することが好ましい。そのため、半導体層 8 8 0 として酸化物半導体材料を用いることで光検出回路の性能を高めることができる。

【 0 1 9 1 】

また、図 8 に記載の光検出回路は、トランジスタなどの素子と光電変換素子 1 0 0 が重畳する構成としてもよい。このような構成とすることで、画素密度を高めることができ、撮像装置の解像度を高めることができる。また、光電変換素子 1 0 0 の面積を増大させることができるため、撮像装置の感度を高めることもできる。

【 0 1 9 2 】

< 図 3 ( A ) に記載の光検出回路のレイアウト一例 >

図 9 ( A ) は、図 3 ( A ) に示す光検出回路の上面図であり、図 9 ( B ) は、図 9 ( A ) の一点鎖線 B 1 B 2 における断面図である。

【 0 1 9 3 】

光検出回路は、絶縁膜 9 6 1 が形成された基板 9 6 0 上に、配線 1 1 1 ( P R ) として機能する導電膜 9 1 1 と、第 1 の信号出力回路 3 0 1 において配線 1 1 2 ( F D 1 ) として機能する導電膜 9 1 2 と、第 2 の信号出力回路 3 0 2 において配線 1 3 2 ( F D 2 ) として機能する導電膜 9 3 2 と、配線 1 1 3 ( V R ) として機能する導電膜 9 1 3 と、第 1 の信号出力回路 3 0 1 において配線 1 1 4 ( T X 1 ) として機能する導電膜 9 1 4 と、第 2 の信号出力回路 3 0 2 において配線 1 3 4 ( T X 2 ) として機能する導電膜 9 3 4 と、第 1 の信号出力回路 3 0 1 において配線 3 1 5 ( O U T 1 ) として機能する導電膜 9 1 5 と、第 2 の信号出力回路 3 0 2 において配線 3 3 5 ( O U T 2 ) として機能する導電膜 9 3 5 と、配線 3 1 6 ( S E ) として機能する導電膜 9 1 6 とを有している。

【 0 1 9 4 】

光電変換素子 1 0 0 は、順に積層された p 型の半導体膜 9 0 1、i 型の半導体膜 9 0 2、および n 型の半導体膜 9 0 3 を有している。

【 0 1 9 5 】

配線 1 1 1 ( P R ) として機能する導電膜 9 1 1 は、光電変換素子 1 0 0 の一対の電極の一方 ( アノード ) として機能する p 型の半導体膜 9 0 1 に電氣的に接続されている。

【 0 1 9 6 】

導電膜 9 4 1 は、配線 1 1 3 ( V R ) として機能する導電膜 9 1 3 と接続され、配線 1 1 3 ( V R ) の一部として機能している。

【 0 1 9 7 】

導電膜 942 は、配線 114 (TX1) として機能する導電膜 914 または配線 134 (TX2) として機能する導電膜 934 と接続されており、第 1 のスイッチング素子 121 のゲートとして機能する。

【0198】

導電膜 943 は、第 1 のスイッチング素子 121 のソースおよびドレインの一方として機能する。

【0199】

導電膜 944 は、第 1 のスイッチング素子 121 のソースおよびドレインの他方として機能する。

【0200】

導電膜 945 は、トランジスタ 120 のソースおよびドレインの他方、ならびに、第 2 のスイッチング素子 122 のソースおよびドレインの一方として機能する。

【0201】

導電膜 946 は、導電膜 911 と p 型の半導体膜 901 を接続する配線として機能する。

【0202】

導電膜 911、導電膜 912、導電膜 916、導電膜 932、導電膜 941、導電膜 942 は、絶縁表面上に形成された一つの導電膜を所望の形状に加工することで形成することができる。そして、これらの導電膜上には、ゲート絶縁膜 962 が形成されている。また、導電膜 913、導電膜 914、導電膜 915、導電膜 934、導電膜 935、導電膜 943、導電膜 944、導電膜 945、導電膜 946 は、ゲート絶縁膜 962 上に形成された一つの導電膜を所望の形状に加工することで形成することができる。

【0203】

また、導電膜 911、導電膜 912、導電膜 916、導電膜 932、導電膜 941、導電膜 942 の上には、絶縁膜 963 および絶縁膜 964 が形成され、絶縁膜 963 および絶縁膜 964 の上に、導電膜 970 が形成される。

【0204】

第 1 のスイッチング素子 121 の半導体層 980 には、酸化物半導体を用いることが好ましい。光電変換素子 100 に光が入射することにより生成された電荷を導電膜 912 (FD1) (または、導電膜 932 (FD2)) で長時間保持するためには、当該導電膜と電氣的に接続される第 1 のスイッチング素子 121 として、オフ電流が極めて低いトランジスタで構成することが好ましい。そのため、半導体層 980 として酸化物半導体材料を用いることで光検出回路の性能を高めることができる。

【0205】

また、図 8 に記載の光検出回路は、トランジスタなどの素子と光電変換素子 100 が重畳する構成としてもよい。このような構成とすることで、画素密度を高めることができ、撮像装置の解像度を高めることができる。また、光電変換素子 100 の面積を増大させることができるため、撮像装置の感度を高めることもできる。

【0206】

本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0207】

(実施の形態 5)

上述した実施の形態にて説明した光検出回路は、様々な半導体装置に設置して用いることができる。本実施の形態では、光検出回路を備える半導体装置の一例として、上述実施の形態にて説明した光検出回路を備えることでアフターグローの影響を低減した放射線撮像装置について、図 10 および図 11 を用いて説明する。

【0208】

また、上述した実施の形態にて説明した光検出回路を備えることでタッチパネル機能を付加した画像表示装置について、図 12 乃至図 14 を用いて説明する。

【0209】

<放射線撮像装置の構成例>

10

20

30

40

50

上述実施の形態にて説明した光検出回路を備える放射線撮像装置の構成について、図10および図11を用いて説明する。

【0210】

放射線撮像装置1000は、図10(A)に示すように、放射線照射部1001、放射線照射部1001より出力される放射線1002を受けて光1003を出力するシンチレータ1004、光1003の入射量に応じた検出信号を出力する光検出機構1005、光検出機構1005より出力される検出信号を用いて画像信号を生成する画像信号生成部1006を備えている。また、放射線撮像装置1000は画像表示装置1007と接続されており、画像信号生成部1006から出力される画像信号を受けて、画像表示装置1007には被写体1008の内部情報等が表示される。

10

【0211】

なお、光検出機構1005の構成の一例を、図10(B)を用いて以下に説明する。

【0212】

<光検出機構の構成例>

本実施の形態に記載の光検出機構1005は、光検出回路1012がm行n列のマトリクス状に配置された光検出部1010と、光検出回路1012を制御するための第1の光検出回路駆動回路1021および第2の光検出回路駆動回路1022を有する光検出回路制御部1020を備えている。

【0213】

なお、光検出回路1012には、図1(A)に記載の光検出回路が用いられているものとする(勿論、これに限定されることはない)。

20

【0214】

第1の光検出回路駆動回路1021は、配線113(VR)、配線111(PR)に出力する信号を生成する機能および、選択された行において、第1の信号出力回路101および第2の信号出力回路102からの検出信号を配線115(OUT)から取り出す機能を有している。なお、第1の光検出回路駆動回路1021は、アフターグローの影響が低減された画像信号の生成を行う画像信号生成部1006と接続されている。

【0215】

また、第1の光検出回路駆動回路1021はプリチャージ回路を有し、配線115(OUT)の電位を所定の電位にする機能を有している。なお、第1の光検出回路駆動回路1021は、アナログ信号である光検出回路からの出力を、オペアンプ等を用いてアナログ信号のまま放射線撮像装置1000の外部に取り出す構成や、A/D変換回路を用いてデジタル信号に変換してから放射線撮像装置1000の外部に取り出す構成とすることができる。

30

【0216】

第2の光検出回路駆動回路1022は、配線114(TX1)、配線134(TX2)、配線116(SE1)、配線136(SE2)に出力する信号を生成する機能を有している。

【0217】

以上が、光検出機構1005の構成例について説明である。

40

【0218】

<放射線撮像装置の動作例>

次に、上述した構造を備える放射線撮像装置1000の動作の一例について、図11を用いて説明する。

【0219】

放射線撮像装置を用いて、血管中の血流をモニターするなどの動画、または時間的に連続した静止画を撮像する場合、放射線撮像装置の時間分解能を高めて高精細な画像を得る必要があるため、放射線照射停止時から次の放射線照射開始時までの期間を極力短くすることが望まれる。

【0220】

50



しかし、放射線照射停止時から次の放射線照射開始時までの期間を短くした場合、次の放射線照射開始時においてアフターグローに起因した光がシンチレータから出力されている場合がある。

【0221】

このような状態で放射線照射を開始すると、シンチレータから出力される光は、放射線照射による光に前回及びそれ以前の放射線照射のアフターグローによる光が上乗せされた光となってしまうため、シンチレータ1004の受光する、被写体1008を透過した放射線量と、光検出機構1005から出力される、光検出機構1005の受光した放射線量に応じたデータに違いが生じてしまう場合がある。

【0222】

そこでまず、図11(A)および図11(B)に示すように、次の放射線照射を開始する直前の期間1111においてシンチレータ1004から出力される光1101を各々の光検出回路1012の備える光電変換素子100にて受光し、当該光の入射量に基づいた電位(データ)(以下、電位Aとも記載する)を第1の信号出力回路101に保持する。

【0223】

期間1111においてシンチレータ1004から出力される光1101は、前回およびそれ以前の放射線照射のアフターグローによる光であると言える。

【0224】

次に、図11(C)および図11(D)に示すように、次の放射線照射が行われている期間1112においてシンチレータ1004から出力される光1102を各々の光検出回路1012の備える光電変換素子100にて受光し、当該光の入射量に基づいた電位(データ)(以下、電位Bとも記載する)を第2の信号出力回路102に保持する。

【0225】

期間1112においてシンチレータ1004から出力される光1102は、放射線照射による光に前回及びそれ以前の放射線照射のアフターグローによる光が上乗せされた光であると言える。

【0226】

そして、全ての光検出回路1012において、電位Aおよび電位Bが保持された後、各々の光検出回路1012から、電位Aを情報として含む検出信号および、電位Bを情報として含む検出信号が画像信号生成部1006に出力される。

【0227】

そして、画像信号生成部1006において、各々の光検出回路1012から入力された2つの検出信号の差分を用いて画像信号(1画素分)が生成され、当該画像信号を用いて画像表示装置1007に撮像データが表示される。

【0228】

ここで、光検出回路1012が、1つの光電変換素子および1つの信号出力回路を備えた構造であるとする。

【0229】

当該構造では、期間1111において信号出力回路内に保持されたデータが残っている状態では、期間1112の電位(データ)取得を正確に行えない。つまり、期間1111の電位(データ)に期間1112の電位(データ)が上乗せされるため、期間1112開始までに、電位(データ)に応じた検出信号を出力する(出力動作)、信号出力回路内に保持された電位(データ)をリセットする(リセット動作)、という処理を行う必要がある。

【0230】

アフターグローによる光の発光量は時間経過と共に減少するため、期間1111終了後から期間1112開始までの間隔が長くなる程、上述のように2つの検出信号の差分を用いて画像信号を生成する際に、正確な画像信号が得られにくくなる。特に、アフターグローの時間的変動量が大きい場合においては、当該問題が顕著となる。

【0231】

10

20

30

40

50

これに対し、光検出回路 1012 が図 1 (A) に示すように、光電変換素子 100 に 2 つの信号出力回路 (第 1 の信号出力回路 101 および第 2 の信号出力回路 102) が接続されている場合、第 1 の信号出力回路 101 の備える第 1 のスイッチング素子 121 をオフ状態とすることにより、期間 1111 における電位 (データ) を第 1 の信号出力回路 101 に保持でき、かつ、期間 1111 の後に第 2 の信号出力回路 102 に対してリセット動作を行うのみで、光電変換素子 100 と第 2 の信号出力回路 102 を用いて期間 1112 における電位 (データ) の取得を開始できる。なお、図 3 (A) に記載の光検出回路を用いた場合、期間 1111 の後に行うリセット動作も不要となる場合がある。

【0232】

このため、各々の光検出回路 1012 から入力された 2 つの検出信号の差分を用いて生成された画像信号は、アフターグローの影響が低減された正確な画像信号となる。

10

【0233】

以上が、上述実施の形態にて説明した光検出回路を備える放射線撮像装置の説明である。

【0234】

なお、図 10 では画像信号生成部 1006 は、光検出機構 1005 と接続された状態で放射線撮像装置 1000 内に設けられているが、光検出機構 1005 内に画像信号生成部 1006 が設けられていてもよい。また、放射線撮像装置 1000 の外部に画像信号生成部 1006 が設けられていてもよい。

【0235】

また、図 10 では画像表示装置 1007 が放射線撮像装置 1000 に外付けされているが、放射線撮像装置 1000 内に画像表示装置 1007 が設けられた構造であってもよい。

20

【0236】

< 画像表示装置の構成例 >

図 12 に、複数の画素と、複数の画素を駆動する駆動回路を有する画像表示装置の構成の一例を示す。

【0237】

画像表示装置 1200 は、表示部 1240、表示素子制御部 1220 および光検出回路制御部 1230 を備えている。表示部 1240 は、マトリクス状に配置された複数の画素 1210 を有している。

【0238】

図 12 では、画素 1210 が、赤色の光を発する表示素子 1201R、緑色の光を発する表示素子 1201G、青色の光を発する表示素子 1201B および光検出回路 1202 をそれぞれ 1 つずつ備える構成を例示している。光検出回路 1202 の構成は、上述実施の形態にて説明した構成と同様の構成を用いることができる。

30

【0239】

画素 1210 の構成の一例を、図 13 を用いて以下に説明する。

【0240】

< 画素の構成例 >

本実施の形態に記載の画素 1210 は、3 つの表示素子 (表示素子 1201R、表示素子 1201G、表示素子 1201B) と、1 つの光検出回路 1202 とを有している。画素 1210 を基本構成とし、画素 1210 が m 行 n 列のマトリクス状に複数配置され、情報入力領域を兼ねる表示画面を構成する。図 13 では、画素 1210 の光検出回路 1202 として、図 1 (A) に示した構成の光検出回路を用いる場合を例示している。

40

【0241】

なお、各画素の有する表示素子と光検出回路の数は、図 13 に示した形態に限定されない。複数の光検出回路と複数の表示素子とは配置密度が同じであっても良いし、異なってもよい。つまり、1 つの表示素子に対して 1 つの光検出回路が配置されていてもよいし、2 つ以上の表示素子に対して 1 つの光検出回路が配置されていてもよいし、2 つ以上の光検出回路に対して 1 つの表示素子が配置されていてもよい。

【0242】

50

図 1 3 に示す構成では、表示素子 1 2 0 1 R、表示素子 1 2 0 1 G および表示素子 1 2 0 1 B は、液晶素子 1 2 5 0 を有する構成を例示する。表示素子 1 2 0 1 R、表示素子 1 2 0 1 G および表示素子 1 2 0 1 B は、液晶素子 1 2 5 0 と、液晶素子 1 2 5 0 の動作を制御するスイッチング素子として機能するトランジスタ 1 2 5 2 と、容量素子 1 2 5 4 を有している。液晶素子 1 2 5 0 は、画素電極、対向電極、及び前記画素電極と前記対向電極とにより電圧が印加される液晶層を有する。

#### 【 0 2 4 3 】

なお、図示していないが、表示素子 1 2 0 1 R の備える液晶素子 1 2 5 0 の光取り出し側には赤色のカラーフィルターが、表示素子 1 2 0 1 G の備える液晶素子 1 2 5 0 の光取り出し側には緑色のカラーフィルターが、表示素子 1 2 0 1 B の備える液晶素子 1 2 5 0 の光取り出し側には青色のカラーフィルターが設けられている。

10

#### 【 0 2 4 4 】

トランジスタ 1 2 5 2 のゲートは、走査線 G L ( G L 1、G L 2 ) に接続されている。トランジスタ 1 2 5 2 は、ソースおよびドレインの一方が信号線 S L ( S L 1、S L 2 ) に接続されており、ソースおよびドレインの他方が液晶素子 1 2 5 0 の画素電極に接続されている。容量素子 1 2 5 4 が有する一対の電極は、一方が液晶素子 1 2 5 0 の画素電極に接続され、他方は固定電位が与えられる配線 C O M に接続されている。信号線 S L には表示する画像に対応した電位が入力される。トランジスタ 1 2 5 2 は走査線 G L の信号によってオン状態となると、信号線 S L の電位は、容量素子 1 2 5 4 が有する一対の電極のうちの一方、および液晶素子 1 2 5 0 の画素電極に与えられる。容量素子 1 2 5 4 は、液晶層に印加する電圧に対応する電荷を保持する。電圧を印加することで液晶層の偏光方向が変化することを利用して液晶層を透過する光の明暗 ( 階調 ) を作り、画像表示を行う。液晶層を透過する光にはバックライトから照射される光を用いる。

20

#### 【 0 2 4 5 】

図 1 3 に示した構成において、マトリクス状に配置された表示素子の動作に関しては、公知の表示装置と同様とすることができる。

#### 【 0 2 4 6 】

なお、トランジスタ 1 2 5 2 として、上述実施の形態にて説明した、チャネル形成領域に酸化物半導体材料を用いて形成したトランジスタを用いることもできる。当該トランジスタを用いる場合、そのオフ電流は非常に小さいので、容量素子 1 2 5 4 を無くすことも可能である。

30

#### 【 0 2 4 7 】

なお、表示素子 1 2 0 1 R、表示素子 1 2 0 1 G および表示素子 1 2 0 1 B は、必要に応じて、トランジスタ、ダイオード、抵抗素子、容量素子、インダクタなどのその他の回路素子を、さらに有していても良い。

#### 【 0 2 4 8 】

なお、図 1 3 では表示素子 1 2 0 1 R、表示素子 1 2 0 1 G および表示素子 1 2 0 1 B が液晶素子 1 2 5 0 を有する場合について説明したが、発光素子などの他の素子を有していてもよい。発光素子は、電流または電圧によって輝度が制御される素子であり、具体的には発光ダイオード、O L E D ( O r g a n i c L i g h t E m i t t i n g D i o d e ) 等が挙げられる。

40

#### 【 0 2 4 9 】

以上が画素 1 2 1 0 の構成例についての説明である。

#### 【 0 2 5 0 】

表示素子制御部 1 2 2 0 は、表示素子 1 2 0 1 を制御する機能を備え、画像信号が伝送される信号線 ( 「ソース信号線」ともいう。 ) を介して上述の表示素子 1 2 0 1 に信号を入力する第 1 の表示素子駆動回路 1 2 2 1 と、走査線 ( 「ゲート信号線」ともいう。 ) を介して表示素子 1 2 0 1 に信号を入力する第 2 の表示素子駆動回路 1 2 2 2 を有する。例えば、第 1 の表示素子駆動回路 1 2 2 1 は、選択された行の画素 1 2 1 0 が有する表示素子 1 2 0 1 に任意の電位を与える機能を有する。また、第 2 の表示素子駆動回路 1 2 2 2 は

50

、特定の行に配置された画素が有する表示素子 1 2 0 1 を選択する機能を有する。

【 0 2 5 1 】

光検出回路制御部 1 2 3 0 は、光検出回路 1 2 0 2 を制御するための駆動回路を有しており、表示部 1 2 4 0 を挟んで第 1 の表示素子駆動回路 1 2 2 1 と対向する、第 1 の光検出回路駆動回路 1 2 3 1 と、表示部 1 2 4 0 を挟んで第 2 の表示素子駆動回路 1 2 2 2 と対向する、第 2 の光検出回路駆動回路 1 2 3 2 を備えている。

【 0 2 5 2 】

第 1 の光検出回路駆動回路 1 2 3 1 は、配線 1 1 1 ( P R )、配線 1 1 3 ( V R ) に出力する信号を生成する機能および、選択された行の画素 1 2 1 0 が有する光検出回路の出力信号を配線 1 1 5 ( O U T ) から取り出す機能を有している。なお、第 1 の光検出回路駆動回路 1 2 3 1 は、各々の画素 1 2 1 0 から出力される複数の検出信号を用いて各々の画素 1 2 1 0 上に被検出物が存在するか否かの判断を行う検出信号比較部 1 2 6 0 と接続されている。

10

【 0 2 5 3 】

また、第 1 の光検出回路駆動回路 1 2 3 1 はプリチャージ回路を有し、配線 1 1 5 ( O U T ) の電位を所定の電位にする機能を有している。なお、第 1 の光検出回路駆動回路 1 2 3 1 は、アナログ信号である光検出回路からの出力を、オペアンプ等を用いてアナログ信号のまま画像表示装置 1 2 0 0 の外部に取り出す構成や、A / D 変換回路を用いてデジタル信号に変換してから画像表示装置 1 2 0 0 の外部に取り出す構成とすることができる。

20

【 0 2 5 4 】

第 2 の光検出回路駆動回路 1 2 3 2 は、配線 1 1 4 ( T X 1 )、配線 1 3 4 ( T X 2 )、配線 1 1 6 ( S E 1 )、配線 1 3 6 ( S E 2 ) に出力する信号を生成する機能を有している。

【 0 2 5 5 】

以上が、画像表示装置 1 2 0 0 の構成例について説明である。

【 0 2 5 6 】

< 画像表示装置の動作例 >

次に、上述した構造を備える画像表示装置の動作の一例について、図 1 4 を用いて説明する。

【 0 2 5 7 】

画像表示装置 1 2 0 0 内に備えられた光検出回路 1 2 0 2 は、上記実施の形態にて説明したように、ある期間における光電変換素子 1 0 0 への光の入射量を情報として含む電位 ( データ ) を、光検出回路 1 2 0 2 が備える信号出力回路の個数分だけ保持できる。

30

【 0 2 5 8 】

例えば、図 1 3 に記載の光検出回路では、第 1 の信号出力回路 1 0 1 および第 2 の信号出力回路 1 0 2 を用いて 2 つの期間の電位 ( データ ) を保持できる。なお、本実施の形態では、当該 2 つの期間を「期間 A」および「期間 B」と記載し、「期間 B」は「期間 A」より時間的に後になるものとする。

【 0 2 5 9 】

期間 A は、図 1 4 ( A ) に示すように、表示素子 1 2 0 1 上に指などの被検出物が存在しない期間であり、第 1 の表示素子駆動回路 1 2 2 1 および第 2 の表示素子駆動回路 1 2 2 2 を用いて表示素子 1 2 0 1 から出力される光 ( 画像 ) は、液晶層 1 4 0 1、液晶層 1 4 0 1 を挟む一対の配向膜 1 4 0 2、一対の配向膜 1 4 0 2 を挟む一対の電極 1 4 0 3、カラーフィルター 1 4 0 4、基板 1 4 0 5 等を透過して外部に出力される。

40

【 0 2 6 0 】

このため、基板 1 4 0 5 等で反射された僅かな反射光や外光などが、光検出回路 1 2 0 2 に入力され、期間 A における光の入射量を情報として含む電位 ( データ ) ( 以下、電位 C と記載する ) が、第 1 の信号出力回路 1 0 1 内に保持される。

【 0 2 6 1 】

期間 B は、図 1 4 ( B ) に示すように、表示素子 1 2 0 1 上に被検出物 1 4 1 0 が存在す

50

る期間であり、第1の表示素子駆動回路1221および第2の表示素子駆動回路1222を用いて表示素子1201から出力される光(画像)は、一部が被検出物1410により吸収され、残りの光が光検出回路1202に入射され、期間Bにおける光の入射量を情報として含む電位(データ)(以下、電位Dとも記載する)が、第2の信号出力回路102内に保持される。

【0262】

なお、期間Bにおける光検出回路1202への光の入射量は、期間Aにおける光の入射量と比較して非常に多い。

【0263】

その後、表示部1240の備える全ての画素1210において、電位Cおよび電位Dが保持された後、各々の画素1210から、電位Cを情報として含む検出信号および、電位Dを情報として含む検出信号が検出信号比較部1260に出力される。

10

【0264】

そして、検出信号比較部1260において、各々の画素1210から入力された2つの検出信号が比較され、定められた値(実施者が適宜決定すればよい。)以上の差が見られた場合、当該画素1210上には被検出物が存在すると判断される。

【0265】

ここで、光検出回路1202が仮に、1つの光電変換素子および1つの信号出力回路を備えた構造である場合を考える。

【0266】

20

当該構造では、期間Aにおいて信号出力回路内に保持されたデータが残っている状態では、期間Bの電位(データ)取得を正確に行えない。つまり、期間Aの電位(データ)に期間Bの電位(データ)が上乗せされるため、期間B開始までに、電位(データ)に応じた検出信号を出力する(出力動作)、信号出力回路内に保持された電位(データ)をリセットする(リセット動作)、という処理を行う必要がある。

【0267】

このため、期間A終了後かつ期間Bの開始前、例えば、期間Aに得られた情報について出力動作を行い、また、期間Aに得られた情報に対するリセット動作を行っている期間に被検出物1410が表示素子1201上を通過した場合などでは、期間Aに得られた情報と期間Bに得られた情報を用いても、各々の画素1210上の被検出物1410の存在の判断を、検出信号比較部1260で正確に行えない場合がある。

30

【0268】

これに対し、本実施の形態に記載の画像表示装置1200は、図13のように光電変換素子100に2つの信号出力回路(第1の信号出力回路101および第2の信号出力回路102)が接続されているため、第1の信号出力回路101の備える第1のスイッチング素子121をオフ状態とすることにより、期間Aにおける電位(データ)を第1の信号出力回路に保持できる。また、期間Aの後に第2の信号出力回路102に対してリセット動作を行うのみで、光電変換素子100と第2の信号出力回路102を用いて期間Bにおける電位(データ)の取得を開始できる。

【0269】

40

このため、被検出物1410が非常に素早く動いている場合においても、各々の画素1210上の被検出物1410の存在判断を正確に行うことができる。

【0270】

以上が、上述した実施の形態にて説明した光検出回路を備える画像表示装置の説明である。

【0271】

なお、図12では検出信号比較部1260は、第1の光検出回路駆動回路1231と接続された状態で画像表示装置1200内に設けられているが、第1の光検出回路駆動回路1231内に検出信号比較部1260が設けられていてもよい。また、画像表示装置1200の外部に検出信号比較部1260が設けられていてもよい。

50

## 【符号の説明】

## 【0272】

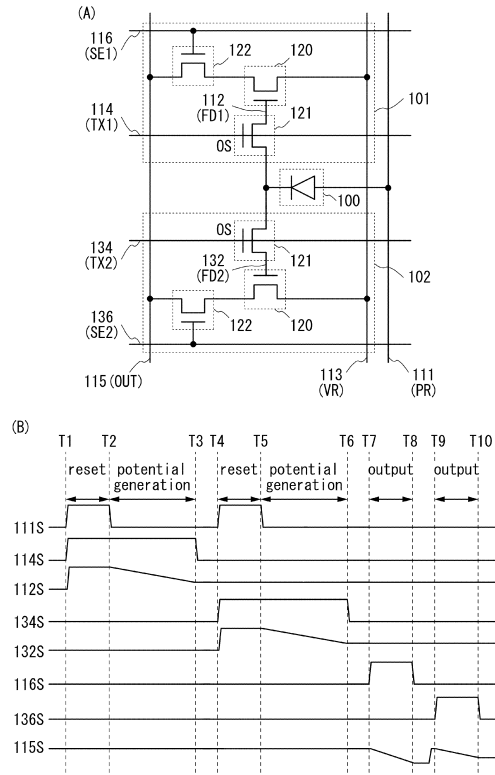
1 0 0	光電変換素子	
1 0 1	第 1 の信号出力回路	
1 0 2	第 2 の信号出力回路	
1 0 3	第 3 の信号出力回路	
1 0 4	第 4 の信号出力回路	
1 1 1	配線	
1 1 2	配線	
1 1 3	配線	10
1 1 4	配線	
1 1 5	配線	
1 1 6	配線	
1 2 0	トランジスタ	
1 2 1	第 1 のスイッチング素子	
1 2 2	第 2 のスイッチング素子	
1 3 2	配線	
1 3 4	配線	
1 3 6	配線	
3 0 1	第 1 の信号出力回路	20
3 0 2	第 2 の信号出力回路	
3 1 5	配線	
3 1 6	配線	
3 3 5	配線	
5 0 1	トランジスタ	
5 0 2 a	配線	
5 0 2 b	配線	
5 0 3	配線	
6 0 1	トランジスタ	
6 0 2 a	配線	30
6 0 2 b	配線	
6 0 3	配線	
8 0 1	p 型の半導体膜	
8 0 2	i 型の半導体膜	
8 0 3	n 型の半導体膜	
8 1 1	導電膜	
8 1 2	導電膜	
8 1 3	導電膜	
8 1 4	導電膜	
8 1 5	導電膜	40
8 1 6	導電膜	
8 3 2	導電膜	
8 3 4	導電膜	
8 3 6	導電膜	
8 4 1	導電膜	
8 4 2	導電膜	
8 4 3	導電膜	
8 4 4	導電膜	
8 4 5	導電膜	
8 4 6	導電膜	50

8 4 7	導電膜	
8 4 8	導電膜	
8 4 9	導電膜	
8 5 0	導電膜	
8 6 0	基板	
8 6 1	絶縁膜	
8 6 2	ゲート絶縁膜	
8 6 3	絶縁膜	
8 6 4	絶縁膜	
8 7 0	導電膜	10
8 8 0	半導体層	
9 0 1	p型の半導体膜	
9 0 2	i型の半導体膜	
9 0 3	n型の半導体膜	
9 1 1	導電膜	
9 1 2	導電膜	
9 1 3	導電膜	
9 1 4	導電膜	
9 1 5	導電膜	
9 1 6	導電膜	20
9 3 2	導電膜	
9 3 4	導電膜	
9 3 5	導電膜	
9 4 1	導電膜	
9 4 2	導電膜	
9 4 3	導電膜	
9 4 4	導電膜	
9 4 5	導電膜	
9 4 6	導電膜	
9 6 0	基板	30
9 6 1	絶縁膜	
9 6 2	ゲート絶縁膜	
9 6 3	絶縁膜	
9 6 4	絶縁膜	
9 7 0	導電膜	
9 8 0	半導体層	
1 0 0 0	放射線撮像装置	
1 0 0 1	放射線照射部	
1 0 0 2	放射線	
1 0 0 3	光	40
1 0 0 4	シンチレータ	
1 0 0 5	光検出機構	
1 0 0 6	画像信号生成部	
1 0 0 7	画像表示装置	
1 0 0 8	被写体	
1 0 1 0	光検出部	
1 0 1 2	光検出回路	
1 0 2 0	光検出回路制御部	
1 0 2 1	第1の光検出回路駆動回路	
1 0 2 2	第2の光検出回路駆動回路	50

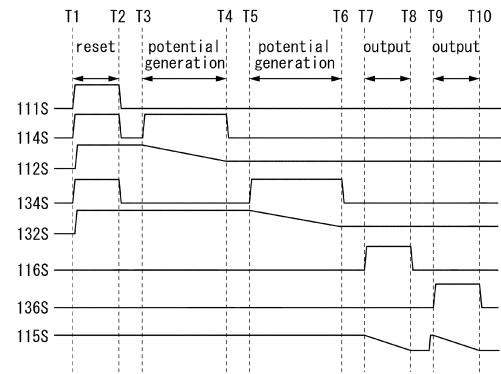
1 1 0 1	光	
1 1 0 2	光	
1 1 1 1	期間	
1 1 1 2	期間	
1 2 0 0	画像表示装置	
1 2 0 1	表示素子	
1 2 0 1 R	表示素子	
1 2 0 1 G	表示素子	
1 2 0 1 B	表示素子	
1 2 0 2	光検出回路	10
1 2 1 0	画素	
1 2 2 0	表示素子制御部	
1 2 2 1	第 1 の表示素子駆動回路	
1 2 2 2	第 2 の表示素子駆動回路	
1 2 3 0	光検出回路制御部	
1 2 3 1	第 1 の光検出回路駆動回路	
1 2 3 2	第 2 の光検出回路駆動回路	
1 2 4 0	表示部	
1 2 5 0	液晶素子	
1 2 5 2	トランジスタ	20
1 2 5 4	容量素子	
1 4 0 1	液晶層	
1 4 0 2	配向膜	
1 4 0 3	電極	
1 4 0 4	カラーフィルター	
1 4 0 5	基板	
1 4 1 0	被検出物	



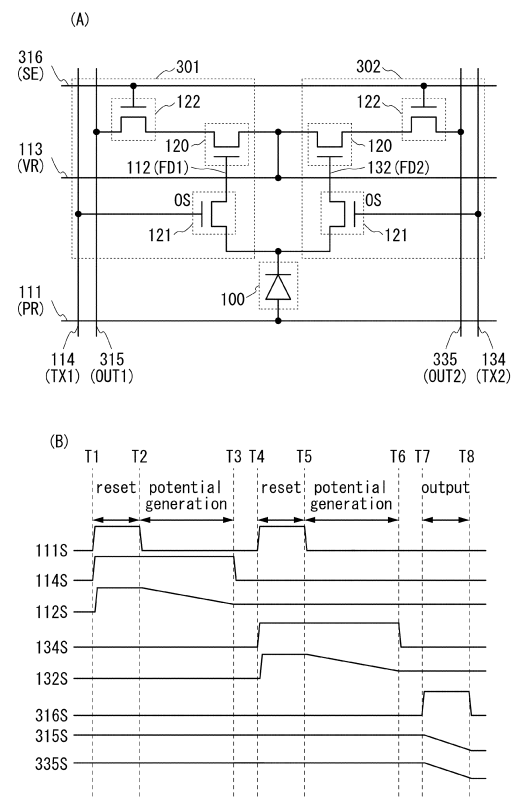
【図 1】



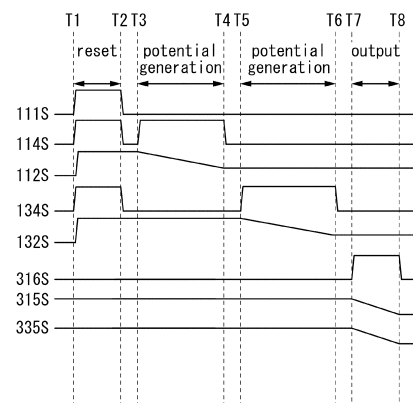
【図 2】



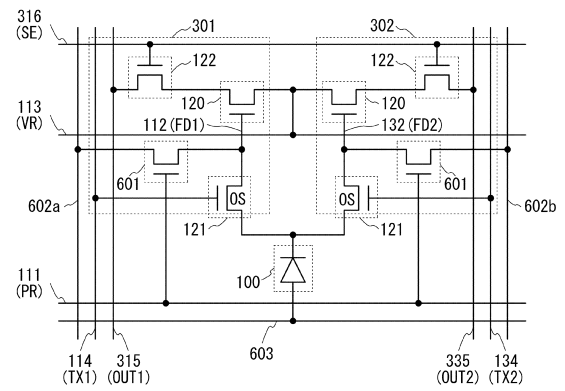
【図 3】



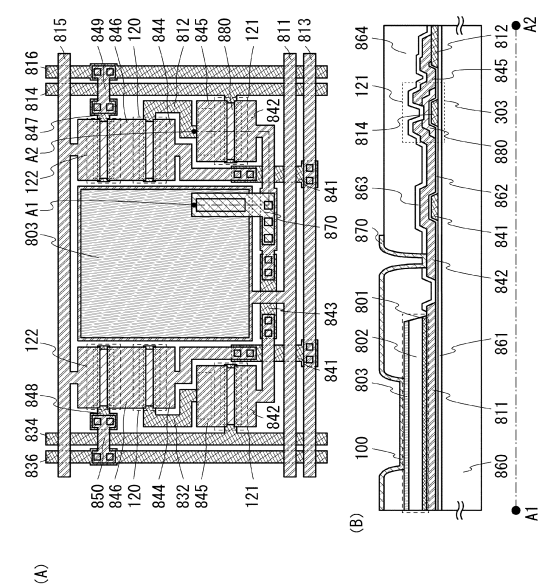
【図 4】



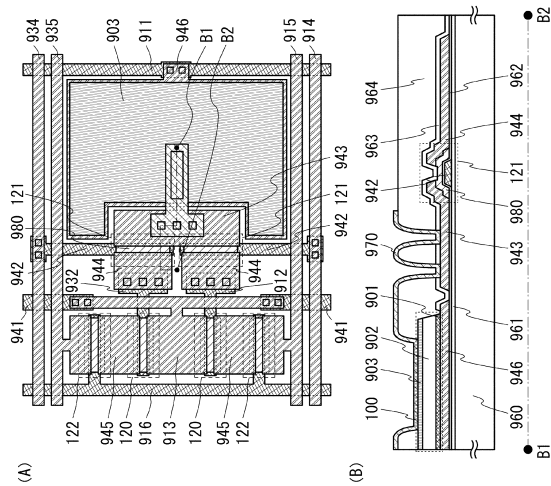
【 図 6 】



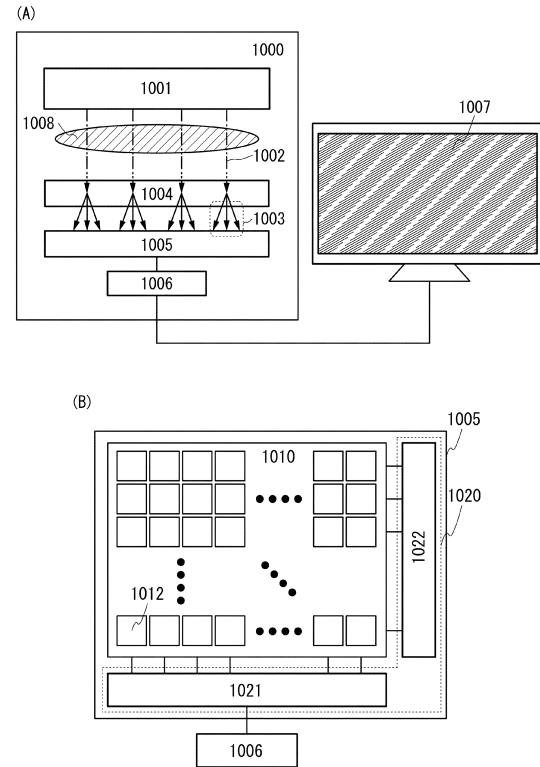
【 図 8 】



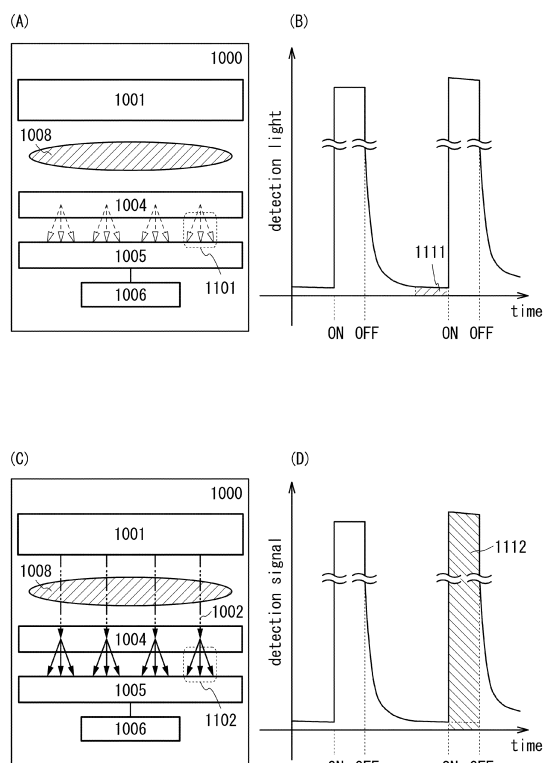
【図 9】



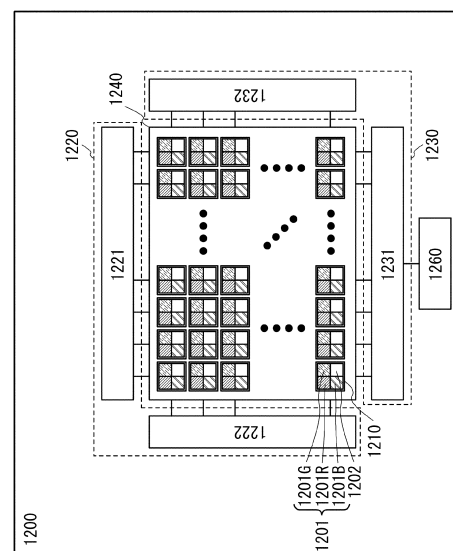
【図 10】



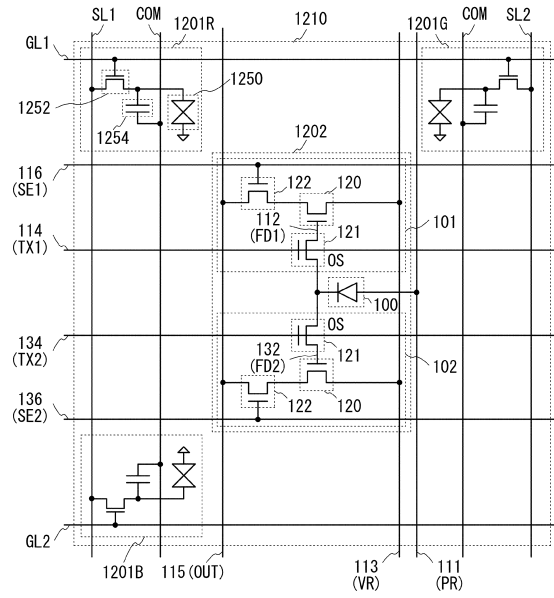
【図 11】



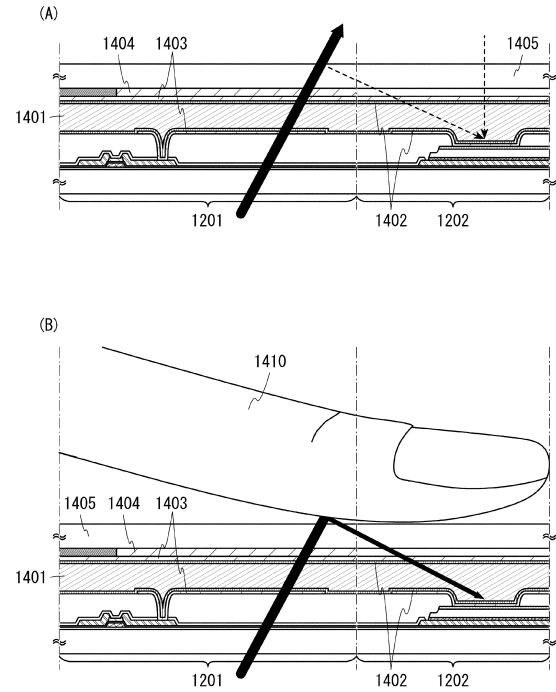
【図 12】



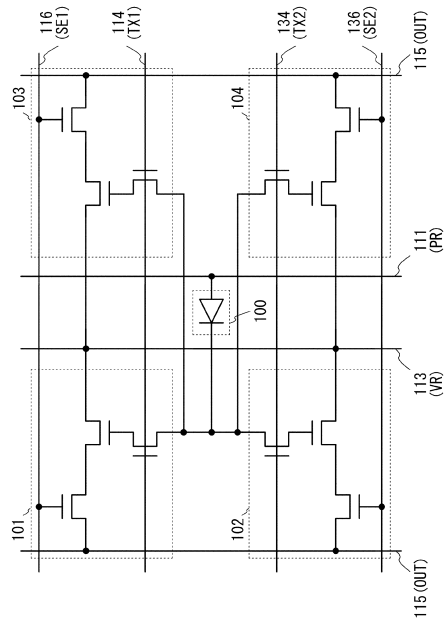
【図 13】



【図 14】



【図 15】



---

 フロントページの続き

(51)Int.Cl.			F I		
<b>H 0 1 L</b>	<b>31/10</b>	<b>(2006.01)</b>	H 0 1 L	31/10	G
G 0 1 J	1/42	(2006.01)	G 0 1 J	1/42	N

(56)参考文献 特開 2 0 0 5 - 2 1 7 4 7 1 ( J P , A )  
 特開 2 0 1 1 - 2 1 1 6 9 9 ( J P , A )  
 国際公開第 2 0 1 1 / 0 4 0 0 9 2 ( W O , A 1 )  
 米国特許出願公開第 2 0 1 1 / 0 2 1 5 3 2 3 ( U S , A 1 )  
 米国特許出願公開第 2 0 1 2 / 0 1 7 6 3 5 5 ( U S , A 1 )

(58)調査した分野(Int.Cl. , D B 名)

G 0 1 J	1 / 0 0 - 1 / 6 0
G 0 1 V	8 / 2 0
G 0 6 F	3 / 0 3 3 - 3 / 0 3 9
H 0 1 L	2 7 / 1 4 6
H 0 1 L	3 1 / 1 0
H 0 4 N	5 / 3 2
H 0 4 N	5 / 3 7 4