



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

245 940

(11)

(B1)

(61)

(23) Výstavní priorita

(22) Přihlášeno 30 10 84

(21) (PV 8222-84)

(51) Int. Cl.⁴

G 01 F 23/26

(40) Zveřejněno 16 01 86

(45) Vydáno 01 07 88

(75)

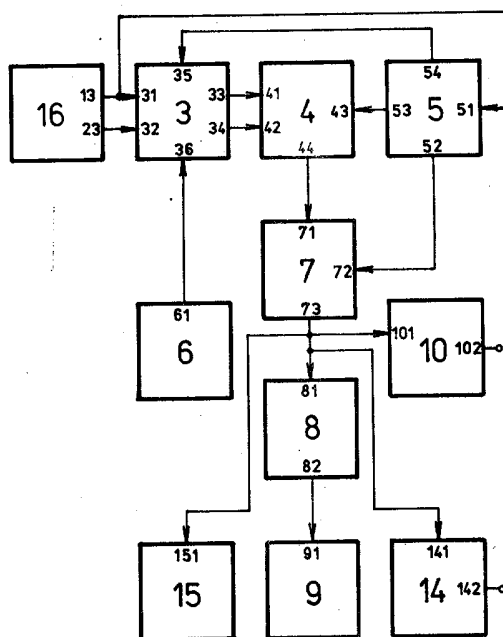
Autor vynálezu

FREHAR MIROSLAV ing., PRAHA

(54)

Zapojení pro přímé digitální vyhodnocení
výstupního signálu diferenciálního
kapacitního čidla

Zapojení pro přímé digitální vyhodnocení výstupního signálu diferenciálního kapacitního čidla k měření neelektrických veličin, zejména tlaku, sestává z bloku měřky (16) se dvěma bistabilními klopnými obvody a s ovládacím klopným obvodem, bloku klíčovacího obvodu (3), bloku vratného vícedekádového čítače (4), bloku ovládacích obvodů čítače (5), bloku zdroje kalibračního kmitočtu (6), bloku vyrovnávací paměti (7), bloku dekodéru (8), bloku displeje (9), bloku D/A převodníku (10), bloku digitálního komparátoru (14) a bloku pomocných obvodů (15). Funguje na principu transformace změn kapacit izolovaných elektrod kapacitního čidla vůči společné elektrodě tvořené membránou na změny délky elektrického impulzu a následného čistě digitálního vyhodnocení rozdílu dob trvání těchto impulzů, jež je obrazem změn měřené neelektrické veličiny působící na membránu. Dosahuje se rozlišitelnosti až 10^{-3} pF se stabilitou a přesností lepší než 0,1 %.



Vynález se týká zapojení pro přímé digitální vyhodnocení výstupního signálu diferenciálního kapacitního čidla k měření neelektrických veličin, zejména tlaku.

Diferenciální kapacitní čidlo převádí diferenci neelektrické veličiny, např. tlaku, působící na pružnou kovovou membránu, na změny elektrické veličiny - kapacity dvojice izolovaných elektrod vůči této membráně. Provedení měřky může být symetrické - elektrody jsou umístěny symetricky po obou stranách membrány, nebo asymetrické - první elektroda má tvar kruhu a druhá tvar mezikruží, obklopující první elektrodu. V mezích pružné deformace se účinkem difference tlaku membrána deformuje do tvaru kulového vrchlíku, tím je přírůstek kapacity vnitřní elektrody větší než elektrody vnější. Výstupním signálem diferenciálního kapacitního čidla je pak rozdíl kapacit dvou elektrod vůči společné membráně. Pro zpracování výstupního signálu diferenciálních kapacitních čidel se až doposud používá metoda buzení vyváženého LC mostu, tvořeného ve dvou sousedních větvích kapacitami diferenciálního čidla a most je doplněn dvojicí vinutí speciálního vysokofrekvenčního transformátoru, buzení sinusovým napětím se stabilní amplitudou. Různý zdvih kapacit čidla jako odezva na změnu měřené neelektrické veličiny působící na membránu vede k rozvážení mostu, což má za následek deformaci průběhu budícího proudu. Dále je výstupní signál zpracováván fázově citlivým detektorem se synchronní detekcí a pomocí integračního zesilovače převáděn na stejnosměrné napětí, jež je pak obrazem změn kapacit a tím i změn neelektrické veličiny působící na membránu.

Nevýhodou dosavadního způsobu vyhodnocování výstupního signálu diferenciálního kapacitního čidla je náročná konstrukce a technologie měřícího transformátoru, v podstatné míře ovlivňují-

cí výsledné užité vlastnosti čidla, zejména jeho dlouhodobou a teplotní stabilitu. Právě konstrukce měřicího transformátoru se projevila v konkrétních podmínkách prakticky nezvládnutelná s ohledem na vysoké nároky na dosahovanou přesnost a stabilitu celého měřicího systému.

Popisované nedostatky odstraňuje zapojení pro přímé digitální vyhodnocení výstupního signálu diferenciálního kapacitního čidla podle vynálezu, které sestává z bloku měrky se dvěma bistabilními klopnými obvody pro převod velikosti kapacit a jejich změn na dobu trvání elektrického impulzu a s ovládacím klopným obvodem, bloku klíčovacího obvodu, bloku vratného vícedekádového čítače, bloku ovládacích obvodů čítače, bloku zdroje kalibračního kmitočtu, bloku vyrovnávací paměti, bloku dekodéru, bloku displeje, bloku D/A převodníku, bloku digitálního komparátoru a bloku pomocných obvodů. Jeho podstata spočívá v tom, že první výstup prvního bistabilního klopného obvodu je spojen s prvním vstupem ovládacího klopného obvodu, první výstup druhého bistabilního klopného obvodu je spojen s druhým vstupem ovládacího klopného obvodu, první výstup ovládacího klopného obvodu je spojen se vstupem prvního bistabilního klopného obvodu, druhý výstup ovládacího klopného obvodu je spojen se vstupem druhého bistabilního klopného obvodu, druhý výstup prvního bistabilního klopného obvodu je spojen s prvním vstupem bloku klíčovacího obvodu a současně se vstupem bloku ovládacích obvodů čítače, druhý výstup druhého bistabilního klopného obvodu je spojen s druhým vstupem bloku klíčovacího obvodu, první výstup bloku klíčovacího obvodu je spojen s prvním vstupem bloku vratného vícedekádového čítače, druhý výstup bloku klíčovacího obvodu je spojen s druhým vstupem bloku vratného vícedekádového čítače, druhý výstup bloku ovládacích obvodů čítače je spojen s třetím vstupem bloku vratného vícedekádového čítače, třetí výstup bloku ovládacích obvodů čítače je spojen s třetím vstupem bloku klíčovacího obvodu, výstup bloku zdroje kalibračního kmitočtu je spojen se čtvrtým vstupem bloku klíčovacího obvodu, první výstup bloku ovládacích obvodů čítače je spojen se vstupem bloku vyrovnávací paměti, hromadný výstup bloku vratného vícedekádového čítače je spojen s hromadným vstupem bloku vyrovnávací paměti, hromadný výstup bloku vyrovnávací paměti je spojen s hromadným vstupem bloku dekodéru a současně s hromadným vstupem bloku digitálního komparátoru, s hromadným vstupem bloku D/A

převodníku a s hromadným vstupem bloku pomocných obvodů, hromadný výstup bloku dekodéru je spojen s hromadným vstupem bloku displeje, blok D/A převodníku je opatřen analogovým výstupem a blok digitálního komparátoru je opatřen digitálním výstupem.

Zapojením pro přímé digitální vyhodnocení výstupního signálu diferenciálního kapacitního čidla podle vynálezu lze dosáhnout rozlišitelnosti až 10^{-3} pF se stabilitou a přesností lepší než 0,1 %, tedy vlastností vysoko převyšujících vlastností současných zapojení s použitím vysokofrekvenčního transformátoru. Zapojení podle vynálezu zaručuje také dokonalou reprodukovatelnost z hlediska výroby i vlastností, jednoduché a jednoznačné seřizování a nastavování.

Na připojených výkresech je znázorněn konkrétní příklad zapojení pro přímé digitální vyhodnocení výstupního signálu diferenciálního kapacitního čidla k měření tlaku, a to na obr. 1 blokové schéma digitálního měřiče, na obr. 2 schéma zapojení bloku měřky digitálního měřiče.

Zapojení sestává z bloku klíčovacího obvodu 3, bloku vratného vícedekádového čítače 4, bloku ovládacích obvodů čítače 5, bloku zdroje kalibračního kmitočtu 6, bloku vyrovnávací paměti 7, bloku dekodéru 8, bloku displeje 9, bloku D/A převodníku 10, bloku digitálního komparátoru 14, bloku pomocných obvodů 15 a z bloku měřky 16 s ovládacím klopným obvodem 17, s prvním bistabilním klopným obvodem 1 a s druhým bistabilním klopným obvodem 2. První bistabilní klopný obvod 1 je z hlediska vnitřního zapojení shodný s druhým bistabilním klopným obvodem 2. První kondenzátor kapacitního čidla 122 je spojen přes první nabíjecí odpor 123 s první vstupní svorkou 124. Druhý kondenzátor kapacitního čidla 222 je spojen přes druhý nabíjecí odpor 223 s druhou vstupní svorkou 224. Společný bod prvního nabíjecího odporu 123 a prvního kondenzátoru kapacitního čidla 122 je dále spojen s kolektorem 125 prvního klíčovacího tranzistoru 121, s invertujícím vstupem 116 prvního napěťového komparátoru 113 a s invertujícím vstupem 119 druhého napěťového komparátoru 117. Společný bod druhého nabíjecího odporu 223 a druhého kondenzátoru kapacitního čidla 222 je dále spojen s kolektorem 225 druhého klíčovacího tranzistoru 221, s invertujícím vstupem 216 třetího napěťového komparátoru 213 a s invertujícím vstupem 219 čtvrtého napěťového komparátoru 217. Báze 127 prvního klíčovacího tranzistoru 121 je spojena se vstupem 12 prvního bis-

tabilního klopného obvodu 1. Báze 227 druhého klíčovacího tranzistoru 221 je spojena se vstupem 22 druhého bistabilního klopného obvodu 2. Výstup 114 prvního napěťového komparátoru 113 je spojen se vstupem R 111 prvního bistabilního klopného obvodu typu R-S 110 a současně s prvním výstupem 11 prvního bistabilního klopného obvodu 1. Výstup 214 třetího napěťového komparátoru 213 je spojen se vstupem R 211 druhého bistabilního klopného obvodu typu R-S 210 a současně s prvním výstupem 21 druhého bistabilního klopného obvodu 2. Výstup 118 druhého napěťového komparátoru 117 je spojen se vstupem S 112 prvního bistabilního klopného obvodu typu R-S 110. Výstup 218 čtvrtého napěťového komparátoru 217 je spojen se vstupem S 212 druhého bistabilního klopného obvodu typu R-S 210. Výstup Q 128 prvního bistabilního klopného obvodu typu R-S 110 je spojen s druhým výstupem 13 prvního bistabilního klopného obvodu 1. Výstup Q 228 druhého bistabilního klopného obvodu typu R-S 210 je spojen s druhým výstupem 23 druhého bistabilního klopného obvodu 2. První výstup 11 prvního bistabilního klopného obvodu 1 je spojen s prvním vstupem 171 ovládacího klopného obvodu 17, první výstup 21 druhého bistabilního klopného obvodu 2 je spojen s druhým vstupem 172 ovládacího klopného obvodu 17, první výstup 173 ovládacího klopného obvodu 17 je spojen se vstupem 12 prvního bistabilního klopného obvodu 1, druhý výstup 174 ovládacího klopného obvodu 17 je spojen se vstupem 22 druhého bistabilního klopného obvodu 2, druhý výstup 13 prvního bistabilního klopného obvodu 1 je spojen s prvním vstupem 31 bloku klíčovacího obvodu 3 a současně se vstupem 51 bloku ovládacích obvodů čítače 5, druhý výstup 23 druhého bistabilního klopného obvodu 2 je spojen s druhým vstupem 32 bloku klíčovacího obvodu 3, první výstup 33 bloku klíčovacího obvodu 3 je spojen s prvním vstupem 41 bloku vratného vícedekádového čítače 4, druhý výstup 34 bloku klíčovacího obvodu 3 je spojen s druhým vstupem 42 bloku vratného vícedekádového čítače 4, druhý výstup 53 bloku ovládacích obvodů čítače 5 je spojen s třetím vstupem 43 bloku vratného vícedekádového čítače 4, třetí výstup 54 bloku ovládacích obvodů čítače 5 je spojen s třetím vstupem 35 bloku klíčovacího obvodu 3, výstup 61 bloku zdroje kalibračního kmitočtu 6 je spojen se čtvrtým vstupem 36 bloku klíčovacího obvodu 3, první výstup 52 bloku ovládacích obvodů čítače 5 je spojen se vstupem 72 bloku vyrovnávací paměti 7, hromadný výstup 44 bloku vratného vícedekádového čítače 4 je spojen s hromadným vstupem 71 bloku vyrovnávací paměti 7, hromadný výstup 73 bloku vyrovnávací paměti 7

je spojen s hromadným vstupem 81 bloku dekodéru 8 a současně s hromadným vstupem 141 bloku digitálního komparátoru 14, s hromadným vstupem 101 bloku D/A převodníku 10 a s hromadným vstupem 151 bloku pomocných obvodů 15, hromadný výstup 82 bloku dekodéru 8 je spojen s hromadným vstupem 91 bloku displeje 9, blok D/A převodníku 10 je opatřen analogovým výstupem 102 a blok digitálního komparátoru 14 je opatřen digitálním výstupem 142.

Zapojení funguje na principu transformace změn kapacit izolovaných elektrod kapacitního čidla vůči společné elektrodě tvořené membránou na změny délky elektrického impulsu a následného čistě digitálního vyhodnocení rozdílu dob trvání těchto impulsů, jež je obrazem změn měřené neelektrické veličiny působící na membránu.

První kondenzátor kapacitního čidla 122 a druhý kondenzátor kapacitního čidla 222 jsou jedním vývodem spojeny s nulovým potenciálem, který je pro oba kondenzátory společný. Druhý vývod prvního kondenzátoru kapacitního čidla 122 je nabíjen přes první nabíjecí odpor 123 z první vstupní svorky 124, na niž je přivedeno kladné napájecí napětí $+U_{cc}$. Druhý vývod druhého kondenzátoru kapacitního čidla 222 je nabíjen přes druhý nabíjecí odpor 223 z druhé vstupní svorky 224, na niž je přivedeno kladné napájecí napětí $+U_{cc}$. Společný bod prvního kondenzátoru kapacitního čidla 122 a prvního nabíjecího odporu 123 je spojen s kolektorem 125 prvního klíčovacího tranzistoru 121. Společný bod druhého kondenzátoru kapacitního čidla 222 a druhého nabíjecího odporu 223 je spojen s kolektorem 225 druhého klíčovacího tranzistoru 221. Emitor 126 prvního klíčovacího tranzistoru 121 a emitor 226 druhého klíčovacího tranzistoru 221 jsou připojeny na záporné napájecí napětí $-U_{cc}$. Při sepnutém prvním klíčovacím tranzistoru 121 je první kondenzátor kapacitního čidla 122 nabit na napětí $-U_{cc}$, při sepnutém druhém klíčovacím tranzistoru 221 je na toto napětí nabit druhý kondenzátor kapacitního čidla 222. Při vypnutí prvního klíčovacího tranzistoru 121 v čase t_0 se začne nabíjet první kondenzátor kapacitního čidla 122, při vypnutí druhého klíčovacího tranzistoru 221 v čase t_0 se začne nabíjet druhý kondenzátor kapacitního čidla 222. Napětím na prvním kondenzátoru kapacitního čidla 122 je řízena dvojice prvního a druhého napěťového komparátoru 113, 117, napětím na druhém konden-

zátoru kapacitního čidla 222 je řízena dvojice třetího a čtvrtého napěťového komparátoru 213, 217. První a druhý napěťový komparátor 113, 117 pak řídí první bistabilní klopný obvod typu R-S 110 tak, že překročí-li velikost řídicího napětí hodnotu referenčního napětí $-U_{ref}$, překlápí druhý napěťový komparátor 117 první bistabilní klopný obvod typu R-S 110 do stavu log. "1". Třetí a čtvrtý napěťový komparátor 213, 217 řídí druhý bistabilní klopný obvod typu R-S 210 obdobně, tj. překročí-li velikost řídicího napětí hodnotu referenčního napětí $-U_{ref}$, překlápí čtvrtý napěťový komparátor 217 druhý bistabilní klopný obvod typu R-S 210 do stavu log. "1". Napětí, na prvním a druhém kondenzátoru kapacitního čidla 122, 222 roste dál, až dosáhne velikosti $+U_{ref}$. V tom okamžiku překlápí první napěťový komparátor 113 první bistabilní klopný obvod typu R-S 110 a třetí napěťový komparátor 213 druhý bistabilní klopný obvod typu R-S 210 zpět do stavu log. "0". Doba trvání impulzu je tedy za konstantních podmínek dána pouze velikostí kapacity prvního a druhého kondenzátoru kapacitního čidla 122, 222. Po proběhnutí popsaného cyklu zajistí ovládací klopný obvod 17, že prostřednictvím vypnutí prvního klíčovacího tranzistoru 121 je spuštěno nabíjení druhého kondenzátoru kapacitního čidla 222 a dále je první klíčovací tranzistor 121 uveden do vodivého stavu, čímž se první kondenzátor kapacitního čidla 122 opět nabije na napětí $-U_{cc}$ a je v tomto stavu udržován až do nabití prvního kondenzátoru kapacitního čidla 122 na napětí $+U_{ref}$, kdy je ukončeno trvání impulzu a celý cyklus opět začíná jako v čase t_0 .

V elektrických impulzech na druhém výstupu 13 prvního bistabilního klopného obvodu 1 a na druhém výstupu 23 druhého bistabilního klopného obvodu 2 je tedy v digitální formě informace o velikosti kapacit elektrod prvního a druhého kondenzátoru kapacitního čidla 122, 222 vůči společné elektrodě tvořené kovovou membránou. Pro vyhodnocení rozdílu délky kyvů prvního a druhého bistabilního klopného obvodu 1, 2 je již jednoduše využito prostředků číslicové techniky.

Na čítačí první a druhý vstup 41, 42 bloku vratného více-dekádového čítače 4 o čtyřech dekádách je přiváděn prostřednictvím klíčovacích hradel sled výstupních impulzů spolu s referenčním kmitočtem f_{ref} , jenž je mnohem větší než opakovací kmitočet vázané dvojice prvního a druhého bistabilního klopného obvodu

1, 2. Zbytkový obsah bloku vratného vícedekádového čítače 4 po průběhu jednoho cyklu, při kterém se blok vratného vícedekádového čítače 4 po dobu trvání impulzu na druhém výstupu 13 prvního bistabilního klopného obvodu 1 naplňuje a po dobu trvání impulzu na druhém výstupu 23 druhého bistabilního klopného obvodu 2 vyprazdňuje, je úměrný rozdílu dob trvání impulzů a tedy i rozdílu kapacit elektrod prvního a druhého kondenzátoru kapacitního čidla 122, 222.

Velikostí referenčního kmitočtu f_{ref} lze pak v širokých mezích ovlivňovat citlivost a rozlišovací schopnost měření a tak kalibrovat reálné diferenciální kapacitní čidlo v libovolných jednotkách. Podstatného zvýšení citlivosti lze dosáhnout též zvyšováním počtu cyklů měření, kdy se zbytkový obsah bloku vratného vícedekádového čítače 4 zvyšuje s počtem proběhlých měřících cyklů.

Informace o obsahu bloku vratného vícedekádového čítače 4 je přístupná na hromadném výstupu 44 bloku vratného vícedekádového čítače 4 a lze ji jednoduše zobrazit pomocí standardního zapojení bloku vyrovnávací paměti 7, bloku dekodéru 8 a bloku displeje 9.

Zapojení pro přímé digitální vyhodnocení výstupního signálu diferenciálního kapacitního čidla je využitelné všude tam, kde se používají ke snímání neelektrických veličin kapacitní diferenciální čidla, zejména při měření nízkých tlaků.

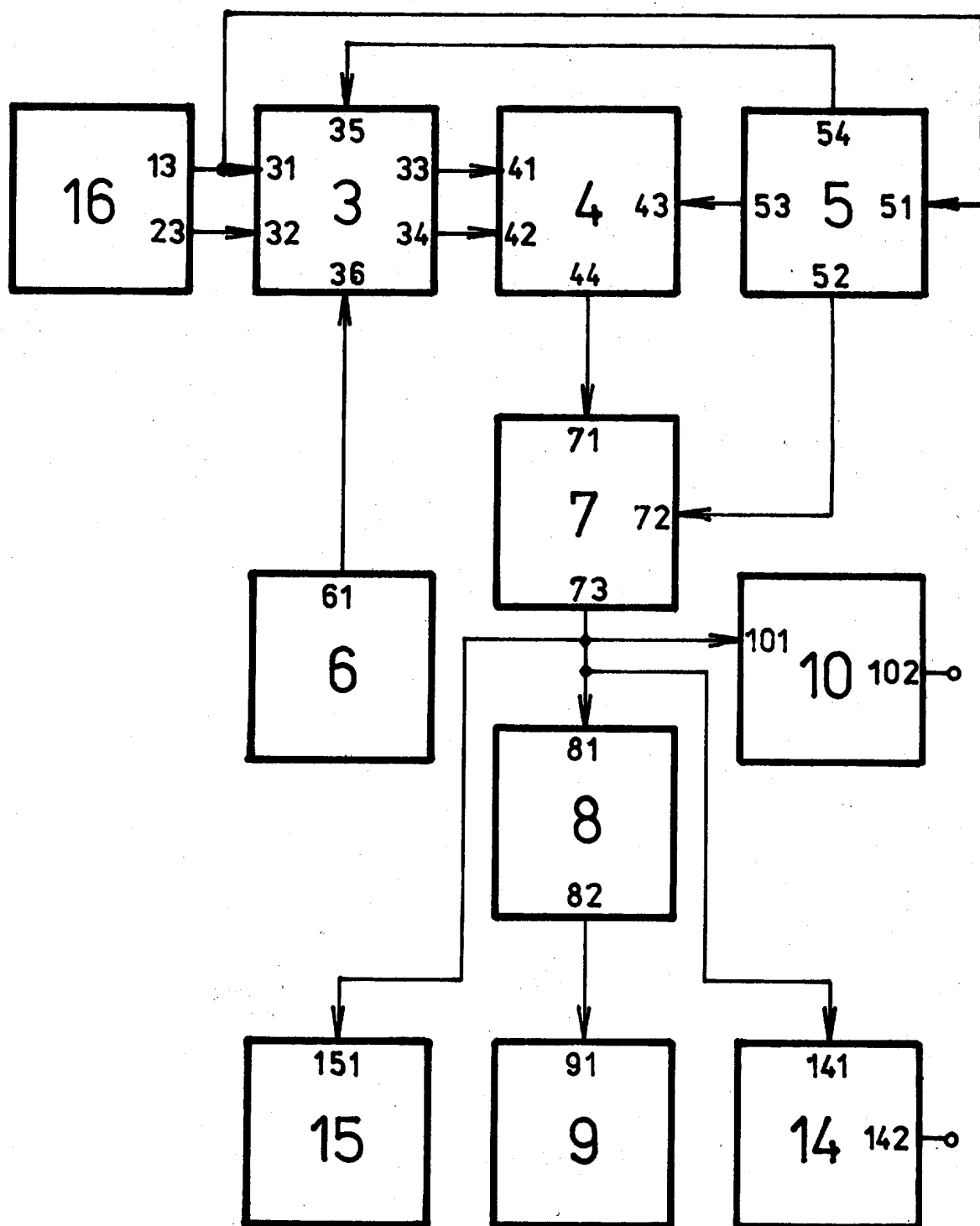
PŘEDMĚT VYNÁLEZU

245 940

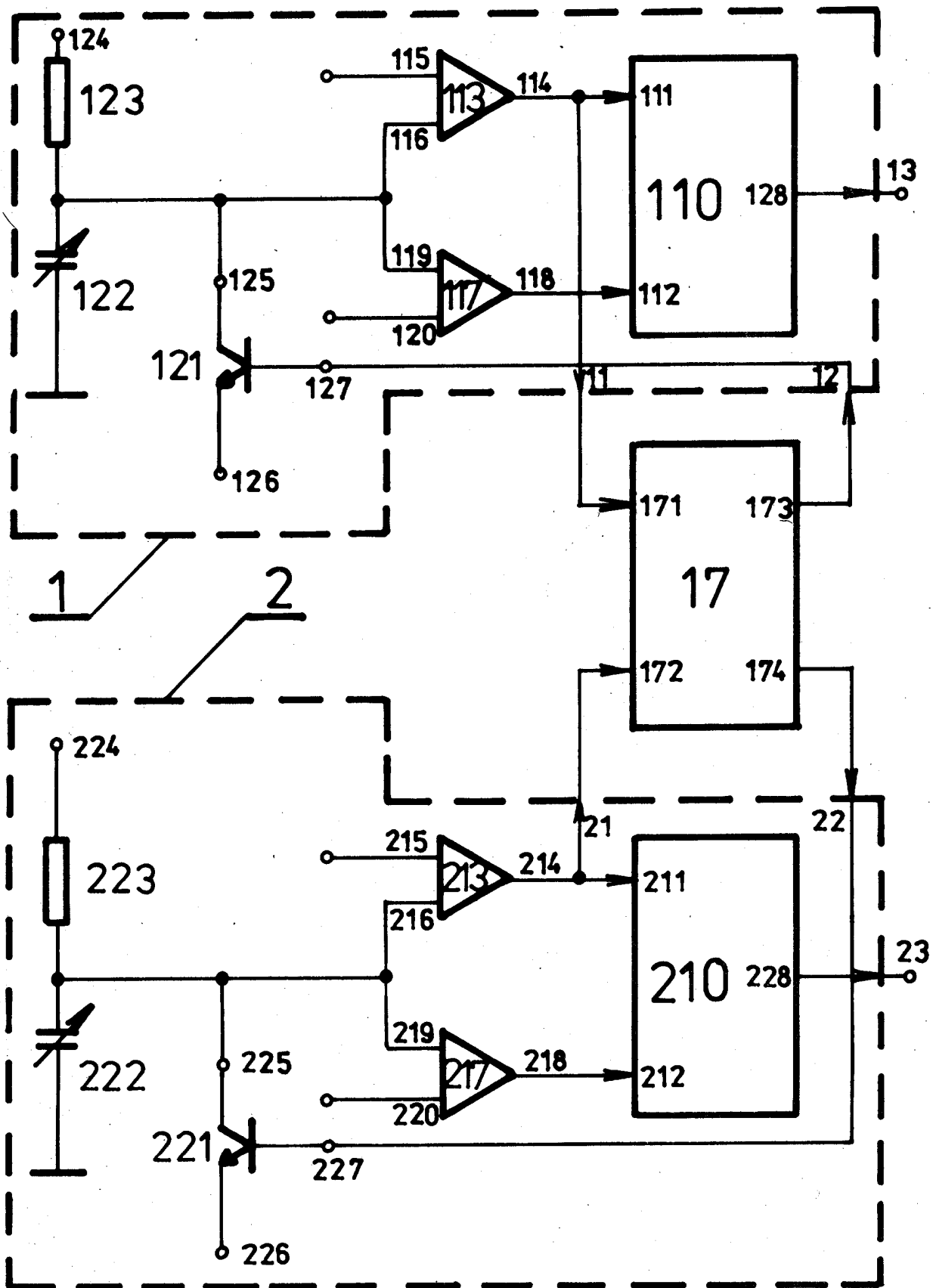
Zapojení pro přímé digitální vyhodnocení výstupního signálu diferenciálního kapacitního čidla sestávající z bloku měrky se dvěma bistabilními klopnými obvody pro převod velikosti kapacit a jejich změn na dobu trvání elektrického impulzu a s ovládacím klopným obvodem, bloku klíčovacího obvodu, bloku vratného vícedekádového čítače, bloku ovládacích obvodů čítače, bloku zdroje kalibračního kmitočtu, bloku vyrovnávací paměti, bloku dekodéru, bloku displeje, bloku D/A převodníku, bloku digitálního komparátoru a bloku pomocných obvodů, vyznačené tím, že první výstup (11) prvního bistabilního klopného obvodu (1) je spojen s prvním vstupem (171) ovládacího klopného obvodu (17), první výstup (21) druhého bistabilního klopného obvodu (2) je spojen s druhým vstupem (172) ovládacího klopného obvodu (17), první výstup (173) ovládacího klopného obvodu (17) je spojen se vstupem (12) prvního bistabilního klopného obvodu (1), druhý výstup (174) ovládacího klopného obvodu (17) je spojen se vstupem (22) druhého bistabilního klopného obvodu (2), druhý výstup (13) prvního bistabilního klopného obvodu (1) je spojen s prvním vstupem (31) bloku klíčovacího obvodu (3) a současně se vstupem (51) bloku ovládacích obvodů čítače (5), druhý výstup (23) druhého bistabilního klopného obvodu (2) je spojen s druhým vstupem (32) bloku klíčovacího obvodu (3), první výstup (33) bloku klíčovacího obvodu (3) je spojen s prvním vstupem (41) bloku vratného vícedekádového čítače (4), druhý výstup (34) bloku klíčovacího obvodu (3) je spojen s druhým vstupem (42) bloku vratného vícedekádového čítače (4), druhý výstup (53) bloku ovládacích obvodů čítače (5) je spojen s třetím vstupem (43) bloku vratného vícedekádového čítače (4), třetí výstup (54) bloku ovládacích obvodů čítače (5) je spojen s třetím vstupem (35) bloku klíčovacího obvodu (3), výstup (61) bloku zdroje kalibračního kmitočtu (6) je spojen se čtvrtým vstupem (36) bloku klíčovacího obvodu (3), první výstup (52) bloku ovládacích obvodů čítače (5) je spojen se vstupem (72) bloku vyrovnávací paměti (7), hromadný výstup (44) bloku vratného vícedekádového čítače (4) je spojen s hromadným vstupem (71) bloku vyrovnávací paměti (7), hromadný výstup (73) bloku vyrovnávací paměti (7) je spojen s hro-

madným vstupem (81) bloku dekodéru (8) a současně s hromadným vstupem (141) bloku digitálního komparátoru (14), s hromadným vstupem (101) bloku D/A převodníku (10) a s hromadným vstupem (151) bloku pomocných obvodů (15), hromadný výstup (82) bloku dekodéru (8) je spojen s hromadným vstupem (91) bloku displeje (9), blok D/A převodníku (10) je opatřen analogovým výstupem (102) a blok digitálního komparátoru (14) je opatřen digitálním výstupem (142).

2 výkresy



Obr. 1



Obr. 2