

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成23年6月16日(2011.6.16)

【公開番号】特開2010-172014(P2010-172014A)

【公開日】平成22年8月5日(2010.8.5)

【年通号数】公開・登録公報2010-031

【出願番号】特願2010-101545(P2010-101545)

【国際特許分類】

H 04 L 7/033 (2006.01)

【F I】

H 04 L 7/02 B

【手続補正書】

【提出日】平成23年1月5日(2011.1.5)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

C D R 信号を生成し、送信する装置であって、

データ情報と P L D クロック信号とを生成するように構成された P L D 回路と、

基準クロック信号を受信するように構成された入力回路と、

該 P D L クロック信号に関連付けられたクロックレジームと該基準クロック信号に関連付けられた異なるクロックレジームとの間において該データ情報をバッファリングするように構成されたバッファ回路であって、該クロックレジームは、異なる周波数を有している、バッファ回路と、

該基準クロック信号を用いて、該データ情報と該基準クロック信号に関連する周波数を有する埋め込まれたクロック信号とを含む該 C D R 信号を生成するように構成された出力回路と

を備えた、装置。

【請求項2】

前記 P L D 回路、前記入力回路および前記出力回路のすべてが、单一の集積回路デバイスに集積されている、請求項1に記載の装置。

【請求項3】

前記入力回路は、位相同期ループ回路を含む、請求項1に記載の装置。

【請求項4】

前記位相同期ループ回路は、動作パラメータに対してプログラム可能である、請求項3に記載の装置。

【請求項5】

前記位相同期ループ回路は、プログラム可能なパワーダウン信号に応答してパワーダウンするように構成されている、請求項3に記載の装置。

【請求項6】

前記出力回路は、前記データ情報をパラレル形式からシリアル形式に変換するように構成されたシリアルライザ回路を含む、請求項1に記載の装置。

【請求項7】

前記シリアルライザ回路は、動作パラメータに対してプログラム可能である、請求項6に記載の装置。

【請求項 8】

前記入力回路および前記出力回路のうちの少なくとも 1 つは、この少なくとも 1 つの回路の動作状態を示す状態監視信号を前記 P L D 回路に付与するように構成されている、請求項 1 に記載の装置。

【請求項 9】

前記入力回路および前記出力回路のうちの少なくとも 1 つは、前記 P L D 回路によって選択的に生成されるリセット信号によってリセットされる構成要素を含む、請求項 1 に記載の装置。

【請求項 10】

前記 P L D 回路は、前記データ情報と同期する非 C D R クロック信号を生成するようにさらに構成されており、前記出力回路は、代替的な使用のために該非 C D R クロック信号とパラレルに該データ情報を非 C D R 形式で出力するようにさらに構成されている、請求項 1 に記載の装置。

【請求項 11】

前記出力回路は、前記非 C D R クロック信号を周波数スケールされた形式で出力する前に、該非 C D R クロック信号を所定のスケールファクタによって選択的に周波数スケールするようにさらに構成されている、請求項 10 に記載の装置。

【請求項 12】

前記出力回路は、前記スケールファクタに対してプログラム可能である、請求項 11 に記載の装置。

【請求項 13】

前記非 C D R 形式のデータ情報は、L V D S 信号である、請求項 10 に記載の装置。