



(12) 发明专利

(10) 授权公告号 CN 102969362 B

(45) 授权公告日 2016. 03. 30

(21) 申请号 201110257880. 7

(22) 申请日 2011. 09. 01

(73) 专利权人 中国科学院微电子研究所  
地址 100029 北京市朝阳区北土城西路 3#

(72) 发明人 殷华湘 王玉光 董立军 陈大鹏

(74) 专利代理机构 北京蓝智辉煌知识产权代理  
事务所(普通合伙) 11345

代理人 陈红

(51) Int. Cl.

H01L 29/786(2006. 01)

H01L 29/10(2006. 01)

H01L 29/26(2006. 01)

H01L 21/336(2006. 01)

(56) 对比文件

CN 101826558 A, 2010. 09. 08,

US 2010/0155716 A1, 2010. 06. 24,  
CN 101057339 A, 2007. 10. 17,  
WO 2011/065198 A1, 2011. 06. 03,  
KR 10-2010-0057243 A, 2010. 05. 31,

审查员 韩婷

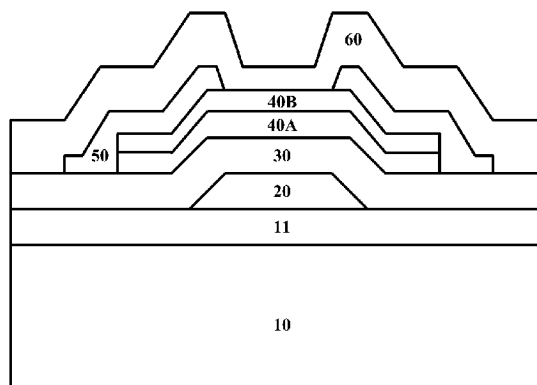
权利要求书1页 说明书7页 附图3页

(54) 发明名称

高稳定性非晶态金属氧化物 TFT 器件

(57) 摘要

本发明提供了一种高稳定性非晶态金属氧化物 TFT 器件,包括衬底、栅电极、栅绝缘介质层、非晶态金属氧化物构成的沟道层、源漏电极以及钝化层,其特征在于:沟道层包括至少一个由第一型材料构成的沟道保护层以及至少一个由第二型材料构成的沟道导电层。依照本发明的高稳定性非晶态金属氧化物晶体管器件结构,通过不同材料构成的沟道保护层可以有效保护非晶态氧化物半导体 TFT 中沟道导电层表面受外界环境、工艺、界面、电场等因素的影响,提高器件长期电应力稳定性;同时可以避免为提高长期稳定性所额外引入的工艺成本,例如刻蚀阻挡层的应用,非常规 TFT 结构的应用,高质量特殊工艺方法的栅介质与钝化层的应用等。



1. 一种高稳定性非晶态金属氧化物 TFT 器件,包括衬底、栅电极、栅绝缘介质层、非晶态金属氧化物构成的沟道层、源漏电极以及钝化层,其特征在于:沟道层包括至少一个由第一型材料构成的沟道保护层以及至少一个由第二型材料构成的沟道导电层,衬底的上表面具有粗糙结构。

2. 如权利要求 1 所述的器件,其中粗糙结构为周期性凹凸结构。

3. 如权利要求 1 的器件,其中,沟道保护层位于沟道导电层的上面和 / 或下面。

4. 如权利要求 1 的器件,其中,第一型材料为掺有第三方金属元素 X 的 In 基氧化物,第二型材料为未掺有第三方金属元素的 In 基氧化物。

5. 如权利要求 1 的器件,其中,第一型材料为非 In 基氧化物,第二型材料为 In 基氧化物。

6. 如权利要求 1 的器件,其中,第一型材料中氧的含量高于第二型材料中氧的含量。

7. 如权利要求 1 的器件,其中,第一型材料与第二型材料均为 In 基氧化物,第一型材料中非 In 元素的含量高于第二型材料中非 In 元素的含量。

8. 如权利要求 1 的器件,其中,第一型材料与第二型材料均为 Zn 基氧化物,第一型材料中 Zn 元素的含量高于第二型材料中 Zn 元素的含量。

9. 如权利要求 4、5、7 的器件,其中,In 基氧化物为 XIZO、IZO、 $\text{In}_2\text{O}_3$ 、IGO、ITO。

10. 如权利要求 4 的器件,其中,第三方金属元素 X 为 Ga、Hf、Ta、Zr、Y、Al、Sn。

11. 如权利要求 5 的器件,其中,非 In 基氧化物为 ZnO、AZO、ZTO、 $\text{SnO}_x$ 。

12. 如权利要求 8 的器件,其中,Zn 基氧化物为 AZO、ZTO。

13. 如权利要求 1 的器件,其中,沟道保护层厚度为 1 ~ 50nm,沟道导电层厚度为 5 ~ 150nm。

14. 如权利要求 1 的器件,其中,衬底是表面为绝缘层的硅片、玻璃、石英、塑料、背部镂空的硅片基底。

15. 如权利要求 1 的器件,其中,栅电极的材料为 Mo、Pt、Al、Ti、Co、Au、Cu、多晶硅、TiN、TaN 及其组合。

16. 如权利要求 1 的器件,其中,栅绝缘介质层和 / 或钝化层的材料为氧化硅、氮化硅、氮氧化硅、高 k 材料及其组合。

17. 如权利要求 1 的器件,其中,非晶态金属氧化物为掺 In 的 ZnO 基半导体,所述掺 In 的 ZnO 基半导体为  $\text{InGaZnO}$ 、 $\text{InZnO}$ 、 $\text{HfInZnO}$ 、 $\text{TaInZnO}$ 、 $\text{ZrInZnO}$ 、 $\text{YInZnO}$ 、 $\text{AlInZnO}$ 、 $\text{SnInZnO}$ 。

18. 如权利要求 17 的器件,其中,所述掺 In 的 ZnO 基半导体中  $[\text{In}]/([\text{In}]+[\text{第三金属}])$  的原子计数比为 35% ~ 80%,  $[\text{Zn}]/([\text{In}]+[\text{Zn}])$  的原子计数比为 40% ~ 85%。

19. 如权利要求 17 的器件,其中,各元素原子计数比为  $[\text{In}]:[\text{第三金属}]:[\text{Zn}]:[\text{O}] = 1:1:1:1$  或者  $1:1:1:2$  或者  $2:2:2:1$  或者  $1:1:1:4$ 。

20. 如权利要求 1 的器件,其中,所述非晶态金属氧化物为  $\text{In}_2\text{O}_3$ 、AZO、ZTO、ITO、IGO、ZnO、 $\text{SnO}_x$ 。

## 高稳定性非晶态金属氧化物 TFT 器件

### 技术领域

[0001] 本发明涉及一种半导体器件,特别是涉及一种高稳定性非晶态金属氧化物薄膜晶体管(TFT)器件结构,属于平板显示器件技术。

### 背景技术

[0002] 有源阵列有机发光二极管(Active-Matrix Organic Light Emitting Diodes, AMOLED)显示具有移动图像响应时间短、色彩鲜艳、对比度高、视角广以及低功耗、超轻超薄等优异特性,被视为取代当前占据主流地位的有源液晶显示(AMLCD)成为下一代主流显示的核心技术平台。成功研制高分辨率主流尺寸的AMOLED显示面板主要涉及到TFT驱动基板性能、OLED材料特性与显示模组的封装技术等三个技术研究领域。因为OLED发光的基本原理决定了发光亮度变化受驱动电流大小的控制,并接近正比关系,所以如何制备能提供较大、并且稳定与均匀电流驱动的TFT基板成为当前AMOLED显示领域重要的研究课题。

[0003] 工艺简单、均匀性好的非晶硅(a-Si)TFT是制备大尺寸AMLCD的主流技术。但是由于沟道迁移率低( $<1\text{cm}^2/\text{V}\cdot\text{s}$ )、器件长期稳定性差,a-Si TFT很难实际应用于驱动AMOLED显示的基板中。改进的微晶硅nc-Si TFT由于实际的界面态问题,在迁移率与稳定性之间一直未能取得较好的平衡。高性能的低温多晶硅(Low Temperature Polycrystalline Si, LTPS)TFT的迁移率高( $>100\text{cm}^2/\text{V}\cdot\text{s}$ ),并且长期稳定性好,是首个成熟的驱动AMOLED显示的TFT阵列基板技术。然而LTPS TFT沟道由不同尺寸大小的晶粒组成,会导致严重的器件性能分布的均匀性问题,并且沟道晶膜涉及到复杂昂贵的晶化过程,会极大限制LTPS TFT驱动大面积AMOLED显示的发展空间。

[0004] 随着对氧化物半导体材料的研究深入,Hoffman R. L. 等人于2003年发表了以ZnO为基础的透明氧化物TFT。这种二元氧化物半导体通常表现为多晶态,其缺点和LTPS TFT技术类似。2004年,Nomura K. 等人在Nature上发表了非晶态InGaZnO(IGZO)混合型多元氧化物TFT。IGZO TFT由于其特殊的沟道材料结构表现出均匀的迁移率与阈值电压分布,载流子迁移率较大( $>10\text{cm}^2/\text{V}\cdot\text{s}$ )并且亚阈值斜率优异( $\sim 0.20\text{V}/\text{dec}$ ),此外,还可以通过简单的溅射工艺制备沟道层,因此,无需昂贵的激光设备或者长时间的固态晶化过程,可以实现大尺寸面板的低成本生产。因此,以IGZO为代表的非晶态氧化物TFT结合了a-Si TFT与LTPS TFT的优点,在驱动大面积AMOLED显示上迅速成为了美国、日本、韩国与台湾地区的研究热点。

[0005] 从材料特性上来说,IGZO由 $\text{In}_2\text{O}_3$ 、 $\text{Ga}_2\text{O}_3$ 和ZnO构成,禁带宽度在3.4eV左右,是一种离子性非晶态N型半导体材料。 $\text{In}_2\text{O}_3$ 中的 $\text{In}^{3+}$ 可以形成5s电子轨道,有利于载流子的高速传输; $\text{Ga}_2\text{O}_3$ 有很强的离子键,可以抑制O空位的产生;ZnO中的 $\text{Zn}^{2+}$ 可以形成稳定四面体结构,理论上可以使金属氧化物IGZO形成稳定较高导电的非晶结构。在研究过程中发现,氧化物TFT电学特性在长期偏压电应力作用下较容易发生改变,具体表现为阈值电压漂移、亚阈值斜率劣化、驱动与关态电流变化等。基本机理经分析表现为沟道/栅介质界面陷阱态的电荷注入与捕获、电荷隧穿与栅介质层捕获、背沟道环境氧/氢分子场助吸附与

电荷扩散、沟道中过量亚态离化氧空位电荷激发再注入等几种可能。

[0006] 常规暗场下的氧化物 TFT 的电致稳定性可以通过一定的技术手段加以改善,但是近来在驱动 AMOLED 或者液晶显示过程中的外界光照影响是一个很重要的问题。IGZO 禁带宽度在 3.4eV 左右,对短波长紫外光有很好的吸收作用。在光照和长时间负偏栅压电应力作用下,IGZO TFT 的阈值通常会大幅向负向移动,造成器件功能失效。这种光照下长期稳定性行为非常复杂,在不同的偏压条件下、不同的界面状态下、不同的制备工艺都表现出不同的变化趋势。目前只能综合常规的光生空穴的注入与捕获原理以及光生载流子在沟道表面处产生不同能级的亚态从而影响到空穴的注入与捕获的总体效果来定性解释。

[0007] 为了提高氧化物 TFT 的稳定性、长期稳定性与光照下的长期稳定性,一些研究机构采用了 5 光刻模板的刻蚀阻挡层 (ESL) 结构,有效的降低了外界环境因素与源漏电极的刻蚀损伤对背沟道的影响。随后,三星于 2009 发表了 HfIZO、ZrIZO 等改性非晶态多元混合氧化物新材料,其目的是从原材料环节上根本解决 IGZO TFT 的偏压电应力作用下的长期稳定性问题。另外,一些研究机构更进一步从栅绝缘介质选择、源漏电极刻蚀、以及光阻挡层集成上来改进氧化物 TFT 的光照非稳定性问题。最近台湾友达通过改变基础的倒栅堆叠器件结构制作共平面倒栅器件,有效降低环境与工艺因素对背沟道的影响,并提高沟道前表面的质量,以及集成避光钝化层来综合改善氧化物 TFT 的光照非稳定性问题。

[0008] 然而,在驱动 AMOLED 显示中上述技术都有各自的劣势,例如倒栅 ESL 结构相比于通常的倒栅 BCE (背沟刻蚀结构) 需要多一次刻蚀阻挡层的光刻与刻蚀步骤,对 TFT 节约成本十分不利;单纯的沟道氧化物材料改性不能完全抑制环境与内在材料缺陷对器件长期稳定性,特别是光照下长期稳定性的影响;各单项工艺技术的改进也不能达到目的;共平面倒栅器件结构容易造成器件的其它不利影响,比如沟道前表面界面态较高、源漏接触电阻较大影响性能。为此,需要提供一种高效低成本的提高非晶态氧化物 TFT 长期稳定性的新结构与工艺方法。

## 发明内容

[0009] 因此,本发明需要解决的技术问题就在于克服现有倒栅 BCE、或倒栅 ESL、或共平面倒栅非晶态氧化物薄膜晶体管在初期稳定性、长期偏压电应力稳定性和光照下的长期偏压电应力稳定性等一系列问题,提供一种新型的高效低成本的稳定驱动 AMOLED 或者 AMLCD 显示的非晶态氧化物 TFT 器件结构。

[0010] 本发明提供了一种高稳定性非晶态金属氧化物 TFT 器件,包括衬底、栅电极、栅绝缘介质层、非晶态金属氧化物构成的沟道层、源漏电极以及钝化层,其特征在于:沟道层包括至少一个由第一型材料构成的沟道保护层以及至少一个由第二型材料构成的沟道导电层,衬底的上表面具有粗糙结构。

[0011] 其中,粗糙结构为周期性凹凸结构。

[0012] 其中,沟道保护层位于沟道导电层的上面和 / 或下面。

[0013] 其中,第一型材料为掺有第三方金属元素 X 的 In 基氧化物,第二型材料为未掺有第三方金属元素的 In 基氧化物。其中,第三方金属元素 X 包括 Ga、Hf、Ta、Zr、Y、Al、Sn。

[0014] 其中,第一型材料为非 In 基氧化物,第二型材料为 In 基氧化物。

[0015] 其中,第一型材料中氧的含量高于第二型材料中氧的含量。

[0016] 其中,第一型材料与第二型材料均为 In 基氧化物,第一型材料中非 In 元素的含量高于第二型材料中非 In 元素的含量。

[0017] 其中,第一型材料与第二型材料均为 Zn 基氧化物,第一型材料中 Zn 元素的含量高于第二型材料中 Zn 元素的含量。其中,Zn 基氧化物为 AZO、ZTO。

[0018] 其中,In 基氧化物为 XIZO、IZO、 $\text{In}_2\text{O}_3$ 、IGO、ITO。

[0019] 其中,非 In 基氧化物为 ZnO、AZO、ZTO、 $\text{SnO}_x$ 。

[0020] 其中,沟道保护层厚度为 1 ~ 50nm,沟道导电层厚度为 5 ~ 150nm。

[0021] 其中,衬底是表面为绝缘层的硅片、玻璃、石英、塑料、背部镂空的硅片基底。

[0022] 其中,栅电极的材料包括 Mo、Pt、Al、Ti、Co、Au、Cu、多晶硅、TiN、TaN 及其组合。

[0023] 其中,栅绝缘介质层和 / 或钝化层的材料为氧化硅、氮化硅、氮氧化硅、高 k 材料及其组合。

[0024] 其中,非晶态金属氧化物包括掺 In 的 ZnO 基半导体,所述掺 In 的 ZnO 基半导体为  $\text{InGaZnO}$ 、 $\text{InZnO}$ 、 $\text{HfInZnO}$ 、 $\text{TaInZnO}$ 、 $\text{ZrInZnO}$ 、 $\text{YInZnO}$ 、 $\text{AlInZnO}$ 、 $\text{SnInZnO}$ 。其中,所述掺 In 的 ZnO 基半导体中  $[\text{In}]/([\text{In}]+[\text{第三金属}])$  的原子计数比为 35% ~ 80%,  $[\text{Zn}]/([\text{In}]+[\text{Zn}])$  的原子计数比为 40% ~ 85%。其中,各元素原子计数比为  $[\text{In}]:[\text{第三金属}]:[\text{Zn}]:[\text{O}] = 1:1:1:1$  或者  $1:1:1:2$  或者  $2:2:2:1$  或者  $1:1:1:4$ 。

[0025] 其中,所述非晶态金属氧化物为  $\text{In}_2\text{O}_3$ 、ZTO、ITO、ZnO、 $\text{SnO}_x$ 。

[0026] 依照本发明的高稳定性非晶态金属氧化物晶体管器件结构,通过不同材料构成的沟道保护层可以有效保护非晶态氧化物半导体 TFT 中沟道导电层表面受外界环境、工艺、界面、电场等因素的影响,提高器件长期电应力稳定性;同时可以避免为提高长期稳定性所额外引入的工艺成本,例如刻蚀阻挡层的应用,非常规 TFT 结构的应用,高质量特殊工艺方法的栅介质与钝化层的应用等。

[0027] 本发明所述目的,以及在此未列出的其他目的,在本申请独立权利要求的范围内得以满足。本发明的实施例限定在独立权利要求中,具体特征限定在其从属权利要求中。

## 附图说明

[0028] 以下参照附图来详细说明本发明的技术方案,其中:

[0029] 图 1A 是依照本发明第一实施例的前沟道钝化的双层异构非晶态氧化物 TFT 的剖面示意图;

[0030] 图 1B 是依照本发明的第二实施例的后沟道钝化的双层异构非晶态氧化物 TFT 的剖面示意图;

[0031] 图 1C 是依照本发明的第三实施例的前后沟道钝化的多层异构非晶态氧化物 TFT 的剖面示意图;以及

[0032] 图 2A 至图 2D 是依照本发明第一实施例的前沟道钝化的双层异构非晶态氧化物 TFT 的制造工艺各步骤对应的剖面示意图。

[0033] 附图标记

[0034] 10、衬底 11、缓冲层

[0035] 20、栅电极

[0036] 30、栅绝缘介质层

- [0037] 40A、沟道保护层 40B、沟道导电层  
[0038] 50、源漏电极  
[0039] 60、钝化层

### 具体实施方式

[0040] 以下参照附图并结合示意性的实施例来详细说明本发明技术方案的特征及其技术效果,公开了高稳定性非晶态金属氧化物晶体管器件结构及其制备方法。需要指出的是,类似的附图标记表示类似的结构,本申请中所用的术语“第一”、“第二”、“上”、“下”等等可用于修饰各种器件结构。这些修饰除非特别说明并非暗示所修饰器件结构的空间、次序或层级关系。

#### [0041] 实施例 1

[0042] 如图 1A 所示,为依照本发明的第一实施例的前沟道钝化的双层异构非晶态氧化物 TFT 的剖面示意图,包括衬底 10、衬底 10 上的缓冲层 11、缓冲层 11 上的(倒)栅电极 20、覆盖栅电极 20 和缓冲层 11 的栅绝缘介质层 30、栅绝缘介质层 30 上的沟道保护层 40A、沟道保护层 40A 上的沟道导电层 40B、覆盖部分沟道导电层 40B 和缓冲层 11 的源漏电极 50、以及覆盖整个器件表面钝化层。其制造方法可一并参见附图 2A 至 2D。

[0043] 首先,参照图 2A,提供衬底 10,并优选在衬底 10 上形成缓冲层 11。其中,衬底 10 为绝缘衬底并提供支撑,其材质例如为表面为绝缘层的硅片(优选在体硅衬底上沉积或热氧化制成二氧化硅的衬垫层,还可以在体硅上形成氮化硅或氮氧化硅的绝缘层)、玻璃(钠钙玻璃、铝镁玻璃、钾玻璃、铅玻璃、硼硅玻璃等,可以掺杂为常用的硼磷硅玻璃 BPSG,也可以是旋涂玻璃 SOG,玻璃衬底优选具有矩形形状以适于切割和面积制造且低杂质污染)、石英、塑料(优选为具有较高熔点和硬度以及良好绝缘性的组合物)、背部镂空的体硅片衬底以及具有良好绝缘性的聚合物衬底。衬底 10 基本为平板状,包括一对主表面,也即下表面和上表面。衬底 10 的上表面可以具有粗糙结构、周期性凹凸结构,以便增强接合强度,例如通过稀 HF 酸湿法刻蚀或等离子体刻蚀等常用技术来实现,还可以形成缓冲层 11 以减缓应力或粘合层以增强接合强度。

[0044] 接着,参照图 2B,在衬底 10(以及缓冲层 11)的上表面上形成栅电极 20,优选采用溅射淀积的方式,其材质例如为 Mo、Pt、Al、Ti、Co、Au、Cu 等,此外还可以是具有导电功能的其他材料,例如掺杂多晶硅,例如 TiN、TaN 等金属氮化物等等。制备时可以先均匀溅射淀积一层电极层材料,然后依据电极版图进行蚀刻移除不需要的部分。接着在栅电极 20 以及衬底 10/缓冲层 11 上例如通过低温淀积形成栅绝缘介质层 30,其材质例如为氧化硅、氮化硅、氮氧化硅等常规绝缘介质材料,或者是例如铅基、稀土基金属氧化物等的高 k 绝缘介质材料,或者是以上这些材料的组合,组合方式包括但不限于层叠、混杂。

[0045] 然后,参照附图 2C,在栅绝缘介质层 30 上形成沟道层 40。在有源驱动 OLED 与 LCD 平板显示中,相比多晶、晶态与微晶半导体,非晶态氧化物半导体表现出短程有序,各向同性,制作工艺简单,易做成大面积导电薄膜,十分有利于基础 TFT 的有源区制作。以典型材料 IGZO 为例,三元混合型非晶态氧化物金属半导体 IGZO 由  $\text{In}_2\text{O}_3$ 、 $\text{Ga}_2\text{O}_3$  和  $\text{ZnO}$  构成,禁带宽度在 3.4eV 左右,是一种离子性非晶态 N 型半导体材料。 $\text{In}_2\text{O}_3$  中的  $\text{In}^{3+}$  可以形成 5S 电子轨道,有利于载流子的高速传输; $\text{Ga}_2\text{O}_3$  有很强的离子键,可以抑制 O 空位的产生; $\text{ZnO}$  中的

$Zn^{2+}$ 可以形成稳定四面体结构,理论上可以使金属氧化物 IGZO 形成稳定较高导电的非晶结构。非晶态氧化物半导体属于离子性的非晶态半导体,导电通过大半径的原子外层电子云相互交叠而实现载流子输运,因而迁移率较大 ( $10 \sim 100\text{cm}^2/\text{V}\cdot\text{s}$ )。因此,本发明技术方案中使用非晶态氧化物半导体来形成沟道层 40。常见的制作方法为磁控溅射法 (Sputter)、化学气相沉积法 (CVD)、金属有机物化学气相沉积法 (MOCVD)、分子束外延 (MBE)、脉冲激光沉积法 (PLD)、溶胶-凝胶法 (SOL-GEL)、水热法等,在本发明中优选使用磁控溅射法形成方式。

[0046] 其中,沟道层 40 由非晶态氧化物半导体构成,特别是宽带隙 ( $> = 2.0\text{eV}$ ) 非晶态金属氧化物半导体,其材料成分可为掺 In 的 ZnO 系半导体,具体地,包括 InGaZnO、InZnO、HfInZnO、TaInZnO、ZrInZnO、YInZnO、AlInZnO、SnInZnO,其中,  $[\text{In}]/([\text{In}]+[\text{第三金属}])$  的原子计数比为  $35\% \sim 80\%$ ,  $[\text{Zn}]/([\text{In}]+[\text{Zn}])$  的原子计数比为  $40\% \sim 85\%$ 。优选的各元素原子计数比为  $[\text{In}]:[\text{第三金属}]:[\text{Zn}]:[\text{O}] = 1:1:1:1$  或者  $1:1:1:2$  或者  $2:2:2:1$  或者  $1:1:1:4$  等。此外半导体还可为非晶态下的  $\text{In}_2\text{O}_3$ 、ZTO(Zn 与 Sn 的氧化物)、AZO(Al 与 Zn 的氧化物)、ITO(In 与 Sn 的氧化物)、IGO(In 与 Ga 的氧化物)、 $\text{ZnO}$ 、 $\text{SnO}_x$  等二元或三元金属氧化物半导体材料或者其金属掺杂物。

[0047] 在导电过程中,由于氧空位参与导电,因此氧空位浓度易受到各种环境、材料、工艺因素的影响,影响器件的长期稳定性;由于是离子性的半导体,离子间键合能比较弱,长期电学应力可造成离子键断裂,改变氧空位浓度与载流子浓度,影响器件电学特性的长期稳定性;In 元素主要提供电子通道,Ga 元素钝化氧空位浓度,Zn 元素稳定材料微结构,因此提高 Ga, Zn 等元素含量可以提高材料稳定性。在 TFT 集成工艺中,沟道前表面易受到有源区/栅介质界面表面态、悬挂键、缺陷,以及栅介质中氢、氧成分的外扩影响,可以改变沟道前表面的载流子分布导致异常的沟道导电特性;同时栅电极的电场以及沟道表面的耗尽区电场可以改变材料的键合特性、电荷陷阱注入特性也可导致异常的沟道导电特性。对于常规 BCE 结构,缺乏刻蚀阻挡层,背沟道受到源漏电极的干法刻蚀影响,产生较多的等离子体损伤,可以改变沟道上表面的载流子分布导致异常的沟道导电特性;同时外界环境,或者钝化层中氢、氧成分的外扩影响以及淀积工艺影响可以改变沟道上表面的载流子分布导致异常的沟道导电特性。

[0048] 有鉴于此,本发明技术方案中对于由非晶态氧化物半导体构成的沟道层 40 进一步细分为至少包括一个沟道保护层 40A 和至少一个沟道导电层 40B。其中,沟道保护层 40A 采用第一型材料,其材料的载流子浓度相对较低、元素间键合能较大,主要是为了保护 and / 或钝化沟道,同时能兼顾沟道导电;沟道导电层 40B 采用第二型材料,其材料的载流子浓度相对较高、元素间键合能较小、载流子迁移率较高,以便能增强 TFT 性能。

[0049] 具体材料选择与组合形式如下:

[0050] (1) 第一型材料为掺有第三方金属元素 X 的 In 基氧化物 XIZO,第二型材料为未掺杂第三方金属元素 X 的 In 基氧化物(例如  $\text{IZO}$ 、 $\text{In}_2\text{O}_3$ 、 $\text{IGO}$ 、 $\text{ITO}$ ),通过在第一型的 In 基材料中添加第三方金属元素作为钝化元素来保护沟道,其中 X 包括但不限于 Ga、Hf、Ta、Zr、Y、Al、Sn。

[0051] (2) 第一型材料为非 In 基氧化物(例如  $\text{ZnO}$ 、 $\text{AZO}$ 、 $\text{ZTO}$ 、 $\text{SnO}_x$ ),第二型材料为 In 基氧化物,其中 In 基氧化物掺杂有或者未掺杂第三方金属元素 X,也即包括 XIZO、 $\text{IZO}$ 、 $\text{In}_2\text{O}_3$ 、

IGO、ITO,类似地, X 包括但不限于 Ga、Hf、Ta、Zr、Y、Al、Sn。通过非 In 基材料较高的元素键合能与较低的氧空位浓度来保护沟道。

[0052] (3) 第一型材料中氧的含量高于第二型材料中氧的含量,通过较低的氧空位浓度来保护沟道。具体地,第一型材料和 / 或第二型材料均可包括 XIZO、IZO、 $\text{In}_2\text{O}_3$ 、ITO、IGO、ZnO、AZO、ZTO、 $\text{SnO}_x$ ,只是氧含量不同。

[0053] (4) 第一型材料与第二型材料均为 In 基氧化物,也即包括 XIZO、IZO、 $\text{In}_2\text{O}_3$ 、ITO、IGO,其中第一型材料中非 In 元素的含量高于第二型材料中非 In 元素的含量,例如:

[0054] a) 第一型材料为  $\text{X}_{x1}\text{I}_{y1}\text{Z}_{z1}\text{O}$ ,第二型材料为  $\text{X}_{x2}\text{I}_{y2}\text{Z}_{z2}\text{O}$ ,其中摩尔比  $x1 > x2$ ,或者  $z1 > z2$ ;

[0055] b) 第一型材料为  $\text{I}_{y1}\text{Z}_{z1}\text{O}$ ,第二型材料为  $\text{I}_{y2}\text{Z}_{z2}\text{O}$ ,其中摩尔比  $z1 > z2$ ;

[0056] c) 第一型材料为  $\text{I}_{y1}\text{T}_{z1}\text{O}$ ,第二型材料为  $\text{I}_{y2}\text{T}_{z2}\text{O}$ ,其中摩尔比  $z1 > z2$ ;

[0057] d) 第一型材料为  $\text{I}_{y1}\text{G}_{z1}\text{O}$ ,第二型材料为  $\text{I}_{y2}\text{G}_{z2}\text{O}$ ,其中摩尔比  $z1 > z2$ 。

[0058] 以上的组合通过更多非 In 基材料高元素键合能与较低氧空位浓度来保护沟道。

[0059] (5) 第一型材料与第二型材料为 Zn 基氧化物(例如 AZO、ZTO 等),其中第一型材料中 Zn 元素的含量高于第二型材料中 Zn 元素的含量,例如:

[0060] a) 第一型材料为  $\text{A}_{y1}\text{Z}_{z1}\text{O}$ ,第二型材料为  $\text{A}_{y2}\text{Z}_{z2}\text{O}$ ,其中摩尔比  $z1 > z2$ ;

[0061] b) 第一型材料为  $\text{Z}_{y1}\text{T}_{z1}\text{O}$ ,第二型材料为  $\text{Z}_{y2}\text{T}_{z2}\text{O}$ ,其中摩尔比  $y1 > y2$ 。

[0062] 以上组合通过较多 Zn 基材料高元素键合能与更低氧空位浓度来保护沟道。

[0063] 在本发明第一实施例中,栅绝缘介质层 30 上首先形成由第一型材料构成的沟道保护层 40A 以钝化沟道前表面界面与材料缺陷,然后形成由第二型材料构成的沟道导电层 40B 以作为主要导电沟道,也即沟道保护层 40A(仅)在沟道导电层 40B 的下方。其中,沟道保护层 40A 厚度例如为 1 ~ 50nm,沟道导电层 40B 厚度例如为 5 ~ 150nm。

[0064] 最后,在沟道层 40 上形成源漏电极 50 以及钝化层 60。采用常用的淀积方法在沟道层 40 两端形成 TFT 的源漏电极 50,电极材料包括 Mo、Pt、Al、Ti、Co、Au、Cu、多晶硅、TiN、TaN 及其组合。随后在 TFT 器件上低温淀积电学隔离绝缘与钝化保护介质层(以下简称钝化层)60,其材料包括氧化硅、氮化硅、氮氧化硅、高 k 材料及其组合。最后可以开接触孔(未示出)做金属引出和集成到随后的 AMOLED 与 AMLCD 显示面板结构中。

[0065] 由此完成了图 1A 所示的前沟道钝化的双层异构非晶态氧化物 TFT,通过上述两种特性不同的非晶态氧化物材料来制作沟道导电层与沟道保护层,有效提高了器件的稳定性。

### [0066] 实施例 2 与实施例 3

[0067] 与实施例 1 类似地,实施例 2 与实施例 3 所示的 TFT 结构也包括由至少一个沟道保护层 40A 与至少一个沟道导电层 40B 构成的多层沟道,其中构成沟道保护层 40A 的第一型材料与构成沟道导电层 40B 的第二型材料具体如实施例 1 中所述,区别在于:

[0068] 如图 1B 所示,实施例 2 所示的后沟道钝化的双层异构非晶态氧化物 TFT 中,沟道保护层 40A(仅)位于沟道导电层 40B 的上方,由此钝化沟道后表面界面与材料缺陷。其相应的制造方法与实施例 1 区别在于先沉积第二材料构成的沟道导电层 40B,然后沉积第一材料构成的沟道保护层 40A。

[0069] 如图 1C 所示,实施例 3 所示的前后沟道钝化的多层异构非晶态氧化物 TFT 中,沟



道保护层 40A 位于沟道导电层 40B 的上下两侧,由此均钝化沟道前、后表面界面与材料缺陷,更加完善了器件性能。其相应的制造方法与实施例 1 区别在于先沉积第一材料构成的沟道保护层 40A,接着沉积第二材料构成的沟道导电层 40B,然后再沉积第一材料构成的沟道保护层 40A。

[0070] 类似地,沟道保护层 40A 不仅可位于沟道导电层 40B 的上和 / 或下面,还可以包裹沟道导电层 40B 的侧面。或者,沟道导电层 40B 与沟道保护层 40A 为多层夹设层叠的结构,也即多个沟道导电层 40B 与多个沟道保护层 40A 交错层叠。

[0071] 实施例 2 与实施例 3 其他部分与实施例 1 类似,在此不再赘述。

[0072] 值得注意的是,上述通过非晶态氧化物半导体沟道材料的不同来构建多层异构钝化保护沟道表面的结构同样适用于其它 TFT 结构,包括倒栅堆叠、倒栅共平面、自对准正栅、堆叠正栅等,以及 ESL 结构。也即,不论 TFT 具体结构如何,只要采用了本发明的多层沟道结构,即落入本发明公开以及请求保护的范围内。

[0073] 依照本发明的高稳定性非晶态金属氧化物晶体管器件结构,通过不同材料构成的沟道保护层可以有效保护非晶态氧化物半导体 TFT 中沟道导电层表面受外界环境、工艺、界面、电场等因素的影响,提高器件长期电应力稳定性;同时可以避免为提高长期稳定性所额外引入的工艺成本,例如刻蚀阻挡层的应用,非常规 TFT 结构的应用,高质量特殊工艺方法的栅介质与钝化层的应用等。

[0074] 尽管已参照一个或多个示例性实施例说明本发明,本领域技术人员可以知晓无需脱离本发明范围而对器件结构做出各种合适的改变和等价方式。此外,由所公开的教导可做出许多可能适于特定情形或材料的修改而不脱离本发明范围。因此,本发明的目的不在于限定在作为用于实现本发明的最佳实施方式而公开的特定实施例,而所公开的器件结构及其制造方法将包括落入本发明范围内的所有实施例。

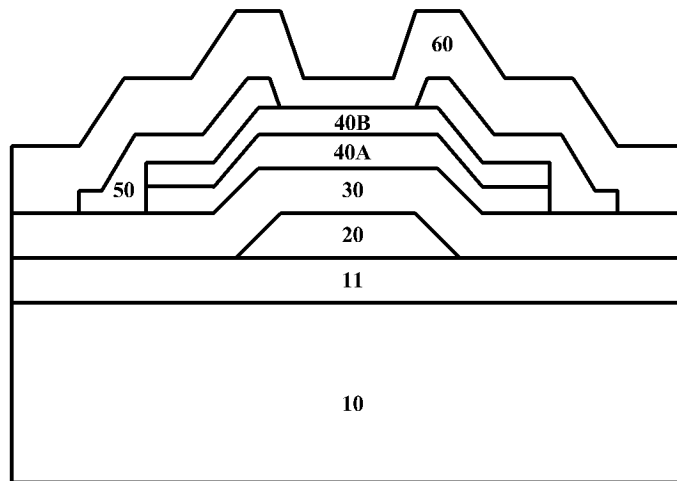


图 1A

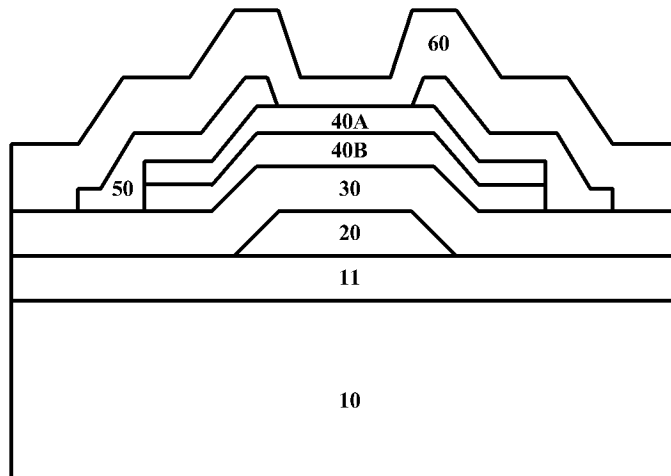


图 1B

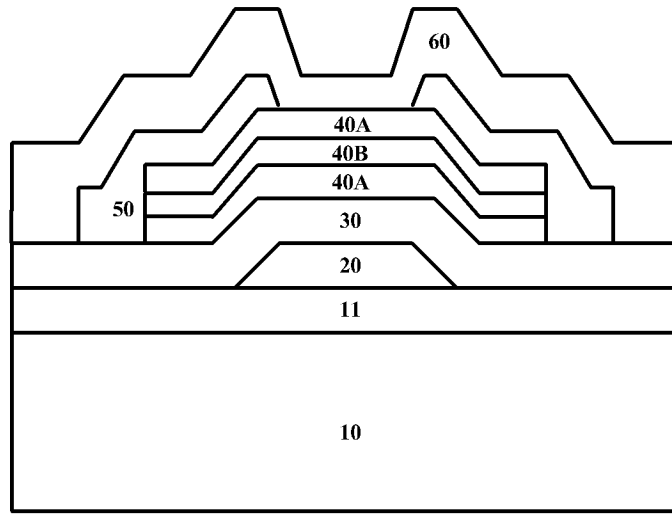


图 1C

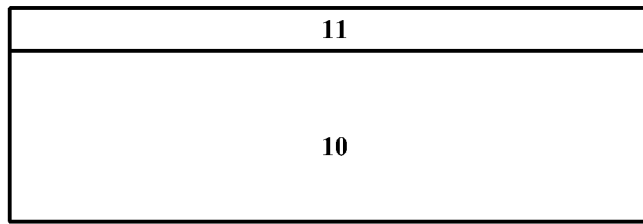


图 2A

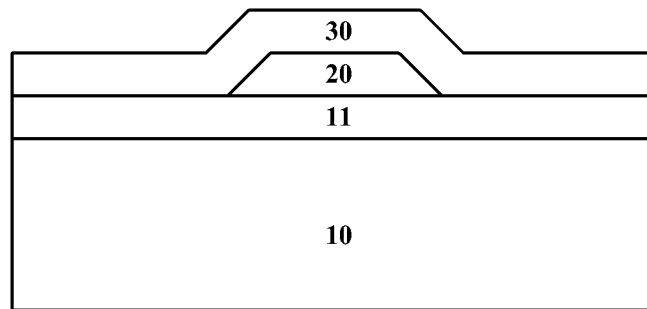


图 2B

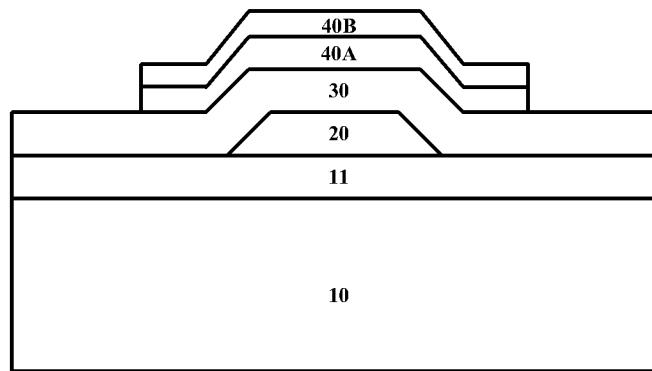


图 2C

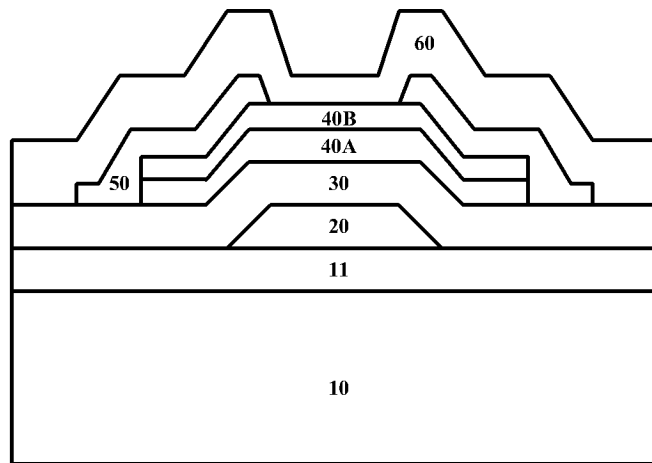


图 2D