(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G11C 11/413

(45) 공고일자 2005년12월09일
(11) 등록번호 10-0517843
(24) 등록일자 2005년09월22일

(21) 출원번호 10-1997-0013966
(22) 출원일자 1997년04월16일

(65) 공개번호 10-1997-0071829
(43) 공개일자 1997년11월07일

(30) 우선권주장 96-094992 1996년04월17일 일본(JP)
96-336587 1996년12월17일 일본(JP)

(73) 특허권자 가부시키가이샤 히타치초엘에스아이시스템즈
일본국 도쿄 고다이라시 죠스이혼쵸 5-22-1

가부시끼가이샤 히다치 세이사꾸쇼
일본국 도쿄토 치요다쿠 마루노우치 1초메 6반 6고

(72) 발명자 도요시마 히로시
일본국 도쿄도 아키루노시 노베562-14

하라다 마사시게
일본국 도쿄도 후츄시 기타야마쵸2-6

나가노 도모히로
일본국 도쿄도 아키시마시 미호리쵸5-5-7

니시오 요시
일본국 이바라키켄 히다치시 다이하라쵸3-13-2

히라이시 아츠시
일본국 도쿄도 고다이라시 사카에쵸81-9

고미야지 구니히로
일본국 도쿄도 하치오지시 아카츠키쵸1-48-18

야하타 히데하루
일본국 도쿄도 쵸후시 후다4-19-10 기리하타빌딩802

후쿠이 겐이치
일본국 도쿄도 고다이라시 죠스이혼쵸5-19-1

즈시 히로후미
일본국 도쿄도 홋사시 구마가와1663-14

소나다 다카히로
일본국 도쿄도 후츄시 기타야마쵸2-6

가와치노 하루코

일본국 사이타마켄 우라와시 고마바1-6-10

모리타 사다유키
일본국 도쿄도 히가시야마토시 무코하라1-7-6 하이츠 나나반칸207

(74) 대리인 장수길
구영창
이중희

심사관 : 조명관

(54) 반도체집적회로

요약

미소신호를 증폭하는 차동앰프를 갖는 반도체집적회로에 관한 것으로서, 센스앰프가 활성화되고 리세트신호(SAEQB02)가 해제되고 나서 앰프 출력에 응답할 때까지의 출력지연시간을 단축할 수 있는 센스앰프를 갖는 반도체집적회로를 제공하기 위해, 제1 및 제2 입력신호선, 그 소오스가 서로 접속된 제1 및 제2 NMOS 트랜지스터를 갖고 제1 및 제2 입력신호선상의 제1 및 제2 입력신호의 전압차를 증폭하는 차동증폭회로, 제1 및 제2 NMOS 트랜지스터의 소오스에 접속되는 전류원 및 제2 입력신호에 대응하는 차동증폭회로의 출력을 입력으로 하고 제1 전원선에 접속되는 제1 CMOS 인버터 및 제1 입력신호에 대응하는 차동증폭회로의 출력을 입력하고 제1 전원선에 접속되는 제2 CMOS 인버터로 이루어지는 래치회로를 포함하고, 제1 및 제 2 CMOS 인버터의 출력이 제2 및 제1 CMOS 인버터의 입력에 각각 접속되고, 제1 및 제2 CMOS 인버터는 전류원에 직렬로 접속되는 것을 구성으로 하였다.

이러한 구성에 의해 입력신호와 증폭기 사이에 전압차가 발생하고, 리세트가 해제되며, 활성화되고 나서 전압차가 증폭되어 출력될때까지의 센스앰프의 응답시간을 단축할 수 있다는 등의 효과가 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 제1실시예에 따른 반도체집적회로에 의해 실현되는 센스앰프의 모식도,

도 2는 도 1에 도시한 센스앰프의 동작을 설명하기 위한 파형도,

도 3은 종래의 센스앰프의 모식도,

도 4는 도 3에 도시한 종래의 센스앰프의 동작을 설명하기 위한 파형도,

도 5는 도 1에 도시한 센스앰프의 동작을 설명하기 위한 파형도,

도 6은 본 발명의 제2실시예에 따른 반도체집적회로에 의해 실현되는 센스앰프의 모식도,

도 7은 도 6에 도시한 센스앰프의 동작을 설명하기 위한 파형도,

도 8은 본 발명의 제3실시예에 따른 반도체집적회로에 의해 실현되는 센스앰프의 모식도,

도 9는 본 발명의 제4실시예에 따른 반도체집적회로에 의해 실현되는 센스앰프의 모식도,

도 10은 도 8과 도 9에 도시한 센스앰프의 동작을 설명하기 위한 파형도,

도 11은 본 발명의 제5실시예에 따른 반도체집적회로에 의해 실현되는 센스앰프의 모식도,

도 12는 본 발명의 제6실시예에 따른 반도체집적회로에 의해 실현되는 센스앰프의 모식도,

도 13은 도 11과 도 12에 도시한 센스앰프의 동작을 설명하기 위한 파형도,

도 14는 도 11과 도 12에 도시한 센스앰프의 동작을 설명하기 위한 파형도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 미소신호를 증폭하는 차동앰프를 갖는 반도체집적회로에 관한 것으로서, 특히 스테이틱RAM(Random Access Memory)에 적합한 센스앰프의 회로구성에 관한 것이다.

도 3에 도시한 바와 같이, 반도체칩상에 회로구성을 갖는 이러한 종류의 센스앰프가 알려져 있다. 도 3에 있어서, 참조부호 CDB02, CDT02, SAEQB02 및 SACM02는 센스앰프로 공급되는 외부 입력신호를, STB02 및 STT0는 출력신호의 추출 노드를, VCC는 전원전압을, GND는 접지전압을 나타내고 있다.

입력신호에 있어서, CDB02는 NMOS 트랜지스터MN203의 게이트에, CDT02는 NMOS 트랜지스터 MN204의 게이트에, SAEQB02는 PMOS 트랜지스터 MP201, MP202, MP203, MP206, MP207 및 MP208의 게이트에, 그리고 SACM02는 NMOS 트랜지스터MN205의 게이트에 공급된다. 전원전압VCC는 PMOS 트랜지스터MP201, MP202, MP204, MP205, MP206 및 MP207의 소오스에 공급된다. 노드STT02는 PMOS 트랜지스터MP205와 NMOS 트랜지스터MN202의 드레인의 노드(드레인 접속점), PMOS 트랜지스터MP204와 NMOS 트랜지스터MN201의 게이트 접속점및 PMOS 트랜지스터 MP201의 드레인에 접속되어 있다.

PMOS 트랜지스터MP203의 드레인-소오스 경로는 PMOS 트랜지스터MP204와 MP205의 게이트 사이에 접속되어 있다. 노드STB02는 PMOS 트랜지스터MP204와 NMOS 트랜지스터MN201의 드레인 접속점, PMOS 트랜지스터MP205와 NMOS 트랜지스터MN202의 게이트 접속점 및 PMOS 트랜지스터MP202의 드레인에 접속되어 있다. 또, PMOS 트랜지스터MP206의 드레인은 NMOS 트랜지스터MN203의 드레인에, PMOS 트랜지스터MP207의 드레인은 NMOS 트랜지스터 MN204의 드레인에 각각 접속된다.

PMOS 트랜지스터MP208의 드레인-소오스 경로는 NMOS 트랜지스터MN203과 MN204의 드레인 사이에 접속되어 있다. 그들의 소오스가 서로 접속된 NMOS 트랜지스터MN203과 MN204의 드레인은 각각 NMOS 트랜지스터MN201과 MN202의 소오스에 접속되어 있다. 소오스가 접지된 NMOS 트랜지스터MN205의 드레인은 NMOS 트랜지스터MN203과 MN204의 소오스 접속점에 접속되고, 그의 게이트에는 신호SACM02가 입력된다.

이와 같은 종래의 센스앰프에 있어서, NMOS 트랜지스터MN205가 전류원으로서 기능하고, 이 전류원에 접속된 한쌍의 NMOS 트랜지스터MN203과 MN204로 차동회로를 구성한다. 또, PMOS 트랜지스터MP204와 NMOS 트랜지스터MN201로 하나의 인버터를, PMOS 트랜지스터MP205와 NMOS 트랜지스터MN202로 다른 하나의 인버터를 구성하고, 이들의 인버터로 래치회로를 구성한다. 즉, 이 센스앰프는 래치회로, 차동회로 및 전류원의 3단 직렬접속이다.

통상, 입력신호SAEQB02는 "low"이며, 전원전압VCC로 노드STB02와 STT02를 PMOS 트랜지스터MP203과 MP208로 등화하여 리세트함과 동시에 활성화신호SACM02를 "low"로 해서 센스앰프를 비활성화 상태로 해 둔다.

도 4에 이 종래의 센스앰프의 동작파형을 도시한다. 입력신호CDT02와 CDB02사이에 미소전압차가 생겼을 때, 예를 들면 CDT02전압이 VCC이고, CDB02가 VCC-V1(V1<VCC)일 때, 신호SAEQB02를 "high"로 하고, 계속해서 신호 SACM02를 "high"로 한다. 그 결과, NMOS 트랜지스터MN204를 통해서 전류I1이 흐르고, NMOS 트랜지스터 MN203을 통해서 전류I1-I2(I1>I2)가 흐른다.

노드STB02와 STT02는 전압VCC로 리세트되어 있으므로, NMOS 트랜지스터MN202, MN201를 통해서 전류I1, 전류I1-I2가 각각 흐르며, 그 결과, 노드STB02와 STT02사이에는 미소의 전압차(STB02전압이 STT02전압보다 낮아진다)가 생긴다. 이 전압차는 PMOS 트랜지스터MP204와 MP205, NMOS 트랜지스터MN201과 MN202로 이루어지는 래치회로에 의해 증폭되고,그 결과 노드STB02와 STT02사이의 전압차가 더욱 증폭된다.

이와 같이 입력신호CDT02와 CDB02사이에 미소 전압차가 생긴 경우, 상술한 바와 같이 신호SACM02를 "high"로 해서 센스앰프를 활성화시키고, 리세트신호SAEQB02를 "high"로 한다. 그 결과, 입력신호CDT02와 CDB02를 갖는 NMOS 트랜지스터MN203과 MN204를 통해서 전류가 흐른다. 이들 전류의 값은 NMOS 트랜지스터MN203과 MN204의 게이트전압의 차에 의존한다. 이 전류차에 의해 노드STB02와 STT02상에 입력신호CDT02와 CDB02의 전압을 증폭시킨 출력신호가 래치회로에서 생성된다.

이와 같은 구성을 갖는 센스앰프는 예를 들면, 1992 Symposium on VLSI Circuits Digest of Technical Papers, pp.28-29에 개시되어 있다.

또, 미국 특허공고 4, 504, 748호의 도 6에는 다른 센스앰프가 개시되어 있다.

또, 일본국 특허공개 공보 평성5-298887호의 도 12에는 앰프가 DRAM 메모리셀 로부터의 데이타의 출력에 응답하여 등화되지 않고, 데이타가 래치회로의 전단에 마련한 소오스 접속의 PMOS 트랜지스터P1과 P2를 거쳐서 입력되어 동작하는 센스앰프가 개시되어 있다.

발명이 이루고자 하는 기술적 과제

도 3에 도시한 종래의 센스앰프에 의하면, 차등회로와 래치회로가 직렬로 접속되고, 노드STB02(또는 STT02)상의 전류가 NMOS 트랜지스터MN201과 MN203 (또는 MN202와 MN204) 즉 전류원 트랜지스터MN205를 포함하여 3단의 NMOS 트랜지스터를 거쳐서 인출되어 저항이 높아지고, 노드STB02(또는 STT02) 상에서 출력응답 시간이 길게 된다. 구체적으로 이러한 센스앰프의 응용예로서 리드 사이클66MHz로 동작하는 스테이틱RAM으로 이루어지는 캐시메모리는 약 2. 0ns의 출력 응답 시간을 필요로 한다. 이 때문에 100MHz 이상의 속도로 동작하는 캐시메모리를 실현하기 위해, 출력지연시간이 1. 5ns이하인 센스앰프가 요구되고 있었다.

미국특허공보 4, 504, 748에 기술된 센스앰프에서는 CMOS 인버터로 구성되는 래치회로를 사용하지 않으므로, 미세 출력전압 진폭은 다음단으로 신호 전파가 느려진다.

일본국 특허공개 공보 평성5-298887호에 개시된 센스앰프에 있어서는 센스앰프의 입력부를 형성하는 소오스 공통 접속의 PMOS 트랜지스터P1과 P2가 공통의 전류원을 갖지 않으므로, 입력부는 차동입력구성으로 되어 있지 않다. 이 때문에, 센스앰프는 입력전압진폭에 대한 동작 마진이 적고, 증폭율에 한정이 있으므로, 메모리셀로부터의 데이타의 신호를 증폭해서 고속으로 출력할 수 없다.

메모리에서 사용되는 센스앰프의 수가 많고, 칩영역에 차지하는 비율이 크므로(예를 들면, 1M비트의 캐시메모리에 대해 5% 영역), 소비전력의 증가 없이 고속을 실현하는 것 이외에 칩면적을 저감하기 위해 센스앰프를 구성에 사용되는 트랜지스터 수의 저감도 요구되고 있다.

본 발명의 목적은 센스앰프가 활성화되고, 리세트신호(SAEQB02)가 해제되고 나서 앰프 출력에 응답할 때까지의 출력지연시간을 단축할 수 있는 센스앰프를 갖는 반도체집적회로를 제공하는 것이다.

또, 본 발명의 다른 목적은 소비전류의 증가를 수반하지 않는 출력 지연시간의 단축화 및 구성소자수의 저감에 의해 칩면적의 축소화가 가능한 센스앰프를 갖는 반도체집적회로를 제공하는 것이다.

상기 목적을 달성하기 위해 본 발명에 관한 반도체집적회로는 제1과 제2 입력신호 사이의 전압차를 증폭하고 그들의 소오스가 서로 접속된 제1 및 제2 NMOS 트랜지스터로 이루어지는 차동증폭회로, 즉 구체적으로 도 1에 있어서 입력신호 CDB01과 CDT01의 전압차를 증폭하는 NMOS 트랜지스터MN101 및 MN102, 제1 및 제2 NMOS 트랜지스터의 소오스 접속점에 접속된 전류원 및 제2 입력신호에 대응하는 차동증폭회로의 출력이 입력으로 공급되고 제1 전원선 즉 전원전압 VCC에 접속되는 제1 CMOS 인버터와 제1 입력신호에 대응하는 차동증폭회로의 출력이 입력으로 공급되고 제1 전원선에 접속되는 제2 CMOS 인버터로 이루어지는 래치회로로 구성되고, 제1 및 제2 CMOS 인버터는 그의 출력이 제2 및 제1 CMOS 인버터의 입력에 각각 접속되고, 전류원에 직렬로 접속된다.

제1 CMOS 인버터는 그의 소오스가 제1 전원선에 접속되는 제1 PMOS 트랜지스터 즉 도 1에서 도시된 MP104와 이 제1 PMOS 트랜지스터의 드레인에 그의 드레인이 접속되는 제3 NMOS 트랜지스터 즉 MN103으로 이루어진다. 제2 CMOS 인버터는 그의 소오스가 제1 전원선에 접속되는 제2 PMOS 트랜지스터, 즉 MP105와 이 제2 PMOS 트랜지스터의 드레인에 그의 드레인이 접속되는 제4 NMOS 트랜지스터, 즉 MN104로 이루어진다. 전류원은 그의 소오스가 제2 전원선 즉 접지전압GND에 접속되고, 그의 게이트에 제3 입력신호 즉 SACM01이 입력되고, 그의 드레인에 제1 및 제2 NMOS 트랜지스터의 소오스가 접속된 제5 NMOS 트랜지스터, 즉 MN105로 이루어진다.

바람직한 회로는 제1 PMOS 트랜지스터의 게이트와 상기 제3 NMOS 트랜지스터의 게이트와 제2 PMOS 트랜지스터의 드레인과 제2 및 제4 NMOS 트랜지스터의 드레인에 그의 드레인이 접속되는 제3 PMOS 트랜지스터, 즉 도 1에 있어서 MP101과 제2 PMOS 트랜지스터와 제4 NMOS 트랜지스터의 게이트와 제1 PMOS 트랜지스터의 드레인 및 상기 제1 및 제3 NMOS 트랜지스터의 드레인에 그의 드레인이 접속되는 제4 PMOS 트랜지스터 즉 MP102와 제1 및 제2 PMOS 트랜지스터의 게이트 사이에 그의 드레인-소오스 경로가 접속된 제5 PMOS 트랜지스터 즉 MP103을 더 구비하고, 제3, 제4 및 제5 PMOS 트랜지스터의 각 게이트에 제4 입력신호, 즉 SAEQB01이 입력된다.

또, 회로는 상기 차동증폭회로의 제1 NMOS 트랜지스터와 전류원 사이에 접속되는 제6 NMOS 트랜지스터, 즉 도 6에 있어서 MN101과 전류원 MN105 사이에 접속되는 MN106 및 차동증폭회로의 제2 NMOS 트랜지스터와 전류원 사이에 접속되는 제7 NMOS, 즉 MN102와 전류원MN105사이에 접속되는 MN107을 더 구비하고, 제6 NMOS 트랜지스터의 게이트에 래치회로의 제2 CMOS 인버터의 출력신호가 입력되고, 제7 NMOS 트랜지스터의 게이트에 래치회로의 제1 CMOS 인버터의 출력신호가 입력된다.

바람직한 회로는 제6과 제어NMOS 트랜지스터의 드레인 사이에 그의 드레인-소오스 경로가 접속된 제6 PMOS 트랜지스터, 즉 도 6에 있어서 MN106과 MN107의 드레인 사이에 그의 드레인-소오스 경로가 접속된 MP106을 더 구비하고, 제6 PMOS 트랜지스터의 게이트에 제4 입력신호, 즉 SAEQB01이 공급된다.

본 발명의 상기의 목적 및 그 밖의 새로운 특징은 첨부된 도면에 따라 더욱 명확하게 될 것이다.

발명의 구성 및 작용

이하, 본 발명에 관한 반도체집적회로의 적합한 실시예에 대해서 첨부도면을 사용해서 설명한다.

도 1은 본 발명의 1실시예에 따른 반도체집적회로에 의해 실현되는 센스앰프를 도시한 도면이다. 도 1에 있어서, 참조부호 CDB01, CDT01, SAEQB01 및 SACM01은 센스앰프로 공급되는 외부입력신호를, STB01 및 STT01은 출력신호의 추출 노드를, VCC는 전원전압을, GND는 접지전압을 나타내고 있다.

입력신호 중에서 CDB01은 NMOS 트랜지스터MN101의 게이트에, CDT01은 NMOS 트랜지스터 MN102의 게이트에, SAEQB01은 PMOS 트랜지스터 MP101, MP102, MP103의 게이트에, 그리고 입력신호SACM01은 NMOS 트랜지스터 MN105의 게이트에 공급된다. 전원전압VCC는 PMOS 트랜지스터MP101, MP102, MP104 및 MP105의 소오스에 공급된다. 노드STT01은 PMOS 트랜지스터MP105와 NMOS 트랜지스터MN104의 드레인 접속점, PMOS 트랜지스터MP104와 NMOS 트랜지스터MN103의 게이트 접속점과 PMOS 트랜지스터MP101의 드레인에 접속되어 있다.

PMOS 트랜지스터MP103의 드레인-소오스 경로는 PMOS 트랜지스터MP104와 MP105의 게이트 사이에 접속되어 있다. 노드STB01은 PMOS 트랜지스터MP104와 NMOS 트랜지스터MN103의 드레인 접속점, PMOS 트랜지스터MP105와 NMOS 트랜지스터MN104의 게이트 접속점과 PMOS 트랜지스터MP102의 드레인에 접속되어 있다. NMOS 트랜지스터 MN101의 드레인은 NMOS 트랜지스터MN103과 PMOS 트랜지스터MP104의 드레인 접속점과 NMOS 트랜지스터 MN104와 PMOS 트랜지스터MP105의 게이트 접속점에 접속되어 있다.

또, NMOS 트랜지스터MNP102의 드레인은 NMOS 트랜지스터MN104와 PMOS 트랜지스터MP105의 드레인 접속점과 NMOS 트랜지스터MN103과 PMOS 트랜지스터MP104의 게이트 접속점에 접속되어 있다. 소오스가 접지된 NMOS 트랜지스터MN105의 드레인은 NMOS 트랜지스터MN101, MN102, MN103, MN104의 소오스 접속점에 접속되어 있다.

본 실시예의 센스앰프는 PMOS 트랜지스터MP104와 NMOS 트랜지스터MN103으로 이루어지는 하나의 CMOS 인버터 및 MP105와 MN104로 이루어지는 다른 CMOS 인버터로 구성되는 래치회로, 이 래치회로의 MN103과 병렬로 접속되는 NMOS 트랜지스터MN101과 MN104와 병렬로 접속된 NMOS 트랜지스터MN102로 구성되는 차동증폭회로 및 NMOS 트랜지스터MN101, MN102, MN103 및 MN104와 직렬로 접속된 NMOS 트랜지스터MN105로 이루어지는 전류원으로 구성된다.

이 센스앰프는 다음과 같이 동작한다. NMOS 트랜지스터MN101과 MN102가 입력신호CDT01과 CDB01 사이의 미소전압차를 증폭하여, 노드STB01과 STT01의 전압을 변화시킨다. NMOS 트랜지스터MN103과 MN104가 변화된 노드 STB01과 STT01상의 전압을 증폭한다. 입력신호CDT01과 CDB01 사이의 미소전압차는 2단계로 증폭되고, 또 전류원 트랜지스터 MN105와 트랜지스터 MN101 및 MN103(또는 MN102와 MN104)의 2단의 직렬접속의 회로 구성에 의해 노드 STB01(또는 STT01)상의 출력 응답의 지연시간을 단축할 수 있다.

도 2는 도 1에 도시한 센스앰프의 신호파형을 도시한 도면이다. 통상, 신호SACM01과 SAEQB01은 "low"이며, 노드 STB01과 STT01은 VCC 전압으로 리세트되어 있다. 입력신호CDT01과 CDB01 사이에 미소전압차가 생겼을 때, 예를 들면 CDT01전압이 전압VCC이고, CDB01전압이 VCC-V1(V1<VCC) 일 때, 리세트신호SAEQB01을 "high"(즉, 리세트 상태는 해제된다)로 하고, 계속해서 신호SACM01을 "high"(즉, 센스앰프가 활성화된다)로 한다. 이 결과, NMOS 트랜지스터 MN102를 통해서 전류I1이, NMOS 트랜지스터MN101을 통해서 전류I1-I2(I1>I2)가 흐른다.

이 때에 노드STB01과 STT01사이에 미소 전압차가 생긴다(STB01의 전압은 STT01전압보다 낮아진다). 이 전압차는 PMOS 트랜지스터MP104와 MP105, NMOS 트랜지스터MN103과 MN104로 이루어지는 래치회로에 의해 증폭되고, 그 결과 노드STB01과 STT01 사이의 전압차가 더욱 증폭된다.

이 센스앰프는 도 3에 도시한 종래의 센스앰프와 달리 미소전압차를 2단계로 증폭하고, 전류원 트랜지스터 MN105와 트랜지스터MN101 및 MN103(또는 MN102 및 MN104)의 2단 직렬접속으로 증폭회로를 구성하고 있으므로, 노드 STB01(또는 STT01)상의 출력응답의 지연시간을 도 2에 도시한 바와 같이 도 4에 도시한 종래예에 비해 △t 만큼 단축할 수 있다.

0. 4㎛ 프로세스의 CMOS를 사용하는 본 실시예의 센스앰프는 종래의 센스앰프에 비해 0. 6ns의 지연시간의 감소분△t를 얻을 수 있었다. 즉, 종래 센스앰프보다 고속으로 동작한다.

도 1에 도시한 본 실시예의 센스앰프는 도 5에 도시한 바와 같이 SACMO1신호를 "high", 계속해서 SAEQB01신호를 "high"로 하는(도 2의 경우 신호의 상승순서를 반대로 하는) 것에 의해서도 동작한다.

입력신호CDT01과 CDB01 사이에 미소전압차가 생겼을 때, 예를 들면 CDT01전압이 VCC이고, CDB01전압이 VCC-V1(V1<VCC)로 되어 미소전압차가 생겼을 때, 신호SACM01을 "high", 계속해서 신호SAEQB01을 "high"로 한다. 이 경우, 신호SACM01이 "high", 신호SAEQB01이 "low"로 되는 기간 동안, 전원에서 PMOS 트랜지스터MP101, MP102 및 MP103으로, NMOS 트랜지스터MN101, MN102, MN103, MN104로, 또 GND로 전류가 흐르므로, 노드 STB01, STT01의 전압이 VCC 아래로 하강한다. 또, 동시에 입력신호 CDB01의 전압이 하강하기 시작하므로, 입력신호CDT01과 CDB01 사이에 전압차가 생기고, NMOS 트랜지스터MN101의 전류가 NMOS 트랜지스터MN102의 전류보다 적어진다. 따라서, 노드STB01과 STT01의 전압은 하강전압으로 인해 미소한 차가 생긴다(STB01의 전압은 STT01의 전압보다 낮아진다.)

그 결과, 신호SAEQB01이 "high"로 되면, 상기의 미소한 전압차가 PMOS 트랜지스터MP104와 MP105, NMOS 트랜지스터MN103과 MN104로 이루어지는 래치회로에 의해 증폭되어 노드STB01과 STT01 사이의 전압차가 증폭된다. 이 경우, 신호SAEQB01이 "high"로 될 때, 미리 노드STB01과 STT01사이에 전압차가 있고, 그들의 전압이 VCC보다 낮고, 노드 STB01 또는 STT01상의 출력응답의 지연시간은 도 5에 도시한 바와 같이 도 2(SAEQB01을 "high", 계속해서 SACM01을 "high"로 하는 경우)에 비해 △t1 만큼 단축된다.

본 실시예에 의한 센스앰프의 트랜지스터의 수는 도 3의 종래의 센스앰프가 13개의 트랜지스터로 구성되는 것에 비해 10개로 구성되어 트랜지스터의 수도 적고, 센스앰프의 사용수가 많은 메모리에 대해 칩면적의 저감에 크게 기여한다.

도 6은 본 발명의 제2 실시예에 따른 반도체집적회로에 의해 실현되는 센스앰프를 도시한 도면이다. 이 센스앰프는 도 1의 제1 실시예서 유도되며, NMOS 트랜지스터MN105와 MN101 사이에 삽입된 NMOS 트랜지스터MN106 및 NMOS 트랜지스터MN105와 MN102사이에 삽입된 다른 NMOS 트랜지스터MN107을 더 구비한다. 구체적으로, MN106과 MN107의 드레인이 MN101과 MN102의 소오스에 각각 접속되고, 그들의 게이트가 노드STT01과 STB01에 각각 접속된다. 소오스 접지된 NMOS 트랜지스터 MN105의 드레인은 NMOS 트랜지스터MN106, MN107, MN103 및 MN104의 소오스 접속점에 접속되어 있다. 또, PMOS 트랜지스터MP106의 드레인과 소오스는 MN101의 소오스와 MN106의 드레인의 노드에, MN102의 소오스와 MN107의 드레인의 노드에 접속되어 있다.

이 실시예의 센스앰프는 도 1에 도시한 바와 접속되는 PMOS 트랜지스터 MP104, MP105와 NMOS 트랜지스터MN103, MN104로 이루어지는 래치회로, 이 래치회로의 MN103과 병렬로 접속되는 NMOS 트랜지스터MN101, MN103과 병렬이고 또한 MN101과 직렬로 접속되는 NMOS 트랜지스터MN106(그의 게이트는 MP105와 MN104로 이루어지는 인버터의 출력에 접속된다), MN104와 병렬로 접속되는 NMOS 트랜지스터MN102, MN104와 병렬이고 또한 MN102와 직렬로 접속되는 NMOS 트랜지스터MN107(그의 게이트는 MP104와 MN103으로 이루어지는 인버터의 출력에 접속된다)과 MN106, MN107, MN103 및 MN104와 직렬로 접속되는 전류원으로서 NMOS 트랜지스터MN105로 구성된다.

이 센스앰프에서는 제1 실시예와 마찬가지로 다음과 같이 동작한다. 입력신호CDT01과 CDB01사이의 미소전압차를 NMOS 트랜지스터MN101과 MN102가 증폭하여 노드STB01과 STT01상의 전압을 변화시킨다. NMOS 트랜지스터 MN103과 MN104가 노드STB01과 STT01상에서 변화된 전압을 증폭한다. 입력신호CDT01과 CDB01 사이의 미소전압차를 2단계로 증폭하고, 증폭회로가 전류원MN105와 트랜지스터MN103(또는 MN104)의 2단의 직렬접속으로 구성되는 회로 구성에 의해 노드STB01(또는 STT01)의 출력 응답의 지연시간을 단축할 수 있다.

또, 출력신호가 노드STB01과 STT01에서 인출, 예를 들면 STB01로 "low", 노드STT01로 "high"가 출력되고 나서 신호 SAEQB01 및 신호SACM01이 "low"로 될때까지의 기간 동안에 노드STB01에 게이트가 접속되어 있는 NMOS 트랜지스터 MN107은 오프로 된다. 즉, 제1 실시예의 경우에 있어서 이 기간중에 흐르는 전류, 즉 전원에서 노드STB01에 게이트가 접속되어 있는 PMOS 트랜지스터MP105로, 입력신호CDT01("high")가 공급되는 게이트를 갖는 NMOS 트랜지스터 MN102로, 전류원 NMOS 트랜지스터MN105로, GND로 흐르는 전류를 없앨 수 있다. 그 결과, NMOS 트랜지스터 MN106, MN107의 부가에 의해 센스앰프의 소비전력을 감소시킬 수 있다.

도 7은 도 6에 도시한 센스앰프의 신호파형을 도시한 도면이다. 통상, 신호SACM01과 SAEQB01은 "low"이고, 노드 STB01과 STT01은 VCC 전압으로 리세트된다. 입력신호CDT01과 CDB01 사이에 미소전압차가 생겼을 때, 리세트신호 SAEOB01을 "high"(즉, 리세트상태가 해제된다)로 하고, 계속해서 신호SACM01을 "high"(즉, 센스앰프가 활성화된다)로 한다.

이 때 노드STB01과 STT01사이에는 미소전압차(STB01전압은 STT01전압보다 낮아진다)가 생긴다. 이 전압차는 PMOS 트랜지스터MP104와 MP105, NMOS 트랜지스터MN103과 MN104로 이루어지는 래치회로에 의해 증폭되어 노드 STB01과 STT01 사이의 전압차가 더욱 증폭된다.

이 센스앰프는 도 3에 도시한 종래의 센스앰프와는 달리 미소전압차를 2단계로 증폭하고 또한 증폭회로가 전류원 트랜지스터 MN105와 트랜지스터MN103(또는 MN104)의 2단의 직렬접속으로 되어 있으므로, 노드STB01(또는 STT01)상의 출력 응답의 지연시간을 단축할 수 있다.

또, 노드STAB01과 STT01상의 출력이 변화되고 예를 들면 STB01에서 "high", 노드STT01에서 "low"가 출력되고 나서 신호SAEQB01, SACM01이 "low"로 될때까지의 기간 동안, 노드STT01에 접속된 게이트를 갖는 NMOS 트랜지스터 MN103, MN106과 노드STB01에 접속된 게이트를 갖는 PMOS 트랜지스터MP105는 모두 오프로 되므로, 전류원 MN105를 통해서 GND로 흐르는 전류ISA는 0으로 된다.

한편, 도 1에 도시한 제1 실시예에서는 이 기간 동안에 전원에서 노드STT01에 접속되는 게이트를 갖는 PMOS 트랜지스터MP104로, 입력신호CDB01(VCC-V1은 NMOS트랜지스터의 스레쉬홀드 전압보다 높다)가 공급되는 게이트를 갖는 NMOS 트랜지스터MN101로, 전류원 MN105로, GND로 전류ISA가 흐른다. 도 3에 도시한 종래의 센스앰프에 있어서, 노드STT02에 게이트가 접속된 NMOS 트랜지스터MN201과 노드 STB02에 게이트가 접속된 PMOS 트랜지스터MP105가 이 기간 동안에 오프로 되고, 전류원 MN205를 통해서 GND로 흐르는 전류ISA는 0으로 된다.

이 실시예에 따라 MN105를 통해서 흐르는 전류ISA와 도 1의 제 1실시예의 경우 및 도 3에 도시한 종래의 센스앰프의 MN205를 통해서 흐르는 전류를 도 7에서 비교한다. 이 도면은 도 7의 제2 실시예가 제1 실시예에 대해 전류ISA를 저감시킬 수 있고, 종래의 센스앰프와 비교할 수 있는 것을 도시한다.

0. 4㎛ 프로세스의 CMOS를 사용하는 제2 실시예의 센스앰프는 종래의 센스앰프에 비해 0. 6ns의 지연시간 감소분△t를 얻음과 동시에 종래의 센스앰프와 비교할 수 있는 200㎂(200MHz)의 부하전류를 얻을 수 있었다. 즉, 종래와 동등한 소비전력으로 종래의 센스앰프보다 빠르게 동작한다.

이 실시예의 센스앰프는 신호SACM01을 "high"로 하고, 계속해서 신호SAEQB01을 "high"로 하는(도 2의 경우에 대해 신호의 상승순서를 반대로 한다) 것에 의해서도 도 5에 도시한 제1 실시예와 마찬가지로 동작하고, 노드STB01(또는 STT01)상의 출력 응답 지연시간을 △t1 만큼 단축할 수 있다.

도 8은 본 발명의 제3 실시예에 따른 반도체집적회로에 의해 실현되는 센스앰프를 도시한 도면이다. 도 6의 제2 실시예에서 유도되는 이 센스앰프는 그들 게이트상에서 다른 신호 SACMB01을 받도록 접속된 NMOS 트랜지스터MN106과 MN107을 구비한다.

이 실시예의 센스앰프는 도 1에 도시한 바와 같이 접속되는 PMOS 트랜지스터MP104와 MP105, NMOS 트랜지스터 MN103과 MN104로 이루어지는 래치회로, 이 래치회로의 MN103과 병렬로 접속되는 NMOS 트랜지스터MN101, MN103과 병렬이고 또한 MN101과 직렬로 접속되며(그의 게이트상에 신호SACMB01이 공급되는) NMOS 트랜지스터 MN106, MN104와 병렬로 접속되는 NMOS 트랜지스터MN102, MN104와 병렬이고 또한 MN102와 직렬로 접속되며(그의 게이트상에 신호 SACMB01이 공급되는) NMOS 트랜지스터MN107, MN106, MN107, MN103 및 MN104와 직렬로 접속되는 전류원으로서 NMOS 트랜지스터MN105로 구성된다.

이 센스앰프는 제2 실시예와 마찬가지로 출력 지연 시간을 감소시킨다. 또, 이 센스앰프에서는 신호SAEQB01이 "low"일 때, 노드STB01과 STT01로 출력신호가 출력되면 예를 들어 노드STB01로 "high", STT01로 "low"가 출력되고 나서 신호 SACMB01을 "low"로 할 때까지의 기간 동안 신호SACMB01을 "low"로 하는 것에 의해 신호SACMB01이 공급되는 게이트를 갖는 NMOS 트랜지스터MN106, MN107이 오프로 되므로, 도 1의 제1 실시예에 비해 제2 실시예와 마찬가지로 소비전력의 증가를 방지할 수 있다.

도 9는 본 발명의 제 4실시예에 따른 반도체집적회로에 의해 실현되는 센스앰프를 도시한 도면이다. 도 8의 제 3실시예에서 유도되는 이 센스앰프는 PMOS 트랜지스터MP106 대신에 그의 게이트에 신호SACMB01이 공급되는 NMOS 트랜지스터MN108을 포함한다. 즉, 이 실시예의 센스앰프는 상기 도 8의 제3 실시예와 비슷한 구성을 갖는다.

이 센스앰프는 제2 실시예와 마찬가지로 출력 지연 시간을 감소시킬 수 있다. 또, 신호SAEQB01이 "low"일 때, 노드 STB01과 STT01로 출력신호가 출력되면 예를 들어 노드STB01로 "high", STT01로 "low"가 출력되고 나서 신호 SACMB01을 "low"로 할 때까지의 기간동안 신호SACM01을 "low"로 하는 것에 의해 신호SACMB01이 공급되는 게이트를 갖는 NMOS 트랜지스터MN106, MN107 및 MN108이 오프로 되므로, 도 1의 제1 실시예에 비해 제2 실시예와 마찬가지로 소비전류의 증가를 방지할 수 있다.

도 10은 도 8 및 도 9에 도시한 센스앰프의 신호파형을 도시한 도면이다. 노드STB01과 STT01상의 출력이 변화하고, 예를 들면 STB01로 "high"가, STT01로 "low"가 출력되고 나서 신호SAEQB01, SACM01이 "low"로 될때까지의 기간동안, 노드STT01과 노드STB01에 게이트가 각각 접속되어 있는 NMOS 트랜지스터MN103과 PMOS 트랜지스터MP105는 오프로 되고 또, 이 기간중에 신호SACMB01을 "low"로 하는 것에 의해 신호SACMB01이 공급되는 게이트를 갖는 NMOS 트랜지스터MN106, MN107, MN108이 오프로 되므로, 전류원 MN105를 통해서 GND로 흐르는 전류ISA는 0으로 된다.

이 실시예에 따라 MN105를 통해서 흐르는 전류ISA와 도 1의 제1 실시예의 경우 및 도 3에 도시된 종래의 센스앰프의 MN205를 통해서 흐르는 전류를 도 10에서 비교한다. 즉, 도 8 및 도 9에 도시한 제3 및 제4 실시예의 센스앰프는 각각 전류ISA를 제1 실시예에 비해 저감할 수 있음과 동시에 종래의 센스앰프와 비교할 수 있다.

0. 4㎛ 프로세스의 CMOS를 사용하는 이 실시예의 센스앰프는 종래의 센스앰프에 비해 0. 6ns의 지연시간 감소분△t를 얻음과 동시에 종래의 센스앰프와 비교할 수 있는 200㎂(200MHz)의 부하전류를 얻을 수 있었다. 즉, 종래와 동등한 소비전력으로 종래의 센스앰프보다 빠르게 동작한다.

또, 이 실시예의 센스앰프는 SACM01신호를 "high"로 하고, 계속해서 SAEQB01신호를 "high"로 하며(도 10의 경우에 비해 상승순서를 반대로 한다), SACMB01신호를 "low"로 하는(도 10과 동일하게 한다) 것에 의해서도 도 5에 도시되는 제1 실시예와 마찬가지로 동작하고, STB01(또는 STT01)의 출력 응답의 지연시간을 △t1만큼 단축할 수있다.

도 11은 본 발명의 제5 실시예에 따른 반도체집적회로에 의해 실현되는 센스앰프를 도시한 도면이다. 도 8의 제3 실시예에서 유도되는 이 센스앰프는 NMOS 트랜지스터MN106과 MN107대신에 소오스 접지된 NMOS 트랜지스터MN109, MN110을 구비하고, NMOS 트랜지스터MN101, MN102의 소오스를 각각 그들 드레인에 접속한다. 즉, NMOS 트랜지스터MN103과 MN104의 소오스 접속점은 소오스 접지된 NMOS 트랜지스터MN105의 드레인이 접속되어 있다. 또, NMOS 트랜지스터MN101과 MN102의 소오스는 소오스 접지된 NMOS 트랜지스터MN109와 MN110의 드레인에 각각 접속된다. MN109, MN110의 게이트에 다른 신호SAC01이 공급된다.

이 실시예의 센스앰프는 상기 도 1에 도시한 바와 같이 접속되는 PMOS 트랜지스터MP104, MP105와 NMOS 트랜지스터MN103, MN104로 이루어지는 래치회로, 이 래치회로의 MN103과 병렬로 접속되는 NMOS 트랜지스터MN101, MN104와 병렬로 접속되는 NMOS 트랜지스터MN102, NMOS 트랜지스터MN101과 직렬로 접속되는 전류원 NMOS 트랜지스터MN109(그의 게이트에 신호SAC01이 공급된다), MN102와 직렬로 접속되는 전류원으로 되는 NMOS 트랜지스터MN110(그의 게이트에 신호SAC01이 공급된다)로 구성된다.

이 센스앰프는 제1 실시예와 마찬가지로 다음과 같이 동작한다. 입력신호CDT01과 CDB01 사이의 미소전압차를 NMOS 트랜지스터MN101과 MN102가 증폭하여 노드STB01과 STT01상의 전압을 변화시킨다. 노드STB01과 STT01의 변화된 전압을 NMOS 트랜지스터MN103과 MN104가 증폭시킨다. 입력신호CDT01과 CDB01 사이의 미소전압차를 2단계로 증폭하고, 증폭회로가 전류원 트랜지스터 MN105와 트랜지스터MN103(또는 MN104)의 2단의 직렬접속, 전류원 트랜지스터 MN109와 트랜지스터MN101(또는 MN110과 MN102)의 2단의 직렬접속인 회로구성으로 하는 것에 의해 노드 STB01(또는 STT01)상의 출력 응답의 지연시간을 저감할 수 있다.

이 신호SAC01은 신호SACM01의 상승과 동시에 "high"로 된다. 또, 노드STB01과 STT01로 출력신호가 출력되고 나서 신호SAEQB01과 신호SACM01이 "low"로 될 때까지의 기간 동안에 신호SAC01을 "low"로 하는 것에 의해 신호SAC01이 공급되는 게이트를 갖는 NMOS 트랜지스터MN109와 MN110이 오프로 되므로, 도 1의 제1 실시예에 비해 소비전력의 증가를 방지할 수 있다.

도 12는 본 발명의 제 6 실시예에 따른 반도체집적회로에 의해 실현되는 센스앰프를 도시한 도면이다. 도 9의 제 4실시예에서 유도되는 이 센스앰프는 NMOS 트랜지스터MN106, MN107 대신에 소오스 접지된 NMOS 트랜지스터MN109, MN110을 구비하고, 이들 드레인은 NMOS 트랜지스터MN101, MN102의 소오스에 각각 접속되어 있다. 따라서, NMOS 트랜지스터MN103과 MN104의 소오스 접속점과 소오스 접지된 NMOS 트랜지스터MN105의 드레인이 접속된다. NMOS 트랜지스터MN101과 MN102의 소오스는 소오스 접지된 NMOS 트랜지스터MN109와 MN110의 드래인에 각각 접속되어 있다. 또, MN109,, \ MN110의 게이트에는 다른 신호SAC01이 공급된다. 즉, 이 실시예의 센스앰프는 상기 도 11의 제5 실시예와 비슷한 구성을 갖는다.

이 센스앰프에서는 제1 실시예와 마찬가지로 다음과 같이 동작한다. 입력신호의 CDT01과 CDB01 사이의 미소전압차를 NMOS 트랜지스터MN110과 MN102가 증폭하여 노드STB01과 ST01상의 전압을 변화시킨다. 노드STB01과 STT01상의 변화된 전압을 NMOS 트랜지스터MN103과 MN104가 증폭한다. 입력신호CDT01과 CDB01 사이의 미소전압차를 2단계로 증폭하고, 증폭회로가 전류원 트랜지스터 MN105와 트랜지스터MN103(또는 MN104)의 2단의 직렬접속과 전류원 MN109와 트랜지스터MN101(또는 MN110과 MN102)의 2단의 직렬접속인 회로구성으로 하는 것에 의해 노드STB01(또는 STT01)의 출력 응답의 지연시간을 저감할 수 있다.

이 신호SAC01은 신호SACM01의 상승과 동시에 "high"로 된다. 또, 노드STB01과 STT01로 출력신호가 출력되고 나서 신호SAEQB01과 신호SACM01이 "low"로 될때까지의 기간 동안, 신호SAC01을 "low"로 하는 것에 의해 신호SAC01이 공급되는 게이트를 갖는 NMOS 트랜지스터MN109, MN110, MN108이 오프로 되므로, 도 1의 제1 실시예에 비해 소비전력의 증가를 방지할 수 있다.

도 13은 도 11 및 도 12에 도시한 센스앰프의 신호파형을 도시한 도면이다. 노드STB01과 STT01의 출력이 변화, 예를 들면 STB01로 "high", STT01로 "low"가 출력되고 나서 신호SAEQB01, SACM01이 "low"로 될 때까지의 기간동안, 노드

STT01과 STB01에 각각 접속된 게이트를 갖는 NMOS 트랜지스터MN103 및 PMOS 트랜지스터MP105가 오프로 되고, 또 이 기간중에 신호SAC01을 "low"로 하는 것에 의해 신호SAC01가 공급되는 게이트를 갖는 MN109, MN110, MN108이 오프로 되므로, 전류원 MN105, MN109 및 MN110을 통해서 GND로 흐르는 전류ISA는 0으로 된다.

이 실시예에 따라 MN105를 통해서 흐르는 전류ISA와 도 1의 제1 실시예의 경우 및 도 3에 도시된 종래의 센스앰프의 MN205를 거쳐서 흐르는 전류ISA를 도 13에서 비교한다. 즉, 도 11 및 도 12에 도시한 제5 및 제6 실시예의 센스앰프는 전류ISA를 제1 실시예에 비해 저감할 수 있고, 종래와 동등한 전력소비로 종래의 센스앰프보다 고속으로 동작한다.

0. 4㎛ 프로세스의 CMOS를 사용하는 이 실시예의 센스앰프는 종래의 센스앰프에 비해 0. 6ns의 지연시간 감소분△t를 얻는다. 즉, 종래의 센스앰프보다 빠르게 동작한다.

또, 이 실시예의 센스앰프는 도 5에 도시한 제1 실시예와 마찬가지로 동작하고, 또한 SACM01신호의 상승에 응답해서 "high"로 하고, 계속해서 SAEQB01신호를 "high"로 하며(도 13에 경우에 비해 신호의 상승순서를 반대로 한다), 신호 SACM01의 상승 및 하강을 각각 SAEQB01의 상승과 SAEQB의 하강과 동시에 동작하는 것에 의해, 도 14에 도시한 바와 같이 노드STB01(또는 STT01)의 출력응답의 지연시간을 △t5만큼 감소시킬 수 있다.

발명의 효과

상술한 실시예에 명확한 바와 같이 본 발명에 의하면, 입력신호와 증폭기 사이에 전압차가 발생하고, 리세트가 해제되며, 활성화되고 나서 전압차가 증폭되어 출력될때까지의 센스앰프의 응답시간을 단축할 수 있다.

본 발명의 센스앰프는 종래의 센스앰프에 비해 소비전력의 증가없이 응답시간을 단축시킨다.

본 발명의 센스앰프는 종래의 센스앰프에 비해 트랜지스터수가 저감되므로, 칩면적의 저감에 기여하고, 그 결과 제조효율의 향상 및 제조코스트의 저감이 도모된다는 효과가 얻어진다.

이상, 본 발명의 적합한 실시예에 대해서 설명했지만, 본 발명은 상기 실시예에 한정되는 것은 아니고 본 발명의 정신을 이탈하지 않는 범위내에서 여러가지의 설계변경을 할 수 있는 것은 물론이다.

(57) 청구의 범위

청구항 1.

제1 및 제2 입력신호선,

그 소오스가 서로 접속된 제1 및 제2 NMOS 트랜지스터를 갖고, 상기 제1 및 제2 입력신호선상의 제1 및 제2 입력신호의 전압차를 증폭하는 차동증폭회로,

상기 제1 및 제2 NMOS 트랜지스터의 소오스에 접속되는 전류원 및

상기 제2 입력신호에 대응하는 상기 차동증폭회로의 출력을 입력으로 하고, 제1 전원선, 상기 제1 및 제2 NMOS 트랜지스터의 소오스와 상기 전류원에 접속되는 제1 CMOS 인버터 및 상기 제1 입력신호에 대응하는 상기 차동증폭회로의 출력을 입력으로 하고, 상기 제1 전원선, 상기 제1 및 제2 NMOS 트랜지스터의 소오스와 상기 전류원에 접속되는 제2 CMOS 인버터로 이루어지는 래치회로를 포함하고,

상기 제1 및 제 2 CMOS 인버터의 출력이 상기 제2 및 제1 CMOS 인버터의 입력에 각각 접속되는 것을 특징으로 하는 센스증폭회로.

청구항 2.

제1항에 있어서,

상기 제1 CMOS 인버터는 그의 소오스가 상기 제1 전원선에 접속되는 제1 PMOS 트랜지스터와 상기 제1 PMOS 트랜지스터의 드레인에 그의 드레인이 접속되는 제3 NMOS 트랜지스터로 이루어지고,

상기 제2 CMOS 인버터는 그의 소오스가 상기 제1 전원선에 접속되는 제2 PMOS 트랜지스터와 상기 제2 PMOS 트랜지스터의 드레인에 그의 드레인이 접속되는 제4 NMOS 트랜지스터로 이루어지고,

상기 전류원은 그의 게이트에 제3 입력신호가 공급되고, 그의 드레인이 상기 제1 및 제2 NMOS 트랜지스터의 소오스에 접속되는 제5 NMOS 트랜지스터로 이루어지는 것을 특징으로 하는 센스증폭회로.

청구항 3.

제2항에 있어서,

상기 제1 PMOS 트랜지스터와 상기 제3 NMOS 트랜지스터의 게이트, 상기 제2 PMOS 트랜지스터와 상기 제2 및 제4 NMOS 트랜지스터의 드레인에 그의 드레인이 접속되는 제3 PMOS 트랜지스터,

상기 제2 PMOS 트랜지스터와 상기 제4 NMOS 트랜지스터의 게이트, 상기 제1 PMOS 트랜지스터와 상기 제1 및 제3 NMOS 트랜지스터의 드레인에 그의 드레인이 접속되는 제4 PMOS 트랜지스터,

상기 제1 및 상기 제2 PMOS 트랜지스터의 게이트 사이에 그의 드레인-소오스 경로가 접속되는 제5 PMOS 트랜지스터를 더 구비하고,

상기 제3, 제4 및 제5 PMOS 트랜지스터의 게이트상에 제4 입력신호가 공급되는 것을 특징으로 하는 센스증폭회로.

청구항 4.

제3항에 있어서,

상기 차동증폭회로의 상기 제1 NMOS 트랜지스터와 상기 전류원 사이에 직렬로 접속되고, 그의 게이트에 상기 래치회로의 상기 제2 CMOS 인버터의 출력신호가 입력되는 제6 NMOS 트랜지스터와

상기 차동증폭회로의 제2 NMOS 트랜지스터와 상기 전류원 사이에 직렬로 접속되고, 그의 게이트에 상기 래치회로의 상기 제1 CMOS 인버터의 출력신호가 입력되는 제7 NMOS 트랜지스터를 더 구비한 것을 특징으로 하는 센스증폭회로.

청구항 5.

제4항에 있어서,

상기 제6과 상기 제7 NMOS 트랜지스터의 드레인 사이에 그의 드레인-소오스 경로가 접속되고, 그의 게이트에 상기 제4 입력신호가 입력되는 제6 PMOS트랜지스터를 더 구비한 것을 특징으로 하는 센스증폭회로.

청구항 6.

제1 트랜지스터, 제2 트랜지스터 및 전류원을 구비한 차동증폭회로 및

제1 인버터와 제2 인버터를 구비한 래치회로를 포함하고,

상기 차동증폭회로는 상기 제1 및 제2 트랜지스터의 각각의 드레인에서 나오고, 상기 래치회로의 제2 및 제1 인버터에 있어서 각각의 제1 및 제2 입력에 각각 접속된 제1 및 제2출력을 갖고,

상기 래치회로는 상기 전류원에 직렬로 접속되는 것을 특징으로 하는 센스증폭회로.

청구항 7.

제6항에 있어서,

상기 제1 트랜지스터의 소오스-드레인 경로에 직렬로 또한 상기 제2 트랜지스터의 소오스-드레인 경로에 직렬로 접속된 소오스-드레인 경로를 갖는 제3 트랜지스터를 구비하는 것을 특징으로 하는 센스증폭회로.

청구항 8.

제7항에 있어서,

상기 제1 인버터는 상기 제3 트랜지스터의 소오스-드레인 경로에 직렬로 접속된 소오스-드레인 경로를 갖는 제4 및 제5 트랜지스터를 구비하고,

상기 제2 인버터는 상기 제3 트랜지스터의 소오스-드레인 경로에 직렬로 접속된 소오스-드레인 경로를 갖는 제6 및 제7 트랜지스터를 구비하는 것을 특징으로 하는 센스증폭회로.

청구항 9.

제8항에 있어서,

상기 제5 트랜지스터의 소오스-드레인 경로는 상기 제1 트랜지스터의 소오스-드레인 경로와 병렬로 접속되고,

상기 제7 트랜지스티의 소오스-드레인 경로는 상기 제2 트랜지스터의 소오스-드레인 경로와 병렬로 접속되는 것을 특징으로 하는 센스증폭회로.

청구항 10.

제7항에 있어서,

상기 제1 인버터는 제4 및 제5 트랜지스터를 구비하고, 상기 제5 트랜지스터는 상기 제1 트랜지스터의 소오스-드레인 경로와 병렬로 접속된 소오스-드레인 경로를 갖고,

상기 제2 인버터는 제6 및 제7 트랜지스터를 구비하고, 상기 제7 트랜지스터는 상기 제2 트랜지스터의 소오스-드레인 경로와 병렬로 접속된 소오스-드레인 경로를 갖는 것을 특징으로 하는 센스증폭회로.

청구항 11.

제1 트랜지스터, 제2 트랜지스터 및 센스 증폭기의 활성화 신호에 의해 제어되는 전류원을 구비한 차동증폭회로,

제1 인버터와 제2 인버터를 구비한 래치회로 및

센스증폭회로를 리세트하도록 리세트 신호를 수신하는 리세트 단자를 포함하고,

상기 차동증폭회로는 제1 및 제2 출력을 갖고,

먼저 어서트된 센스 증폭기의 활성화 신호를 수신하고 다음에 어서트된 리세트 신호를 수신함에 따라서 상기 래치회로는 상기 차동증폭회로의 제1 및 제2의 출력 사이의 전압차를 증폭하는 것을 특징으로 하는 센스증폭회로.

청구항 12.

제1 트랜지스터 및 제2 트랜지스터를 구비하는 차동증폭회로,

제1 인버터, 제2 인버터, 제1 노드 및 제2 노드를 구비하고, 상기 제1 인버터의 입력이 상기 제1 노드에서 상기 제2 인버터의 출력에 결합되고 상기 제2 인버터의 입력이 상기 제2 노드에서 상기 제1 인버터의 출력에 결합되는 래치회로,

상기 제1 트랜지스터의 게이트에 결합된 제1 입력 신호선,

상기 제2 트랜지스터의 게이트에 결합된 제2 입력 신호선,

상기 제1 트랜지스터의 드레인과 상기 제1 노드에 결합된 제1 출력 신호선,

상기 제2 트랜지스터의 드레인과 상기 제2 노드에 결합된 제2 출력 신호선,

상기 제2 노드에 결합된 게이트와 상기 제1 트랜지스터의 소오스에 결합된 드레인을 갖는 제3 트랜지스터,

상기 제1 노드에 결합된 게이트와 상기 제2 트랜지스터치 소오스에 결합된 드레인을 갖는 제4 트랜지스터,

상기 제3 트랜지스터와 제4 트랜지스터의 소오스애 결합된 전류원 및

상기 제1 및 제2 노드에 결합된 프리차지 회로를 포함하고,

상기 전류원은 상기 프리차지 회로가 비활성화되기 전에 활성화되는 것을 특징으로 하는 센스증폭회로.

청구항 13.

제12항에 있어서,

상기 제1 인버터는 제5 트랜지스터와 제6 트랜지스터를 구비하고, 상기 제5 트랜지스터는 상기 제6 트랜지스터에 직렬로 결합되고,

상기 제2 인버터는 제7 트랜지스터와 제8 트랜지스터를 구비하고, 상기 제7 트랜지스터는 상기 제8 트랜지스터에 직렬로 결합되고,

상기 제6 및 제8 트랜지스터의 소오스는 상기 전류원에 결합되는 것을 특징으로 하는 센스증폭회로.

청구항 14.

제13항에 있어서,

상기 프리차지 회로는 상기 제1 및 제2 노드를 프리차지 전압으로 프리차지하는 것을 특징으로 하는 센스증폭회로.

청구항 15.

제1 노드에 결합된 드레인을 갖는 제1 트랜지스터,

제2 노드에 결합된 드레인을 갖는 제2 트랜지스터,

상기 제1 및 제2 노드에 결합된 래치회로,

상기 제1 트랜지스터의 게이트에 결합된 제1 입력선,

상기 제2 트랜지스터의 게이트에 결합된 제2 입력선,

상기 제1 노드에 결합된 제1 출력선,

상기 제2 노드에 결합된 제2 출력선,

상기 제1 및 제2 노드에 결합된 프리차지 회로 및

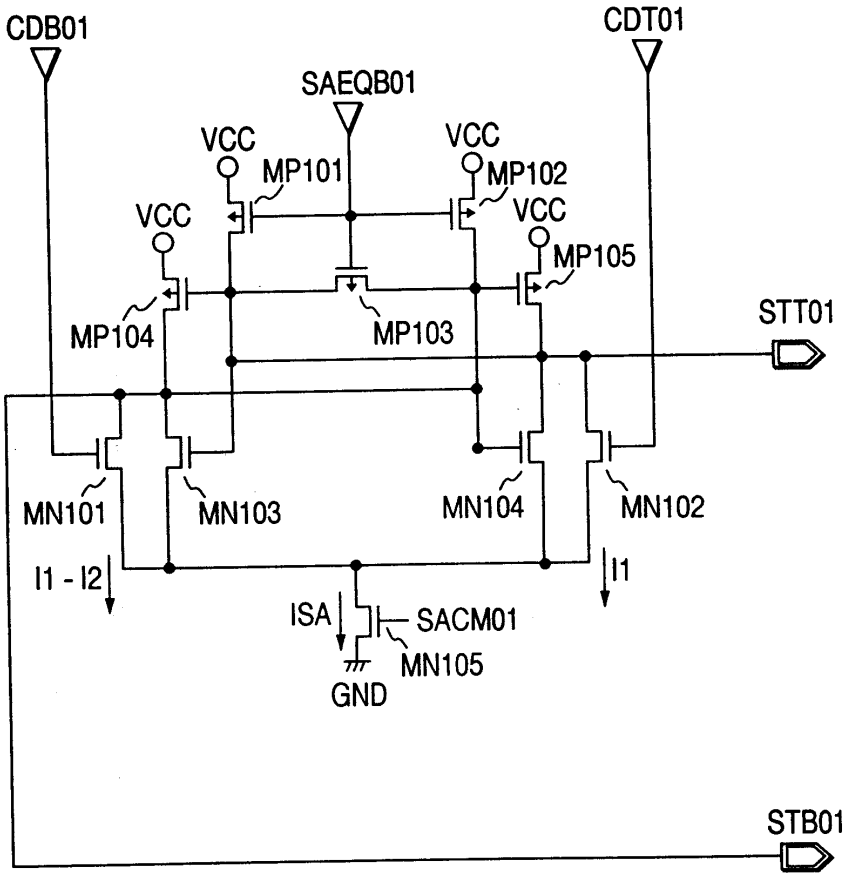
제3 트랜지스터를 거쳐서 상기 제1 트랜지스터의 소오스에 결합되고 제4 트랜지스터를 거쳐서 상기 제2 트랜지스터의 소오스에 결합된 전류원를 포함하고,

상기 제3 트랜지스터의 게이트는 상기 제2 노드에 결합되고, 상기 제4 트랜지스터의 게이트는 상기 제1 노드에 결합되고,

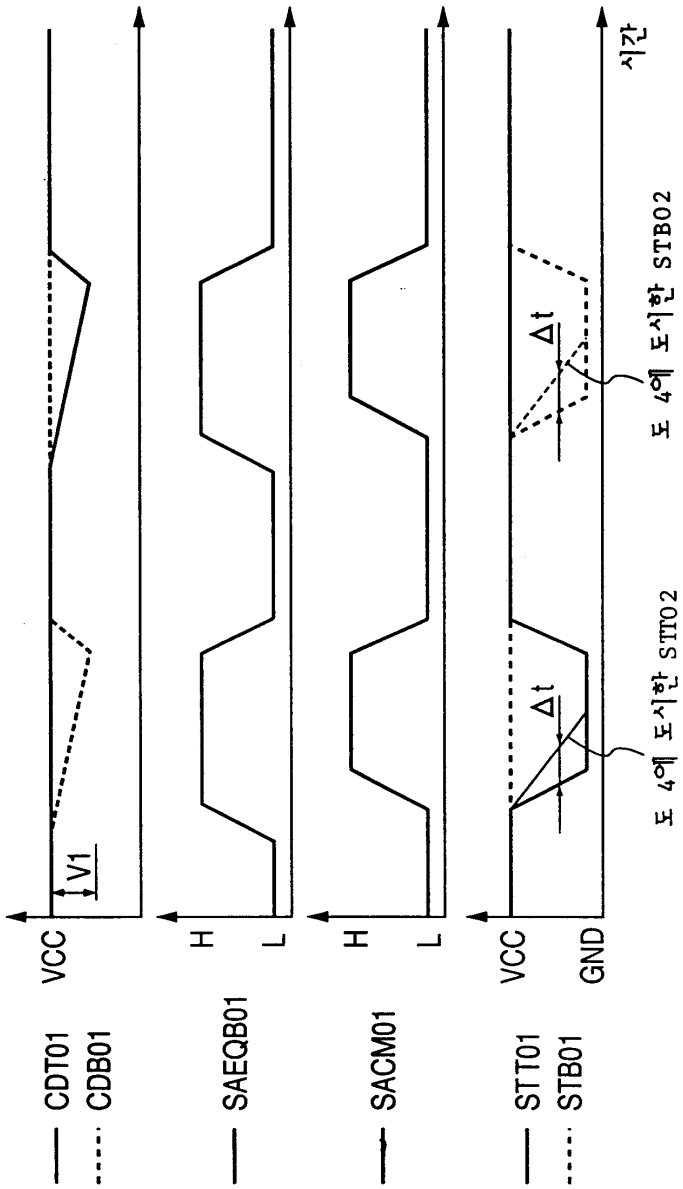
상기 프리차지 회로의 그 프리차지 동작은 상기 전류원이 활성화된 후 비활성화되는 것을 특징으로 하는 센스증폭회로.

도면

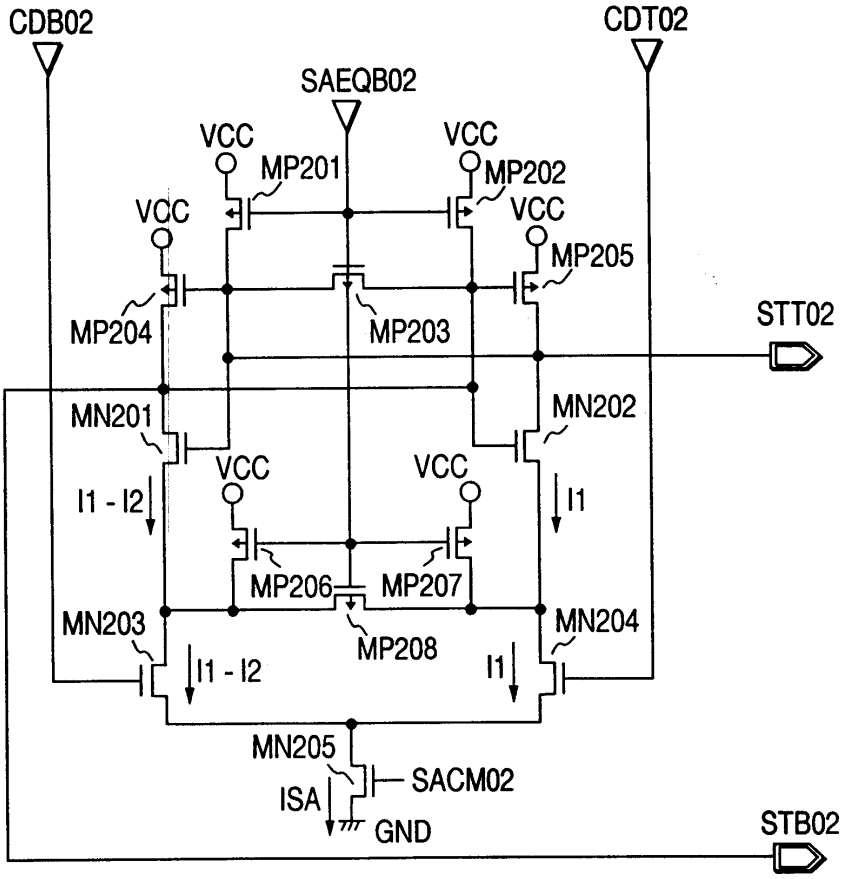
도면1


CDB01
CDT01
SAEQB01
VCC
MP101
VCC
MP102
VCC
VCC
MP105
MP104
MP103
STT01
MN101
MN103
MN104
MN102
I1 - I2
I1
ISA
SACM01
MN105
GND
STB01

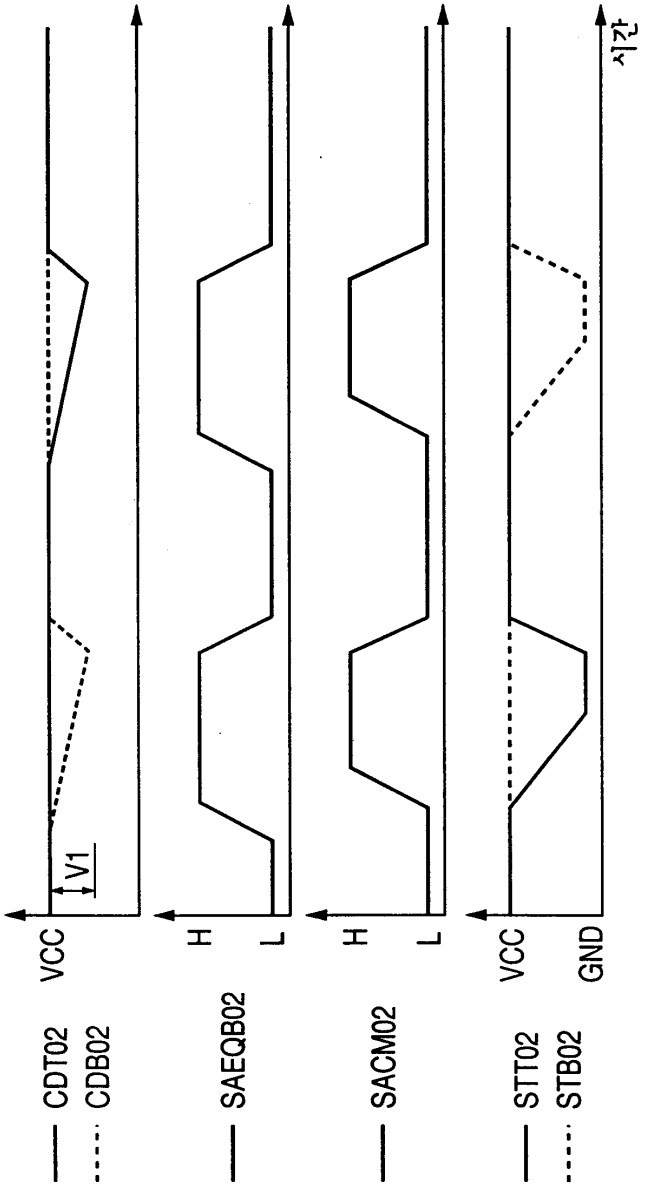
도면2


CDT01
CDB01
VCC
V1
SAEQB01
H
L
SACM01
H
L
STT01
STB01
VCC
GND
Δt
Δt
도 4에 도시한 STT02
도 4에 도시한 STB02
시간

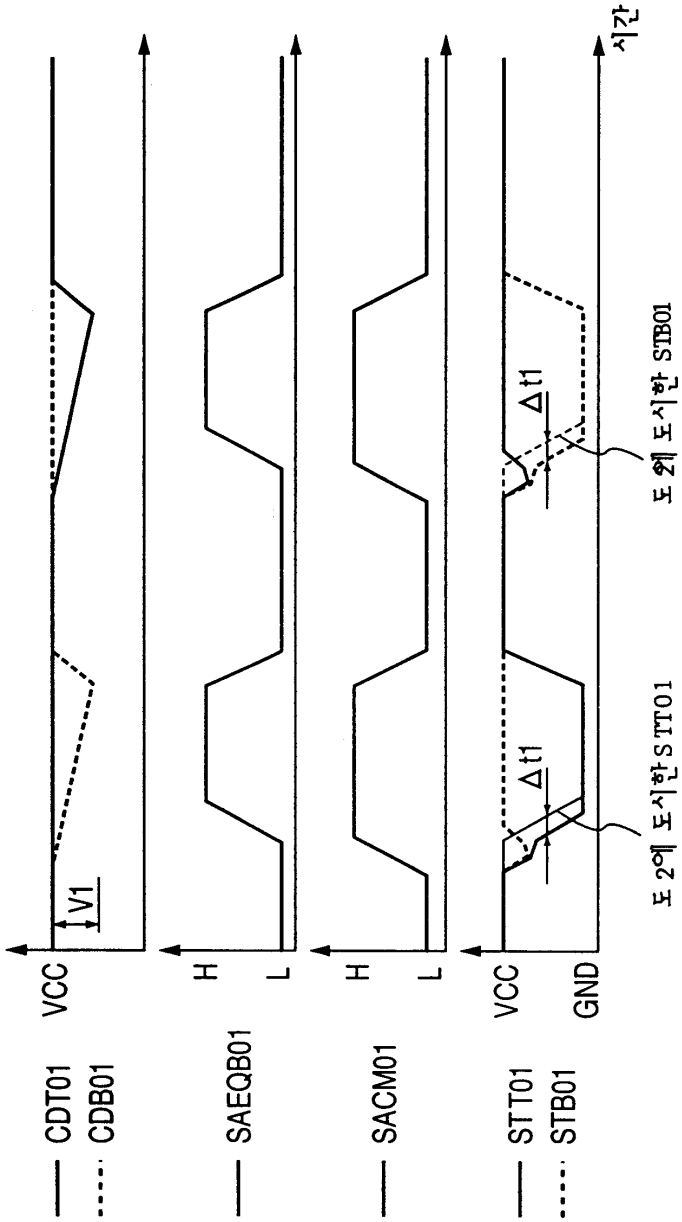
도면3


CDB02
CDT02
SAEQB02
VCC
MP201
VCC
MP202
VCC
VCC
MP205
MP204
MP203
STT02
MN201
MN202
VCC
VCC
I1 - I2
I1
MP206
MP207
MN203
MN204
MP208
I1 - I2
I1
MN205
SACM02
ISA
GND
STB02

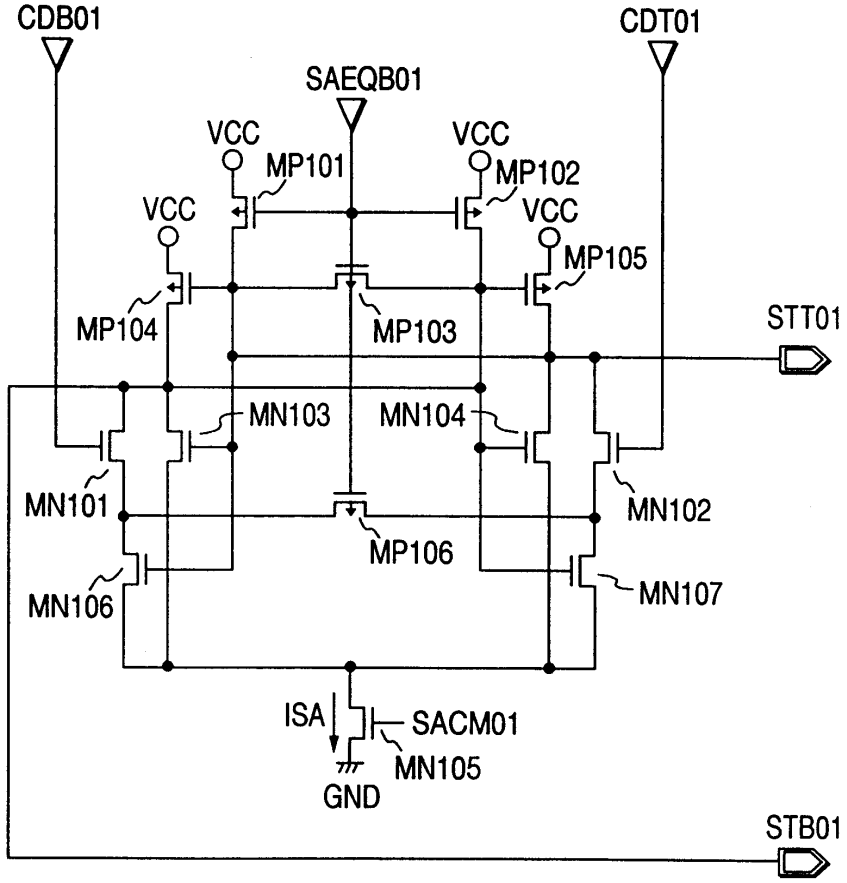
도면4


CDT02
CDB02
VCC
V1
SAEQB02
H
L
SACM02
H
L
STT02
STB02
VCC
GND
시간

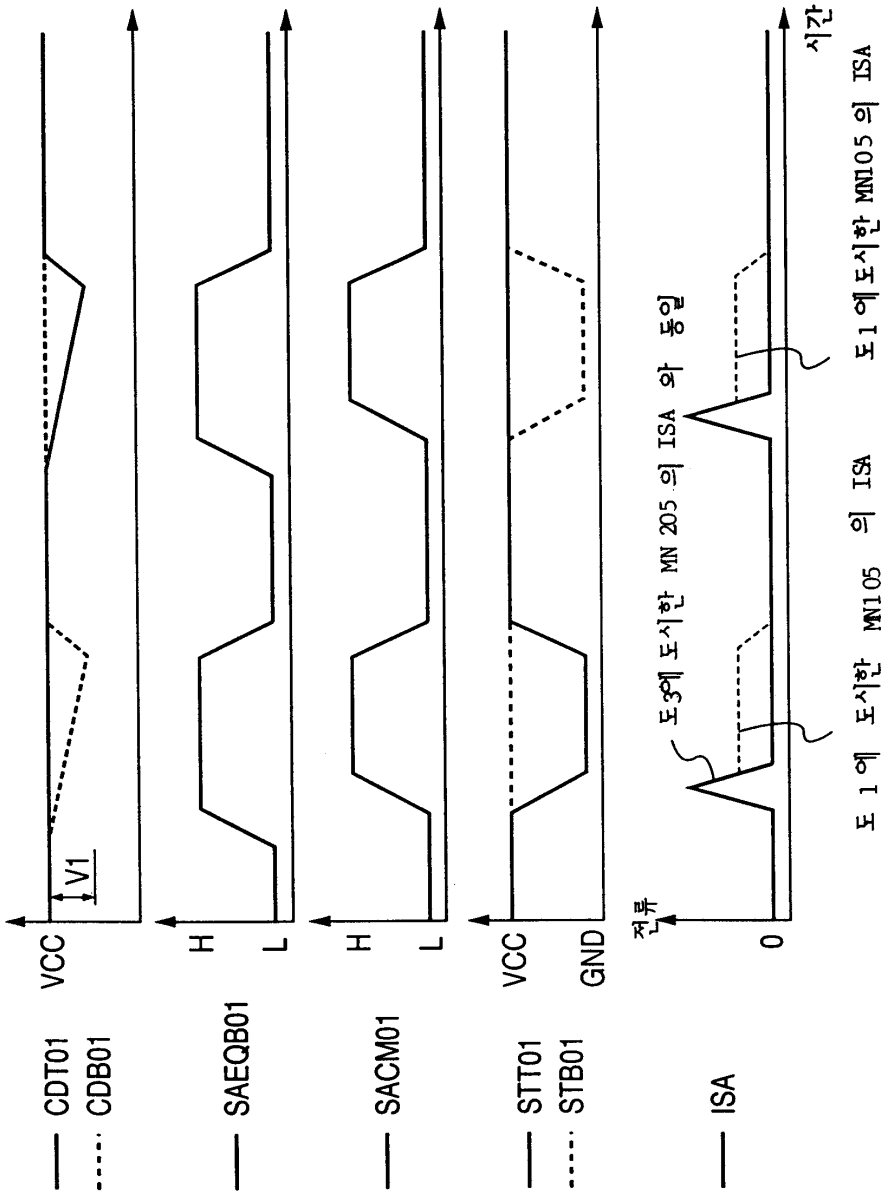
도면5


시간
CDT01
CDB01
VCC
V1
SAEQB01
H
L
SACM01
H
L
STT01
STB01
VCC
GND
Δt1
Δt1
도 2에 도시한 STT01
도 2에 도시한 STB01

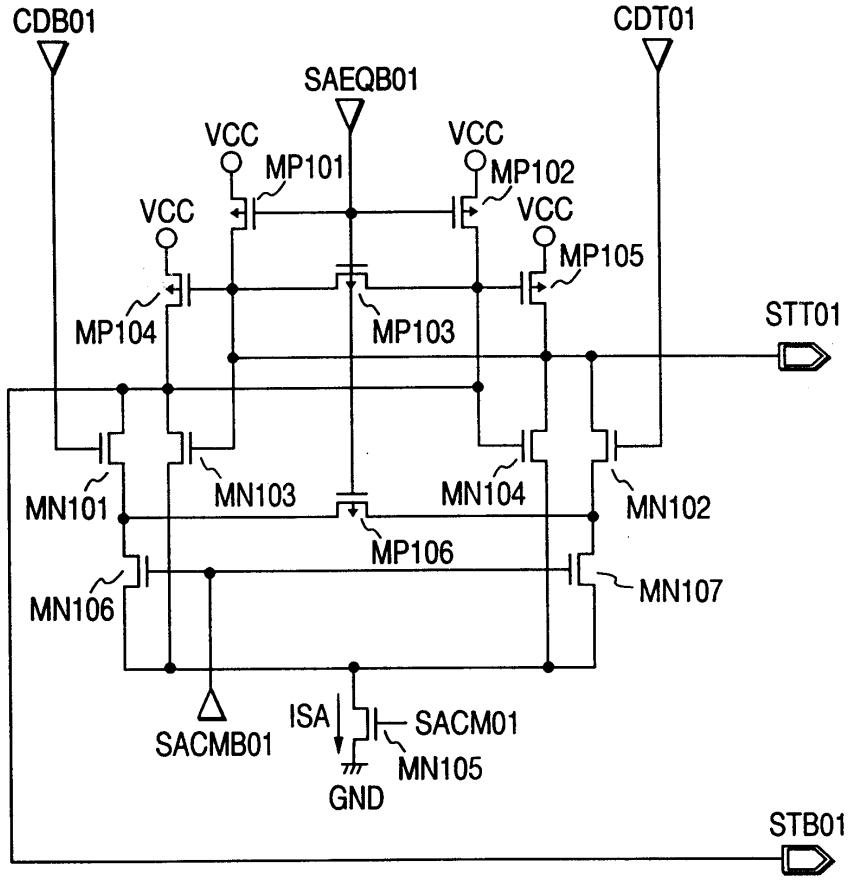
도면6


CDB01
CDT01
SAEQB01
VCC
MP101
VCC
MP102
VCC
VCC
MP105
MP104
MP103
STT01
MN103
MN104
MN101
MN102
MP106
MN106
MN107
ISA
SACM01
MN105
GND
STB01

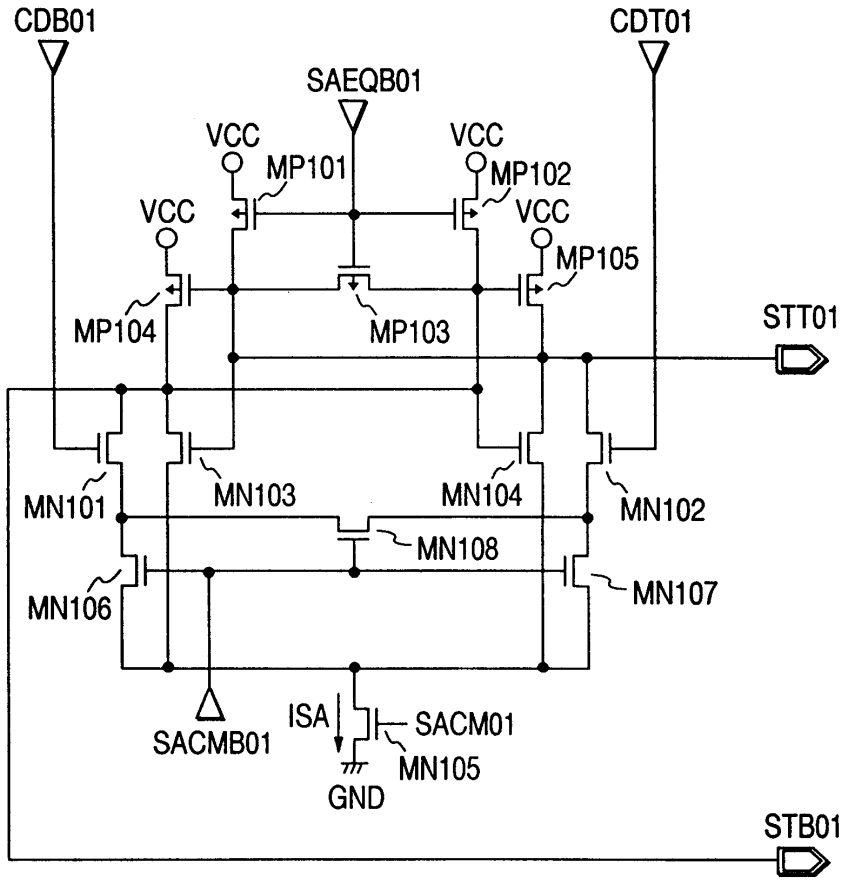
도면7


CDT01
CDB01
VCC
V1
SAEQB01
H
L
SACM01
H
L
STT01
STB01
VCC
GND
ISA
전류
0
시간
도 3에 도시한 MN 205 의 ISA 와 동일
도 1 에 도시한 MN105 의 ISA
도 1 에 도시한 MN105 의 ISA

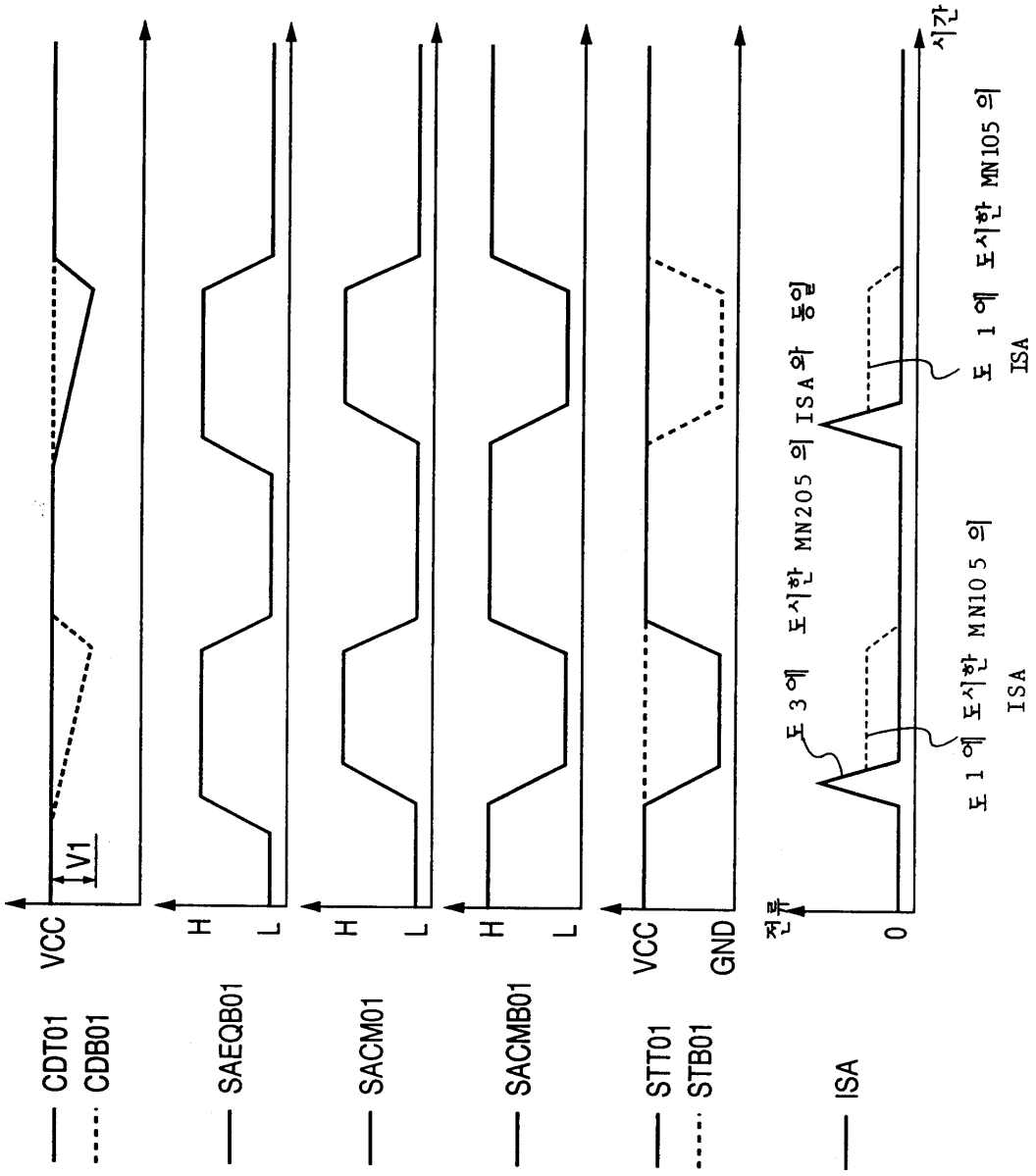
도면8


CDB01
CDT01
SAEQB01
VCC
VCC
MP101
MP102
VCC
VCC
MP105
MP104
MP103
STT01
MN101
MN103
MN104
MN102
MP106
MN106
MN107
SACMB01
ISA
SACM01
MN105
GND
STB01

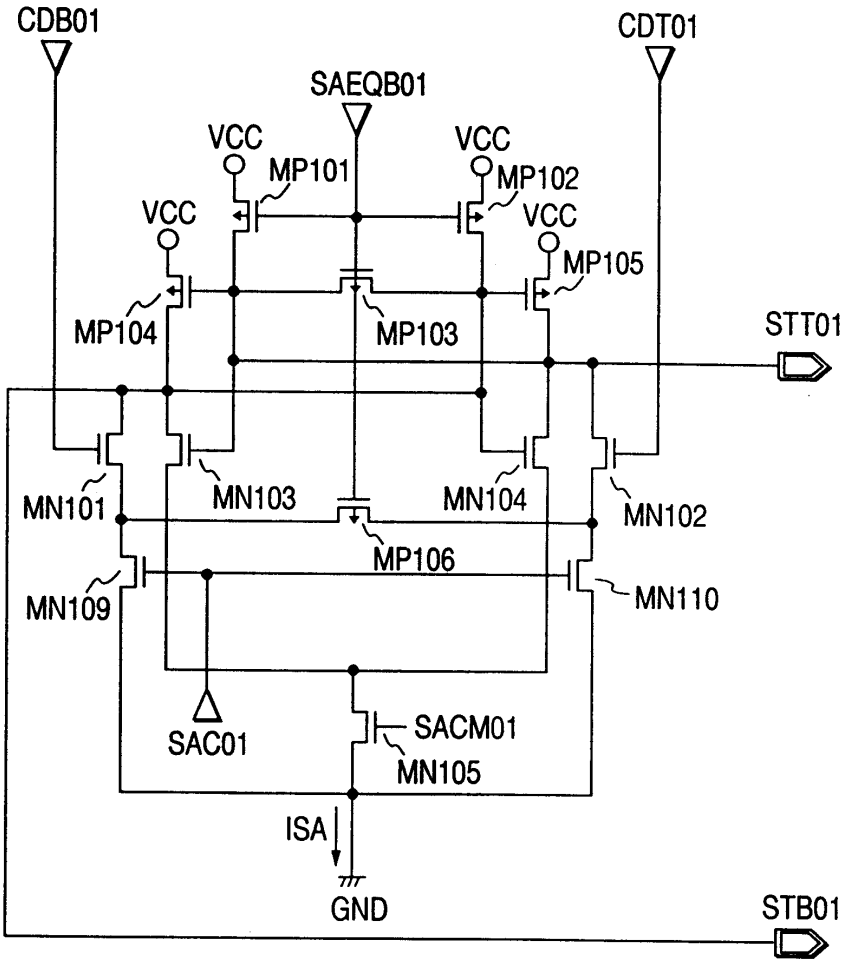
도면9


CDB01
CDT01
SAEQB01
VCC
MP101
VCC
MP102
VCC
VCC
MP105
MP104
MP103
STT01
MN101
MN103
MN104
MN102
MN108
MN106
MN107
SACMB01
ISA
SACM01
MN105
GND
STB01

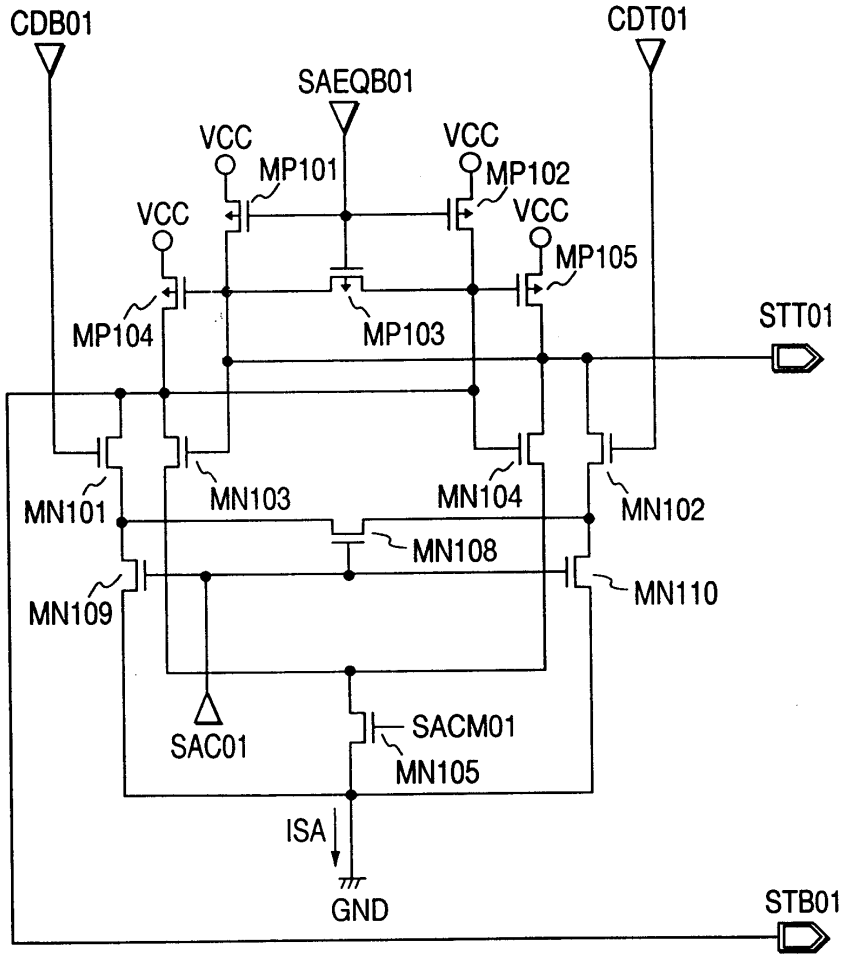
도면10


CDT01
CDB01
VCC
V1
SAEQB01
H
L
SACM01
H
L
SACMB01
H
L
STT01
STB01
VCC
GND
ISA
전류
0
시간
도 3 에 도시한 MN205 의 ISA 와 동일
도 1 에 도시한 MN105 의 ISA
도 1 에 도시한 MN105 의 ISA

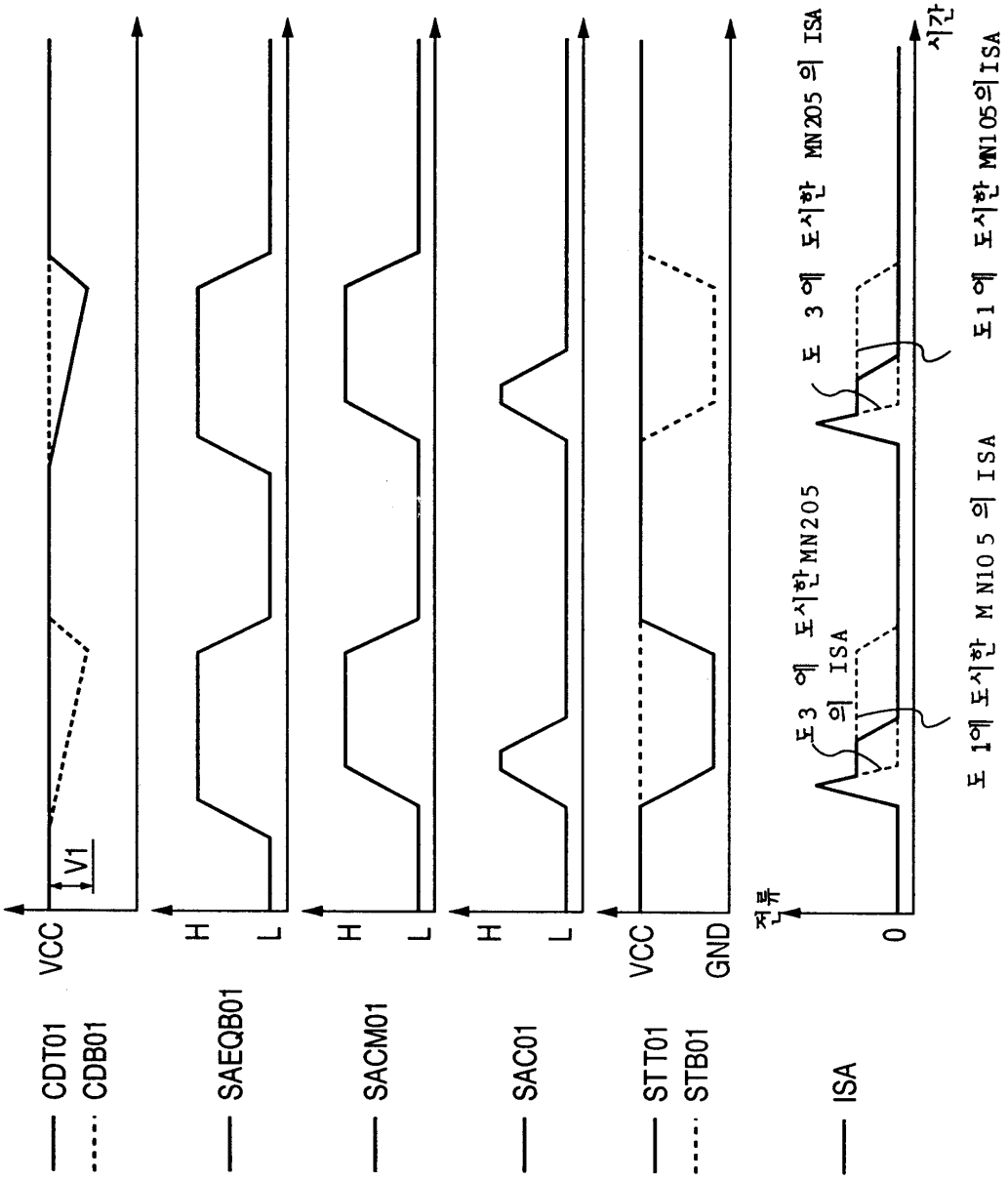
도면11


CDB01
CDT01
SAEQB01
VCC
MP101
VCC
MP102
VCC
VCC
MP105
MP104
MP103
STT01
MN101
MN103
MN104
MN102
MP106
MN109
MN110
SAC01
SACM01
MN105
ISA
GND
STB01

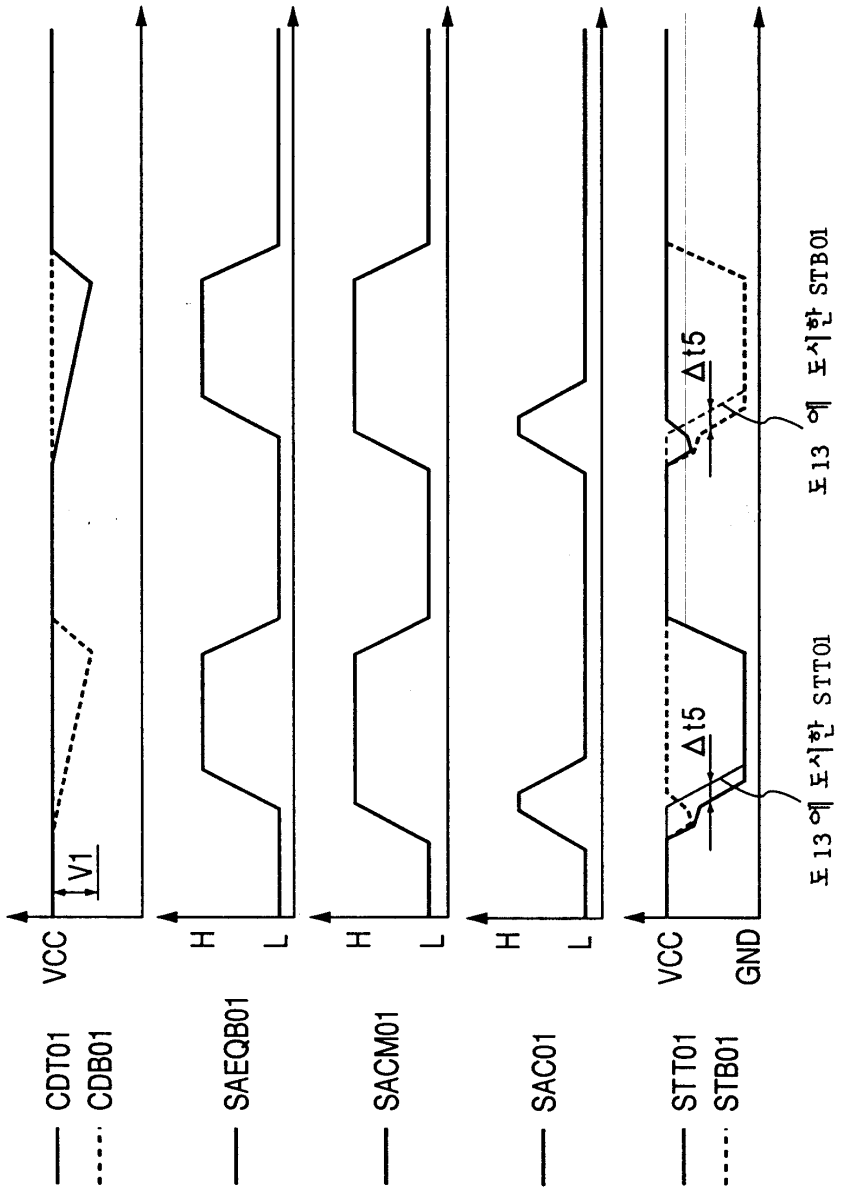
도면12


CDB01
CDT01
SAEQB01
VCC
MP101
VCC
MP102
VCC
VCC
MP105
MP104
MP103
STT01
MN101
MN103
MN104
MN102
MN108
MN109
MN110
SAC01
SACM01
MN105
ISA
GND
STB01

도면13


CDT01
CDB01
VCC
V1
SAEQB01
H
L
SACM01
H
L
SAC01
H
L
STT01
STB01
VCC
GND
ISA
전류
0
시간
도 3 에 도시한 MN205 의 ISA
도 3 에 도시한 MN205 의 ISA
도 1 에 도시한 MN105 의 ISA
도 1 에 도시한 MN105 의 ISA

도면14


CDT01
CDB01
SAEQB01
SACM01
SAC01
STT01
STB01
VCC
GND
H
L
V1
Δt5
Δt5
도 13 에 도시한 STT01
도 13 에 도시한 STB01