

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014年5月22日(22.05.2014)



(10) 国際公開番号
WO 2014/077355 A1

- (51) 国際特許分類:
H02M 3/155 (2006.01) **G05F 1/67** (2006.01)
- (21) 国際出願番号: PCT/JP2013/080879
- (22) 国際出願日: 2013年11月15日(15.11.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2012-251215 2012年11月15日(15.11.2012) JP
- (71) 出願人: 太陽誘電株式会社(TAIYO YUDEN CO., LTD.) [JP/JP]; 〒1100005 東京都台東区上野6丁目1番20号 Tokyo (JP).
- (72) 発明者: 小杉 明史(KOSUGI, Akifumi); 〒1100005 東京都台東区上野6丁目1番20号 太陽誘電株式会社内 Tokyo (JP). 池田 肇(IKEDA, Hajime); 〒1100005 東京都台東区上野6丁目1番20号 太陽誘電株式会社内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

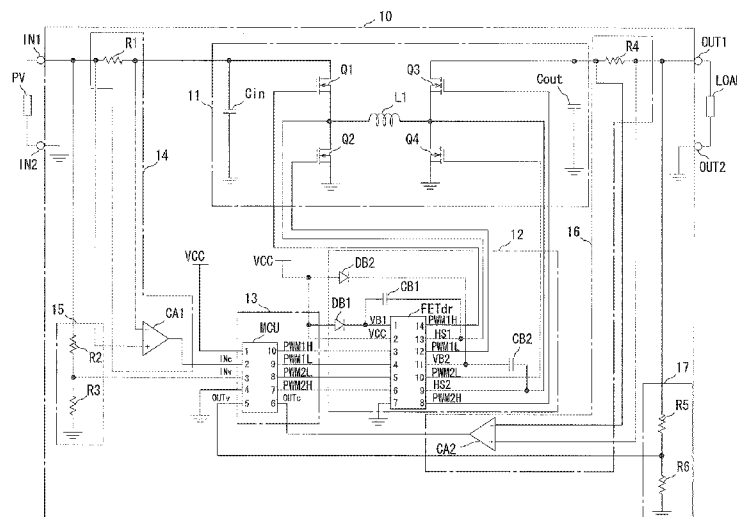
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(54) Title: POWER CONVERSION DEVICE

(54) 発明の名称: 電力変換装置



(57) Abstract: Conversion ratio is set on the basis of an electrical power value calculated at a prescribed time interval on the basis of a voltage value and a current value which are inputted to a step-up/step-down DC-DC converter circuit from a power generation source. A value at which a currently set conversion ratio value is made to fluctuate is set as a mode-selection conversion ratio on the basis of the fluctuation variation of the electrical power value, and a comparison result between a previously set conversion ratio and the currently set conversion ratio. An operation mode of a DC-DC converter circuit (11) is switched to a pass through mode, a step-down mode, or a step-up mode, on the basis of the mode-selection conversion ratio, and the mode-selection conversion ratio is used to calculate the on-off times of FETs (Q1, Q2, Q3, Q4). As a result, a control means which operates using a low-capacitance program can be configured, and thus device configuration can be simplified, and production costs can be reduced further than conventionally possible.

(57) 要約:

[続葉有]

WO 2014/077355 A1



発電源から昇降圧型DC/DCコンバータ回路へ入力される電圧値と電流値とに基づいて所定時間間隔で算出した電力値に基づいて変換比を設定すると共に、前回設定した変換比と今回設定した変換比との比較結果と電力値の増減変化とに基づいて、今回設定した変換比の値を増減させた値をモード選択用変換比として設定し、モード選択用変換比に基づいてDC/DCコンバータ回路(11)の動作モードをパススルーモード、降圧モード、昇圧モードに切り替え、モード選択用変換比によってFET(Q1,Q2,Q3,Q4)のオンオフ時間を算出する。これにより、低容量のプログラムによって動作する制御手段を構成できるため、装置構成を簡略化することができ、製造コストを従来よりも低減することができる。

明 細 書

発明の名称：電力変換装置

技術分野

[0001] 本発明は、太陽電池或いは太陽光発電パネル、風力発電機、燃料電池など、出力の電圧電力特性において極大値を持つ電力源に接続し、最大出力電力点で動作するように追尾する電力変換装置に関する。

背景技術

[0002] 太陽光発電システムの出力制御方法として、多くの制御方法が提案されている。

[0003] 例えば、特開 2 0 0 9 - 3 0 3 3 1 0 号公報（特許文献 1）に開示される発明では、入力電圧と出力電圧の条件により、昇圧作動、降圧作動、直結回路にスイッチング動作を切り換える最大電力スイッチングコンバーターが開示されている。このように昇降圧型回路を電力変換装置に用いた場合、日射量が多く発電が多い時には昇圧回路として動作し、日射量が少なく発電量が少ない時には降圧回路として動作する。

[0004] 特許第 4 1 7 6 3 1 9 号公報（特許文献 2）に開示される発明では、電力変換装置の入力側電圧（太陽電池の出力電圧）の電圧値に応じて出力側電圧の電圧値を増減する自動電圧調節器について記載されている。自動電圧調節器の入力側に太陽電池の出力電圧（動作電圧）と太陽電池の目標電圧（最大出力電力点電圧）との偏差を入力し、これに対応する該自動電圧調節器の出力でもって上記パワーコンディショナの出力を制御するシステムが構成されている。このシステムの自動電圧調整器において、日射量（日射条件）に合わせて、自動電圧調整器のゲインを変更し、最大出力電力点への追従速度を上げている。

[0005] また、特開 2 0 0 4 - 2 7 2 8 0 3 号公報（特許文献 3）に開示される発明では、最大出力電力点に関する近似関数を使用することで、追従速度を上げている。

先行技術文献

特許文献

[0006] 特許文献1：特開 2 0 0 9 - 3 0 3 3 1 0 号公報

特許文献2：特許第 4 1 7 6 3 1 9 号公報

特許文献3：特開 2 0 0 4 - 2 7 2 8 0 3 号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、前述した特許文献 1 に開示される発明では、太陽光発電パネルに接続される電力変換装置に昇降圧型回路を用いた場合、日射量が多く発電電力が多い時には昇圧回路として動作し、日射量が少なく発電量が少ない時には降圧回路として動作する。このため、オン期間を制御するには、常に昇圧回路動作時の条件と降圧回路動作時の条件の両方を取り扱うことが必要である。例えばソフトウェアによるデジタル制御を行った場合、プログラム上の変数が多くなり、プログラム容量が大きくなってしまう。このため、ROM 容量の大きい演算素子、例えばマイコンが必要になり、小型安価な電力変換装置を構成することが困難であった。また、昇圧回路動作（昇圧モード）すべきか降圧回路動作（降圧モード）すべきかの判断を、電力変換装置の出力電圧より判断する必要がある。

[0008] また、特許文献 2 に開示される発明では、自動電圧調整器において、日射量（日射条件）に合わせて、自動電圧調整器のゲインを変更し、最大出力電力点への追従速度を上げている。このため、ある日射条件下内での最大出力電力点への追従速度向上には寄与できない。

[0009] また、特許文献 3 に開示される発明では、近似関数を記憶するデータメモリが別途必要となり、安価な製品設計に繋がらない。

[0010] さらに、パルス幅をある一定の割合で増減させる従来方法の制御では、最大電力点から離れた点で動作しているときには、パルス幅の変更幅が小さすぎて、最大電力点に到達するまでに多くの時間を要してしまう問題があった。

一方、最大電力点付近で動作しているときには、パルス幅の変更幅が大きすぎて、安定して最大電力点で動作出来ず、最大電力点追従効率が低下する問題があった。

[0011] また、昇降圧型回路などの自動電圧調整器を用いない場合、図 2 4 に示すように、太陽光発電パネルが直列接続されているとき、同ースtring中の何れか一つの太陽光発電パネルに、雲影や木の葉などが載ってパネルへの日射量が低下する。そうすると、日射量が低下した太陽光発電パネルの電流値によって他の日射量が低下していない太陽光発電パネルの電流値も低下することになる。このため、これら他の日射量が低下していない太陽光発電パネルの発電量も低下してしまう。図 2 2 の例では直列接続された太陽光発電パネルのうちの何れか 1 つの日射量が低下してその発電量が 5 0 % に低下すると、これに直列接続された他の太陽光発電パネルの発電量も 5 0 % に低下してしまう。

[0012] 本発明の目的は上記の問題点に鑑み、低容量のプログラムによって動作する制御手段を備え、昇圧及び降圧の両方に対応できる電力変換装置を提供することである。

[0013] さらに本発明の目的は、従来よりも迅速に最大電力点に追従できる電力変換装置を提供することである。

課題を解決するための手段

[0014] 本発明は上記の目的を達成するために、出力電圧と出力電力の関係を表す特性曲線において最大電力点を有する発電源から出力される電圧を入力電圧として入力し、該入力電圧と等しい電圧を出力するパススルーモードと、前記入力電圧よりも低い電圧を出力する降圧モードと、前記入力電圧よりも高い電圧を出力する昇圧モードと、を制御信号に基づいて切り替えると共にスイッチング素子をオンオフ駆動する昇降圧型 DC / DC コンバータ回路と、前記発電源から前記昇降圧型 DC / DC コンバータ回路へ入力される電圧を検出する電圧検出回路と、前記発電源から前記昇降圧型 DC / DC コンバータ回路へ入力される電流を検出する電流検出回路と、前記電圧検出回路によっ

て検出した電圧値と前記電流検出回路によって検出した電流値とに基づいて所定時間間隔で電力値を算出する電力値算出手段と、前記電力値算出手段によって算出した電力値に基づいて変換比を設定すると共に、前回設定した変換比と今回設定した変換比との比較結果と前記電力値の増減変化とに基づいて、前記今回設定した変換比の値を増減させた値をモード選択用変換比として設定する変換比設定手段と、前記モード選択用変換比を用いて前記スイッチング素子のオンオフ時間を決定し、前記モード選択用変換比の値が所定の中域範囲内の値であるときに前記DC/DCコンバータ回路を前記パススルーモードで動作させる制御信号を出力し、前記モード選択用変換比が前記中域範囲に隣接し前記中域範囲よりも大きい高域範囲内の値のときに前記DC/DCコンバータ回路を前記昇圧モードで動作させる制御信号を出力し、前記モード選択用変換比が前記中域範囲に隣接し前記中域範囲よりも小さい低域範囲内の値のときに前記DC/DCコンバータ回路を前記降圧モードで動作させる制御信号を出力する制御手段と、を備えている電力変換装置を提案する。

[0015] また、本発明は上記の目的を達成するために、上記電力変換装置において、前記変換比設定手段は、前回算出した電力値を記憶する第1電力値記憶手段と、今回算出した電力値を記憶する第2電力値記憶手段と、前回算出した変換比の値を記憶する第1変換比記憶手段と、今回算出した変換比の値を記憶する第2変換比記憶手段と、動作開始時に前記第1電力値記憶手段と、前記第2電力値記憶手段と、前記第1変換比記憶手段と、前記第2変換比記憶手段に初期値を設定する初期化手段と、前記第1及び第2変換比記憶手段に記憶されている変換比の値と前記第1及び第2電力値記憶手段に記憶されている電力値とに基づいて、前記第2電力値記憶手段に記憶されている電力値が前記第1電力値記憶手段に記憶されている電力値よりも小さく且つ前記第2変換比記憶手段に記憶されている変換比の値が前記第1変換比記憶手段に記憶されている変換比の値以上のとき或いは前記第2電力値記憶手段に記憶されている電力値が前記第1電力値記憶手段に記憶されている電力値以上であ

り且つ前記第2変換比記憶手段に記憶されている変換比の値が前記第1変換比記憶手段に記憶されている変換比の値よりも小さいときに、前記第2変換比記憶手段に記憶されている変換比の値から所定の調整値を差し引いた値を今回算出した変換比及び新たなモード選択用変換比とする第1変換比演算手段と、前記第1及び第2変換比記憶手段に記憶されている変換比の値と前記第1及び第2電力値記憶手段に記憶されている電力値とに基づいて、前記第2電力値記憶手段に記憶されている電力値が前記第1電力値記憶手段に記憶されている電力値よりも小さく且つ前記第2変換比記憶手段に記憶されている変換比の値が前記第1変換比記憶手段に記憶されている変換比の値よりも小さいとき或いは前記第2電力値記憶手段に記憶されている電力値が前記第1電力値記憶手段に記憶されている電力値以上であり且つ前記第2変換比記憶手段に記憶されている変換比の値が前記第1変換比記憶手段に記憶されている変換比の値以上であるときに、前記第2変換比記憶手段に記憶されている変換比の値に所定の調整値を加算した値を今回算出した変換比及び新たなモード選択用変換比とする第2変換比演算手段と、から構成され、前記制御手段は、前記第1変換比演算手段或いは前記第2変換比演算手段によって算出されたモード選択用変換比に基づいて、該モード選択用変換比が前記第1変換比記憶手段に記憶した初期値を含む所定の中域範囲内の値のときに前記DC/DCコンバータ回路を前記パススルーモードで動作させると共に前記モード選択用変換比を用いて算出したスイッチング素子オン時間に基づいて前記スイッチング素子をオンオフさせる前記制御信号を出力し、前記算出されたモード選択用変換比が前記中域範囲に隣接し前記中域範囲よりも大きい高域範囲内の値のときに前記DC/DCコンバータ回路を前記昇圧モードで動作させると共に前記モード選択用変換比を用いて算出したスイッチング素子オン時間に基づいて前記スイッチング素子をオンオフさせる前記制御信号を出力し、前記算出されたモード選択用変換比が前記中域範囲に隣接し前記中域範囲よりも小さい低域範囲内の値のときに前記DC/DCコンバータ回路を前記降圧モードで動作させると共に前記モード選択用変換比を用いて算

出したスイッチング素子オン時間に基づいて前記スイッチング素子をオンオフさせる前記制御信号を出力する手段を有している電力変換装置を提案する。

[0016] さらに、本発明は上記の目的を達成するために、上記電力変換装置において、前記特性曲線において前記最大電力点を含む電圧範囲を基準電圧領域として、前記入力電圧範囲を複数の領域に区分し且つそれぞれの領域毎に前記調整値を設定すると共に、前記電圧検出回路による検出電圧が前記基準電圧領域にあるときの前記調整値を基準値としてそれぞれの領域の調整値が前記基準電圧領域から離れるにしたがって大きくなる値に設定されている電力変換装置を提案する。

[0017] さらに、本発明は上記の目的を達成するために、上記電力変換装置において、前記DC/DCコンバータ回路は、エネルギー蓄積用のインダクタと、前記インダクタの入力端と前記発電源の出力に接続される正極入力端との間に接続された第1スイッチング素子と、前記インダクタの入力端と前記発電源の出力に接続される負極入力端との間に接続された第2スイッチング素子と、前記インダクタの出力端と正極出力端との間に接続された第3スイッチング素子と、前記インダクタの出力端と負極出力端との間に接続された第4スイッチング素子とからなり、前記制御手段は、前記降圧モードのときは、前記モード選択用変換比(ConvRatio)の初期値を100とすると共に周期を T_1 として、前記第1スイッチング素子を(1)式で表される時間 t_1 の間オンとすると共に前記第1スイッチング素子がオフの間に前後に所定間隔 $td1$ を開けて前記第2スイッチング素子を(2)式で表される時間 t_{1a} の間オンとし、

$$t_1 = T_1 \times \text{ConvRatio} / 100 \cdots (1) \quad t_{1a} = T_1 - t_1 - td1 \times 2 \cdots (2)$$

(2) 前記昇圧モードのときは、前記モード選択用変換比(ConvRatio)の初期値を100とすると共に周期を T_1 として、前記第3スイッチング素子を(3)式で表される時間 t_{2a} の間オンとすると共に前記第3スイッチング素子がオフの間に前後に所定間隔 $td2$ を開けて前記

第4スイッチング素子を(4)式で表される時間 t_2 の間オンとする $t_{2a} =$

$T1 - t2 - td2 \times 2 \dots (3) \quad t2 = T1 \times (\text{ConvRatio} - 100) / \text{ConvRatio} \dots (4)$ 電力変換装置を提案する。

[0018] 本発明は上記の目的を達成するために、出力電圧と出力電力の関係を表す特性曲線において最大電力点を有する発電源から出力される電圧を入力電圧として入力し、該入力電圧と等しい電圧を出力するパススルーモードと、前記入力電圧よりも高い電圧を出力する昇圧モードとを制御信号に基づいて切り替えると共にスイッチング素子をオンオフ駆動する昇圧型DC/DCコンバータ回路と、前記発電源から前記昇圧型DC/DCコンバータ回路へ入力される電圧を検出する電圧検出回路と、前記発電源から前記昇圧型DC/DCコンバータ回路へ入力される電流を検出する電流検出回路を有する。さらに、前記電圧検出回路によって検出した電圧値と前記電流検出回路によって検出した電流値とに基づいて所定時間間隔で電力値を算出する電力値算出手段と、前記電力値算出手段によって算出した電力値に基づいて変換比を設定すると共に、前回設定した変換比と今回設定した変換比との比較結果と前記電力値の増減変化とに基づいて、前記今回設定した変換比の値を増減させた値をモード選択用変換比として設定する変換比設定手段と、前記モード選択用変換比を用いて前記スイッチング素子のオンオフ時間を決定し、前記モード選択用変換比の値が所定の中域範囲内の値であるときに前記DC/DCコンバータ回路を前記パススルーモードで動作させる制御信号を出力し、前記モード選択用変換比が前記中域範囲に隣接し前記中域範囲よりも大きい高域範囲内の値のときに前記DC/DCコンバータ回路を前記昇圧モードで動作させる制御信号を出力する制御手段と、前記昇圧型DC/DCコンバータ回路から出力される電圧を入力し、前記入力電圧を交流電圧に変換するDC/ACインバータ回路と、前記DC/ACインバータ回路から出力される電圧を検出する電圧検出回路と、前記DC/ACインバータ回路から出力される電流を検出する電流検出回路と、を備えている電力変換装置を提案する。

[0019] また、本発明は上記の目的を達成するために、上記電力変換装置において、前記変換比設定手段は、前回算出した電力値を記憶する第1電力値記憶手段

と、今回算出した電力値を記憶する第2電力値記憶手段と、前回算出した変換比の値を記憶する第1変換比記憶手段と、今回算出した変換比の値を記憶する第2変換比記憶手段と、動作開始時に前記第1電力値記憶手段と、前記第2電力値記憶手段と、前記第1変換比記憶手段と、前記第2変換比記憶手段とに初期値を設定する初期化手段とを有する。また、前記第1及び第2変換比記憶手段に記憶されている変換比の値と前記第1及び第2電力値記憶手段に記憶されている電力値とに基づいて、前記第2電力値記憶手段に記憶されている電力値が前記第1電力値記憶手段に記憶されている電力値よりも小さく且つ前記第2変換比記憶手段に記憶されている変換比の値が前記第1変換比記憶手段に記憶されている変換比の値以上のとき或いは前記第2電力値記憶手段に記憶されている電力値が前記第1電力値記憶手段に記憶されている電力値以上であり且つ前記第2変換比記憶手段に記憶されている変換比の値が前記第1変換比記憶手段に記憶されている変換比の値よりも小さいときに、前記第2変換比記憶手段に記憶されている変換比の値から所定の調整値を差し引いた値を今回算出した変換比及び新たな変換比とする第1変換比演算手段と、前記第1及び第2変換比記憶手段に記憶されている変換比の値と前記第1及び第2電力値記憶手段に記憶されている電力値とに基づいて、前記第2電力値記憶手段に記憶されている電力値が前記第1電力値記憶手段に記憶されている電力値よりも小さく且つ前記第2変換比記憶手段に記憶されている変換比の値が前記第1変換比記憶手段に記憶されている変換比の値よりも小さいとき或いは前記第2電力値記憶手段に記憶されている電力値が前記第1電力値記憶手段に記憶されている電力値以上であり且つ前記第2変換比記憶手段に記憶されている変換比の値が前記第1変換比記憶手段に記憶されている変換比の値以上であるときに、前記第2変換比記憶手段に記憶されている変換比の値に所定の調整値を加算した値を今回算出した変換比及び新たな変換比とする第2変換比演算手段と、から構成され、前記制御手段は、前記第1変換比演算手段或いは前記第2変換比演算手段によって算出されたモード選択用変換比に基づいて、該モード選択用変換比が前記第1変換比記

憶手段に記憶した初期値を含む所定の中域範囲内の値のときに前記DC/DCコンバータ回路を前記パススルーモードで動作させると共に前記モード選択用変換比を用いて算出したスイッチング素子オン時間に基づいて前記スイッチング素子をオンオフさせる前記制御信号を出力し、前記算出されたモード選択用変換比が前記中域範囲に隣接し前記中域範囲よりも大きい高域範囲内の値のときに前記DC/DCコンバータ回路を前記昇圧モードで動作させると共に前記モード選択用変換比を用いて算出したスイッチング素子オン時間に基づいて前記スイッチング素子をオンオフさせる前記制御信号を出力する手段を有している電力変換装置を提案する。

[0020] さらに、本発明は上記の目的を達成するために、上記電力変換装置において、前記特性曲線において前記最大電力点を含む電圧範囲を基準電圧領域として、前記入力電圧範囲を複数の領域に区分し且つそれぞれの領域毎に前記調整値を設定すると共に、前記電圧検出回路による検出電圧が前記基準電圧領域にあるときの前記調整値を基準値としてそれぞれの領域の調整値が前記基準電圧領域から離れるにしたがって大きくなる値に設定されている電力変換装置を提案する。

発明の効果

[0021] 本発明によれば、モード選択用変換比に基づいてDC/DCコンバータ回路の動作モードを昇圧或いは降圧に切り替えることができると共にモード選択用変換比によってスイッチング素子のオン時間を算出することができるので、低容量のプログラムによって動作する制御手段を構成できるため、装置構成を簡略化することができる。これにより、製造コストを従来よりも低減することができる。

[0022] さらに、本発明によれば、電圧検出回路による検出電圧が前記基準電圧領域にあるときの前記調整値を基準値として各領域の調整値が前記基準電圧領域から離れるにしたがって大きくなる値に設定され、該調整値によって調整されたモード選択用変換比を用いてスイッチング素子のオン時間が算出されるので、従来よりも迅速に最大電力点に追従することができる。

図面の簡単な説明

[0023] [図1]本発明の第1実施形態における電力変換装置を示す回路図

[図2]本発明の第1実施形態の電力変換装置を接続する電力源の出力電圧電力特性を示す図

[図3]本発明の第1実施形態における動作を説明する制御フローチャート

[図4]本発明の第1実施形態における動作を説明する制御フローチャート

[図5]本発明の第1実施形態における動作を説明する制御フローチャート

[図6]本発明の第1実施形態における動作を説明する制御フローチャート

[図7]本発明の第1実施形態における動作を説明する制御フローチャート

[図8]本発明の第1実施形態におけるパススルーモード動作時のスイッチング素子のオンオフ制御デジタル信号を説明する波形図

[図9]本発明の第1実施形態におけるパススルーモード動作時のスイッチング素子のオンオフ制御デジタル信号を説明する波形図

[図10]本発明の第1実施形態における降圧モード動作時のスイッチング素子のオンオフ制御デジタル信号を説明する波形図

[図11]本発明の第1実施形態における降圧モード動作時のスイッチング素子のオンオフ制御デジタル信号を説明する波形図

[図12]本発明の第1実施形態における降圧モード動作時のPWM幅算出を説明する図

[図13]本発明の第1実施形態における昇圧モード動作時のスイッチング素子のオンオフ制御デジタル信号を説明する波形図

[図14]本発明の第1実施形態における昇圧モード動作時のスイッチング素子のオンオフ制御デジタル信号を説明する波形図

[図15]本発明の第1実施形態における昇圧モード動作時のPWM幅算出を説明する図

[図16]本発明の第1実施形態における電力変換装置を接続した太陽光発電パネルを直列接続したときの太陽光発電装置の発電量を説明する図

[図17]本発明の第2実施形態における動作を説明する制御フローチャート

[図18]本発明の第2実施形態における動作を説明する制御フローチャート

[図19]本発明の第2実施形態における動作を説明する制御フローチャート

[図20]本発明の第2実施形態における動作を説明する制御フローチャート

[図21]本発明の第2実施形態における動作を説明する制御フローチャート

[図22]本発明の第2実施形態における動作を説明する制御フローチャート

[図23]本発明の第2実施形態における電力源の出力電圧電力特性と調整値との関係を示す図

[図24]従来例の太陽光発電パネルを直列接続したときの太陽光発電装置の発電量を説明する図

[図25]本発明の第3実施形態における電力変換装置を示す回路図

[図26]図25のDC/DCコンバータ部20の拡大図

[図27]図25のDC/ACインバータ部30の拡大図

[図28]本発明の第3実施形態の電力変換装置を接続する電力源の出力電圧電力特性を示す図

[図29]本発明の第3実施形態における動作を説明する制御フローチャート

[図30]本発明の第3実施形態における動作を説明する制御フローチャート

[図31]本発明の第3実施形態における動作を説明する制御フローチャート

[図32]本発明の第3実施形態における動作を説明する制御フローチャート

[図33]本発明の第3実施形態における動作を説明する制御フローチャート

[図34]本発明の第3実施形態における昇圧モード動作時のスイッチング素子のオンオフ制御デジタル信号を説明する波形図

[図35]本発明の第3実施形態における昇圧モード動作時のPWM幅算出を説明する図

[図36]三角波変調におけるPWM制御信号の関係

[図37]PWM制御信号とデッドタイムの関係

[図38]本発明の第4実施形態における動作を説明する制御フローチャート

[図39]本発明の第4実施形態における動作を説明する制御フローチャート

[図40]本発明の第4実施形態における動作を説明する制御フローチャート

[図41]本発明の第4実施形態における動作を説明する制御フローチャート

[図42]本発明の第4実施形態における動作を説明する制御フローチャート

[図43]本発明の第4実施形態における動作を説明する制御フローチャート

[図44]本発明の第4実施形態における電力源の出力電圧電力特性と調整値との関係を示す図

[図45]本発明の第5実施形態における電力変換装置を示す回路図

[図46]図45のDC/DCコンバータ部20の拡大図

[図47]図45のDC/ACインバータ部30の拡大図

発明を実施するための形態

[0024] 図面を参照して本発明の一実施形態を説明する。

[0025] 図1は本発明の第1実施形態における電力変換装置を示す回路図である。図において、10は電力変換装置で、DC/DCコンバータ回路11、駆動回路12、制御回路13、入力電流検出回路14、入力電圧検出回路15、出力電流検出回路16、出力電圧検出回路17から構成されている。

[0026] DC/DCコンバータ回路11は、4つのNチャネル型FET（スイッチング素子）(Q1, Q2, Q3, Q4)とエネルギー蓄積用のインダクタL1及び2つのコンデンサCin, Coutとから構成されている。FET(Q1)のソースはインダクタL1の入力端とFET(Q2)のドレインに接続され、FET(Q1)のドレインはコンデンサCinの一端に接続され、コンデンサCinの他端は接地端子IN2, OUT2に接続されている。FET(Q2)のソースは接地端子IN2, OUT2に接続されている。また、FET(Q3)のソースはインダクタL1の出力端とFET(Q4)のドレインに接続され、FET(Q3)のドレインはコンデンサCoutの一端に接続され、コンデンサCoutの他端は接地端子IN2, OUT2に接続されている。FET(Q4)のソースは接地端子IN2, OUT2に接続されている。

[0027] 駆動回路12は、FET駆動用IC（FETdr）と、2つのブートストラップ用のコンデンサCB1, CB2と2つのブートストラップ用のダイオードDB1, DB2とから構成されている。FET駆動用IC（FETdr）は、例えば本実施形態では14ピンのICを使用した。その他の仕様としては、PWM入力：4本、PW

Mハイサイド出力：2本、PWMローサイド出力：2本、ハイサイド側中点電位（HS端子）耐圧：200V、ドライブ電流（Sink/Source）：1A／1Aを満足するものを使用した。

[0028] FET駆動用IC（FETdr）の1番ピンはダイオードDB1のカソードとコンデンサCB1の一端に接続され、ダイオードDB1のアノードには電圧Vccが印加されている。FET駆動用IC（FETdr）の2番ピンには電圧Vccが印加されている。FET駆動用IC（FETdr）の3乃至6番ピンは制御回路13に接続されている。FET駆動用IC（FETdr）の7番ピンは接地端子IN2, OUT2に接続されている。FET駆動用IC（FETdr）の8番ピンはFET(Q3)のゲートに接続されている。FET駆動用IC（FETdr）の9番ピンはコンデンサCB2の一端とインダクタL1の他端に接続されている。FET駆動用IC（FETdr）の10番ピンはFET(Q4)のゲートに接続されている。FET駆動用IC（FETdr）の11番ピンはコンデンサCB2の他端とダイオードDB2のカソードに接続されている。FET駆動用IC（FETdr）の12番ピンはFET(Q2)のゲートに接続されている。FET駆動用IC（FETdr）の13番ピンはコンデンサCB1の他端とインダクタL1の一端に接続されている。FET駆動用IC（FETdr）の14番ピンはFET(Q1)のゲートに接続されている。

[0029] なお、ハーフブリッジ回路駆動用FETドライバを2つ用いる場合、PWM入力：2本、PWMハイサイド出力：1本、PWMローサイド出力：1本、ハイサイド側中点電位（HS端子）耐圧：200V、ドライブ電流（Sink/Source）：1A／1Aの仕様を満足するものであれば、図1に示したと同様に使用することができる。

[0030] 制御回路13はRAM及びROMを内蔵した10ピンのICからなるCPU(MCU)から構成されている。このCPU(MCU)の仕様は、Architecture：16bit、ROM：16KB、RAM：2KB、ADC（ADコンバータ）：10bit、PWMの出力：4本であり、この程度のCPUであれば、十分使用可能である。このROMに本装置の駆動制御プログラムが書き込まれている。

[0031] CPU (MCU)の1番ピンには電圧Vccが印加され、2番ピンは入力電流検出回路14の出力に接続されている。CPU (MCU)の3番ピンは入力電圧検出回路15の出力に接続され、4番ピンは接地端子IN2, OUT2に接続されている。CPU (MCU)の5番ピンは出力電圧検出回路17の出力に接続され、6番ピンは出力電流検出回路16の出力に接続されている。CPU (MCU)の7番ピンはFET駆動用IC (FETdr)の6番ピンに接続され、該6番ピンへFET (Q3)のオンオフ駆動用信号(PWM2H)を出力する。CPU (MCU)の8番ピンはFET駆動用IC (FETdr)の5番ピンに接続され、該5番ピンへFET (Q4)のオンオフ駆動用信号(PWM2L)を出力する。CPU (MCU)の9番ピンはFET駆動用IC (FETdr)の4番ピンに接続され、該4番ピンへFET (Q2)のオンオフ駆動用信号(PWM1L)を出力する。CPU (MCU)の10番ピンはFET駆動用IC (FETdr)の3番ピンに接続され、該3番ピンへFET (Q1)のオンオフ駆動用信号(PWM1H)を出力する。

[0032] 入力電流検出回路14は抵抗器R1と演算増幅器CA1とから構成され、抵抗器R1の一端は入力端子IN1と演算増幅器CA1の非反転入力端子に接続され、抵抗器R1の他端はFET (Q1)のドレインと演算増幅器CA1の反転入力端子に接続され、演算増幅器CA1の出力端子はCPU (MCU)の2番ピンに接続されている。

[0033] 入力電圧検出回路15は2つの抵抗器R2, R3から構成され、抵抗器R2の一端は入力端子IN1に接続され、抵抗器R2の他端は抵抗器R3の一端とCPU (MCU)の3番ピンに接続され、抵抗器R3の他端は接地端子IN2, OUT2に接続されている。

[0034] 出力電流検出回路16は抵抗器R4と演算増幅器CA2とから構成され、抵抗器R4の一端は出力端子OUT1と演算増幅器CA2の非反転入力端子に接続され、抵抗器R4の他端はFET (Q3)のドレインと演算増幅器CA2の反転入力端子に接続され、演算増幅器CA2の出力端子はCPU (MCU)の6番ピンに接続されている。

[0035] 出力電圧検出回路17は2つの抵抗器R5, R6から構成され、抵抗器R5の一端は出力端子OUT1に接続され、抵抗器R5の他端は抵抗器R6の一端とCPU (MCU)の5番ピンに接続され、抵抗器R6の他端は接地端子IN2, OUT2に接続されている。

。

[0036] また、本電力変換装置 10 を使用する際には、入力端子 IN1 と接地端子 IN2 との間に太陽光発電パネルを電力源 PV として接続し、出力端子 OUT1 と接地端子 OUT2 との間には負荷 LOAD を接続する。

[0037] 本実施形態では電力源 PV の太陽光発電パネルとして図 2 に示すような出力電圧電力特性を有するものを使用している。すなわち、太陽光発電パネルへの日射量が 100% のときに曲線 A1 の特性を示し、日射量が 80% のときに曲線 A2 の特性を示し、日射量が 60% のときに曲線 A3 の特性を示す。そして、日射量が 50% のときに曲線 A4 の特性を示し、日射量が 40% のときに曲線 A5 の特性を示し、日射量が 20% のときに曲線 A6 の特性を示し、日射量が 10% のときに曲線 A7 の特性を示す。これらの曲線で示すように最大電力点は、日射量が 100% のときに約 82 V、日射量が 80% のときに約 79 V、日射量が 60% のときに約 75 V、日射量が 50% のときに約 73 V、日射量が 40% のときに約 71 V、日射量が 20% のときに約 67 V、日射量が 10% のとき約 64 V である。

[0038] このように、太陽光発電パネルの出力特性は、出力電力が極大値を持つ特性となっている。また、日射量が増加すると、出力電力、出力電圧ともに増える特性となる。ここで最大出力電力は日射量によって大きく変わるのに対し、最大出力電力点電圧は、最大出力電力の変化量と比較すると、その変化幅が小さいことがわかる。

[0039] 次に、本実施形態における電力変換装置 10 の動作を、図 3 乃至図 7 の制御フローチャート及び図 8 乃至図 15 の波形図を参照して説明する。

[0040] 入力端子 IN1 と接地端子 IN2 の間に電力源 PV が接続され、電力変換装置 10 が起動すると、電力変換装置 10 の CPU (MCU) が DC/DC コンバータ回路 11 のスイッチング素子 (Q1, Q2, Q3, Q4) をオンオフさせて、DC/DC コンバータ回路 11 をパススルーモード或いは降圧モード或いは昇圧モードの何れかで動作させる。

[0041] すなわち、電力変換装置 10 が起動すると、CPU (MCU) はモード選択用変換

比ConvRatioと1つ前の変換比ConvRatioMpの値として100を設定してこれらの値を記憶すると共に最大電力値Pmppの値として0を設定してこれを記憶し、調整量Eの初期値として1を記憶する（S A 1）。

[0042] 次に、CPU(MCU)はDC／DCコンバータ回路11をパススルーモードで動作させる（S A 2）。パススルーモード動作とは入力端子IN1から入力電圧を降圧或いは昇圧することなく出力端子OUT1に出力する動作である。このとき、CPU(MCU)は図8及び図9に示すタイミングで4つのFET(Q1,Q2,Q3,Q4)をオンオフする制御信号(PWM1H,PWM1L,PWM2H,PWM2L)を出力する。これらの制御信号(PWM1H,PWM1L,PWM2H,PWM2L)は周期Tで出力される。制御信号(PWM1H)は周期Tでパルス幅($t_1 + t_{d1} \times 2$)の負のパルス信号である。制御信号(PWM1L)は制御信号(PWM1H)がローレベルの間に出力されるパルス幅 t_1 の正のパルス信号である。制御信号(PWM2H)は制御信号(PWM1H)と同じであり、制御信号(PWM2L)は制御信号(PWM1L)と同じである。これらの制御信号(PWM1H,PWM1L,PWM2H,PWM2L)によってFET(Q1,Q2,Q3,Q4)をオンオフすることによりパススルーモード動作する。本実施形態ではパススルーモードにおいて、周期Tを $53.9 \mu s$ ($18.552 kHz$)に設定し、パルス幅 t_1 を $200 ns$ 、 t_{d1} を $100 ns$ に設定している。

[0043] 次に、CPU(MCU)は、入力電流検出回路14の出力と入力電圧検出回路15の出力とを入力して入力電圧値 V_{in} と入力電流値 I_{in} を取得する（S A 3）。本実施形態では、ノイズなどの影響を考慮して、数回、例えば4回程度の測定を行い、その平均値を入力電圧値 V_{in} と入力電流値 I_{in} として用いている。

[0044] この後、CPU(MCU)はINSTART判定を行う（S A 4）。INSTART判定では検出した入力電流 I_{in} がINSTART値よりも大きいかな否かを判定する。本実施形態ではINSTART値として太陽光発電パネルごとに異なるが、例えば $250 mA$ を設定してある。前記S A 4の判定の結果、入力電流 I_{in} がINSTART値以下のときは前記S A 3の処理に移行し、入力電流 I_{in} がINSTART値よりも大きいときは制御時間になったかな否かを判定する（S A 5）。本実施形態ではCPU(MCU)

が計時を行い一定微小時間経過毎に制御時間になったと判定する。

[0045] 前記 S A 5 の判定の結果、制御時間になったとき、C P U (MCU)は、入力電流検出回路 1 4 の出力と入力電圧検出回路 1 5 の出力とを入力して入力電圧値 V_{in} と入力電流値 I_{in} を取得する (S A 6)。本実施形態では、ノイズなどの影響を考慮して、例えば 4 回程度の測定を行い、その平均値を入力電圧値 V_{in} と入力電流値 I_{in} として用いている。

[0046] 次いで、C P U (MCU)は、取得した入力電圧値 V_{in} と入力電流値 I_{in} とを用い、これらを乗算して入力電力値 P_{in} を算出し (S A 7)、入力電力値 P_{in} の大きさを判定する (S A 8)。この判定の結果、入力電力値 P_{in} が最大電力値 P_{mpp} よりも小さいときは後述する S A 9 の処理に移行し、入力電力値 P_{in} が最大電力値 P_{mpp} 以上のときは後述する S A 1 0 の処理に移行する。

[0047] 前記 S A 9 の処理では、C P U (MCU)は、モード選択用変換比 $ConvRatio$ の値と 1 つ前の変換比 $ConvRatioMp$ の値を比較し (S A 9)、モード選択用変換比 $ConvRatio$ の値が 1 つ前の変換比 $ConvRatioMp$ の値以上であるときは後述する S A 1 1 の処理に移行する。続いて、モード選択用変換比 $ConvRatio$ の値が 1 つ前の変換比 $ConvRatioMp$ の値よりも小さいときは後述する S A 1 6 の処理に移行する。

[0048] 前記 S A 1 0 の処理では、C P U (MCU)は、モード選択用変換比 $ConvRatio$ の値と 1 つ前の変換比 $ConvRatioMp$ の値を比較する (S A 1 0)。モード選択用変換比 $ConvRatio$ の値が 1 つ前の変換比 $ConvRatioMp$ の値よりも小さいときは後述する S A 1 1 の処理に移行し、モード選択用変換比 $ConvRatio$ の値が 1 つ前の変換比 $ConvRatioMp$ の値以上のときは後述する S A 1 6 の処理に移行する。

[0049] 前記 S A 1 1 の処理では、C P U (MCU)は、モード選択用変換比 $ConvRatio$ の値を 1 つ前の変換比 $ConvRatioMp$ の値として記憶する (S A 1 1)。さらに、C P U (MCU)は、入力電力値 P_{in} を最大電力値 P_{mpp} として記憶し (S A 1 2)、モード選択用変換比 $ConvRatio$ の値を減少させる (S A 1 3)。この演算処理では、モード選択用変換比 $ConvRatio$ の値から調整値 E_{sa} を減算した値を

新たなモード選択用変換比ConvRatioの値として記憶する。なお、ここでは調整値E_{sa}の値を調整値の初期値Eの値と同じ（E_{sa}=E）としている。

[0050] 次に、CPU(MCU)は、モード選択用変換比ConvRatioの値の下限確認を行う（S A 1 4）。すなわち、CPU(MCU)は、モード選択用変換比ConvRatioの値と20とを比較し、モード選択用変換比ConvRatioの値が20よりも大きいときは後述するS A 2 1の処理に移行する。モード選択用変換比ConvRatioの値が20以下のときはモード選択用変換比ConvRatioの値を20に設定して記憶し（S A 1 5）、この後、後述するS A 2 1の処理に移行する。

[0051] 前記S

A 1 6の処理では、CPU(MCU)は、モード選択用変換比ConvRatioの値を1つ前の変換比ConvRatio_{mp}の値として記憶する（S A 1 6）。さらに、CPU(MCU)は、入力電力値P_{in}を最大電力値P_{mpp}として記憶し（S A 1 7）、モード選択用変換比ConvRatioの値を増加させる（S A 1 8）。この演算処理では、モード選択用変換比ConvRatioの値に調整値E_{sa}を加算した値を新たなモード選択用変換比ConvRatioの値として記憶する。なお、ここでは調整値E_{sa}の値を調整値の初期値Eの値と同じ（E_{sa}=E）としている。

[0052] 次に、CPU(MCU)は、モード選択用変換比ConvRatioの値の上限確認を行う（S A 1 9）。すなわち、CPU(MCU)は、モード選択用変換比ConvRatioの値と400とを比較し、モード選択用変換比ConvRatioの値が400よりも小さいときは後述するS A 2 1の処理に移行する。モード選択用変換比ConvRatioの値が400以上のときはモード選択用変換比ConvRatioの値を400に設定して記憶し（S A 2 0）、この後、後述するS A 2 1の処理に移行する。

[0053] 前記S A 2 1の処理では、モード選択用変換比ConvRatioの値が何れの範囲にあるかを判定する（S A 2 1）。すなわち、モード選択用変換比ConvRatioの値が92以下であるときは後述するS A 2 2の処理に移行する。モード選択用変換比ConvRatioの値が97以上且つ105以下であるときは後述するS A 2 4の処理に移行し、モード選択用変換比ConvRatioの値が110以上である

ときは後述する S A 2 6 の処理に移行する。なお、ConvRatioの値が 9 2 より大きく、9 7 より小さい場合、あるいは、ConvRatioの値が 1 0 5 より大きく、1 1 0 より小さい場合、現在動作中の動作モードを継続する。動作モードを選択する、モード選択用変換比ConvRatioにヒステリシスを持たせることで、動作モードの切替を円滑に行うようにしている。

[0054] S A 2 2 の処理では D C / D C コンバータ回路 1 1 の動作モードとして降圧モードを選択し (S A 2 2)、次いで降圧モード動作における P W M パルス幅を算出して設定する (S A 2 3)。D C / D C コンバータ回路 1 1 の降圧モード動作では、図 1 0 乃至図 1 2 に示すように各 F E T (Q 1 , Q 2 , Q 3 , Q 4) をオンオフ駆動する制御信号 (P W M 1 H , P W M 1 L , P W M 2 H , P W M 2 L) のパルスを設定する。

[0055] すなわち、制御信号 (P W M 1 H) は周期 T 1 でパルス幅 t 1 の正のパルス信号である。制御信号 (P W M 1 L) は制御信号 (P W M 1 H) がローレベルであるとき前後に間隔 t d 1 開けて出力されるパルス幅 t 1 a の正のパルス信号である。制御信号 (P W M 2 H) は周期 T でパルス幅 (t 2 + t d 2 × 2) の負のパルス信号であり、制御信号 (P W M 1 L) のパルスの立ち上がりから時間 t d 3 遅れて制御信号 (P W M 2 H) のパルスの立ち下がりが位置する。制御信号 (P W M 2 L) は制御信号 (P W M 2 H) がローレベルの間に出力されるパルス幅 t 2 の正のパルス信号である。これらの制御信号 (P W M 1 H , P W M 1 L , P W M 2 H , P W M 2 L) によって F E T (Q 1 , Q 2 , Q 3 , Q 4) をオンオフすることにより降圧モード動作する。なお、本実施形態では降圧モードにおいて、周期 T を 5 3 . 9 μ s (1 8 . 5 5 2 k H z) に設定し、周期 T 1 を 7 . 7 μ s (1 2 9 . 8 7 k H z)、パルス幅 t 1 を 1 . 5 4 ~ 7 . 3 μ s (降圧比 : 0 . 2 0 0 ~ 0 . 9 4 8)、t 2 を 2 0 0 n s、t d 1 , t d 2 を 1 0 0 n s、t d 3 を 0 n s に設定している。また、パルス幅 t 1 は次の (1) 式によって算出され、パルス幅 t 1 a は (2) 式によって算出される。

[0056] $t1 = T1 \times \text{ConvRatio} / 100 \quad \cdots (1)$ $t1a = T1 - t1 - td1 \times 2 \quad \cdots (2)$ また、F E T (Q 3 , Q 4) をオンオフ駆動する制御信号 (P W M 2 H , P W M 2 L) は上記のように D C / D C コンバータ回路 1 1 をリフレッシュ動作させるのみのものである。

[0057] S A 2 4 の処理では D C / D C コンバータ回路 1 1 の動作モードとして前述したパススルーモードを選択し (S A 2 4) 、次いでパススルーモード動作における P W M パルス幅を設定する (S A 2 5) 。

[0058] S A 2 6 の処理では、D C / D C コンバータ回路 1 1 の動作モードとして昇圧モードを選択し (S A 2 6) 、次いで昇圧モード動作における P W M パルス幅を算出して設定する (S A 2 7) 。 D C / D C コンバータ回路 1 1 の昇圧モード動作では、図 1 3 乃至図 1 5 に示すように各 F E T (Q 1 , Q 2 , Q 3 , Q 4) をオンオフ駆動する制御信号 (P W M 1 H , P W M 1 L , P W M 2 H , P W M 2 L) のパルスを設定する。

[0059] すなわち、制御信号 (P W M 2 H) は周期 T_1 でパルス幅 t_{2a} の正のパルス信号である。制御信号 (P W M 2 L) は制御信号 (P W M 2 H) がローレベルであるとき前後に間隔 t_{d2} 開けて出力されるパルス幅 t_2 の正のパルス信号である。制御信号 (P W M 1 H) は周期 T でパルス幅 $(t_1 + t_{d1} \times 2)$ の負のパルス信号であり、制御信号 (P W M 2 L) のパルスの立ち上がりから時間 t_{d3} 遅れて制御信号 (P W M 1 H) のパルスの立ち下がりが位置する。制御信号 (P W M 1 L) は制御信号 (P W M 1 H) がローレベルの間に出力されるパルス幅 t_1 の正のパルス信号である。これらの制御信号 (P W M 1 H , P W M 1 L , P W M 2 H , P W M 2 L) によって F E T (Q 1 , Q 2 , Q 3 , Q 4) をオンオフすることにより昇圧モード動作する。なお、本実施形態では昇圧モードにおいて、周期 T を $53.9 \mu s$ ($18.552 kHz$) に設定し、周期 T_1 を $7.7 \mu s$ ($129.87 kHz$) 、パルス幅 t_1 を $200 ns$ 、 t_2 を $200 ns \sim 5.775 \mu s$ (昇圧比 : $1.027 \sim 4.000$) 、 t_{d1} , t_{d2} を $100 ns$ 、 t_{d3} を $0 \sim 100 ns$ に設定している。また、パルス幅 t_{2a} は次の (3) 式によって算出され、パルス幅 t_2 は (4) 式によって算出される。

[0060] $t_{2a} = T_1 - t_2 - t_{d2} \times 2 \quad \cdots (3) \quad t_2 = T_1 \times (ConvRatio - 100) / ConvRatio \quad \cdots (4)$ また、F E T (Q 1 , Q 2) をオンオフ駆動する制御信号 (P W M 1 H , P W M 1 L) は上記のように D C / D C コンバータ回路 1 1 をリフレッシュ動作させるのみのものである。

[0061] 次いで、C P U (M C U) は、選択した動作モード及び設定したパルス幅に変更す

るPWMパルス幅変更処理を行い（S A 2 8）、上記S A 5 の処理に移行する。

[0062] なお、前記S A 2 1 の判定の結果、モード選択用変換比ConvRatioが上記範囲内に存在しないときは動作モードの変更は行わないで現状を維持する。

[0063] 前述したように本実施形態の電力変換装置10は、モード選択用変換比ConvRatioによってDC/DCコンバータ回路11の動作モードの選択が行えると共に制御信号(PWM1H, PWM1L, PWM2H, PWM2L)のパルス幅を算出することもできるので、従来に比べてプログラム制御を簡略化することができると共にプログラムの容量を低減することができる。これにより、装置構成の簡略化を図ることができ16KBメモリのCPU(MCU)でも十分な制御を行うことができるので、製造コストを従来に比べて低減することができる。

[0064] また、太陽光発電パネル毎に上記電力変換装置10を接続した太陽光発電装置を図16に示す。この場合は、太陽光発電パネルが直列接続されているとき何れか一つの太陽光発電パネルに木の葉などが載ってパネルへの日射量が低下しても、日射量が低下した太陽光発電パネルの電流値は電力変換装置によって他の日射量が低下していない太陽光発電パネルの電流値と同じに設定されるため、これら他の日射量が低下していない太陽光発電パネルの発電量は100%を維持する。図16の例では直列接続された太陽光発電パネルのうちの何れか1つの日射量が低下してその発電量が50%に低下しても、これに直列接続された他の太陽光発電パネルの発電量は100%に維持される。

[0065] なお、本実施形態ではDC/DCコンバータ回路11としてHブリッジ型スイッチング回路を有するものを使用したが、チョッパ方式回路（降圧回路、昇圧回路、Hブリッジ回路）、フライバック回路、フォワード回路、ブリッジ方式回路（ハーフブリッジ回路、フルブリッジ回路の何れを用いても同様の効果を得ることができる。また、入力電流検出回路14及び出力電流検出回路16に使用している演算増幅CA1, CA2としては、ノイズに強いハイサイド電流検出アンプなどを用いることが好ましい。

[0066] 次に、本発明の第2実施形態を説明する。

[0067] 第2実施形態における電力変換装置の回路図は前述した第1実施形態と同様であり、電力源PVとして使用される太陽光発電パネルも前述した第1実施形態と同様である。

[0068] また、第2実施形態における制御フローチャートは図17～図22に示すものであり、この制御により電力変換装置10が駆動される。なお、これらの制御フローにおいてSB1～SB6の処理は前述した第1実施形態におけるSA1～SA6の処理と同じであり、SB13～SB34の処理は前述した第1実施形態におけるSA7～SA28の処理と同じであり、第1実施形態と第2実施形態との相違点は、第2実施形態においてはSB7～SB12の処理を追加したことである。

[0069] 第2実施形態ではSB7～SB12の処理を追加することにより第1実施形態に比べて最大電力点での動作に到達するまでに要する時間を短縮した。

[0070] すなわち、太陽光発電パネルの最大電力点電圧は、日射量が多ければ高く、逆に少なければ低い傾向であるが、太陽光発電パネルの出力開放電圧から出力短絡電圧の変化幅と比較すると、その幅は小さい。そこで、第2実施形態では、太陽光発電パネルの出力電圧、つまり電力変換装置10への入力電圧 V_{in} に応じて、モード選択用変換比ConvRatioの調整値 E_{sa} を可変させることでこれらの問題を解決するようにした。

[0071] 具体的には、電力変換装置10への入力電圧 V_{in} を図18に示すように5つの領域に区分し、最大電力点を含む電圧範囲を基準電圧領域として、入力電圧 V_{in} が基準電圧領域にあるときの調整値 E_{sa} を基準値 E と等しくし、各領域の調整値を基準電圧領域から離れるにしたがって大きくなる値に設定するようにした。つまり、動作点が基準電圧領域から離れているときは速やかに最大電力点に到達する必要があるので、モード選択用変換比ConvRatioの調整値 E_{sa} を大きくする。一方、動作点が基準電圧領域に近いときは最大電力点付近で動作し続ける必要があるので、モード選択用変換比ConvRatioの調整値 E_{sa} を小さくする。

- [0072] 本実施形態の制御フローにおいては図17～図18に示すように、CPU(MCU)がINSTART判定(SB4)を行い、入力電流 I_{in} がINSTART値よりも大きいときは制御時間になったか否かを判定する(SB5)。本実施形態ではCPU(MCU)が計時を行い一定微小時間経過毎に制御時間になったと判定する。
- [0073] 前記SB5の判定の結果、制御時間になったとき、CPU(MCU)は、入力電流検出回路14の出力と入力電圧検出回路15の出力とを入力して入力電圧値 V_{in} と入力電流値 I_{in} を取得する(SB6)。本実施形態では、ノイズなどの影響を考慮して、例えば4回程度の測定を行い、その平均値を入力電圧値 V_{in} と入力電流値 I_{in} として用いている。
- [0074] この後、CPU(MCU)は、入力電圧 V_{in} の値を判定する(SB7)。この結果、図23に示すように、入力電圧が50V未満のときは調整値 E_{sa} の値を基準値 E の値の5倍に設定する(SB8)。入力電圧が50V以上62V未満のときは調整値 E_{sa} の値を基準値 E の値の3倍に設定する(SB9)。入力電圧が62V以上84V未満のときは調整値 E_{sa} の値を基準値 E と等しく設定する(SB10)。入力電圧が84V以上95V未満のときは調整値 E_{sa} の値を基準値 E の値の3倍に設定する(SB11)。入力電圧が95V以上のときは調整値 E_{sa} の値を基準値 E の値の5倍に設定する(SB12)。この後、SB13の処理に移行する。
- [0075] 上記のように第2実施形態によれば、入力電圧 V_{in} が基準電圧領域にあるときの調整値 E_{sa} を基準値 E として各領域の調整値 E_{sa} が基準電圧領域から離れるにしたがって大きくなる値に設定する。該調整値 E_{sa} によって調整されたモード選択用変換比 $ConvRatio$ を用いてFET(Q1, Q2, Q3, Q4)のオンオフ時間が算出されるので、従来よりも迅速に最大電力点に追従することができる。第2実施形態では、第1実施形態に比べて、最大電力点に到達するまでに要する時間が5倍程度高速になった。
- [0076] 図25は本発明の第3実施形態における電力変換装置10を示す回路図である。本実施形態の電力変換装置10は、DC/DCコンバータ部20と、DC/ACインバータ部30とを備えている。図

26はDC/DCコンバータ部20の拡大図であり、図27はDC/ACインバータ部30の拡大図である。DC/DCコンバータ部20は、DC/DCコンバータ回路21、DC/DCコンバータ用駆動回路22、制御回路(MCU)23、入力電流検出回路24、入力電圧検出回路25、ブリッジ部電流検出回路26、リンク電圧検出回路27から構成されている。DC/ACインバータ部30は、DC/ACインバータ回路31、DC/ACインバータ用駆動回路32、出力電圧検出回路33、出力電流検出回路34、フィルタ回路35から構成されている。

[0077] DC/DCコンバータ回路21は、Nチャネル型FET(スイッチング素子)(Q)と、インダクタLと、ダイオードDと2つのコンデンサC_{in}及びC-LINKとから構成されている。FET(Q)のソースは、接地端子IN2に接続され、FET(Q)のドレインは、インダクタLの一端及びダイオードDのアノードに接続されている。インダクタLの他端は、コンデンサC_{in}の一端に接続され、コンデンサC_{in}の他端は接地端子IN2に接続されている。ダイオードDのカソードは、コンデンサC-LINKの一端に接続され、コンデンサC-LINKの他端は接地端子IN2に接続されている。

[0078] DC/DCコンバータ用駆動回路22は、NPNトランジスタTr1及びPNPトランジスタTr2とから構成されている。NPNトランジスタTr1のコレクタには、電圧V_{cc1}が印加されている。本実施の形態では、12Vの電圧が印加されている。NPNトランジスタTr1のエミッタはPNPトランジスタTr2のエミッタに接続される。PNPトランジスタTr2のコレクタは、接地端子IN2, OUT2に接続されている。NPNトランジスタTr1とPNPトランジスタTr2の接続点V_oは、FET(Q)のゲートに接続されている。NPNトランジスタTr1及びPNPトランジスタTr2のベースは、制御回路(MCU)23に接続される。

[0079] 制御回路23はRAM及びROMを内蔵した13ピンのICからなるCPU(MCU)から構成されている。このCPU(MCU)の仕様は、Architecture: 16 bit、ROM: 16KB、RAM: 2KB、ADC(ADコンバータ): 1

Obit、PWMの出力：5本であり、この程度のCPUであれば、十分使用可能である。このROMに本装置の駆動制御プログラムが書き込まれている。

[0080] CPU(MCU)の1番ピンは、リンク電圧検出回路27の出力に接続され、2番ピンは、NPNトランジスタTr1及びPNPトランジスタTr2のベースに接続され、3番ピンには、電圧Vcc1が印加される。4番ピンは、入力電流検出回路24の出力に接続され、5番ピンは入力電圧検出回路25の出力に接続され、6番ピンは接地端子IN2, OUT2に接続され、7番ピンは出力電圧検出回路34の出力に接続され、8番ピンは出力電流検出回路33の出力に接続されている。CPU(MCU)の9番ピンは、DC/ACインバータ用駆動回路32のFET駆動用IC(FETdr)の6番ピンに接続され、該6番ピンへDC/ACインバータ回路31のNチャネル型FET(Q3)のオンオフ駆動用信号(PWM2H)を出力する。10番ピンは、FET駆動用IC(FETdr)の5番ピンに接続され、該5番ピンへDC/ACインバータ回路31のNチャネル型FET(Q4)のオンオフ駆動用信号(PWM2L)を出力する。11番ピンは、FET駆動用IC(FETdr)の4番ピンに接続され、該4番ピンへDC/ACインバータ回路31のNチャネル型FET(Q2)のオンオフ駆動用信号(PWM1L)を出力する。12番ピンは、FET駆動用IC(FETdr)の3番ピンに接続され、該3番ピンへDC/ACインバータ回路31のNチャネル型FET(Q1)のオンオフ駆動用信号(PWM1H)を出力する。13番ピンは、ブリッジ部電流検出回路26の出力に接続される。

[0081] 入力電流検出回路24は、抵抗器R1と演算増幅器CA1とから構成され、抵抗器R1の一端は入力端子IN1と演算増幅器CA1の非反転入力端子に接続され、抵抗器R1の他端は、DC/DCコンバータ回路21のリアクタンスLの他端と演算増幅器CA1の反転入力端子に接続され、演算増幅器CA1の出力端子はCPU(MCU)の4番ピンに接続されている。

[0082] 入力電圧検出回路25は2つの抵抗器R2, R3から構成され、抵抗器R2の一端は入力端子IN1に接続され、抵抗器R2の他端は抵抗器R3の一端とCPUの(MCU)

の5番ピンとに接続され、抵抗器R3の他端は接地端子IN2に接続されている。

[0083] ブリッジ部電流検出回路26は、抵抗器R4と演算増幅器CA2とから構成され、抵抗器R4の一端は、DC/ACインバータ部30のDC-ACインバータ回路31及び演算増幅器CA2の非反転入力端子に接続される。抵抗器R4の他端は、DC/DCコンバータ回路21のダイオードD及びコンデンサC_{in}と、リンク電圧検出回路27の抵抗器R5と、演算増幅器CA2の反転入力端子とに接続される。演算増幅器CA2の出力端子はCPU(MCU)の13番ピンに接続されている。

[0084] リンク電圧検出回路27は2つの抵抗器R5, R6から構成され、抵抗器R5の一端は抵抗器R4の他端と、DC/DCコンバータ回路21のダイオードD及びコンデンサC_{in}と接続され、抵抗器R5の他端は、抵抗器R6の一端とCPU(MCU)の1番ピンに接続され、抵抗器R6の他端は接地端子IN2に接続されている。

[0085] DC/ACインバータ回路31は、4つのNチャネル型FET（スイッチング素子）(Q1, Q2, Q3, Q4)から構成されている。FET(Q1)のソースは、フィルタ回路35のインダクタL1の入力端とFET(Q2)のドレインに接続され、FET(Q1)のドレインは、ブリッジ電流検出回路26の抵抗器R4の一端に接続されている。FET(Q2)のソースは接地端子IN2に接続されている。また、FET(Q3)のソースは、フィルタ回路35のインダクタL2の入力端とFET(Q4)のドレインに接続され、FET(Q3)のドレインは、ブリッジ電流検出回路26の抵抗器R4の一端に接続されている。FET(Q4)のソースは接地端子IN2に接続されている。

[0086] DC/ACインバータ用駆動回路32は、FET駆動用IC(FETdr)と、2つのブートストラップ用のコンデンサCB1, CB2と2つのブートストラップ用のダイオードD1, D2とから構成されている。FET駆動用IC(FETdr)は、例えば本実施形態では14ピンのICを使用した。その他の仕様としては、PWM入力：4本、PWMハイサイド出力：2本、PWMローサイド出力：2本、ハイサイド側中点電位(HS端子) 耐圧：600V、ドライブ電流(Sin

k/Source) : 1 A / 1 A を満足するものを使用した。

[0087] F E T 駆動用 I C (FETdr) の 1 番ピンはダイオードD1のカソードとコンデンサCB1の一端に接続され、ダイオードD1のアノードには電圧Vccが印加されている。F E T 駆動用 I C (FETdr) の 2 番ピンには電圧Vccが印加されている。F E T 駆動用 I C (FETdr) の 3 番ピンは制御回路 2 3 の 1 2 番ピンと、4 番ピンは制御回路の 1 1 番ピンと、5 番ピンは制御回路の 1 0 番ピンと、6 番ピンは制御回路の 9 番ピンとそれぞれ接続されている。F E T 駆動用 I C (FETdr) の 7 番ピンは接地端子IN2に接続されている。F E T 駆動用 I C (FETdr) の 8 番ピンは、F E T (Q3)のゲートに接続されている。F E T 駆動用 I C (FETdr) の 9 番ピンは、F E T (Q4)のゲートに接続されている。F E T 駆動用 I C (FETdr) の 1 0 番ピンは、コンデンサCB2の一端とフィルタ回路 3 5 のインダクタL2の入力端に接続されている。F E T 駆動用 I C (FETdr) の 1 1 番ピンは、コンデンサCB2の他端とダイオードDB2のカソードに接続されている。F E T 駆動用 I C (FETdr) の 1 2 番ピンは、F E T (Q2)のゲートに接続されている。F E T 駆動用 I C (FETdr) の 1 3 番ピンは、コンデンサCB1の他端とフィルタ回路 3 5 のインダクタL1の入力端に接続されている。F E T 駆動用 I C (FETdr) の 1 4 番ピンは、F E T (Q1)のゲートに接続されている。

[0088] 出力電流検出回路 3 3 は、抵抗器R7と演算増幅器CAとから構成される。抵抗器R7の一端は出力端子OUT1、演算増幅器CAの非反転入力端子及びダイオードブリッジDBに接続されている。抵抗器R7の他端は、フィルタ回路 3 5 のコンデンサCoutの一端及びインダクタL2の他端並びに演算増幅器CAの反転入力端子に接続され、演算増幅器CAの出力端子はC P U (MCU)の 8 番ピンに接続されている。

[0089] 出力電圧検出回路 3 4 は、2 つの抵抗器R8, R9及び4 つのダイオードDからなるダイオードブリッジDBから構成され、抵抗器R8の一端は、ダイオードブリッジDBの一方の出力端子DBout1に接続され、抵抗器R8の他端は抵抗器R9の一端とC P U (MCU)の 7 番ピンに接続され、抵抗器R9の他端及びダイオードブリ

ッジDBの他方の出力端子DBout2は接地端子IN2に接続されている。ダイオードブリッジDBの一方の入力端子DBin1は、フィルタ回路35のコンデンサCoutの他端及びインダクタL1の出力端に接続されている。ダイオードブリッジDBの他方の入力端子DBin2は、フィルタ回路35のコンデンサCoutの一端及びインダクタL2の一端に接続されている。

[0090] フィルタ回路35は、20kHzを超える高調波ノイズを除去するものであり、2つのインダクタL1,L2及びコンデンサCoutとから構成される。インダクタL1及びL2は、アモルファスまたはフェライト等からなるコモンモードチョークコイルにより構成されている。インダクタL1の出力端は、コンデンサCoutの他端、ダイオードブリッジDBの一方の入力端子DBin1及び一方の出力端子OUT1に接続されている。インダクタL2の出力端は、コンデンサCoutの一端、抵抗器R7の一端に接続されている。

[0091] また、本電力変換装置10を使用する際には、入力端子IN1と出力端子IN2との間に太陽光発電パネルを電力源PVとして接続し、出力端子OUT1と接地端子OUT2との間には負荷LOADを接続する。

[0092] 本実施形態では電力源PVの太陽光発電パネルとして図26に示すような出力電圧電力特性を有するものを使用している。すなわち、太陽光発電パネルへの日射量が100%のときに曲線A1の特性を示し、日射量が80%のときに曲線A2の特性を示し、日射量が60%のときに曲線A3の特性を示す。そして、日射量が50%のときに曲線A4の特性を示し、日射量が40%のときに曲線A5の特性を示し、日射量が20%のときに曲線A6の特性を示し、日射量が10%のときに曲線A7の特性を示す。これらの曲線で示すように最大電力点は、日射量が100%のときに約82V、日射量が80%のときに約79V、日射量が60%のときに約75V、日射量が50%のときに約73V、日射量が40%のときに約71V、日射量が20%のときに約67V、日射量が10%のとき約64Vである。

[0093] このように、太陽光発電パネルの出力特性は、出力電力が極大値を持つ特性となっている。また、日射量が増加すると、出力電力、出力電圧ともに増え

る特性となる。ここで最大出力電力は日射量によって大きく変わるのに対し、最大出力電力点電圧は、最大出力電力の変化量と比較すると、その変化幅が小さいことがわかる。

[0094] 次に、本実施形態における電力変換装置 10 の動作を、図 29 乃至図 33 の制御フローチャート及び図 34 乃至図 37 の波形図を参照して説明する。

[0095] 入力端子 IN1 と接地端子 IN2 の間に電力源 PV が接続され、電力変換装置 10 が起動すると、電力変換装置 10 の CPU (MCU) が DC/DC コンバータ回路 21 のスイッチング素子(Q)をオンオフさせて、DC/DC コンバータ回路 21 をパススルーモード或いは昇圧モードの何れかで動作させる。

[0096] すなわち、電力変換装置 10 が起動すると、CPU (MCU) はモード選択用変換比 ConvRatio と 1 つ前の変換比 ConvRatioMp の値として 100 を設定してこれらの値を記憶すると共に最大電力値 Pmpp の値として 0 を設定してこれを記憶し、調整量 E の初期値として 1 を記憶する (SC1)。

[0097] 次に、CPU (MCU) は DC/DC コンバータ回路 21 をパススルーモードで動作させる (SC2)。パススルーモード動作とは入力端子 IN1 から入力電圧を降圧或いは昇圧することなくダイオード D のカソード側に出力する動作である。この

パススルーモード動作により、C-LINK には、入力電圧と同等の電圧が充電される。本実施形態ではパススルーモードにおいて、周期 T を $53.9 \mu s$ ($18.552 kHz$) に設定し、パルス幅 t_1 を $200 ns$ 、 $td1$ を $100 ns$ に設定している

[0098] 次に、CPU (MCU) は、入力電流検出回路 24 の出力と入力電圧検出回路 25 の出力とを入力して入力電圧値 V_{in} と入力電流値 I_{in} を取得する (SC3)。本実施形態では、ノイズなどの影響を考慮して、数回、例えば 4 回程度の測定を行い、その平均値を入力電圧値 V_{in} と入力電流値 I_{in} として用いている。

[0099] そして、制御時間になったか否かを判定する (SC4)。本実施形態では CPU (MCU) が計時を行い一定微小時間経過毎に制御時間になったと判定する。

- [0100] 前記 S C 4 の判定の結果、制御時間になったとき、C P U (MCU)は、入力電流検出回路 2 4 の出力と入力電圧検出回路 2 5 の出力とを入力して入力電圧値 V_{in} と入力電流値 I_{in} を取得する (S C 5)。本実施形態では、ノイズなどの影響を考慮して、例えば 4 回程度の測定を行い、その平均値を入力電圧値 V_{in} と入力電流値 I_{in} として用いている。
- [0101] 次いで、C P U (MCU)は、取得した入力電圧値 V_{in} と入力電流値 I_{in} とを用い、これらを乗算して入力電力値 P_{in} を算出し (S C 6)、入力電力値 P_{in} の大きさを判定する (S C 7)。この判定の結果、入力電力値 P_{in} が最大電力値 P_{mpp} よりも小さいときは後述する S C 8 の処理に移行し、入力電力値 P_{in} が最大電力値 P_{mpp} 以上のときは後述する S C 9 の処理に移行する。
- [0102] 前記 S C 8 の処理では、C P U (MCU)は、モード選択用変換比 $ConvRatio$ の値と 1 つ前の変換比 $ConvRatioMp$ の値を比較し (S C 8)、モード選択用変換比 $ConvRatio$ の値が 1 つ前の変換比 $ConvRatioMp$ の値以上であるときは後述する S C 1 0 の処理に移行する。続いて、モード選択用変換比 $ConvRatio$ の値が 1 つ前の変換比 $ConvRatioMp$ の値よりも小さいときは後述する S C 1 5 の処理に移行する。
- [0103] 前記 S C 9 の処理では、C P U (MCU)は、モード選択用変換比 $ConvRatio$ の値と 1 つ前の変換比 $ConvRatioMp$ の値を比較する (S C 9)。モード選択用変換比 $ConvRatio$ の値が 1 つ前の変換比 $ConvRatioMp$ の値よりも小さいときは後述する S C 1 0 の処理に移行し、モード選択用変換比 $ConvRatio$ の値が 1 つ前の変換比 $ConvRatioMp$ の値以上のときは後述する S C 1 5 の処理に移行する。
- [0104] 前記 S C 1 0 の処理では、C P U (MCU)は、モード選択用変換比 $ConvRatio$ の値を 1 つ前の変換比 $ConvRatioMp$ の値として記憶する (S C 1 0)。さらに、C P U (MCU)は、入力電力値 P_{in} を最大電力値 P_{mpp} として記憶し (S C 1 1)、モード選択用変換比 $ConvRatio$ の値を減少させる (S C 1 2)。この演算処理では、モード選択用変換比 $ConvRatio$ の値から調整値 E_{sa} を減算した値を新たなモード選択用変換比 $ConvRatio$ の値として記憶する。なお、ここでは調

整値 E_{sa} の値を調整値の初期値 E の値と同じ ($E_{sa} = E$) としている。

[0105] 次に、CPU (MCU) は、モード選択用変換比 $ConvRatio$ の値の下限確認を行う (SC 13)。すなわち、CPU (MCU) は、モード選択用変換比 $ConvRatio$ の値と 100 とを比較し、モード選択用変換比 $ConvRatio$ の値が 100 よりも大きいときは後述する SC 20 の処理に移行する。モード選択用変換比 $ConvRatio$ の値が 100 以下のときはモード選択用変換比 $ConvRatio$ の値を 100 に設定して記憶し (SC 14)、この後、後述する SC 20 の処理に移行する。

[0106] 前記 SC 15 の処理では、CPU (MCU) は、モード選択用変換比 $ConvRatio$ の値を 1 つ前の変換比 $ConvRatio_{mp}$ の値として記憶する (SC 15)。さらに、CPU (MCU) は、入力電力値 P_{in} を最大電力値 P_{mpp} として記憶し (SC 16)、モード選択用変換比 $ConvRatio$ の値を増加させる (SC 17)。この演算処理では、モード選択用変換比 $ConvRatio$ の値に調整値 E_{sa} を加算した値を新たなモード選択用変換比 $ConvRatio$ の値として記憶する。なお、ここでは調整値 E_{sa} の値を調整値の初期値 E の値と同じ ($E_{sa} = E$) としている。

[0107] 次に、CPU (MCU) は、モード選択用変換比 $ConvRatio$ の値の上限確認を行う (SC 18)。すなわち、CPU (MCU) は、モード選択用変換比 $ConvRatio$ の値と 400 とを比較し、モード選択用変換比 $ConvRatio$ の値が 400 よりも小さいときは後述する SC 20 の処理に移行する。モード選択用変換比 $ConvRatio$ の値が 400 以上のときはモード選択用変換比 $ConvRatio$ の値を 400 に設定して記憶し (SC 19)、この後、後述する SC 20 の処理に移行する。

[0108] 前記 SC 20 の処理では、モード選択用変換比 $ConvRatio$ の値が何れの範囲にあるかを判定する (SC 20)。モード選択用変換比 $ConvRatio$ の値が 97 以上且つ 105 以下であるときは後述する SC 21 の処理に移行し、モード選択用変換比 $ConvRatio$ の値が 110 以上であるときは後述する SC 23 の処理に移行する。なお、 $ConvRatio$ の値が 105 より大きく、110 より小さい場合、現在動作中の動作モードを継続する。動作モードを選択する、モード選

択用変換比ConvRatioにヒステリシスを持たせることで、動作モードの切替を円滑に行うようにしている。

[0109] 前記SC21の処理ではDC／DCコンバータ回路21の動作モードとして前述したパススルーモードを選択し（SC21）、次いでパススルーモード動作におけるPWMパルス幅を設定する（SC22）。

[0110] 前記SC23の処理では、DC／DCコンバータ回路21の動作モードとして昇圧モードを選択し（SC23）、次いで昇圧モード動作におけるPWMパルス幅を算出して設定する（SC24）。DC／DCコンバータ回路21の昇圧モード動作では、図34乃至図35に示すようにFET(Q)をオンオフ駆動する制御信号(PWM_Boost)のパルスを設定する。

[0111] 本実施形態では昇圧モードにおいて、周期 T_1 を $7.7\mu s$ （ $129.87kHz$ ）、パルス幅 t_1 を $200ns$ 、 t_2 を $200ns\sim 5.775\mu s$ （昇圧比： $1.027\sim 4.000$ ）、に設定している。また、パルス幅 t_1 は（5）式によって算出される。 $t_1 = T_1 \times (\text{ConvRatio} - 100) / \text{ConvRatio}$ …（5）

[0112] 次いで、CPU(MCU)は、選択した動作モード及び設定したパルス幅に変更するPWMパルス幅変更処理を行い（SC25）、上記SC4の処理に移行する。

[0113] なお、前記SC20の判定の結果、モード選択用変換比ConvRatioが上記範囲内に存在しないときは動作モードの変更は行わないで現状を維持する。

[0114] 一方、CPU(MCU)は、出力電圧検出回路33によって検出した信号波と三角波キャリアを比較する三角波変調を行い、て発生する制御信号(PWM1H, PWM1L, PWM2H, PWM2L)によってDC／ACインバータ回路31のFET(Q1, Q2, Q3, Q4)をオンオフしインバータを動作させている。

[0115] 図36に三角波変調におけるPWM信号の関係を示す。図36では、検出した信号波が三角キャリアと交わる周波数に基づいて正相の制御信号PWM1H及び逆相の制御信号PWM2L並びに正相の制御信号PWM1L及び逆相の制御信号PWM2Hのスイッチング信号のon及びoffのタイミングを決定している。この変調では信

号波が大きくなると、PWM1HとPWM2Lの制御信号のパルス幅が狭く、PWM1LとPWM2Hの制御信号のパルス幅が広くなる関係となっている。図34に示すように、本実施形態では、同期する同振幅の2つの三角波キャリアW1及びW2を用いている。三角波キャリアW1及びW2の周波数はともに20kHzである。三角波キャリアW1は、正相の制御信号PWM1H及び逆相の制御信号PWM2Hのon及びoffのタイミングの決定に使用する。三角波キャリアW2は、三角波キャリアW1に所定の量オフセットを設定したものであり、正相の制御信号PWM1L及び逆相の制御信号PWM2Lのon及びoffのタイミングの決定に使用する。本実施形態の三角波キャリアW2には、三角波キャリアW1が出力電圧値正の方向に所定の量シフトするようにオフセット値が設定されている。本実施形態では、各キャリア周期において最初に三角波キャリアW1と出力電圧検出回路33からの信号とが交差したときの電圧値を、各キャリア周期における閾値と設定している。

- [0116] 本実施形態のDC／ACインバータは、フルブリッジ回路であるため半導体スイッチング素子が同時にONすることを防止する必要がある。半導体スイッチング素子、たとえばPWM1Hがゲートに入力されるFET(Q1)とPWM1Lがゲートに入力されるFET(Q2)の組み合わせが同時にONになると、短絡して貫通電流が流れて、スイッチング素子の異常発熱、損傷が発生するためである。図37は、2つの三角波キャリアW1及びW2並びに閾値とデッドタイムとの関係を示す図である。なお、図37においては、図示及び理解を容易にするために、連続する2つの三角波キャリアにおける閾値を同じ値としている。図35に示すように、PWM1H及びPWM2Lは、出力電圧検出回路からの信号が閾値をよりも高いときにONとなり、出力電圧検出回路からの信号が閾値をよりも低いときにOFFとなるように構成されている。また、PWM1L及びPWM2Hは、出力電圧検出回路からの信号が閾値をよりも低いときにONとなり、出力電圧検出回路からの信号が閾値をよりも高いときにOFFとなるように構成されている。本実施形態では、三角波キャリアW2にオフセット値が設定されているため、PWM1H及びPWM2Lは、PWM1L及びPWM2HのOFF期間の両端から所定の時間間

隔（デッドタイム）を開けてONになる。本実施形態のデッドタイムの長さは、設定するオフセットの量に比例する。本実施形態では、デッドタイムを100nsec～200nsecになるように調整されている。このようなデッドタイムを設けることにより、導体スイッチング素子が同時にONすることにより短絡して貫通電流が流れて、スイッチング素子の異常発熱、損傷が発生することを防止している。本実施形態では、PWM1H及びPWM2Lは同期された波形が出力さる。またPWM1L及びPWM2Hは、同期された波形が出力さる。本実施形態では、DC／ACインバータ回路31の出力は、50Hzまたは60Hzとしており、商用電源として取り出すことを可能にしている。

[0117] 本実施形態では、DC／ACインバータが直流電圧を入力して交流電流を出力するため商用電源電圧のピーク電圧以上の直流電圧が必要になる。そのため、DC／DCコンバータは、昇圧モードとパススルーモードの切り替えのみを行えばよいので、プログラム制御をさらに簡略化することができると共にプログラムの容量を低減することができる。また、DC／ACインバータにより、商用の交流電力を取り出すことが可能となる。

[0118] 次に、本発明の第4実施形態を説明する。

[0119] 第4実施形態における電力変換装置10の回路図は前述した第3実施形態と同様であり、電力源PVとして使用される太陽光発電パネルも前述した第3実施形態と同様である。

[0120] また、第4実施形態における制御フローチャートは図38～図43に示すものであり、この制御により電力変換装置10が駆動される。なお、これらの制御フローにおいてSD1～SD5の処理は前述した第3実施形態におけるSC1～SC5の処理と同じであり、SD12～SD31の処理は前述した第3実施形態におけるSC6～SC25の処理と同じであり、第3実施形態と第4実施形態との相違点は、第4実施形態においてはSD6～SD11の処理を追加したことである。

[0121] 第4実施形態ではSD6～SD11の処理を追加することにより第3実施形態に比べて最大電力点での動作に到達するまでに要する時間を短縮した。

- [0122] すなわち、太陽光発電パネルの最大電力点電圧は、日射量が多ければ高く、逆に少なければ低い傾向であるが、太陽光発電パネルの出力開放電圧から出力短絡電圧の変化幅と比較すると、その幅は小さい。そこで、第4実施形態では、太陽光発電パネルの出力電圧、つまり電力変換装置10への入力電圧 V_{in} に応じて、モード選択用変換比ConvRatioの調整値 E_{sa} を可変させることでこれらの問題を解決するようにした。
- [0123] 具体的には、電力変換装置10への入力電圧 V_{in} を図44に示すように5つの領域に区分し、最大電力点を含む電圧範囲を基準電圧領域として、入力電圧 V_{in} が基準電圧領域にあるときの調整値 E_{sa} を基準値 E と等しくし、各領域の調整値を基準電圧領域から離れるにしたがって大きくなる値に設定するようにした。つまり、動作点が基準電圧領域から離れているときは速やかに最大電力点に到達する必要があるので、モード選択用変換比ConvRatioの調整値 E_{sa} を大きくする。一方、動作点が基準電圧領域に近いときは最大電力点付近で動作し続ける必要があるので、モード選択用変換比ConvRatioの調整値 E_{sa} を小さくする。
- [0124] 本実施形態の制御フローにおいては図38～図39に示すように、制御時間になったか否かを判定する(SD4)。本実施形態ではCPU(MCU)が計時を行い一定微小時間経過毎に制御時間になったと判定する。
- [0125] 前記SD4の判定の結果、制御時間になったとき、CPU(MCU)は、入力電流検出回路24の出力と入力電圧検出回路25の出力とを入力して入力電圧値 V_{in} と入力電流値 I_{in} を取得する(SD5)。本実施形態では、ノイズなどの影響を考慮して、例えば4回程度の測定を行い、その平均値を入力電圧値 V_{in} と入力電流値 I_{in} として用いている。
- [0126] この後、CPU(MCU)は、入力電圧 V_{in} の値を判定する(SD6)。この結果、図39に示すように、入力電圧が50V未満のときは調整値 E_{sa} の値を基準値Dの値の5倍に設定する(SD7)。入力電圧が50V以上62V未満のときは調整値 E_{sa} の値を基準値Dの値の3倍に設定する(SD8)。入力電圧が62V以上84V未満のときは調整値 E_{sa} の値を基準値Eと等しく設

定する（SD9）。入力電圧が84V以上95V未満のときは調整値 E_{sa} の値を基準値 E の値の3倍に設定する（SD10）。入力電圧が95V以上のときは調整値 E_{sa} の値を基準値 E の値の5倍に設定する（SD11）。この後、SD12の処理に移行する。

[0127] 上記のように第4実施形態によれば、入力電圧 V_{in} が基準電圧領域にあるときの調整値 E_{sa} を基準値 E として各領域の調整値 E_{sa} が基準電圧領域から離れるにしたがって大きくなる値に設定する。該調整値 E_{sa} によって調整されたモード選択用変換比 $ConvRatio$ を用いてFET(Q)のオンオフ時間が算出されるので、従来よりも迅速に最大電力点に追従することができる。第4実施形態では、第3実施形態に比べて、最大電力点に到達するまでに要する時間が5倍程度高速になった。

[0128] 図45は、本発明の第5実施形態における電力変換装置10を示す回路図である。第5実施形態の電力変換装置10は、第3実施形態における電力変換装置と同様に、DC/DCコンバータ回路21、DC/DCコンバータ用駆動回路22、制御回路(MCU)23、入力電流検出回路24、入力電圧検出回路25、ブリッジ部電流検出回路26及びリンク電圧検出回路27から構成されるDC/DCコンバータ部20と、DC/ACインバータ回路31、DC/ACインバータ用駆動回路32、出力電流検出回路33、出力電圧検出回路34、フィルタ回路35から構成されるDC/ACインバータ部30とを備えている。図46は、DC/DCコンバータ部20の拡大図であり、図47はDC/ACインバータ部30の拡大図である。

[0129] 第5実施形態では、DC/DCコンバータ用駆動回路22、制御回路(MCU)23、入力電流検出回路24及び入力電圧検出回路25と、ブリッジ部電流検出回路26、リンク電圧検出回路27、DC/ACインバータ回路31、DC/ACインバータ用駆動回路32、出力電流検出回路33、出力電圧検出回路34及びフィルタ回路35とが絶縁されている点が第3実施形態とは異なる。

[0130] 本実施形態のDC/DCコンバータ回路21は、Nチャンネル型FET（スイ

スイッチング素子) (Q)と、トランスT 1と、ダイオードDと2つのコンデンサC_{in}及びC-LINKとから構成されている。Nチャネル型FET (スイッチング素子) (Q)及びコンデンサC_{in}と、ダイオードD及びコンデンサC-LINKとは、トランスT 1により絶縁されている。DC/DCコンバータ回路21に入力した電圧は、トランスT 1を介してダイオードD及びコンデンサC-LINKに入力される。

[0131] また、本実施形態では、ブリッジ部電流検出回路26、リンク電圧検出回路27、出力電圧検出回路33及び出力電流検出回路34の検出結果は、フォトカプラ(F 1ーF 4)を介して制御回路(MCU) 23に入力される。また、制御回路(MCU) から出力されるDC/ACインバータ回路31の駆動を制御する制御信号(PWM1H, PWM1L, PWM2H, PWM2L)は、フォトカプラ(F 5ーF 8)を介してDC/ACインバータ用駆動回路32に入力される。本実施形態では、フォトカプラ(F 1ーF 8)により絶縁回路が構成されている。

[0132] なお、上記実施形態では電力源PVとして太陽光発電パネルを用いたが、これに限定されることはなく、風力発電機、燃料電池など、出力の電圧電力特性において極大値を持つ電力源に上記電力変換装置10を接続することにより上記と同様の効果を奏することができる。

産業上の利用可能性

[0133] 太陽電池或いは太陽光発電パネル、風力発電機、燃料電池など、出力の電圧電力特性において極大値を持つ電力源に接続する電力変換装置であり、最大出力電力点で動作するように追尾する。さらに、モード選択用変換比に基づいてDC/DCコンバータ回路の動作モードを少なくともパススルーモード、昇圧モードに切り替えることができると共にモード選択用変換比によってスイッチング素子のオンオフ時間を算出することができる。

[0134] それ故、低容量のプログラムによって動作する制御手段を構成できるため、装置構成を簡略化することができる。これにより、製造コストを従来よりも低減することができる。さらにまた、入力電圧に応じて設定される調整値に

よってモード選択用変換比が調整されるので、従来よりも迅速に最大電力点に追従することができる。

符号の説明

[0135] 10…電力変換装置 11…DC／DCコンバータ回路 12…駆動回路
13…制御回路、 14…入力電流検出回路、 15…入力電圧検出回路、
16…出力電流検出回路、 17…出力電圧検出回路、 Q1, Q2, Q3, Q4…FET、
C_{in}, C_{out}, CB1, CB2…コンデンサ、 DB1, DB2…ダイオード、 R1～R6
…抵抗器、 CA1, CA2…演算増幅器。

請求の範囲

- [請求項1] 出力電圧と出力電力の関係を表す特性曲線において最大電力点を有する発電源から出力される電圧を入力電圧として入力し、該入力電圧と等しい電圧を出力するパススルーモードと、前記入力電圧よりも低い電圧を出力する降圧モードと、前記入力電圧よりも高い電圧を出力する昇圧モードと、を制御信号に基づいて切り替えると共にスイッチング素子をオンオフ駆動する昇降圧型DC/DCコンバータ回路と、前記発電源から前記昇降圧型DC/DCコンバータ回路へ入力される電圧を検出する電圧検出回路と、前記発電源から前記昇降圧型DC/DCコンバータ回路へ入力される電流を検出する電流検出回路と、前記電圧検出回路によって検出した電圧値と前記電流検出回路によって検出した電流値とに基づいて所定時間間隔で電力値を算出する電力値算出手段と、前記電力値算出手段によって算出した電力値に基づいて変換比を設定すると共に、前回設定した変換比と今回設定した変換比との比較結果と前記電力値の増減変化とに基づいて、前記今回設定した変換比の値を増減させた値をモード選択用変換比として設定する変換比設定手段と、前記モード選択用変換比を用いて前記スイッチング素子のオンオフ時間を決定し、前記モード選択用変換比の値が所定の中域範囲内の値であるときに前記DC/DCコンバータ回路を前記パススルーモードで動作させる制御信号を出力し、前記モード選択用変換比が前記中域範囲に隣接し前記中域範囲よりも大きい高域範囲内の値のときに前記DC/DCコンバータ回路を前記昇圧モードで動作させる制御信号を出力し、前記モード選択用変換比が前記中域範囲に隣接し前記中域範囲よりも小さい低域範囲内の値のときに前記DC/DCコンバータ回路を前記降圧モードで動作させる制御信号を出力する制御手段と、を備えている電力変換装置。
- [請求項2] 前記変換比設定手段は、前回算出した電力値を記憶する第1電力値記憶手段と、今回算出した電力値を記憶する第2電力値記憶手段と

、 前回算出した変換比の値を記憶する第 1 変換比記憶手段と、 今回算出した変換比の値を記憶する第 2 変換比記憶手段と、 動作開始時に前記第 1 電力値記憶手段と、前記第 2 電力値記憶手段と、前記第 1 変換比記憶手段と、前記第 2 変換比記憶手段に初期値を設定する初期化手段と、 前記第 1 及び第 2 変換比記憶手段に記憶されている変換比の値と前記第 1 及び第 2 電力値記憶手段に記憶されている電力値とに基づいて、前記第 2 電力値記憶手段に記憶されている電力値が前記第 1 電力値記憶手段に記憶されている電力値よりも小さく且つ前記第 2 変換比記憶手段に記憶されている変換比の値が前記第 1 変換比記憶手段に記憶されている変換比の値以上のとき或いは前記第 2 電力値記憶手段に記憶されている電力値が前記第 1 電力値記憶手段に記憶されている電力値以上であり且つ前記第 2 変換比記憶手段に記憶されている変換比の値が前記第 1 変換比記憶手段に記憶されている変換比の値よりも小さいときに、前記第 2 変換比記憶手段に記憶されている変換比の値から所定の調整値を差し引いた値を今回算出した変換比及び新たなモード選択用変換比とする第 1 変換比演算手段と、 前記第 1 及び第 2 変換比記憶手段に記憶されている変換比の値と前記第 1 及び第 2 電力値記憶手段に記憶されている電力値とに基づいて、前記第 2 電力値記憶手段に記憶されている電力値が前記第 1 電力値記憶手段に記憶されている電力値よりも小さく且つ前記第 2 変換比記憶手段に記憶されている変換比の値が前記第 1 変換比記憶手段に記憶されている変換比の値よりも小さいとき或いは前記第 2 電力値記憶手段に記憶されている電力値が前記第 1 電力値記憶手段に記憶されている電力値以上であり且つ前記第 2 変換比記憶手段に記憶されている変換比の値が前記第 1 変換比記憶手段に記憶されている変換比の値以上であるとき、第 2 変換比記憶手段に記憶されている変換比の値に所定の調整値を加算した値を今回算出した変換比及び新たなモード選択用変換比とする第 2 変換比演算手段と、 から構成され、 前記制御手段は、 前記

第1変換比演算手段或いは前記第2変換比演算手段によって算出されたモード選択用変換比に基づいて、該モード選択用変換比が前記第1変換比記憶手段に記憶した初期値を含む所定の中域範囲内の値のときに前記DC/DCコンバータ回路を前記パススルーモードで動作させると共に、前記モード選択用変換比を用いて算出したスイッチング素子オン時間に基づいて前記スイッチング素子をオンオフさせる前記制御信号を出力し、前記算出されたモード選択用変換比が前記中域範囲に隣接し前記中域範囲よりも大きい高域範囲内の値のときに前記DC/DCコンバータ回路を前記昇圧モードで動作させると共に、前記モード選択用変換比を用いて算出したスイッチング素子オン時間に基づいて前記スイッチング素子をオンオフさせる前記制御信号を出力し、前記算出されたモード選択用変換比が前記中域範囲に隣接し前記中域範囲よりも小さい低域範囲内の値のときに前記DC/DCコンバータ回路を前記降圧モードで動作させると共に、前記モード選択用変換比を用いて算出したスイッチング素子オン時間に基づいて前記スイッチング素子をオンオフさせる前記制御信号を出力する手段を有している請求項1に記載の電力変換装置。

[請求項3] 前記特性曲線において前記最大電力点を含む電圧範囲を基準電圧領域として、前記入力電圧範囲を複数の領域に区分し且つそれぞれの領域毎に前記調整値を設定すると共に、前記電圧検出回路による検出電圧が前記基準電圧領域にあるときの前記調整値を基準値としてそれぞれの領域の調整値が前記基準電圧領域から離れるにしたがって大きくなる値に設定されている請求項2に記載の電力変換装置。

[請求項4] 前記DC/DCコンバータ回路は、 エネルギー蓄積用のインダクタと、 前記インダクタの入力端と前記発電源の出力に接続される正極入力端との間に接続された第1スイッチング素子と、 前記インダクタの入力端と前記発電源の出力に接続される負極入力端との間に接続された第2スイッチング素子と、 前記インダクタの出力端と正極出

力端との間に接続された第3スイッチング素子と、前記インダクタの出力端と負極出力端との間に接続された第4スイッチング素子とからなり、前記制御手段は、前記降圧モードのときは、前記モード選択用変換比(ConvRatio)の初期値を100とすると共に周期を T_1 として、前記第1スイッチング素子を(1)式で表される時間 t_1 の間オンとすると共に前記第1スイッチング素子がオフの間に前後に所定間隔 $td1$ を開けて前記第2スイッチング素子を(2)式で表される時間 t_{1a} の間オンとし、 $t_1 = T_1 \times \text{ConvRatio} / 100 \dots (1)$
 $t_{1a} = T_1 - t_1 - td1 \times 2 \dots (2)$ 前記昇圧モードのときは、前記モード選択用変換比(ConvRatio)の初期値を100とすると共に周期を T_1 として、前記第3スイッチング素子を(3)式で表される時間 t_{2a} の間オンとすると共に前記第3スイッチング素子がオフの間に前後に所定間隔 $td2$ を開けて前記第4スイッチング素子を(4)式で表される時間 t_2 の間オンとする $t_{2a} = T_1 - t_2 - td2 \times 2 \dots (3)$
 $t_2 = T_1 \times (\text{ConvRatio} - 100) / \text{ConvRatio} \dots (4)$ 請求項2又は3に記載の電力変換装置。

[請求項5] 出力電圧と出力電力の関係を表す特性曲線において最大電力点を有する発電源から出力される電圧を入力電圧として入力し、該入力電圧と等しい電圧を出力するパススルーモードと、前記入力電圧よりも高い電圧を出力する昇圧モードとを制御信号に基づいて切り替えると共にスイッチング素子をオンオフ駆動する昇圧型DC/DCコンバータ回路と、前記発電源から前記昇圧型DC/DCコンバータ回路へ入力される電圧を検出する電圧検出回路と、前記発電源から前記昇圧型DC/DCコンバータ回路へ入力される電流を検出する電流検出回路と、前記電圧検出回路によって検出した電圧値と前記電流検出回路によって検出した電流値とに基づいて所定時間間隔で電力値を算出する電力値算出手段と、前記電力値算出手段によって算出した電力値に基づいて変換比を設定すると共に、前回設定した変換比と今回設定

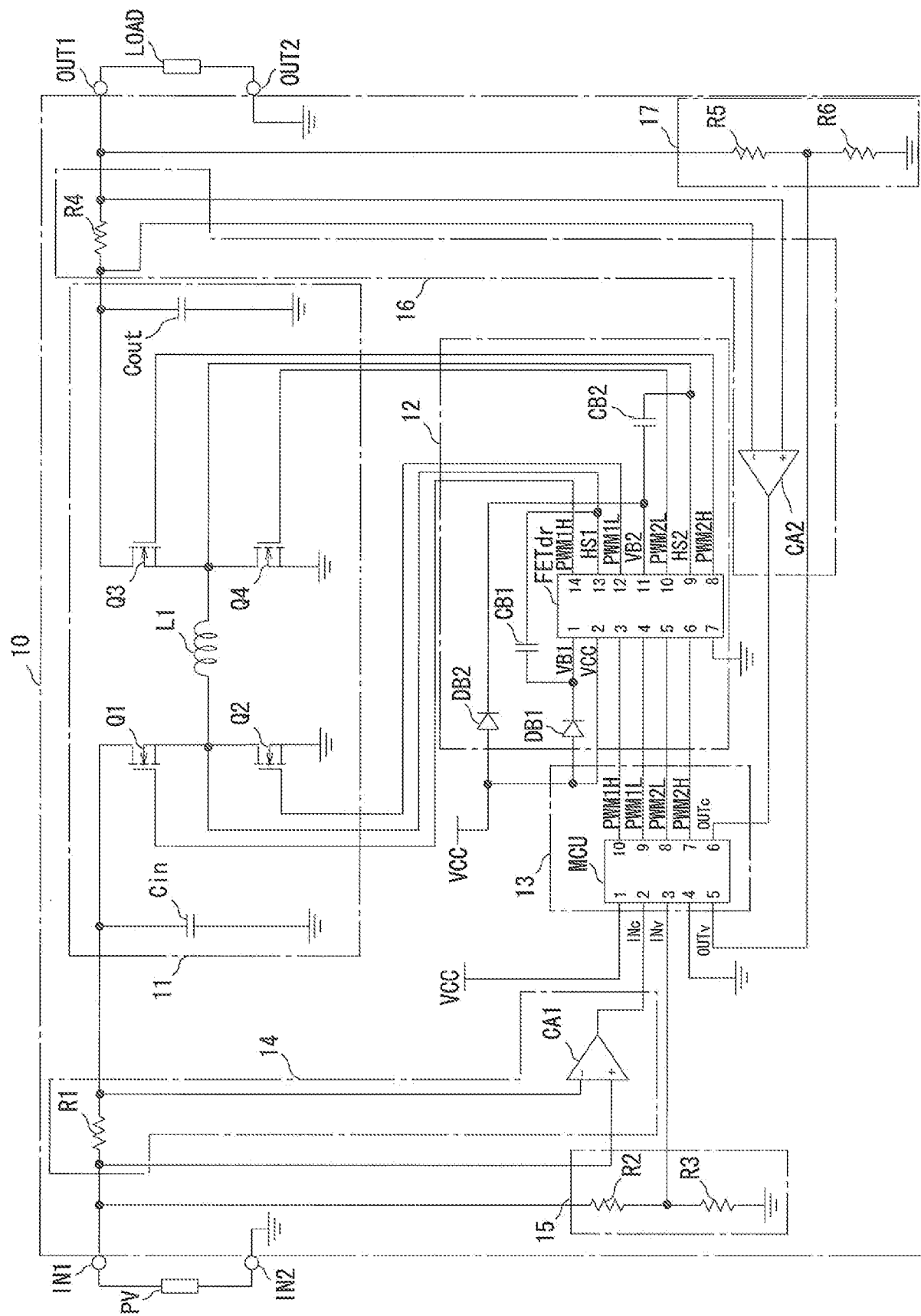
した変換比との比較結果と前記電力値の増減変化とに基づいて、前記今回設定した変換比の値を増減させた値をモード選択用変換比として設定する変換比設定手段と、前記モード選択用変換比を用いて前記スイッチング素子のオンオフ時間を決定し、前記モード選択用変換比の値が所定の中域範囲内の値であるときに前記DC/DCコンバータ回路を前記パススルーモードで動作させる制御信号を出力し、前記モード選択用変換比が前記中域範囲に隣接し前記中域範囲よりも大きい高域範囲内の値のときに前記DC/DCコンバータ回路を前記昇圧モードで動作させる制御信号を出力する制御手段と、前記昇圧型DC/DCコンバータ回路から出力される電圧を入力し、前記入力電圧を交流電圧に変換するDC/ACインバータ回路と、前記DC/ACインバータから出力される電圧を検出する電圧検出回路と、前記DC/ACインバータから出力される電流を検出する電流検出回路と、を備えている電力変換装置。

[請求項6] 前記変換比設定手段は、前回算出した電力値を記憶する第1電力値記憶手段と、今回算出した電力値を記憶する第2電力値記憶手段と、前回算出した変換比の値を記憶する第1変換比記憶手段と、今回算出した変換比の値を記憶する第2変換比記憶手段と、動作開始時に前記第1電力値記憶手段と、前記第2電力値記憶手段と、前記第1変換比記憶手段と、前記第2変換比記憶手段とに初期値を設定する初期化手段と、前記第1及び第2変換比記憶手段に記憶されている変換比の値と前記第1及び第2電力値記憶手段に記憶されている電力値とに基づいて、前記第2電力値記憶手段に記憶されている電力値が前記第1電力値記憶手段に記憶されている電力値よりも小さく且つ前記第2変換比記憶手段に記憶されている変換比の値が前記第1変換比記憶手段に記憶されている変換比の値以上のとき或いは前記第2電力値記憶手段に記憶されている電力値が前記第1電力値記憶手段に記憶されている電力値以上であり且つ前記第2変換比記憶手段に記憶され

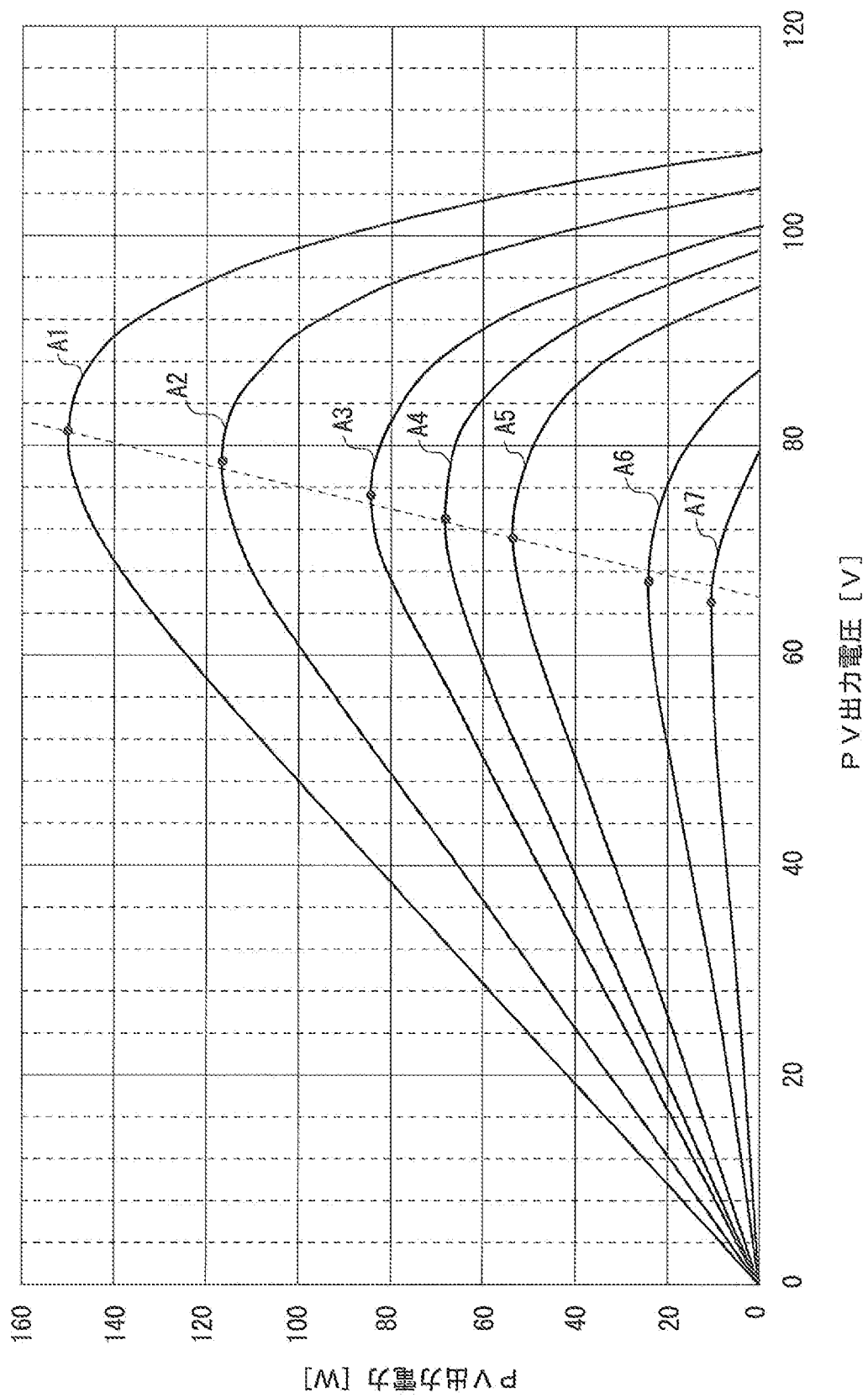
ている変換比の値が前記第 1 変換比記憶手段に記憶されている変換比の値よりも小さいときに、前記第 2 変換比記憶手段に記憶されている変換比の値から所定の調整値を差し引いた値を今回算出した変換比及び新たな変換比とする第 1 変換比演算手段と、前記第 1 及び第 2 変換比記憶手段に記憶されている変換比の値と前記第 1 及び第 2 電力値記憶手段に記憶されている電力値とに基づいて、前記第 2 電力値記憶手段に記憶されている電力値が前記第 1 電力値記憶手段に記憶されている電力値よりも小さく且つ前記第 2 変換比記憶手段に記憶されている変換比の値が前記第 1 変換比記憶手段に記憶されている変換比の値よりも小さいとき或いは前記第 2 電力値記憶手段に記憶されている電力値が前記第 1 電力値記憶手段に記憶されている電力値以上であり且つ前記第 2 変換比記憶手段に記憶されている変換比の値が前記第 1 変換比記憶手段に記憶されている変換比の値以上であるとき、前記第 2 変換比記憶手段に記憶されている変換比の値に所定の調整値を加算した値を今回算出した変換比及び新たな変換比とする第 2 変換比演算手段と、 から構成され、前記制御手段は、前記第 1 変換比演算手段或いは前記第 2 変換比演算手段によって算出されたモード選択用変換比に基づいて、該モード選択用変換比が前記第 1 変換比記憶手段に記憶した初期値を含む所定の中域範囲内の値のときに前記 DC/DC コンバータ回路を前記パススルーモードで動作させると共に前記モード選択用変換比を用いて算出したスイッチング素子オン時間に基づいて前記スイッチング素子をオンオフさせる前記制御信号を出力し、前記算出されたモード選択用変換比が前記中域範囲に隣接し前記中域範囲よりも大きい高域範囲内の値のときに前記 DC/DC コンバータ回路を前記昇圧モードで動作させると共に前記モード選択用変換比を用いて算出したスイッチング素子オン時間に基づいて前記スイッチング素子をオンオフさせる前記制御信号を出力する手段を有している請求項 5 に記載の電力変換装置。

[請求項7] 前記特性曲線において前記最大電力点を含む電圧範囲を基準電圧領域として、前記入力電圧範囲を複数の領域に区分し且つそれぞれの領域毎に前記調整値を設定すると共に、前記電圧検出回路による検出電圧が前記基準電圧領域にあるときの前記調整値を基準値としてそれぞれの領域の調整値が前記基準電圧領域から離れるにしたがって大きくなる値に設定されている請求項6に記載の電力変換装置。

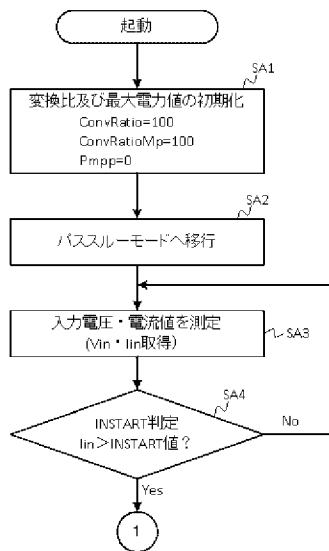
[図1]



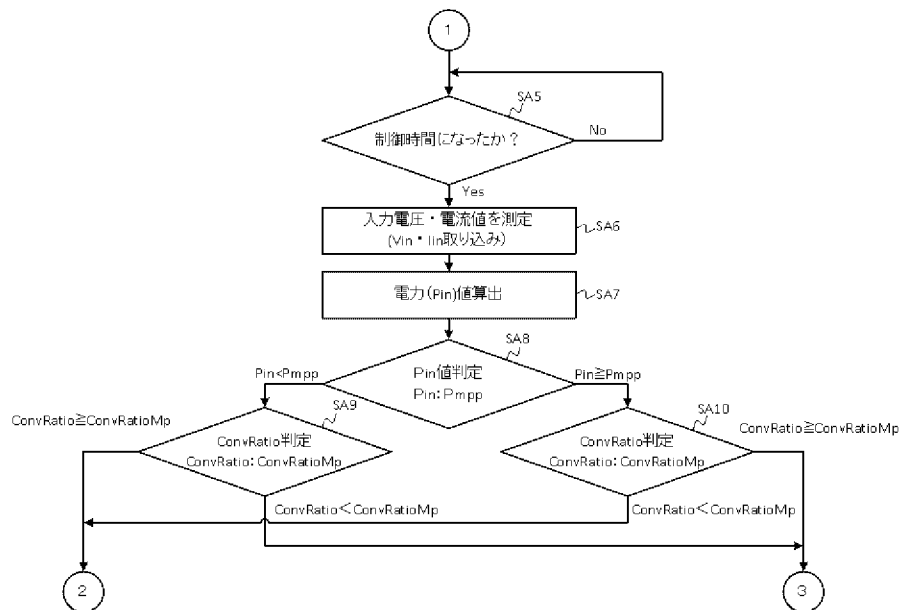
[図2]



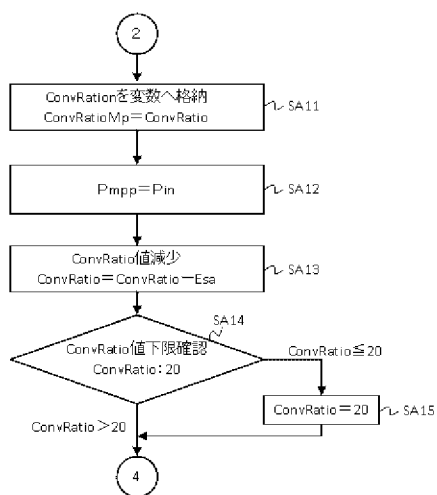
[図3]



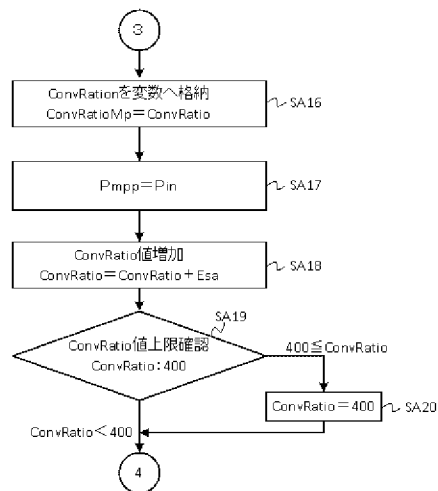
[図4]



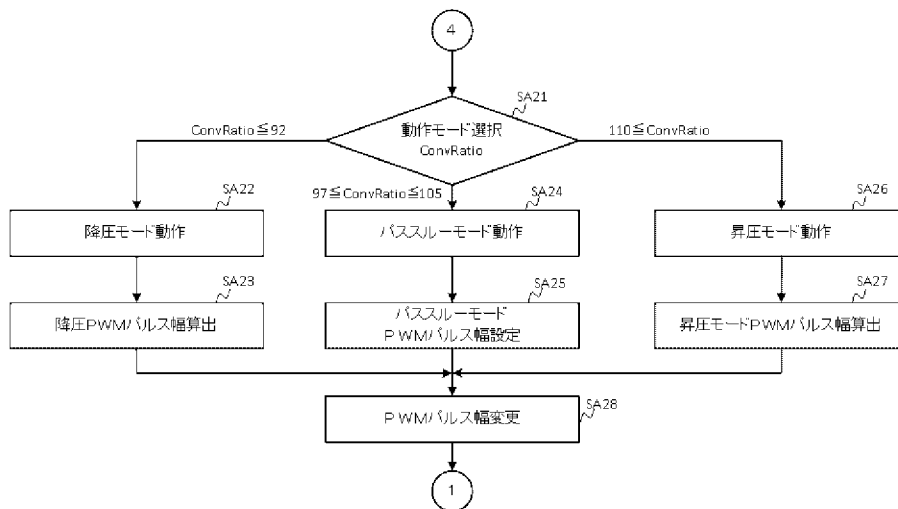
[図5]



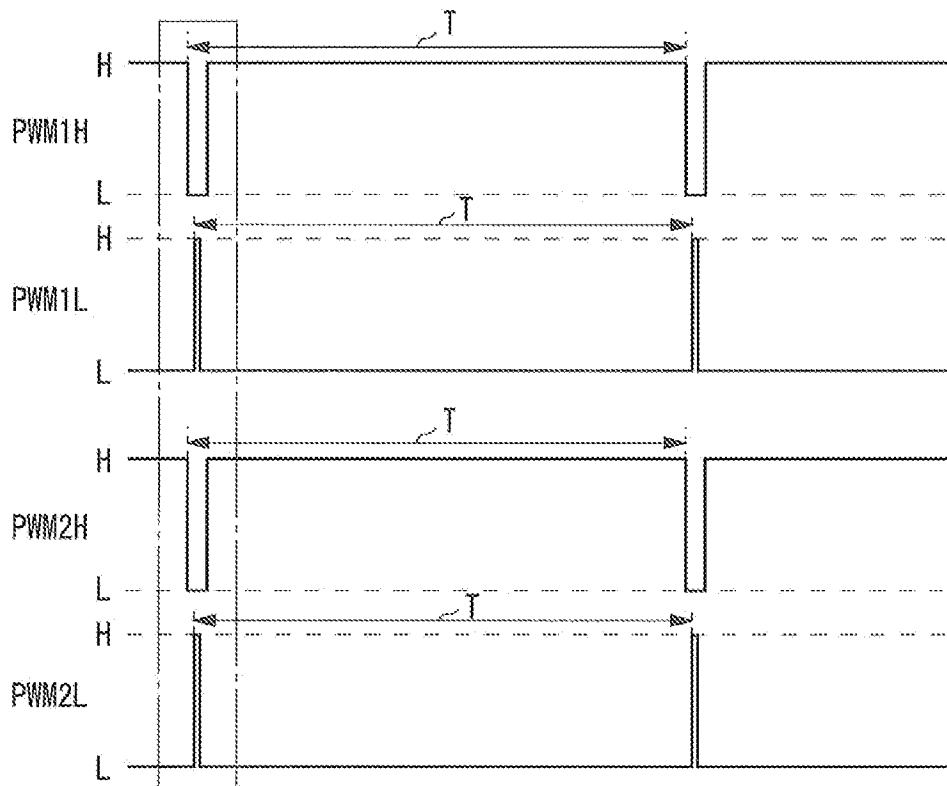
[図6]



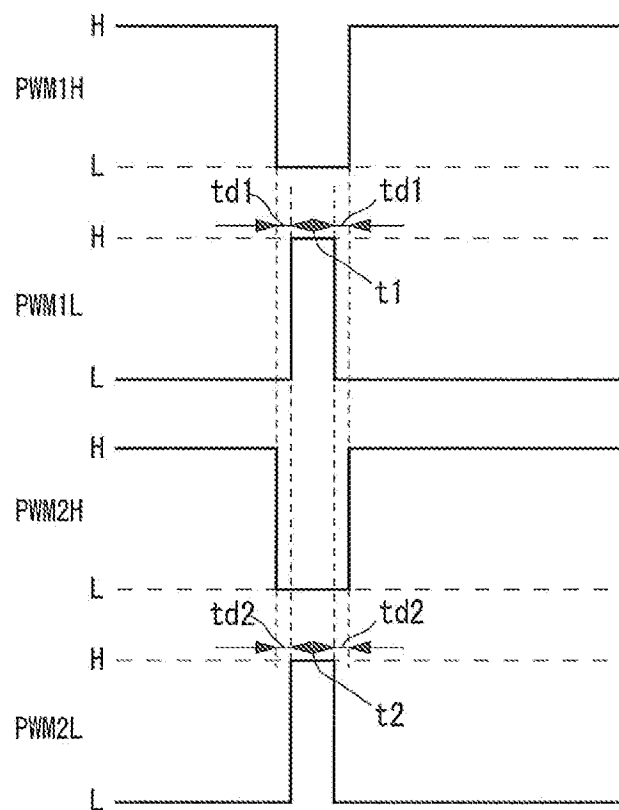
[図7]



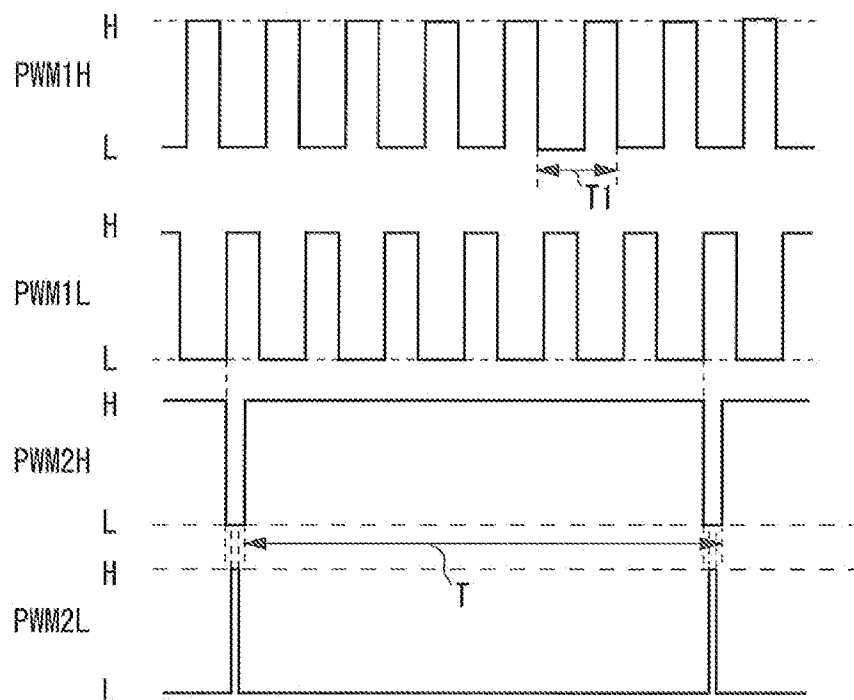
[図8]



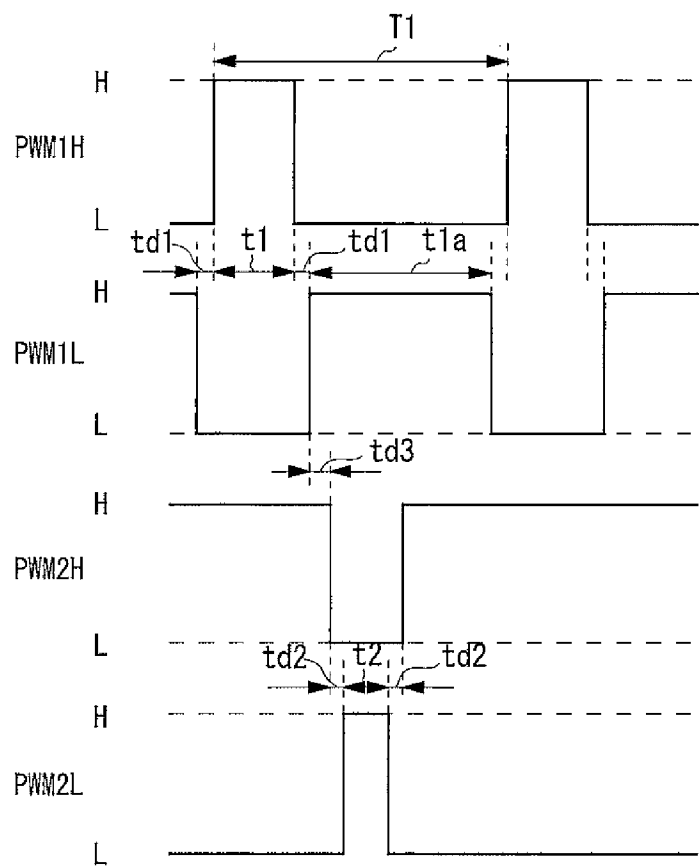
[図9]



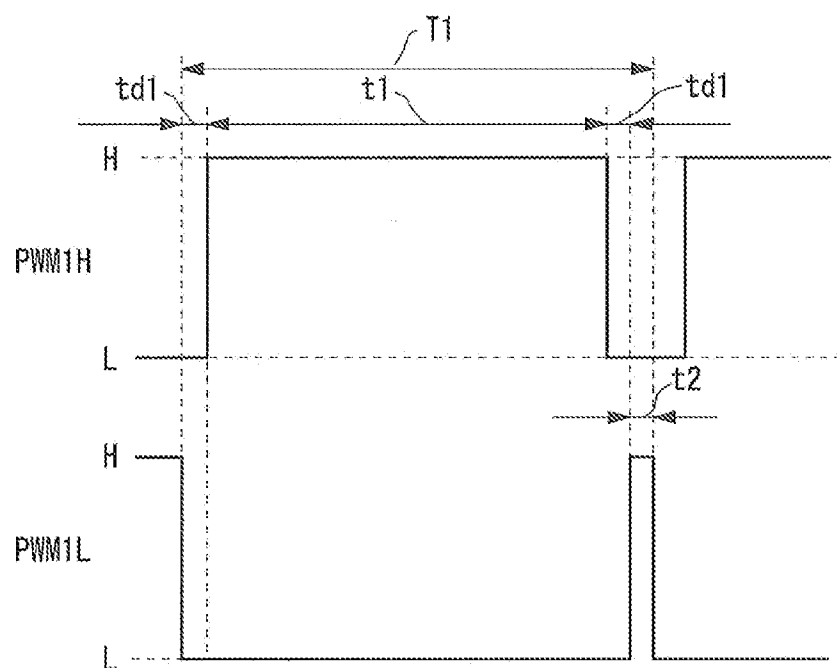
[図10]



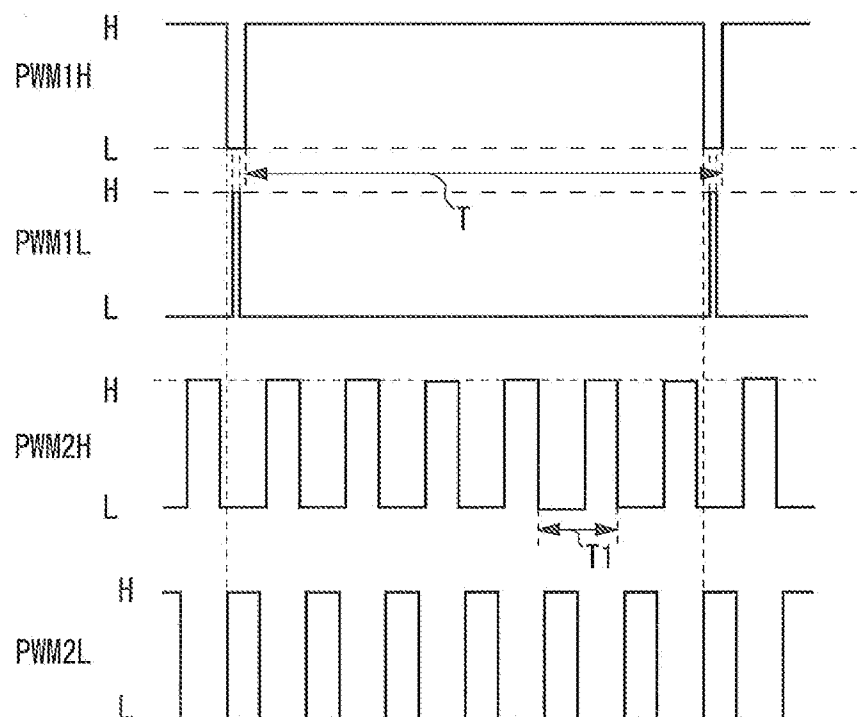
[図11]



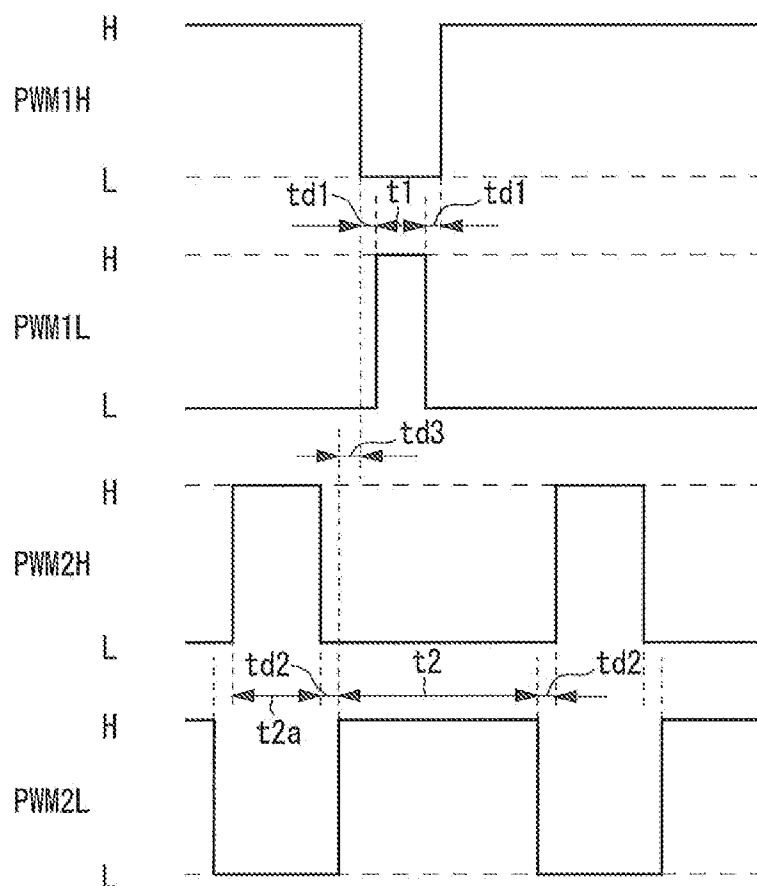
[図12]



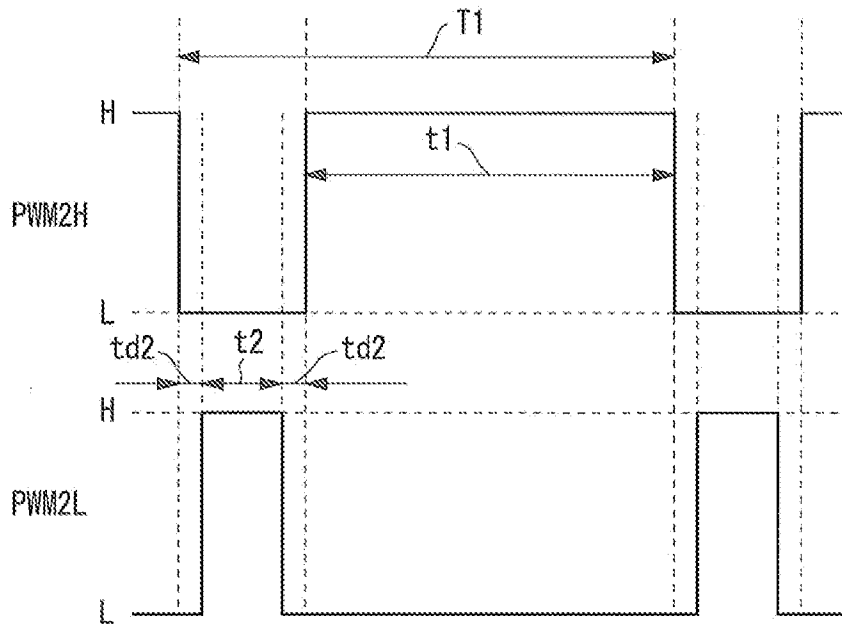
[図13]



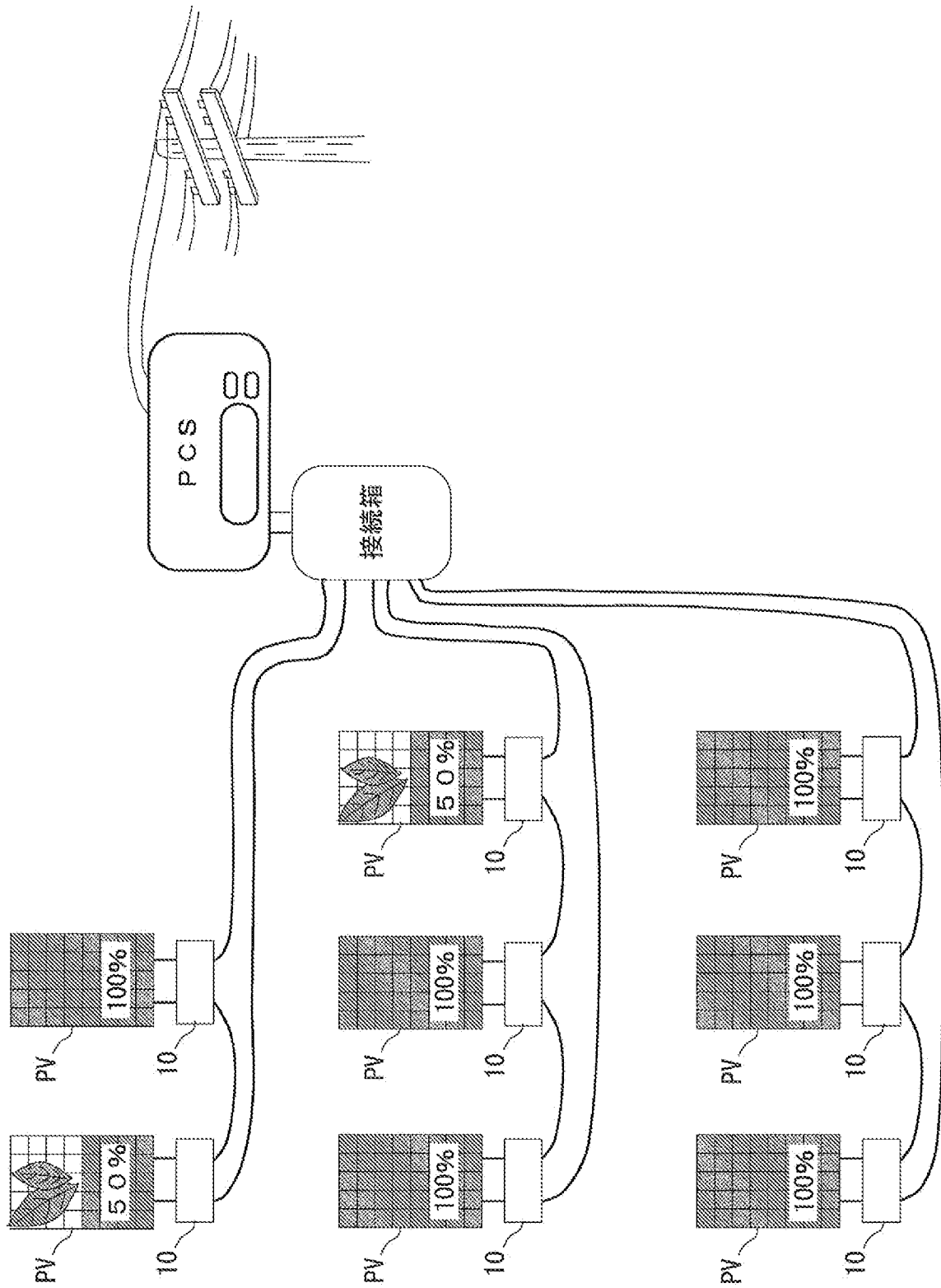
[図14]



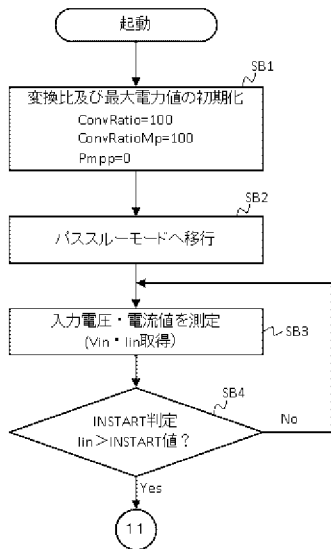
[図15]



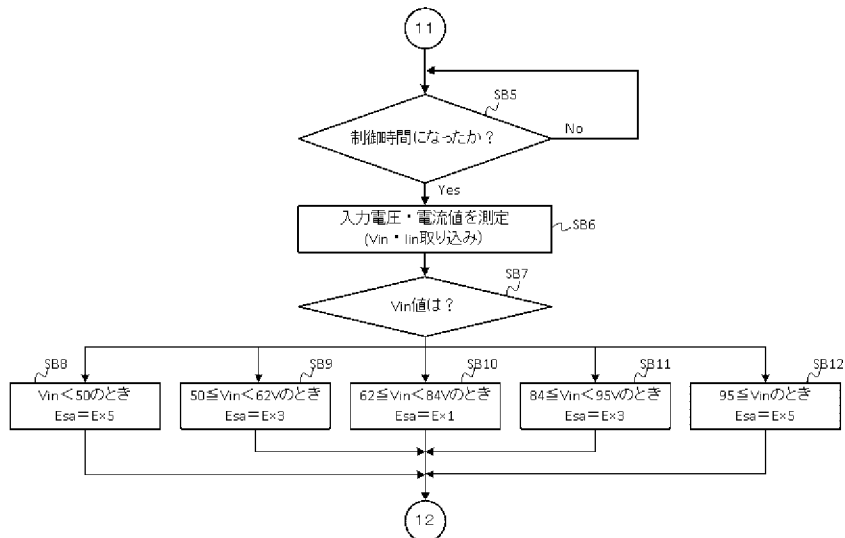
[図16]



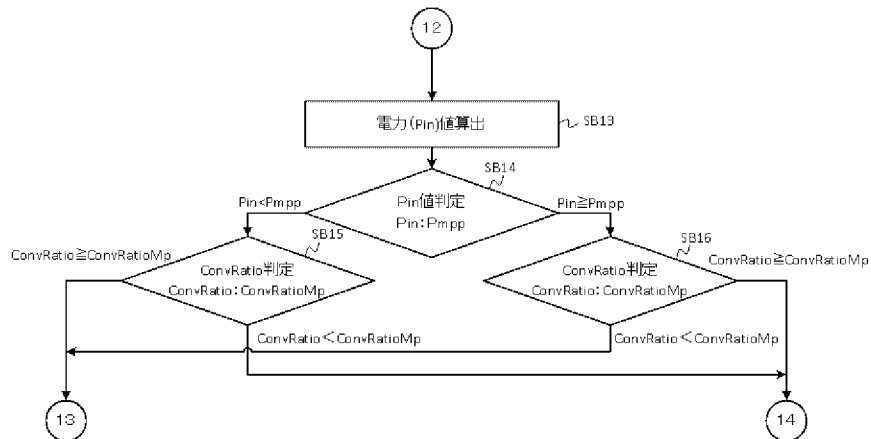
[図17]



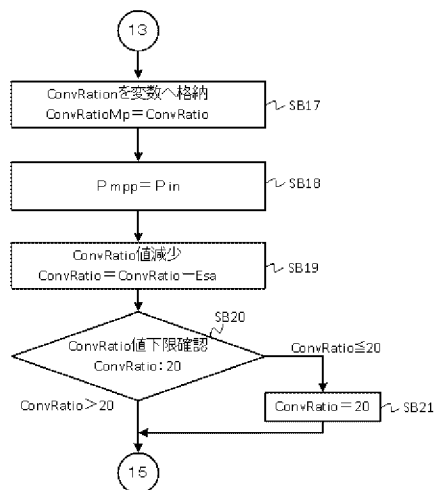
[図18]



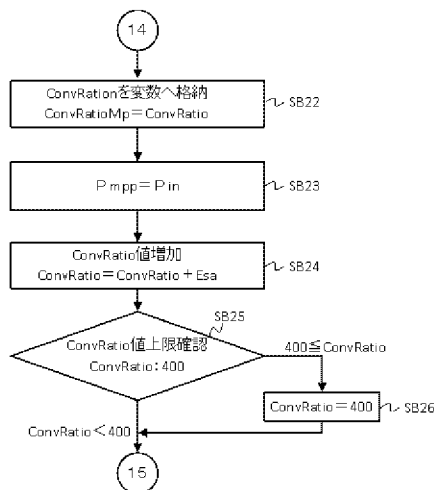
[図19]



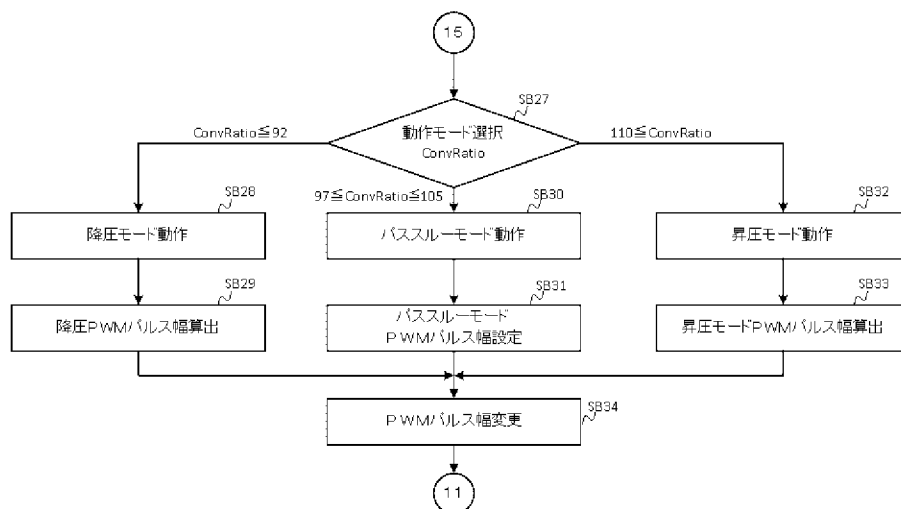
[図20]



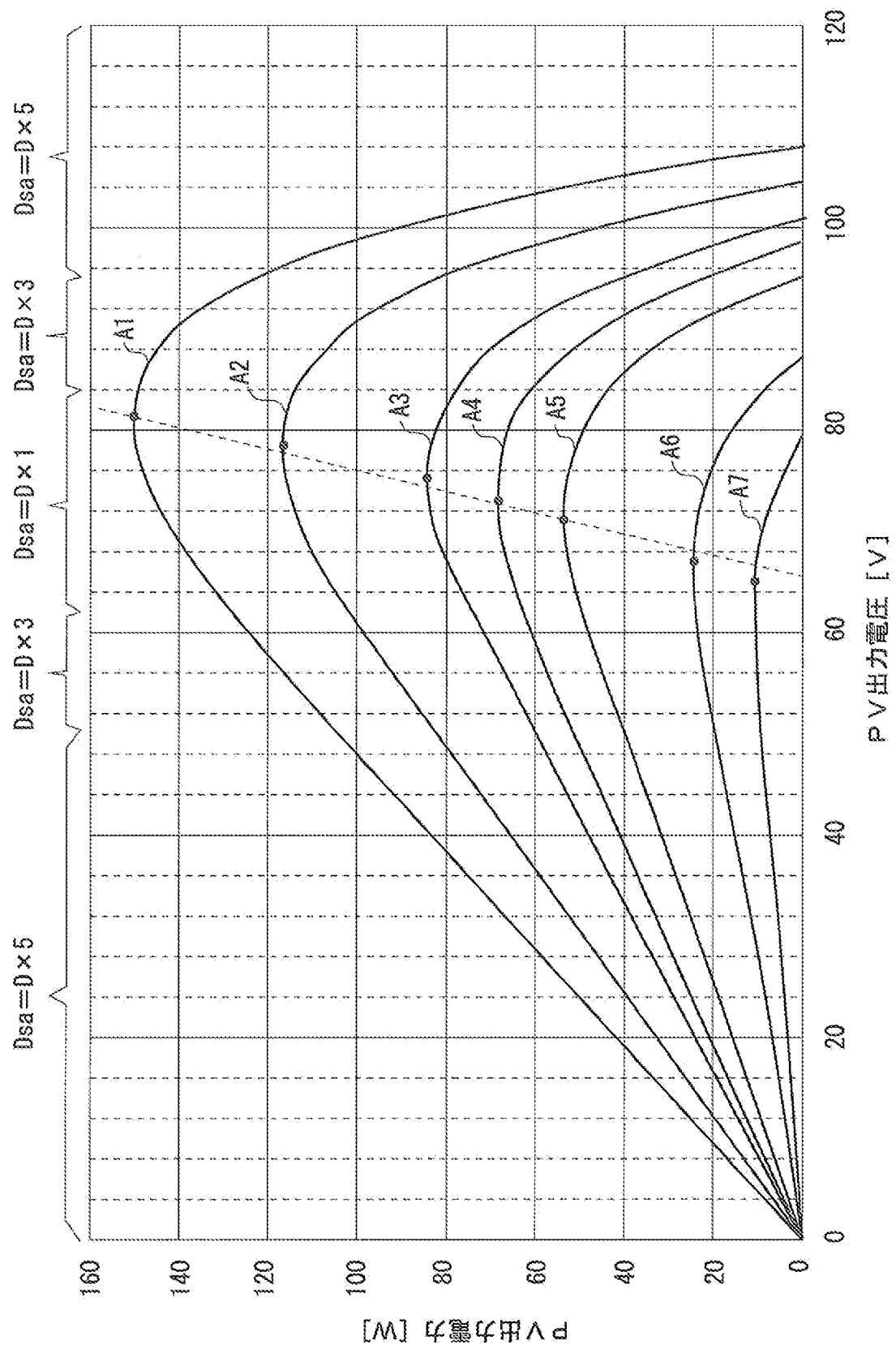
[図21]



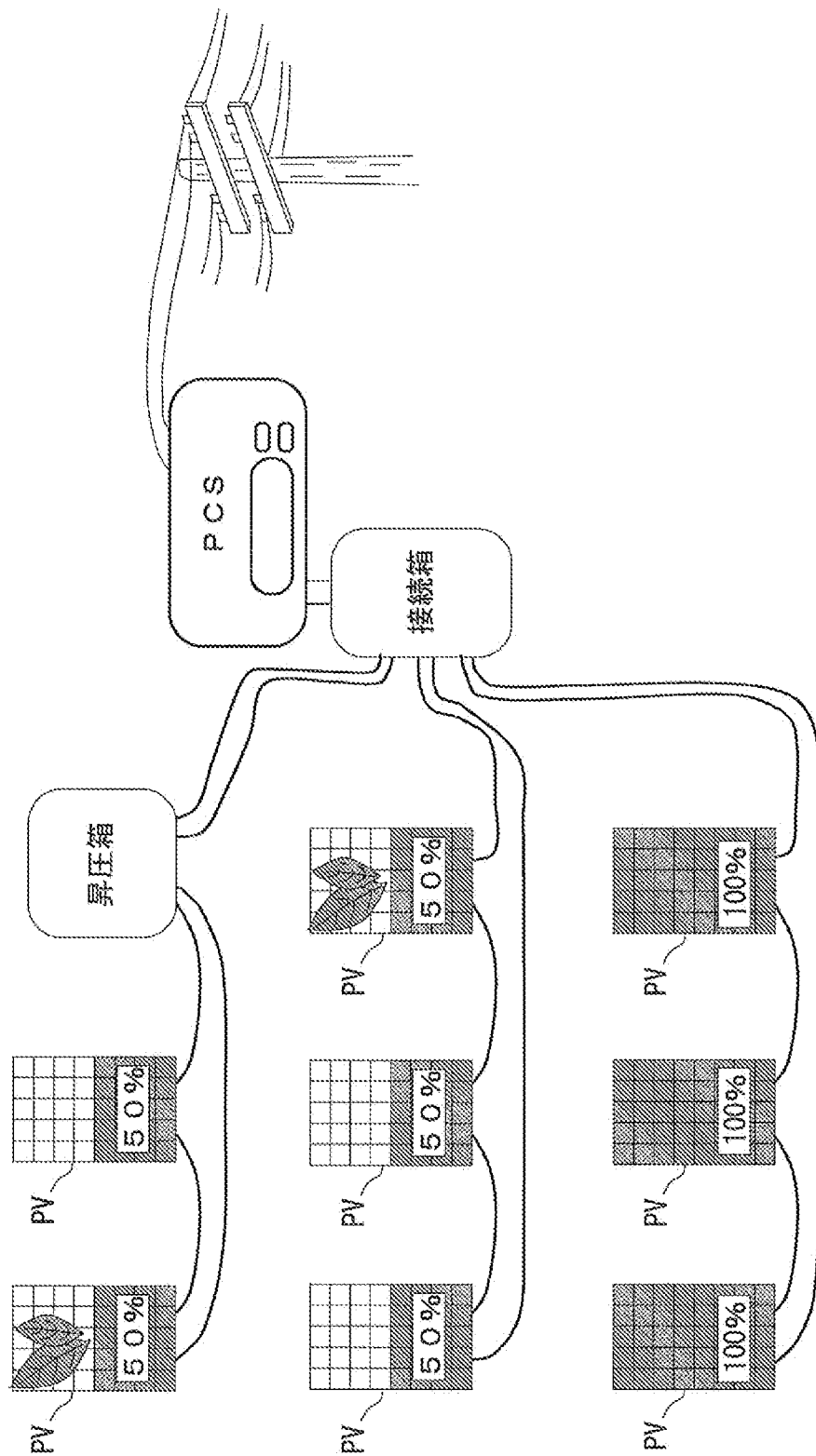
[図22]



[図23]

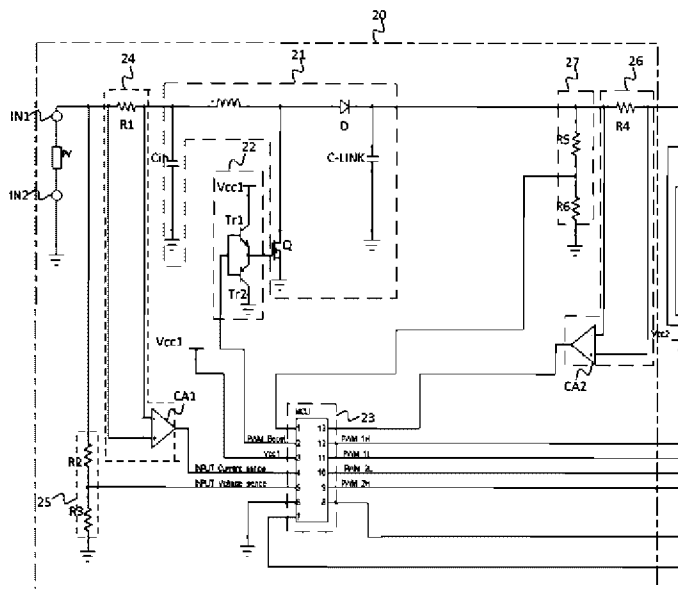


[図24]

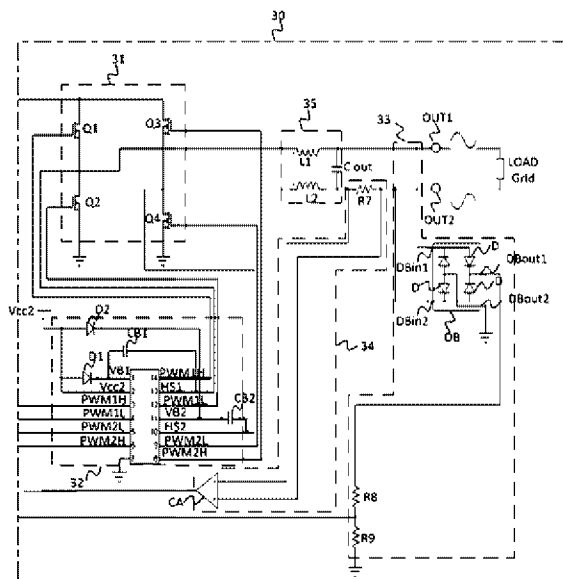


[illegible]

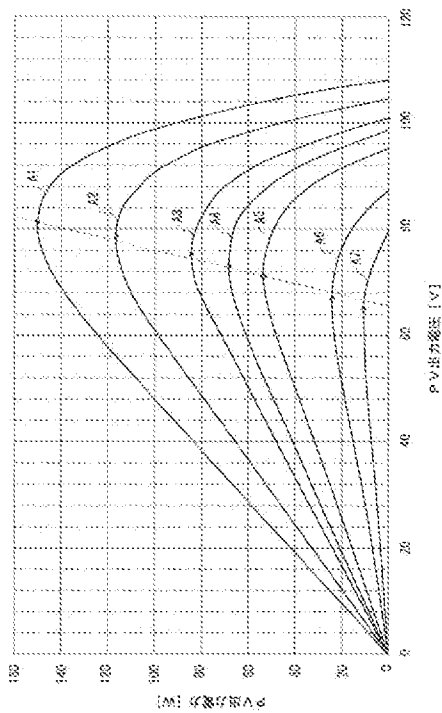
[図26]



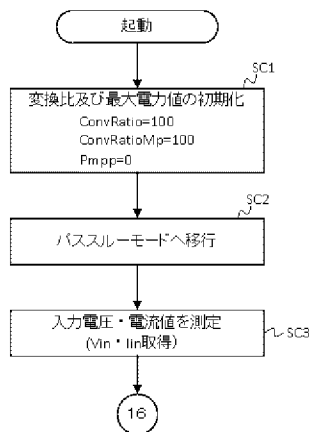
[図27]



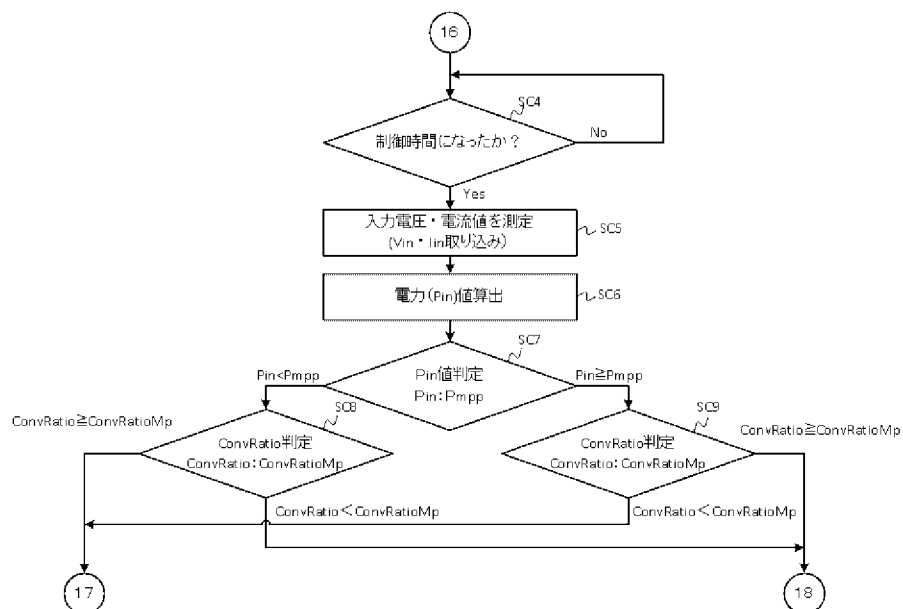
[図28]



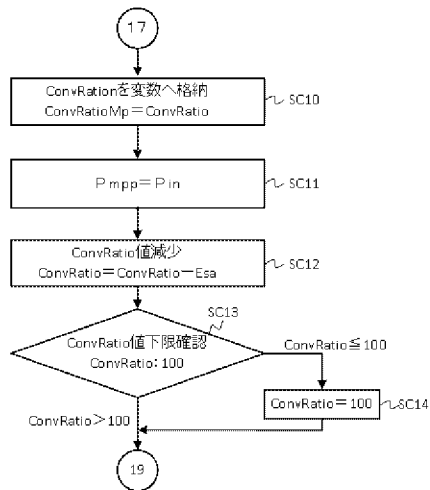
[図29]



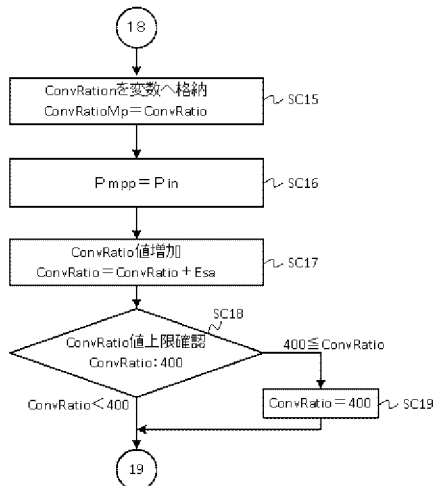
[図30]



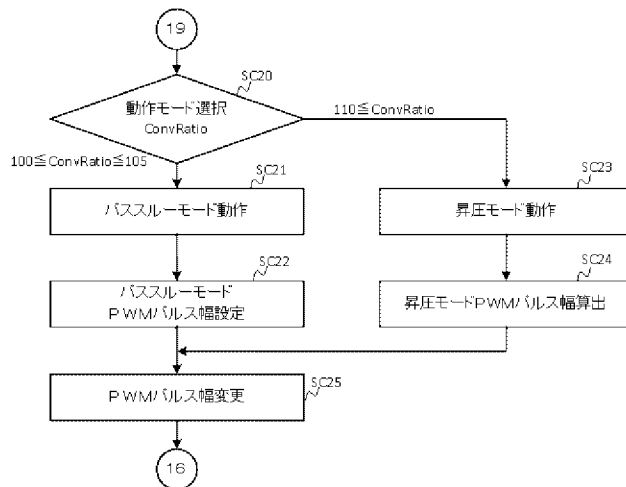
[図31]



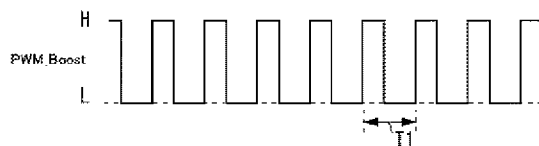
[図32]



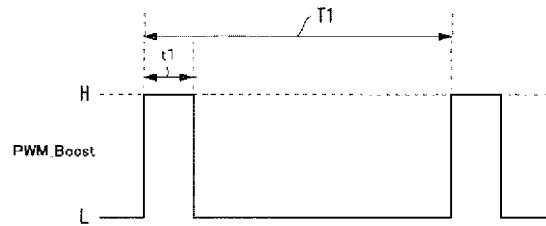
[図33]



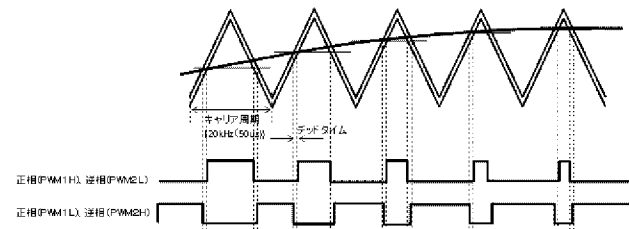
[図34]



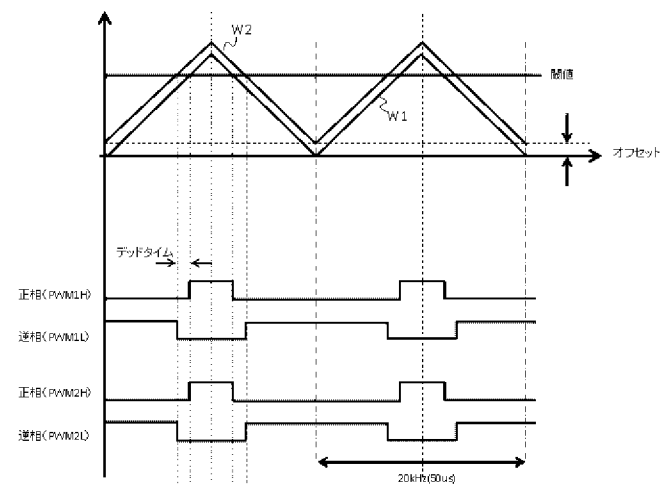
[図35]



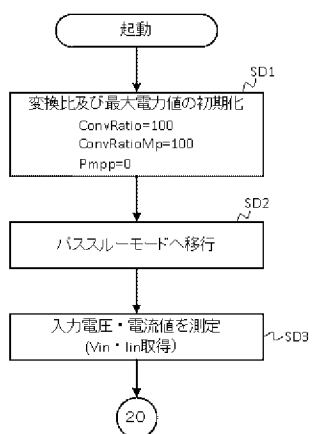
[図36]



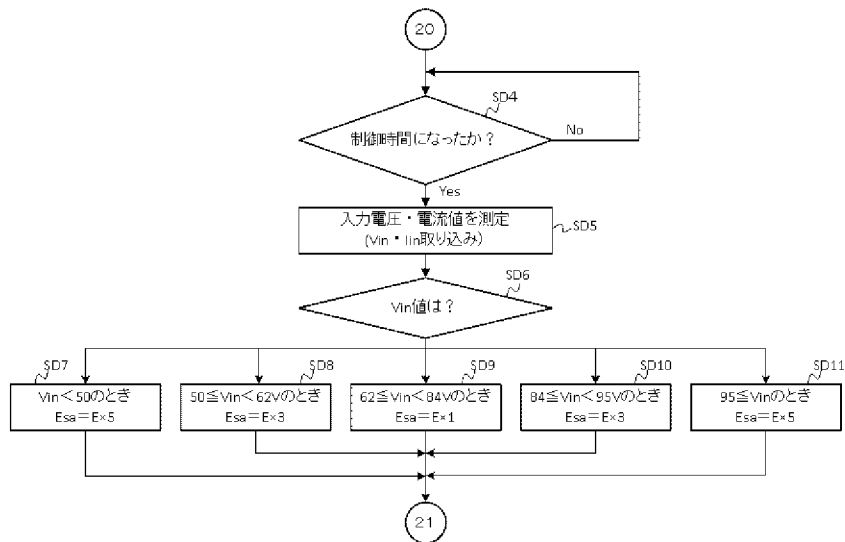
[図37]



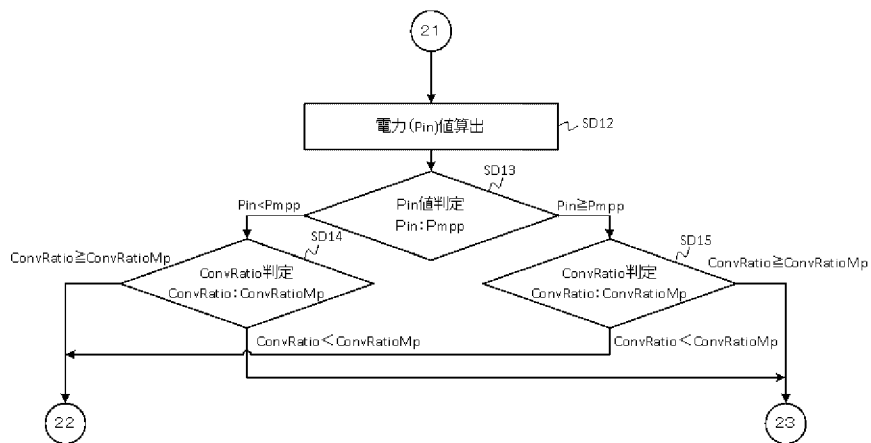
[図38]



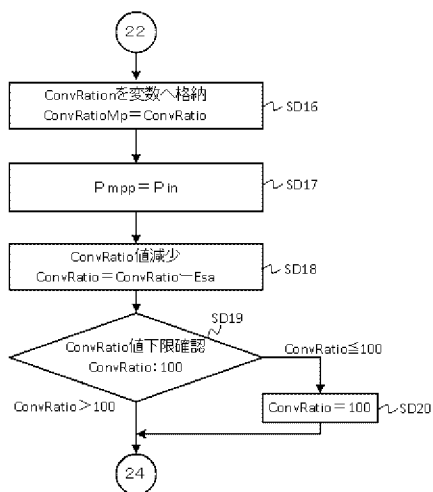
[図39]



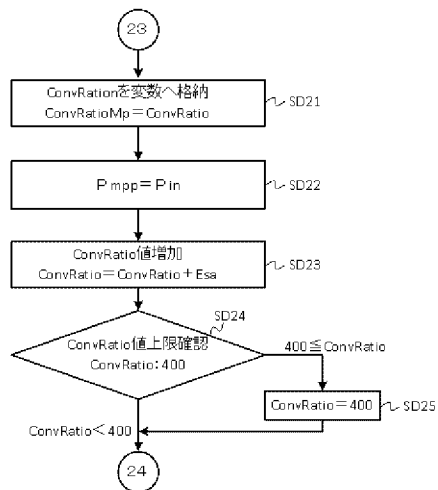
[図40]



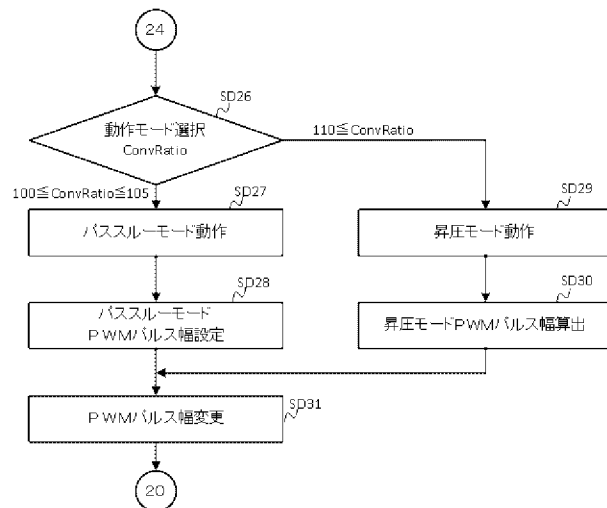
[図41]



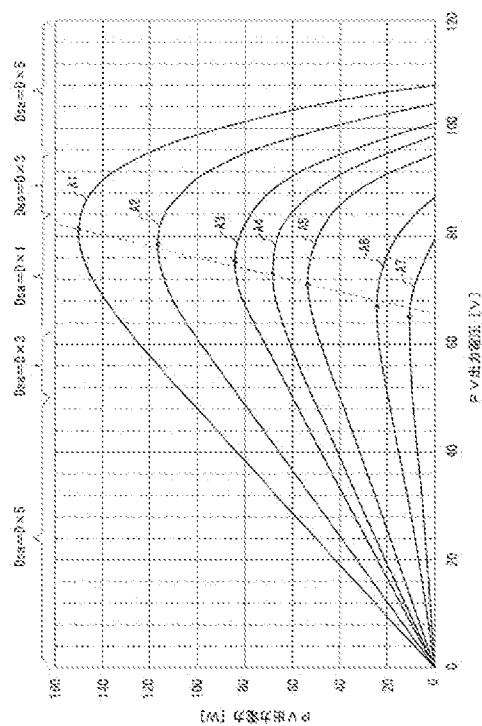
[図42]



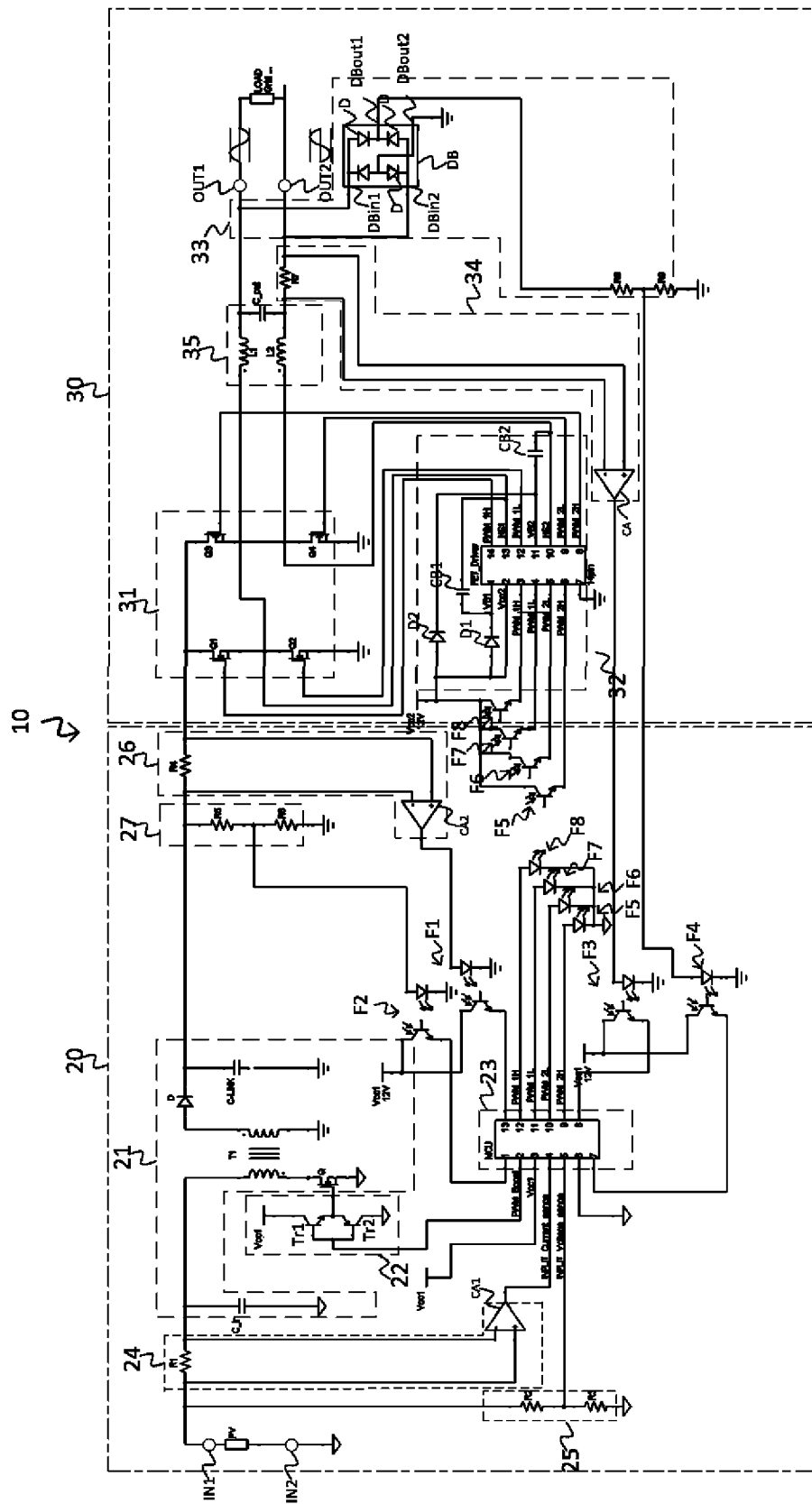
[図43]



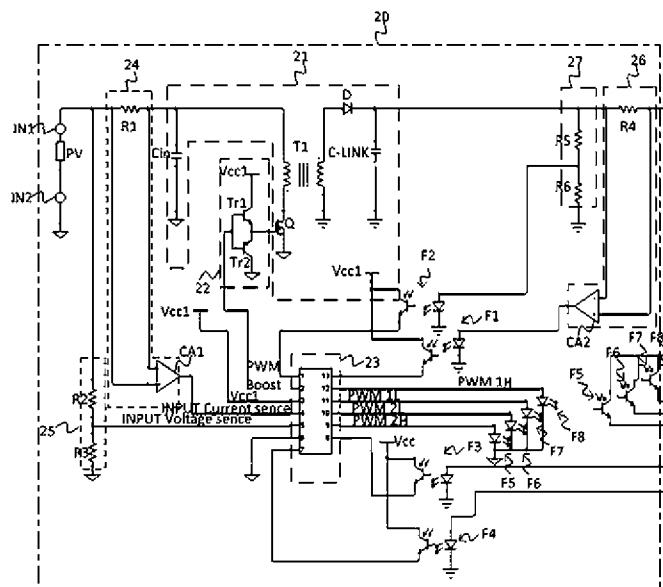
[図44]



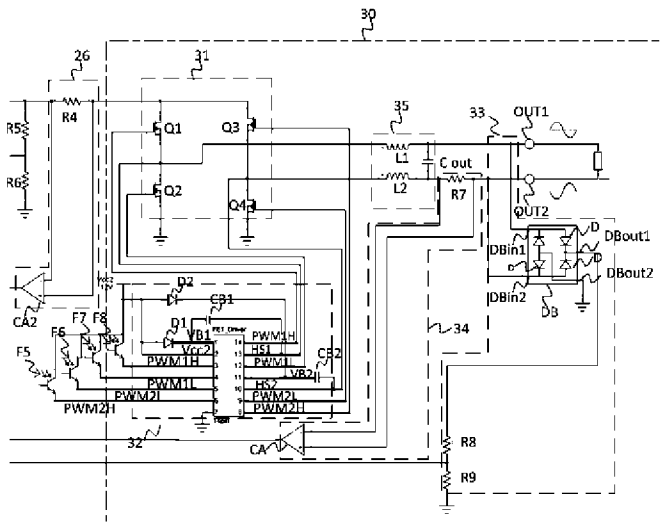
[図45]



[図46]



[図47]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/080879

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/155(2006.01) i, G05F1/67(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155, G05F1/67

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2011-522312 A (National Semiconductor Corp.), 28 July 2011 (28.07.2011), paragraphs [0022] to [0030], [0042], [0054] to [0062]; fig. 3 to 4 & WO 2009/140543 A2 & WO 2009/140539 A2 & WO 2009/140536 A2 & US 2009/0284998 A1 & US 2009/0284240 A1 & US 2009/0284078 A1 & JP 2011-522313 A & JP 2011-521362 A & CN 102089961 A & CN 102084584 A & CN 102067436 A	1 5 2-4, 6-7
Y A	WO 2011/135658 A1 (Mitsubishi Electric Corp.), 03 November 2011 (03.11.2011), paragraphs [0034] to [0042]; fig. 1, 3 (Family: none)	5 1-4, 6-7

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
10 February, 2014 (10.02.14)

Date of mailing of the international search report
18 February, 2014 (18.02.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M3/155(2006.01)i, G05F1/67(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M3/155, G05F1/67

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2011-522312 A（ナショナル セミコンダクタ コーポレイション）2011.07.28, 【0022】-【0030】、【0042】、【0054】-【0062】、図3-4 & WO 2009/140543 A2 & WO 2009/140539 A2 & WO 2009/140536 A2 & US 2009/0284998 A1 & US 2009/0284240 A1 & US 2009/0284078 A1 & JP 2011-522313 A & JP 2011-521362 A & CN 102089961 A & CN 102084584 A & CN 102067436 A	1 5 2-4, 6-7
Y A	WO 2011/135658 A1（三菱電機株式会社）2011.11.03, [0034]-[0042]、図1、図3（ファミリーなし）	5 1-4, 6-7

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 0 . 0 2 . 2 0 1 4

国際調査報告の発送日

1 8 . 0 2 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

槻木澤 昌司

3 V

9 3 2 6

電話番号 03-3581-1101 内線 3358