(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[5]
H01L 27/00

(45) 공고일자 1990년03월24일
(11) 공고번호 90-001834

(21) 출원번호	특1986-0004508	(65) 공개번호	특1987-0000758
(22) 출원일자	1986년06월05일	(43) 공개일자	1987년02월20일

(30) 우선권주장 60-123002 1985년06월06일 일본(JP)

(71) 출원인 가부시끼가이샤 도오시바 와타리 스기이찌로
일본국 가나가와껜 가와사끼시 사이와이구 호리가와쬬오 72반지

(72) 발명자 마세 야스가즈
일본국 가나가와껜 가와사끼시 사이와이구 고무가이 도오시 바쬬오 1반지 가부시끼가이샤 도오시바 다마가와공장내
아베 마사히로
일본국 가나가와껜 가와사끼시 사이와이구 고무가이 도오시 바쬬오 1반지 가부시끼가이샤 도오시바 다마가와공장내
아오야마 마사하루
일본국 가나가와껜 가와사끼시 사이와이구 고무가이 도오시 바쬬오 1반지 가부시끼가이샤 도오시바 다마가와공장내

(74) 대리인 김윤배

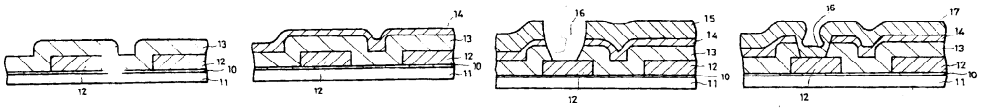
심사관 : 조성욱 (책자공보 제1807호)

(54) 반도체장치의 제조방법

요약

내용 없음.

대표도



명세서

[발명의 명칭]

반도체장치의 제조방법

[도면의 간단한 설명]

제1a~d도는 종래재조 방법의 제조공정을 나타내는 단면도.

제2도 및 제3도는 종래의 2층배선 구조로 된 반도체 장치의 단면도.

제4a~f도는 본 발명의 일실시예에 따른 반도체 장치의 제조공정을 나타내는 단면도.

제5도는 본 발명에 따른 3층 배선구조로 된 반도체 장치를 나타내는 단면도.

제6도는 종래의 3층 배선구조로 된 반도체장치를 나타내는 단면도.

제7a~e도는 본 발명의 다른 실시예에 따른 반도체 장치의 제조공정을 나타내는 단면도이다.

* 도면의 주요부분에 대한 부호의 설명

10, 30 : 실리콘산화막 11, 31 : 반도체기판

12, 35, 51 : 제1배선층 13, 37, 62, 53, 54 : P-SiN막

14, 38, 55, 67 : 실리카절연막 15, 39, 52, 56 : 포토레지스트막

16, 40, 57 : 관통공 17, 41, 59 : 제2배선층

32 : 폴리이미드막　　33 : Al-Si막

34, 61 : $TiSi_2$막　　36, 58 : 돌출부

63 : 제3배선층

[발명의 상세한 설명]

본 발명은 반도체장치의 제조방법에 관한 것으로, 특히 개량된 다층배선구조를 형성시키는 방법에 관한 것이다.

반도체장치에 있어서는 소자를 고집적화함과 더불어 동작을 고속화하기 위해 패턴회수의 미세화가 진척되어 왔다. 특히 다층배선구조를 형성시키는 공정에 있어서는 배선층의 폭과 배선층 사이간격의 미세화가 진적됨에 따라 관통공의 칫수도 미세화되고 있다. 그 때문에 최근에는 사이드엣칭량이 적고 엣칭제어성이 높은 반응성이은엣칭(RIE)공법으로 관통공을 형성시키고 있다. 여기서 먼저 관통공을 형성시키는 공정을 포함해서 종래의 2층 배선층구조를 형성시키는 방법에 대하여 제1도 (a) 내지 (d)를 참조하여 설명하기로 한다.

제1도(a)에서 보면, 먼저 표면에다 열산화방법으로 실리콘산화막(10)을 갖는 반도체기판(11)위에 두께 1.0㎛인 Al-Si로 된 제1배선층(12)를 형성시킨 다음, 그 구조위에다 플라즈마법으로 SiN막(이하 P-SiN막이라 칭함)(13)을 형성시킨다.

다음에는 제1도(b)에 도시된 바와 같이, 상기 구조위에 실리카용액을 도포해서 평탄화시키고, 이를 열처리하여 두께 4㎛인 실리카절연막(14)을 형성시킨다.

다음에는 제1도(c)에 도시된 바와 같이, 상기 구조위에다 포토레지스트필름을 형성시킨 다음 통상의 사진 평판법으로 패터닝하여 패턴화포토레지스트막(15)을 형성시키고, 이어 이레지스트막(15)을 마스크로하여 반응성 이온엣칭(RIE)법으로 실리카절연막(14)과 P-SiN막(13)을 선택적으로 엣칭하므로써 관통공(16)을 형성시킨다.

이어 제1도(d)에 도시된 바와 같이, O_2 플라즈마법으로 레지스트막(15)을 제거한 후 이 구조위에 통상의 스퍼터링법으로 Al-Si를 두께 1.0㎛만큼 증착시킨 다음 페터닝하여 제2배선층(17)을 형성시킨다. 이로써 2층으로 된 배선층구조를 갖는 반도체장치가 형성되는 것이다.

그러나 이상과 같은 종래의 제조방법에는 다음과 같은 문제점이 있는바, 즉 (1) 관통공(16)내에서 제2배선층(17)이 단절되는 것을 방지하기 위해서는 관통공(16)을 형성하고 있는 P-SiN막(13)과 실리카절연막(14)으로 된 층간절연막의 측벽을 45°~55° 정도의 경사각이 되도록 할 필요가 있게 되는데도, P-SiN막(13)에 대한 레지스트막(15)의 면적비나 P-SiN막(13)의 엣칭속도 및 엣칭상태의 안정성 등을 고려해볼때 종래의 방법으로서는 경사각 제2도에 도시된 바와 같이 65°~75°로 급경사되어버리기 때문에, 관통공(16)을 형성하고 있는 P-SiN막(13) 및 실리카절연막(14)의 측벽에 형성되는 제2배선층(17)의 두께가 제2도에 도시된 바와같이 실리카절연막(14) 표면위에 형성된 제2배선층(17)의 막두께보다 더 얇아져서(박막화됨) 20~40%의 두께밖에 갖지 못하게 된다. 그 때문에 제2배선층의 얇은 부분에서 전류의 밀도가 높아져 단선현상이 일어나기가 쉽다. (2) 층간절연막의 두께가 1.0㎛이상으로 되는 경우에는 포토레지스트막(15)의 후퇴로 말미암아 일어나는 엣칭칫수의 어긋남이 커져서(예컨대 두께 1.0㎛인 층간절연막에서 한쪽으로 약 0.5㎛)관통공(16)의 미세화가 곤란해지게 된다. 또 마스크로서의 포토레지스트막(15)에서의 관통공직경이 예컨대 2㎛가 되는 경우에는 제3도에 도시된 바와 같이 엣칭처리후의 층간절연막에 형성되는 관통공의 직경이 최대 3㎛로 된다. 여기서 제3도에서의 부호 L_1은 엣칭후의 실리카절연막(14)과 P-SiN(13)의 관통공 개구직경을 나타내고, L_2는 엣칭후의 실리카절연막(14)과 P-SiN막(13)에 형성되는 관통공(16)의 포토레지스트막(15)에서의 개구직경을 나타낸다.

본 발명은 상기와 같은 제반분제사항들을 감안하여 발명한 것으로 배선층을 얇아지게하거나 단절되도록 하지 않으면서 관통공을 형성시킬 수 있도록 된 반도체장치의 제조방법을 제공하고자 함에 그 목적이 있다.

이하 본 발명의 실시예를 예시도면에 의거하여 설명하면 다음과 같다.

제4도(a) ~ (f)는 본 발명의 일실시예에 대한 공정을 나타내는 단면도로서, 제4도(a)에 도시된 바와 같이, 열산화로써 형성된 절연막인 실리콘산화막(30)이 그 표면에 형성된 반도체기판인 실리콘기판(31)위에 폴리이미드를 도포한 다음 열처리해서 리프트오프층인 두께 1.3㎛의 폴리이미드막(32)을 형성시킨 다음 통상의 사진평판법과 반응성이온엣칭(RIE)법으로 폴리이미드막(32)을 패터닝한다.

이어 포리이미드막을 패터닝할때 마스크로 쓰여졌던 포토레지스트막(도시되지 않음)을 제거한 다음 통상의 스퍼터링법으로 두께 1.0㎛의 Al-sl막(33)과 두께 0.1㎛의 $TiSi_2$막(34)를 차례로 형성시킨다.

다음에는 제4도(b)에 도시된 바와 같이, O_2 앳싱(Ashing) 폴리이미드막(32)을 제거하면서 폴리이미드막(32)위에 있던 Al-Si막(33)과 $TiSi_2$ 막(34)도 제거한다. 따라서 실리콘산화막(30)상에는 그위에 직접형성되어져 있는 Al-Si막(33)과 $TiSi_2$ 막(34)만이 남게 되는데, 이렇게 실리콘산화막(30)상에 남아있는 Al-Si막(33)은 이하에서 제1배선층이라 지칭하면서 제4도(c)이후로는 부호를 35호 표시한다. 이어서 통상의 사진평판법과 반응성이온엣칭(RIE)법으로 $TiSi_2$ 막(34)의 소정영역을 제거해서 관통공을 형성시킨다.

이어 제4도(c)에서와 같이 TiSi2 막(34)의 소정영역을 제거할 때 마스크로써 쓰여졌던 포토레지스트

막을 제거하고, 500℃의 온도하에서 15분동안 가열하여 상기 제1배선층(35)을 소결(sinter)시켜주므로서 제1배선층(35)의 관통공에 노출되어져 있는 면위에다 높이 1.0㎛정도의 돌출부(36)를 형성시킨다.

다음에는 제4도(d)에 도시된 바와같이, 상기 구조위에 플라즈마법으로 1.0㎛의 P-SiN막(37)을 형성시킨 다음 실리카용액을 도포하여 열처리하므로써 0.4㎛두께의 절연막(38)을 형성시키고 이후 포토레지스트를 상기 실리카절연막(38)상에 도포하여 두께 2.5㎛의 포토레지스트막(39)을 형성시킨다. 여기서 P-SiN막(37) 및 실리카절연막(38)이 제2절연막으로서 작용한다.

이어 제4도(e)에 도시된 바와 같이, 포토레지스트막(39)을 통상의 사진평판법 및 O_2 반응성이온엣칭법(O_2량 : 60sccm, 압력 : 3pa, 출력 : 550W)으로 선택적으로 엣칭하여, 돌출부(36)상의 실리카절연막(38)과 P-SiN막(37)을 노출시킨 다음, 포토레지스트막(39)을 마스크로해서 실리카절연막(38)과 P-SiN(37)을 차례로 반응성이온엣칭법으로 엣칭하여 돌출부(36)에 대해 자기정합적으로 돌출부(36)로 통하는 관통공(40)을 형성시킨다. 한편 이 경우의 엣칭조건으로는 실리카절연막(38)의 경우 가스유량을 CF_4/H_2=30/10sccm로 하고, 압력은 2pa 출력은 400W로 하는 반면, P-SiN막(37)인 경우에는 가스유량을 SF_6=100sccm로 하고 압력을 10pa, 출력을 500W로 하였다.

다음에는 제4도(f)에 도시된 바와같이, 포토레지스트막(39)을 제거한 후 통상의 스프터링법으로 구조체 위에다 두께 1.0㎛인 Al-Si막을 형성시키고, 이 Al-Si막을 통상의 사진평판법과 습식엣칭법으로 패터닝해서 제2배선층으로서 패턴된 Al-Si막(41)을 형성시킨다. 이상과 같이 본 발명의 일실시예에 따른 제조방법으로 2층 배선구조를 갖는 반도체장치가 만들어지는 것이다.

상기 실시예의 제조방법에 의하면 돌출부억지효과를 갖는 마스크층을 써서 관통공(40)을 형성시킬 예정위치에다 돌출부(36)를 형성시킨 다음 P-SiN막(37)과 실리카절연막(38)으로 된 층간절연막을 형성시키고 돌출부(36)위의 층간절연막(37)(38)을 자기정합적으로 제거해 놓기 때문에, 그 다음에 형성될 제2배선층(41)과 양호한 접속을 제공하게 되는 관통공(40)을 형성시킬 수 있게 되는 것이다. 즉, (1) 관통공(40)내에는 돌출부(36)가 존재하기 때문에 관통공(40)을 한정하고 있는 층간절연막들 (37) (38)의 측벽의 경사각이 완만해지게 되어 제2배선층(41)과의 접속이 대폭적으로 개선되게 된다. 따라서 제1배선층(35)과 제2배선층(41)이 접촉하게 되는 면적이 동일한 면적을 갖는 관통공인 경우 4배정도로 되고, 이 접촉부분에서의 동작전류의 고밀도화가 완화되어져 단선현상이 적게 발생하게 된다. (2) 관통공(40)을 형성할 때 층간절연막(37) (38)의 측벽에 경사각을 둘 필요가 없고 돌출부억지막인 $TiSi_2$ 막은 그 두께가 0.1㎛정도로 얇기 때문에 $TiSi_2$ 막을 엣칭할때 칫수변환의 차가 0.05㎛정도(한쪽)로 작아져서 관통공을 미세화시키기가 쉽게 된다. (3) 관통공(40)을 형성하는 층간절연막(37) (38)의 두께가 종래 제조방법에서의 그것들에 비해 훨씬 얇기 때문에 제5도에 도시된 바와 같이 예컨데 3층 배선구조를 갖는 반도체장치를 제조할 때 2개의 관통공을 중첩시켜 형성시켜 주게되는 경우에 있어서도 3층째의 배선층이 얇아지거나 단절이 일어나게 될 가능성이 적어지게 된다.

도면부호 61은 $TiSi_2$이고, 62는 P-SiN막, 63은 실리카절연막, 64는 제3배선층을 각각 나타내는 것이다.

한편 3층배선구조를 갖는 반도체장치에 있어서, 2개의 관통공을 중첩시켜 형성시킬 경우 종래의 방법으로는 제6도에 도시된 바와같이 단절현상이 일어나기가 쉽다. (4) 관통공내 이외에서는 돌출부가 형성되지 않기 때문에 불필요한 돌출부가 형성된 경우에 발생되기 쉬운 배선층사이의 단락현상은 발생되지 않는다.

한편 상기 실시예에서는 돌출부억지효과가 있는 막으로써 $TiSi_2$ 막을 형성시키고 있지만 그에 한정되는 것은 아니고 금속막이나 금속화합물등을 사용해도 좋다. 또한 상기 실시예에서는 돌출부를 형성시키는 방법으로써 소결(sintering)하는 방법을 사용했지만 이는 대형의 돌출부를 형성시켜주기 위한 것이므로, 돌출부를 형성시켜주는 방법으로써는 반드시 소결법에 한정되는 것은 아니다.

다음에 제7도 (a) ~ (e)를 참조하여 본 발명의 다른 실시예에 대해 설명한다.

먼저 제7도(a)에 도시된 바와같이, 열산화로 실리콘 산화막(30)이 그 표면에 형성된 반도체기판인 실리콘기판(31)을 준비해서, 그 실리콘산화막(30)상에 통상의 스퍼터링법으로 두께 0.1㎛의 Al-Si막을 형성시킨 다음 통상의 사진평판법과 반응성이온엣칭법으로 소정의 패터닝을 해서 Al-Si로 된 제1배선층으로서의 Al-Si막(51)을 형성시킨다. 한편 제7도(a)에 있어서 도면부호 52는 Al-Si막(51)을 형성시킬때 마스크로서 쓰여졌던 포토레지스트막이다.

이어 제7도(b)에 도시된 바와같이, 포토레지스트막(52)을 제거한 후 그위에 돌출부가 발생되지 않는 온도인 300℃이하에서 돌출부억지효과를 갖는 제2절연막으로서의 두께 0.1㎛인 P-SiN막(53)을 플라즈마 CVD법으로 형성시킨 다음, 층간절연내압을 확보하고 제1배선층(51)의 P-SiN막(53)형성상태를 양호하게 하기 위해 380℃의 온도하에 두께 0.9㎛의 P-SiN막(54)을 형성시킨다. 또한 제1배선층(51)의 단차부(段差部)를 평탄화시키기 위해 P-SiN막(54)위에다 실리카절연막(55)을 형성시킨다.

다음에는 제7도(c)에 도시된 바와같이, 통상의 사진평판법으로 실리카절연막(55)상에 소정패턴의 포토레지스트막(56)을 형성시킨다음 이 포토레지스트막(56)을 마스크로해서 반응성이온엣칭법으로 전술한 실시예에서와 같은 조건으로 실리카절연막(55)과 P-SiN막(54) (53)을 차례로 엣칭해주므로써 제1배선층(51)상의 소정의 위치에 제1배선층(51)까지 다다르는 관통공(57)을 형성시킨다.

다음에는 제7도(d)에 도시된 바와같이, 포토레지스트막(56)을 O_2 앳심법으로 제거한 후, 이 장치를 500℃의 온도하에서 15분간 가열처리하여 관통공(57)내에 노출되어 있는 제1배선층(51)상에 높이 1.0㎛정도의 돌출부(58)를 형성시킨다.

이어 제7도(e)에 도시된 바와같이, 관통공(57)을 매개로 돌출부(58)에 접속되는 소정의 패턴을 갖고

Al-Si로 된 제2배선층(59)을 실리카절연막(55)상에다 형성시킨다.

이상과 같이해서 본 발명의 다른 실시예의 제조방법에 따라서도 2층 배선구조를 갖는 반도체장치가 만들어진다.

본 실시예에 의해서도 앞의 실시예에서 얻을 수 있는 효과와 같은 효과가 얻어진다.

한편 본 실시예에서는 P-SiN막을 300℃이상의 온도에서 두께 0.1㎛로 형성시켰지만 그에 한정되지 않고 돌출부억지효과를 얻기 위해서는 막두께를 0.05㎛이상으로 형성시켜주면 좋다. 또한 본 실시예에서는 돌출부를 형성시켜주는 열처리조건으로서 500℃의 온도하에서 15분간 가열처리를 했지만 그에 한정되지 않고 돌출부가 발생해서 성장하는 조건을 만족시켜 주면 되는바, 그 일예로서는 500℃이하의 온도에서 열처리를 반복하여도 좋다.

또, 전술한 2가지 모두의 실시예에 있어서는 제1배선층과 제2배선층을 모두 Al-Si로 형성시켰지만 그에 한정되지 않고 예컨데 Al 또는 Al합금등으로 형성시켜도 좋다. 또한 전술한 실시예들에 있어서는 모두 제1, 제2배선층의 2층접속인 경우에 대해서만 서술했으나 그에 한정되는 것이 아니라 3층이상을 접속시켜주는 경우에도 본 발명은 마찬가지로 적용시킬 수가 있다.

상기한 바와같이 본 발명에 의하면 배선층이 얇아지거나 단절현상들이 발생되지 않는 미세한 관통공을 형성시킬 수가 있으므로 신뢰성이 높은 반도체장치를 제조할 수 있게 되는 것이다.

(57) 청구의 범위

청구항 1

다층배선구조를 갖는 반도체장치의 제조방법에 있어서, 반도체기판(31)상에 제1절연막(30)을 매개로 제 1층배선(35)을 형성시키는 공정과, 상기 제1층배선(35)상에 선택적으로 돌출부(36)를 형성시키는 공정, 전체면에 제2절연막(37) (38)을 형성시키는 공정, 상기 돌출부(36)상의 제2절연막(37) (38)을 자기정합적으로 제거해주는 공정 및 상기 제1층배선(35)에 접속되는 제2층배선(41)을 형성하는 공정을 구비한 것을 특징으로 하는 반도체장치의 제조방법.

청구항 2

제1항에 있어서, 제1층배선(35)이 Al 또는 Al합금으로 된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 3

제1항에 있어서, 제1층배선(35)위에 선택적으로 돌출부(36)를 형성시켜주는 공정으로서 상기 제1층배선(35)상에 돌출부억지효과를 갖는 박막(34)을 형성시킨 다음 이 박막(34)에 소망의 개구부를 형성시켜 열처리를 하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 4

제3항에 있어서, 돌출부억지효과를 갖는 박막(34)이 금속이나 금속화합물, 또는 Si 화합물로 된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 5

반도체기판(31)위에 제 1절연막(30)을 매개로 제1층배선(51)을 형성시키는 공정과, 상기 제1층배선(51)상에 돌출부억지효과를 갖는 제3절연막(53) (54) (55)을 형성시키는 공정, 상기 제3절연막(53) (54) (55)에 개구부(57)을 형성시키는 공정, 상기 개구부(57)내의 제1층배선(51)위에 돌출부(58)를 형성하는 공정 및 상기 제1층배선(51)에 접속되는 제2층배선(59)을 형성하는 공정을 구비한 것을 특징으로 하는 반도체장치의 제조방법.

청구항 6

제5항에 있어서, 제1층배선(51)이 Al 또는 Al합금으로된 것을 특징으로 하는 반도체장치의 제조방법.

청구항 7

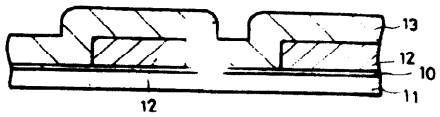
제5항에 있어서, 돌출부억지효과를 갖는 제3절연막 (53) (54) (55)을 300℃이하의 저온에서 형성시켜주는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 8

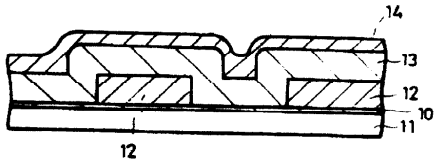
제5항에 있어서, 돌출부억지효과를 갖는 제3절연막 (53) (54) (55)의 막두께 0.5㎛이상인 Si 산화물이나 Si 질화물 또는 금속산화물로 된 것을 특징으로 하는 반도체장치의 제조방법.

도면

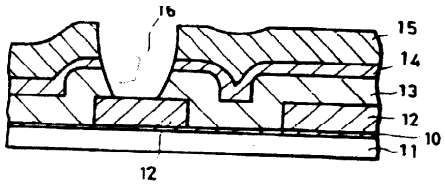
도면1-a



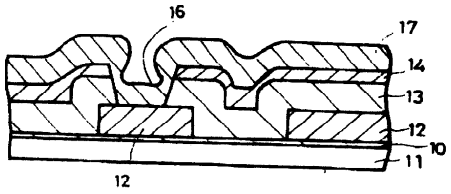
도면1-b



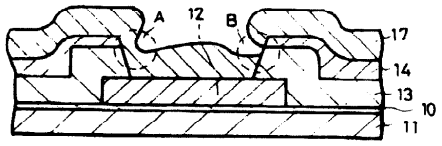
도면1-c



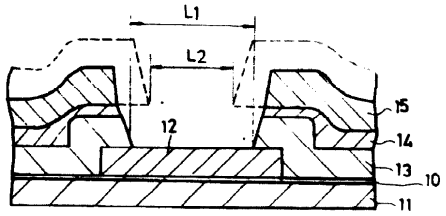
도면1-d



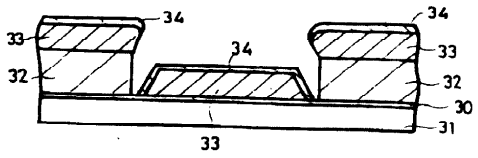
도면2



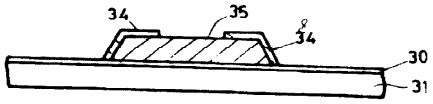
도면3



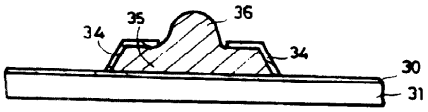
도면4-a



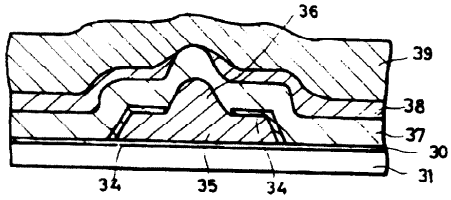
도면4-b



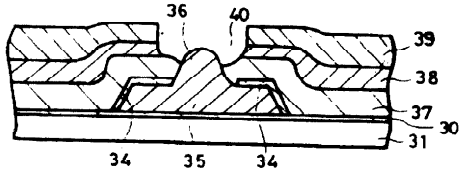
도면4-c



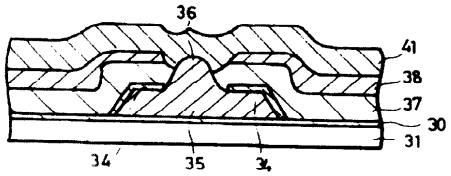
도면4-d



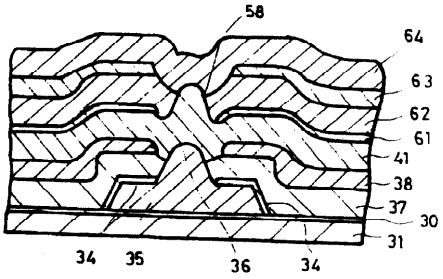
도면4-e



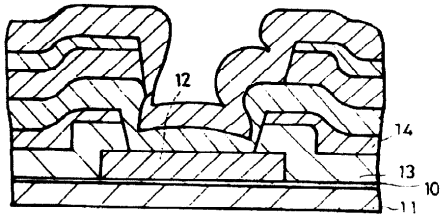
도면4-f



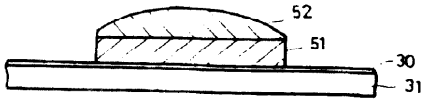
도면5



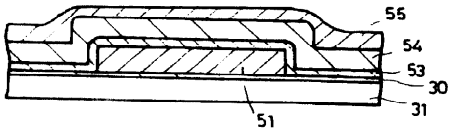
도면6



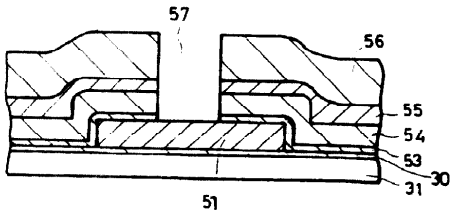
도면7-a



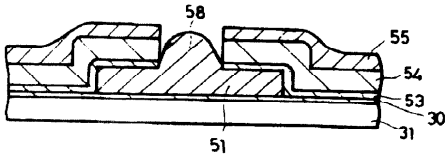
도면7-b



도면7-c



도면7-d



도면7-e

