

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6683488号  
(P6683488)

(45) 発行日 令和2年4月22日 (2020.4.22)

(24) 登録日 令和2年3月30日 (2020.3.30)

(51) Int. Cl.

F I

H O 1 L 21/8234 (2006.01)

H O 1 L 27/088 C

H O 1 L 27/088 (2006.01)

H O 1 L 27/092 D

H O 1 L 21/8238 (2006.01)

H O 1 L 27/11534

H O 1 L 27/092 (2006.01)

H O 1 L 27/11546

H O 1 L 27/11534 (2017.01)

H O 1 L 27/11573

請求項の数 18 (全 51 頁) 最終頁に続く

(21) 出願番号 特願2016-18589 (P2016-18589)  
 (22) 出願日 平成28年2月3日 (2016.2.3)  
 (65) 公開番号 特開2017-139308 (P2017-139308A)  
 (43) 公開日 平成29年8月10日 (2017.8.10)  
 審査請求日 平成30年9月21日 (2018.9.21)

(73) 特許権者 302062931  
 ルネサスエレクトロニクス株式会社  
 東京都江東区豊洲三丁目2番24号  
 (74) 代理人 110002066  
 特許業務法人筒井国際特許事務所  
 (72) 発明者 篠原 正昭  
 東京都江東区豊洲三丁目2番24号 ルネ  
 サスエレクトロニクス株式会社内

審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

- (a) 半導体基板を用意する工程、  
 (b) 第1領域の前記半導体基板上に、第1絶縁膜を介して第1ゲート電極を複数形成し、第2領域の前記半導体基板上に、第2絶縁膜を介して第2ゲート電極を形成する工程、  
 (b1) 前記(b)工程の後、複数の前記第1ゲート電極と、前記第2ゲート電極とを覆う第1酸化シリコン膜および第1窒化シリコン膜を前記半導体基板上に順に形成する工程、  
 (b2) エッチバックにより前記第1窒化シリコン膜の一部を除去することで、前記第1酸化シリコン膜を露出させ、これにより、複数の前記第1ゲート電極と、前記第2ゲート電極とのそれぞれの側壁を覆う前記第1酸化シリコン膜および前記第1窒化シリコン膜を含む第1オフセットスペーサを形成する工程、  
 (c) 前記(b2)工程の後、複数の前記第1ゲート電極と、前記第2ゲート電極とを覆う第3絶縁膜および第4絶縁膜を順に前記半導体基板上に形成する工程、  
 (d) エッチバックにより前記第4絶縁膜の一部を除去することで前記第3絶縁膜の上面を前記第4絶縁膜から露出させ、複数の前記第1ゲート電極と、前記第2ゲート電極とのそれぞれの前記側壁を覆う前記第4絶縁膜を残す工程、  
 (e) 前記(d)工程の後、複数の前記第1ゲート電極のそれぞれの前記側壁を覆う前記第4絶縁膜を除去する工程、  
 (f) 前記(e)工程の後、複数の前記第1ゲート電極と、前記第2ゲート電極と、前記

10

20

第2領域の前記第4絶縁膜とを覆う第5絶縁膜を前記半導体基板上に形成する工程、  
(g) エッチバックにより前記第5絶縁膜および前記第3絶縁膜のそれぞれの一部を除去することで、前記第3絶縁膜から前記半導体基板を露出させ、これにより、前記第1領域の前記第3絶縁膜および前記第5絶縁膜を含む第1サイドウォールと、前記第2領域の前記第3絶縁膜、前記第4絶縁膜および前記第5絶縁膜を含む第2サイドウォールとを形成する工程、

(h) 前記第1領域の前記半導体基板の主面に、前記第1サイドウォールをマスクとして用いてイオン注入を行うことで第1ソース・ドレイン領域を形成し、これにより前記第1ソース・ドレイン領域および前記第1ゲート電極を含む第1トランジスタを形成する工程、

10

(i) 前記第2領域の前記半導体基板の前記主面に、前記第2サイドウォールをマスクとして用いてイオン注入を行うことで第2ソース・ドレイン領域を形成し、これにより前記第2ソース・ドレイン領域および前記第2ゲート電極を含む第2トランジスタを形成する工程、

を有し、

前記第1トランジスタは、前記第2トランジスタよりも低い電圧で駆動し、

前記(b)工程では、前記第1絶縁膜、前記第2絶縁膜、複数の前記第1ゲート電極および前記第2ゲート電極を形成し、前記第2領域の前記半導体基板上に、電荷蓄積膜を含む第6絶縁膜を介して第3ゲート電極を形成し、

前記第2ゲート電極と前記第3ゲート電極とは、前記第6絶縁膜を介して隣接し、

20

前記(c)工程では、前記第3ゲート電極を覆う前記第3絶縁膜および前記第4絶縁膜を形成し、

前記(d)工程では、前記第4絶縁膜の一部を除去することで、複数の前記第1ゲート電極のそれぞれの前記側壁と、前記第2ゲート電極の一方の前記側壁とのそれぞれを覆う前記第4絶縁膜を残し、前記第2ゲート電極の他方の前記側壁を、前記第3ゲート電極を介して覆う前記第4絶縁膜を残し、

前記(f)工程では、前記第3ゲート電極を覆う前記第5絶縁膜を形成し、

前記(i)工程では、前記第2トランジスタと、前記第2ソース・ドレイン領域および前記第3ゲート電極を含む第3トランジスタとを形成し、

前記第2トランジスタおよび前記第3トランジスタは、メモリセルを構成する、半導体装置の製造方法。

30

#### 【請求項2】

請求項1記載の半導体装置の製造方法において、

隣り合う前記第1ゲート電極同士の相互間の距離は、前記第3絶縁膜および前記第4絶縁膜の合計の膜厚の2倍よりも大きい、半導体装置の製造方法。

#### 【請求項3】

請求項2記載の半導体装置の製造方法において、

前記半導体基板の前記主面に沿う方向における前記第2サイドウォールの幅の大きさは、隣り合う前記第1ゲート電極同士の相互間の距離の半分以上である、半導体装置の製造方法。

40

#### 【請求項4】

請求項1記載の半導体装置の製造方法において、

前記第3絶縁膜は、窒化シリコン膜であり、前記第4絶縁膜および前記第5絶縁膜は、酸化シリコン膜である、半導体装置の製造方法。

#### 【請求項5】

請求項1記載の半導体装置の製造方法において、

前記第3絶縁膜および前記第5絶縁膜は、窒化シリコン膜であり、前記第4絶縁膜は、酸化シリコン膜である、半導体装置の製造方法。

#### 【請求項6】

請求項1記載の半導体装置の製造方法において、

50

前記第 1 絶縁膜は、窒化シリコンより高い誘電率を有し、または、前記第 1 ゲート電極は、金属を含む、半導体装置の製造方法。

【請求項 7】

請求項 6 記載の半導体装置の製造方法において、

前記第 3 絶縁膜および前記第 5 絶縁膜は、窒化シリコン膜であり、前記第 4 絶縁膜は、酸化シリコン膜である、半導体装置の製造方法。

【請求項 8】

請求項 7 記載の半導体装置の製造方法において、

(b3) 前記 (b) 工程の後、複数の前記第 1 ゲート電極と、前記第 2 ゲート電極とを覆う第 4 窒化シリコン膜および第 5 窒化シリコン膜を前記半導体基板上に順に形成する工程

10

(b4) 前記 (c) 工程の前に、エッチバックにより前記第 5 窒化シリコン膜および前記第 4 窒化シリコン膜のそれぞれの一部を除去することで、前記半導体基板を前記第 4 窒化シリコン膜から露出させ、これにより、複数の前記第 1 ゲート電極と、前記第 2 ゲート電極とのそれぞれの前記側壁を覆う前記第 4 窒化シリコン膜および前記第 5 窒化シリコン膜を含む第 4 オフセットスペースを形成する工程、  
をさらに有する、半導体装置の製造方法。

【請求項 9】

(a) 半導体基板を用意する工程、

(b) 第 1 領域の前記半導体基板上に、第 1 絶縁膜を介してダミーゲート電極を複数形成し、第 2 領域の前記半導体基板上に、第 2 絶縁膜を介して第 1 ゲート電極を形成する工程

20

(c) 複数の前記ダミーゲート電極と、前記第 1 ゲート電極とを覆う第 3 絶縁膜および第 4 絶縁膜を順に前記半導体基板上に形成する工程、

(d) エッチバックにより前記第 4 絶縁膜の一部を除去することで前記第 3 絶縁膜の上面を前記第 4 絶縁膜から露出させ、複数の前記ダミーゲート電極と、前記第 1 ゲート電極とのそれぞれの側壁を覆う前記第 4 絶縁膜を残す工程、

(e) 前記 (d) 工程の後、複数の前記ダミーゲート電極のそれぞれの前記側壁を覆う前記第 4 絶縁膜を除去する工程、

(f) 前記 (e) 工程の後、複数の前記ダミーゲート電極と、前記第 1 ゲート電極と、前記第 2 領域の前記第 4 絶縁膜とを覆う第 5 絶縁膜を前記半導体基板上に形成する工程、

30

(g) エッチバックにより前記第 5 絶縁膜および前記第 3 絶縁膜のそれぞれの一部を除去することで、前記第 3 絶縁膜から前記半導体基板を露出させ、これにより、前記第 1 領域の前記第 3 絶縁膜および前記第 5 絶縁膜を含む第 1 サイドウォールと、前記第 2 領域の前記第 3 絶縁膜、前記第 4 絶縁膜および前記第 5 絶縁膜を含む第 2 サイドウォールとを形成する工程、

(h) 前記第 1 領域の前記半導体基板の主面に、前記第 1 サイドウォールをマスクとして用いてイオン注入を行うことで第 1 ソース・ドレイン領域を形成する工程、

(i) 前記第 2 領域の前記半導体基板の前記主面に、前記第 2 サイドウォールをマスクとして用いてイオン注入を行うことで第 2 ソース・ドレイン領域を形成し、これにより前記第 2 ソース・ドレイン領域および前記第 1 ゲート電極を含む第 1 トランジスタを形成する工程、

40

(j) 前記 (i) 工程の後、複数の前記ダミーゲート電極および前記第 1 ゲート電極を覆う層間絶縁膜を形成した後、前記層間絶縁膜の上面を研磨することで、前記ダミーゲート電極を露出させる工程、

(k) 前記 (j) 工程の後、前記ダミーゲート電極を除去することで溝を形成する工程、

(l) 前記溝内に金属を含む第 2 ゲート電極を形成することで、前記第 1 ソース・ドレイン領域および前記第 2 ゲート電極を含む第 2 トランジスタを形成する工程、  
を有し、

前記第 2 トランジスタは、前記第 1 トランジスタよりも低い電圧で駆動する、半導体装

50

置の製造方法。

【請求項 1 0】

請求項 9 記載の半導体装置の製造方法において、

隣り合う前記ダミーゲート電極同士の相互間の距離は、前記第 3 絶縁膜および前記第 4 絶縁膜の合計の膜厚の 2 倍よりも大きい、半導体装置の製造方法。

【請求項 1 1】

請求項 9 記載の半導体装置の製造方法において、

前記半導体基板の前記主面に沿う方向における前記第 2 サイドウォールの幅の大きさは、隣り合う前記ダミーゲート電極同士の相互間の距離の半分以上である、半導体装置の製造方法。

10

【請求項 1 2】

請求項 9 記載の半導体装置の製造方法において、

前記 (b) 工程では、前記第 1 絶縁膜、前記第 2 絶縁膜、複数の前記ダミーゲート電極および前記第 1 ゲート電極を形成し、前記第 2 領域の前記半導体基板上に、電荷蓄積膜を含む第 6 絶縁膜を介して第 3 ゲート電極を形成し、

前記第 1 ゲート電極と前記第 3 ゲート電極とは、前記第 6 絶縁膜を介して隣接し、

前記 (c) 工程では、前記第 3 ゲート電極を覆う前記第 3 絶縁膜および前記第 4 絶縁膜を形成し、

前記 (d) 工程では、前記第 4 絶縁膜の一部を除去することで、複数の前記ダミーゲート電極のそれぞれの前記側壁と、前記第 1 ゲート電極の一方の前記側壁とのそれぞれを覆う前記第 4 絶縁膜を残し、前記第 1 ゲート電極の他方の前記側壁を、前記第 3 ゲート電極を介して覆う前記第 4 絶縁膜を残し、

20

前記 (f) 工程では、前記第 3 ゲート電極を覆う前記第 5 絶縁膜を形成し、

前記 (i) 工程では、前記第 1 トランジスタと、前記第 2 ソース・ドレイン領域および前記第 3 ゲート電極を含む第 3 トランジスタとを形成し、

前記第 1 トランジスタおよび前記第 3 トランジスタは、メモリセルを構成する、半導体装置の製造方法。

【請求項 1 3】

請求項 9 記載の半導体装置の製造方法において、

前記第 3 絶縁膜は、窒化シリコン膜であり、前記第 4 絶縁膜および前記第 5 絶縁膜は、酸化シリコン膜である、半導体装置の製造方法。

30

【請求項 1 4】

請求項 9 記載の半導体装置の製造方法において、

前記第 3 絶縁膜および前記第 5 絶縁膜は、窒化シリコン膜であり、前記第 4 絶縁膜は、酸化シリコン膜である、半導体装置の製造方法。

【請求項 1 5】

請求項 1 2 記載の半導体装置の製造方法において、

(b 1) 前記 (b) 工程の後、複数の前記ダミーゲート電極と、前記第 1 ゲート電極とを覆う第 1 酸化シリコン膜および第 1 窒化シリコン膜を前記半導体基板上に順に形成する工程、

40

(b 2) 前記 (c) 工程の前に、エッチバックにより前記第 1 窒化シリコン膜の一部を除去することで、前記第 1 酸化シリコン膜を露出させ、これにより、複数の前記ダミーゲート電極と、前記第 1 ゲート電極とのそれぞれの前記側壁を覆う前記第 1 酸化シリコン膜および前記第 1 窒化シリコン膜を含む第 1 オフセットスペーサを形成する工程、をさらに有する、半導体装置の製造方法。

【請求項 1 6】

請求項 1 4 記載の半導体装置の製造方法において、

(b 3) 前記 (b) 工程の後、複数の前記ダミーゲート電極と、前記第 1 ゲート電極とを覆う第 2 窒化シリコン膜および第 3 窒化シリコン膜を前記半導体基板上に順に形成する工程、

50

(b4) 前記(c)工程の前に、エッチバックにより前記第3窒化シリコン膜および前記第2窒化シリコン膜のそれぞれの一部を除去することで、前記半導体基板を前記第2窒化シリコン膜から露出させ、これにより、複数の前記ダミーゲート電極と、前記第1ゲート電極とのそれぞれの前記側壁を覆う前記第2窒化シリコン膜および前記第3窒化シリコン膜を含む第2オフセットスペーサを形成する工程、  
をさらに有する、半導体装置の製造方法。

【請求項17】

半導体基板と、  
第1領域の前記半導体基板上に第1絶縁膜を介して形成された第1ゲート電極と、  
第2領域の前記半導体基板上に第2絶縁膜を介して形成された第2ゲート電極と、  
前記第2領域の前記半導体基板上に、電荷蓄積膜を含む第3絶縁膜を介して形成され、  
前記第2ゲート電極の一方の側壁に前記第3絶縁膜を介して隣接する第3ゲート電極と、  
前記第1ゲート電極の側壁を覆う第1窒化シリコン膜を含む第1オフセットスペーサと

10

、  
前記第2ゲート電極、前記第3絶縁膜および前記第3ゲート電極を含むパターンの側壁を順に覆う酸化シリコン膜および第2窒化シリコン膜を含む第2オフセットスペーサと、  
前記第1ゲート電極の側壁を、前記第1オフセットスペーサを介して覆う第3窒化シリコン膜を含む第1サイドウォールと、

前記パターンの側壁を、前記第2オフセットスペーサを介して覆う第4窒化シリコン膜を含む第2サイドウォールと、

20

前記第1領域の前記半導体基板の主面に形成された第1ソース・ドレイン領域と、  
前記第2領域の前記半導体基板の主面に形成された第2ソース・ドレイン領域と、  
を有し、

前記第1ゲート電極および前記第1ソース・ドレイン領域は、トランジスタを構成し、  
前記第2ゲート電極、前記第3ゲート電極、前記第3絶縁膜および前記第2ソース・ドレイン領域は、メモリセルを構成し、

前記半導体基板の主面に沿う方向において、前記第1サイドウォールの幅は、前記第2サイドウォールの幅よりも小さく、

前記電荷蓄積膜の側壁は、前記酸化シリコン膜に接し、

前記第1絶縁膜は、窒化シリコンより高い誘電率を有し、または、前記第1ゲート電極は、金属を含む、半導体装置。

30

【請求項18】

(a) 半導体基板を用意する工程、

(b) 第1領域の前記半導体基板上に、第1絶縁膜を介して第1ゲート電極を複数形成し、第2領域の前記半導体基板上に、第2絶縁膜を介して第2ゲート電極を形成する工程、

(b1) 前記(b)工程の後、複数の前記第1ゲート電極および前記第2ゲート電極のそれぞれの側壁を覆うサイドウォール状の第2酸化シリコン膜を形成する工程、

(b2) 複数の前記第1ゲート電極のそれぞれの前記側壁を覆う前記第2酸化シリコン膜を除去する工程、

(b3) 前記(b2)工程の後、複数の前記第1ゲート電極、前記第2ゲート電極および前記第2酸化シリコン膜を覆う第2窒化シリコン膜および第3窒化シリコン膜を前記半導体基板上に順に形成する工程、

40

(b4) エッチバックにより前記第3窒化シリコン膜および前記第2窒化シリコン膜のそれぞれの一部を除去することで、前記第2窒化シリコン膜から前記半導体基板を露出させ、これにより、複数の前記第1ゲート電極のそれぞれの前記側壁を覆う前記第2窒化シリコン膜および前記第3窒化シリコン膜を含む第2オフセットスペーサと、前記第2ゲート電極の前記側壁を覆う前記第2酸化シリコン膜、前記第2窒化シリコン膜および前記第3窒化シリコン膜を含む第3オフセットスペーサとを形成する工程、

(c) 前記(b4)工程の後、複数の前記第1ゲート電極と、前記第2ゲート電極とを覆う第3絶縁膜および第4絶縁膜を順に前記半導体基板上に形成する工程、

50

(d) エッチバックにより前記第4絶縁膜の一部を除去することで前記第3絶縁膜の上面を前記第4絶縁膜から露出させ、複数の前記第1ゲート電極と、前記第2ゲート電極とのそれぞれの前記側壁を覆う前記第4絶縁膜を残す工程、

(e) 前記(d)工程の後、複数の前記第1ゲート電極のそれぞれの前記側壁を覆う前記第4絶縁膜を除去する工程、

(f) 前記(e)工程の後、複数の前記第1ゲート電極と、前記第2ゲート電極と、前記第2領域の前記第4絶縁膜とを覆う第5絶縁膜を前記半導体基板上に形成する工程、

(g) エッチバックにより前記第5絶縁膜および前記第3絶縁膜のそれぞれの一部を除去することで、前記第3絶縁膜から前記半導体基板を露出させ、これにより、前記第1領域の前記第3絶縁膜および前記第5絶縁膜を含む第1サイドウォールと、前記第2領域の前記第3絶縁膜、前記第4絶縁膜および前記第5絶縁膜を含む第2サイドウォールとを形成する工程、

(h) 前記第1領域の前記半導体基板の主面に、前記第1サイドウォールをマスクとして用いてイオン注入を行うことで第1ソース・ドレイン領域を形成し、これにより前記第1ソース・ドレイン領域および前記第1ゲート電極を含む第1トランジスタを形成する工程、

(i) 前記第2領域の前記半導体基板の前記主面に、前記第2サイドウォールをマスクとして用いてイオン注入を行うことで第2ソース・ドレイン領域を形成し、これにより前記第2ソース・ドレイン領域および前記第2ゲート電極を含む第2トランジスタを形成する工程、

を有し、

前記第1トランジスタは、前記第2トランジスタよりも低い電圧で駆動し、

前記(b)工程では、前記第1絶縁膜、前記第2絶縁膜、複数の前記第1ゲート電極および前記第2ゲート電極を形成し、前記第2領域の前記半導体基板上に、電荷蓄積膜を含む第6絶縁膜を介して第3ゲート電極を形成し、

前記第2ゲート電極と前記第3ゲート電極とは、前記第6絶縁膜を介して隣接し、

前記(c)工程では、前記第3ゲート電極を覆う前記第3絶縁膜および前記第4絶縁膜を形成し、

前記(d)工程では、前記第4絶縁膜の一部を除去することで、複数の前記第1ゲート電極のそれぞれの前記側壁と、前記第2ゲート電極の一方の前記側壁とのそれぞれを覆う前記第4絶縁膜を残し、前記第2ゲート電極の他方の前記側壁を、前記第3ゲート電極を介して覆う前記第4絶縁膜を残し、

前記(f)工程では、前記第3ゲート電極を覆う前記第5絶縁膜を形成し、

前記(i)工程では、前記第2トランジスタと、前記第2ソース・ドレイン領域および前記第3ゲート電極を含む第3トランジスタとを形成し、

前記第2トランジスタおよび前記第3トランジスタは、メモリセルを構成する、半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置およびその製造方法に関し、例えば、低耐圧トランジスタおよび高耐圧トランジスタを有する半導体装置の製造に利用できるものである。

【背景技術】

【0002】

スイッチング素子などとして用いられる半導体素子として、MISFET(Metal Insulator Semiconductor Field Effect Transistor、MIS型電界効果トランジスタ)が知られている。MISFETには、ロジック回路などの周辺回路に用いられる低耐圧のMISFETと、メモリセルまたは電力の入出力に用いられる高耐圧のMISFETがあり、それらのMISFETは、1つの半導体チップに混載される場合がある。

【0003】

10

20

30

40

50

特許文献 1 (特開 2004 - 349680 号公報) および特許文献 2 (特開 2014 - 075557 号公報) には、トランジスタのゲート電極の側壁を覆い、相対的に幅の広いサイドウォールと、他のトランジスタのゲート電極の側壁を覆い、相対的に幅の狭いサイドウォールとを形成することが記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2004 - 349680 号公報

【特許文献 2】特開 2014 - 075557 号公報

【発明の概要】

10

【発明が解決しようとする課題】

【0005】

半導体基板上に低耐圧 MISFET と高耐圧 MISFET とを形成する場合、それらの MISFET のゲート電極の側壁に比較的幅が大きいサイドウォールを形成した後、低耐圧 MISFET のゲート電極の側壁を覆うサイドウォールの幅をエッチングなどにより縮小し、比較的幅が小さいサイドウォールを形成することが考えられる。

【0006】

しかし、半導体装置の微細化に伴い、ロジック回路などに用いられる複数の低耐圧 MISFET のゲート電極同士の間隔が縮小した場合、上記の比較的幅が大きいサイドウォールを形成した際に、それらのゲート電極同士の間が当該サイドウォールにより埋め込まれる虞がある。ゲート電極同士の間がサイドウォールにより埋め込まれた場合、その後に低耐圧 MISFET のゲート電極の側壁を覆うサイドウォールの幅をエッチングなどにより縮小することが困難となり、低耐圧の MISFET を正常に形成することができなくなる問題が生じる。

20

【0007】

その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0008】

本願において開示される実施の形態のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

30

【0009】

一実施の形態である半導体装置は、メタルゲート電極の側壁に接する絶縁膜を窒化シリコン膜により構成し、スプリットゲート型の MONOS メモリのメモリゲート電極の下の電荷蓄積膜の側壁に接する絶縁膜を酸化シリコン膜により構成するものである。

【0010】

また、他の実施の形態である半導体装置の製造方法は、第 1 ゲート電極および第 2 ゲート電極のそれぞれ側壁を覆うように、窒化シリコン膜および第 1 酸化シリコン膜を順に形成した後、第 1 ゲート電極の側壁を覆う第 1 酸化シリコン膜を除去し、その後、第 1 ゲート電極および第 2 ゲート電極のそれぞれの側壁を覆う第 2 酸化シリコン膜を形成するものである。これにより、第 1 ゲート電極の側壁を覆う窒化シリコン膜および第 2 酸化シリコン膜からなる第 1 サイドウォールと、第 2 ゲート電極の側壁を覆う窒化シリコン膜、第 1 酸化シリコン膜および第 2 酸化シリコン膜からなる第 2 サイドウォールとを形成する。

40

【発明の効果】

【0011】

一実施の形態によれば、半導体装置の性能を向上させることができる。

【図面の簡単な説明】

【0012】

【図 1】実施の形態 1 である半導体装置の製造工程中の断面図である。

【図 2】図 1 に続く半導体装置の製造工程中の断面図である。

50

【図 3】図 2 に続く半導体装置の製造工程中の断面図である。	
【図 4】図 3 に続く半導体装置の製造工程中の断面図である。	
【図 5】図 4 の一部を拡大して示す断面図である。	
【図 6】図 5 に続く半導体装置の製造工程中の断面図である。	
【図 7】図 6 に続く半導体装置の製造工程中の断面図である。	
【図 8】図 7 に続く半導体装置の製造工程中の断面図である。	
【図 9】図 8 に続く半導体装置の製造工程中の断面図である。	
【図 10】図 9 に続く半導体装置の製造工程中の断面図である。	
【図 11】図 10 に続く半導体装置の製造工程中の断面図である。	
【図 12】図 11 に続く半導体装置の製造工程中の断面図である。	10
【図 13】図 12 に続く半導体装置の製造工程中の断面図である。	
【図 14】図 13 に続く半導体装置の製造工程中の断面図である。	
【図 15】図 14 に続く半導体装置の製造工程中の断面図である。	
【図 16】図 15 に続く半導体装置の製造工程中の断面図である。	
【図 17】図 16 に続く半導体装置の製造工程中の断面図である。	
【図 18】図 17 に続く半導体装置の製造工程中の断面図である。	
【図 19】図 18 に続く半導体装置の製造工程中の断面図である。	
【図 20】図 19 に続く半導体装置の製造工程中の断面図である。	
【図 21】図 20 に続く半導体装置の製造工程中の断面図である。	
【図 22】図 21 に続く半導体装置の製造工程中の断面図である。	20
【図 23】図 22 に続く半導体装置の製造工程中の断面図である。	
【図 24】図 23 に続く半導体装置の製造工程中の断面図である。	
【図 25】図 24 に続く半導体装置の製造工程中の断面図である。	
【図 26】図 25 に続く半導体装置の製造工程中の断面図である。	
【図 27】図 26 に続く半導体装置の製造工程中の断面図である。	
【図 28】図 27 に続く半導体装置の製造工程中の断面図である。	
【図 29】図 28 の一部を拡大して示す断面図である。	
【図 30】「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。	
【図 31】実施の形態 1 である半導体装置の変形例 1 の製造工程中の断面図である。	30
【図 32】図 31 に続く半導体装置の製造工程中の断面図である。	
【図 33】図 32 に続く半導体装置の製造工程中の断面図である。	
【図 34】図 33 に続く半導体装置の製造工程中の断面図である。	
【図 35】図 34 に続く半導体装置の製造工程中の断面図である。	
【図 36】図 35 に続く半導体装置の製造工程中の断面図である。	
【図 37】図 36 に続く半導体装置の製造工程中の断面図である。	
【図 38】図 37 に続く半導体装置の製造工程中の断面図である。	
【図 39】図 38 に続く半導体装置の製造工程中の断面図である。	
【図 40】図 39 に続く半導体装置の製造工程中の断面図である。	
【図 41】図 40 に続く半導体装置の製造工程中の断面図である。	40
【図 42】図 41 に続く半導体装置の製造工程中の断面図である。	
【図 43】図 42 に続く半導体装置の製造工程中の断面図である。	
【図 44】図 43 の一部を拡大して示す断面図である。	
【図 45】実施の形態 1 である半導体装置の変形例 1 の断面図である。	
【図 46】実施の形態 1 である半導体装置の変形例 2 の製造工程中の断面図である。	
【図 47】図 46 に続く半導体装置の製造工程中の断面図である。	
【図 48】図 47 に続く半導体装置の製造工程中の断面図である。	
【図 49】図 48 に続く半導体装置の製造工程中の断面図である。	
【図 50】図 49 に続く半導体装置の製造工程中の断面図である。	
【図 51】図 50 に続く半導体装置の製造工程中の断面図である。	50



【図 5 2】図 5 1 の一部を拡大して示す断面図である。  
【図 5 3】実施の形態 2 である半導体装置の製造工程中の断面図である。  
【図 5 4】図 5 3 に続く半導体装置の製造工程中の断面図である。  
【図 5 5】図 5 4 に続く半導体装置の製造工程中の断面図である。  
【図 5 6】図 5 5 の一部を拡大して示す断面図である。  
【図 5 7】実施の形態 2 である半導体装置の断面図である。  
【図 5 8】実施の形態 2 である半導体装置の変形例 1 の製造工程中の断面図である。  
【図 5 9】図 5 8 の一部を拡大して示す断面図である。  
【図 6 0】実施の形態 2 である半導体装置の変形例 2 の製造工程中の断面図である。  
【図 6 1】図 6 0 の一部を拡大して示す断面図である。  
【図 6 2】比較例である半導体装置の製造工程中の断面図である。  
【図 6 3】図 6 2 に続く半導体装置の製造工程中の断面図である。  
【図 6 4】図 6 3 に続く半導体装置の製造工程中の断面図である。  
【図 6 5】図 6 4 に続く半導体装置の製造工程中の断面図である。  
【図 6 6】図 6 5 に続く半導体装置の製造工程中の断面図である。  
【図 6 7】図 6 6 に続く半導体装置の製造工程中の断面図である。  
【図 6 8】比較例である半導体装置の製造工程中の断面図である。  
【発明を実施するための形態】

10

#### 【 0 0 1 3 】

以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

20

#### 【 0 0 1 4 】

##### ( 実施の形態 1 )

本実施の形態の半導体装置は、不揮発性メモリ（不揮発性記憶素子、フラッシュメモリ、不揮発性半導体記憶装置）を備えた半導体装置である。本実施の形態および以下の実施の形態では、不揮発性メモリは、 $n$ チャネル型 M I S F E T を基本としたメモリセルをもとに説明を行う。

#### 【 0 0 1 5 】

また、本実施の形態および以下の実施の形態でのメモリセルの極性（書込・消去・読出時の印加電圧の極性やキャリアの極性）は、 $n$ チャネル型 M I S F E T を基本としたメモリセルの場合の動作を説明するためのものであり、 $p$ チャネル型 M I S F E T を基本とする場合は、印加電位やキャリアの導電型等の全ての極性を反転させることで、原理的には同じ動作を得ることができる。

30

#### 【 0 0 1 6 】

##### < 本実施の形態の半導体装置の製造工程について >

以下では、本実施の形態の半導体装置の製造方法を、図 1 ~ 図 2 8 を用いて説明する。図 1 ~ 図 2 8 は、本実施の形態の半導体装置の製造工程中の断面図である。図 1 ~ 図 4、図 6 ~ 図 1 9 では、図の左側から右側に向かって、順にロジック回路領域 L P、ロジック回路領域 L N、I / O 領域 H V およびメモリセル領域 H M の断面図を示している。これらの領域は、図において破線で区切られており、各領域は互いに離間している。ロジック回路領域 L P、L N、I / O 領域 H V およびメモリセル領域 H M は、いずれも同じ半導体基板の主面に存在しており、当該主面に沿う方向において互いに並んでいる。図 5 は、図 4 の一部を拡大して示す断面図である。

40

#### 【 0 0 1 7 】

ロジック回路領域 L P、L N および I / O 領域 H V は、周辺回路領域を構成する領域である。周辺回路とは、不揮発性メモリ以外の回路である。周辺回路は、例えば、メモリモジュール内では、制御回路、センスアンプ、カラムデコーダ、ロウデコーダ、モジュール外との入出力回路または電源回路などであり、メモリモジュール外では、C P U などのブ

50

ロセッサ、各種アナログ回路、SRAM (Static Random Access Memory) メモリモジュール、または外部入出力回路などである。

【0018】

ロジック回路領域LPは、制御回路などを構成する低耐圧のpチャネル型MISFETを設ける領域である。ロジック回路領域LNは、制御回路などを構成する低耐圧のnチャネル型MISFETを設ける領域である。I/O領域HVは、半導体チップの外の装置との入出力を行う回路または電源回路などを構成する高耐圧のpチャネル型MISFETを設ける領域である。ここではI/O領域HVにpチャネル型MISFETを形成することについて説明するが、I/O領域HVにはnチャネル型MISFETを形成してもよい。

【0019】

メモリセル領域HMは、スプリットゲート型のMONOS (Metal Oxide Nitride Oxide Semiconductor) メモリを形成する領域である。MONOSメモリは、電氣的に書込・消去が可能な不揮発性半導体記憶装置であり、ソース・ドレイン領域を互いに共有する2つのMISFETからなるメモリセルを有する。MONOSメモリは、MISFETのゲート電極下にトラップ性絶縁膜を有しており、トラップ性絶縁膜での電荷蓄積状態を記憶情報とし、それをトランジスタのしきい値として読み出すものである。トラップ性絶縁膜とは、電荷の蓄積可能な絶縁膜（以下、電荷蓄積膜と呼ぶ）をいい、一例として、窒化シリコン膜などが挙げられる。このような電荷蓄積領域への電荷の注入・放出によってMISFETのしきい値をシフトさせ記憶素子として動作させる。

【0020】

ロジック回路領域LP、LNに形成するMISFETは、I/O領域HVおよびメモリセル領域HMに形成されるMISFETよりも低い電圧で駆動する低耐圧MISFETである。

【0021】

例えばロジック回路領域LP、LNのゲート電極の形成方法として、基板上にダミーゲート電極を形成した後、当該ダミーゲート電極をメタルゲート電極などに置換する、いわゆるゲートラストプロセスを用いる方法がある。これに対し、ここではダミーゲート電極を設けずに最初からメタルゲート電極を形成する、いわゆるゲートファーストプロセスを用いる場合について説明する。なお、ゲートラストプロセスについては本実施の形態の変形例1、2において説明する。また、ここでは、オフセットスペーサを形成する第1の方法について説明する。

【0022】

本実施の形態の半導体装置の製造工程では、まず、図1に示すように、ロジック回路領域LP、LN、I/O領域HVおよびメモリセル領域HMを有する半導体基板SBを準備する。半導体基板SBは、例えば単結晶シリコン基板である。続いて、ロジック回路領域LP、ロジック回路領域LN、I/O領域HVおよびメモリセル領域HMのそれぞれを分離する素子分離領域EIを形成する。素子分離領域EIは、半導体基板SBの主面に形成された溝内に埋め込まれた絶縁膜からなり、例えばSTI (Shallow Trench Isolation) 構造またはLOCOS (Local Oxidation of Silicon) 構造を有する。

【0023】

続いて、フォトリソグラフィ技術およびイオン注入法を用いて、半導体基板SBの主面にウェルNW1、PW1、NW2およびPW2を形成する。ウェルNW1は、ロジック回路領域LPの半導体基板SBの主面にn型の不純物（例えばP（リン）またはAs（ヒ素））を打ち込むことで形成する。ウェルPW1は、ロジック回路領域LNの半導体基板SBの主面にp型の不純物（例えばB（ホウ素））を打ち込むことで形成する。ウェルNW2は、I/O領域HVの半導体基板SBの主面にn型の不純物（例えばP（リン）またはAs（ヒ素））を打ち込むことで形成する。ウェルPW2は、メモリセル領域HMの半導体基板SBの主面にp型の不純物（例えばB（ホウ素））を打ち込むことで形成する。

【0024】

次に、図2に示すように、ロジック回路領域LP、LNおよびメモリセル領域HMの半

10

20

30

40

50

導体基板 S B の主面上に絶縁膜 I F 1 を形成し、I / O 領域 H V の半導体基板 S B の主面上に絶縁膜 I F 2 を形成する。絶縁膜 I F 2 は絶縁膜 I F 1 よりも膜厚が大きい。このように 2 種類の膜厚を有する絶縁膜を形成する場合には、例えば、以下の方法を用いる。すなわち、半導体基板 S B 上に C V D (Chemical Vapor Deposition) 法を用いて酸化シリコン膜からなる厚い絶縁膜 I F 2 を形成した後、フォトリソグラフィ技術およびエッチング法を用いたパターニングにより I / O 領域 H V 以外の絶縁膜 I F 2 を除去する。その後、例えば熱酸化法により、ロジック回路領域 L P、L N およびメモリセル領域 H M の半導体基板 S B の主面上に酸化シリコン膜からなる絶縁膜 I F 1 を形成する。

【 0 0 2 5 】

なお、ここではメモリセル領域 H M に、ロジック回路領域 L P、L N の絶縁膜 I F 1 と同じ膜厚の絶縁膜 I F 1 を形成することについて説明したが、ロジック回路領域 L P、L N の絶縁膜 I F 1 とは異なる膜厚の絶縁膜をメモリセル領域 H M の半導体基板 S B の主面上に形成してもよい。

【 0 0 2 6 】

続いて、半導体基板 S B の主面上に、例えば C V D 法を用いてポリシリコン膜 P S 1 および絶縁膜 I F 3 を順に形成する。絶縁膜 I F 3 は、例えば窒化シリコン膜からなる。

【 0 0 2 7 】

次に、図 3 に示すように、フォトリソグラフィ技術およびドライエッチング法を用いて、I / O 領域 H V およびメモリセル領域 H M の絶縁膜 I F 3、ポリシリコン膜 P S 1、絶縁膜 I F 1 および I F 2 をパターニングする。これにより、I / O 領域 H V には、絶縁膜 I F 2 からなるゲート絶縁膜 G F 3 と、その上のポリシリコン膜 P S 1 からなるゲート電極 G 3 とを形成し、メモリセル領域 H M には、絶縁膜 I F 1 からなるゲート絶縁膜 G F 4 と、その上のポリシリコン膜 P S 1 からなる制御ゲート電極 C G とを形成する。ゲート電極 G 3 および制御ゲート電極 C G のそれぞれの上面は絶縁膜 I F 3 に覆われている。ここでは、ロジック回路領域 L P、L N でのパターニングは行わない。

【 0 0 2 8 】

次に、図 4 に示すように、半導体基板 S B の主面上に、例えば C V D 法を用いて O N O (Oxide Nitride Oxide) 膜 O N およびポリシリコン膜 P S 2 を形成する。O N O 膜 O N は、図 5 に示すように、半導体基板 S B の主面側から順に積層された酸化シリコン膜 (ボトム酸化膜) O X 1、窒化シリコン膜 (電荷蓄積膜) N T 1 および酸化シリコン膜 (トップ酸化膜) O X 2 からなる。酸化シリコン膜 O X 1 は例えば熱酸化法により形成され、窒化シリコン膜 N T 1 および酸化シリコン膜 O X 2 は例えば C V D 法により形成される。図 4 および図 6 ~ 図 2 8 では、O N O 膜 O N を 1 つの膜として図示するが、実際の O N O 膜 O N は、図 5 に示すような積層構造を有している。

【 0 0 2 9 】

次に、図 6 に示すように、エッチバック (異方性エッチング) を行うことで、ポリシリコン膜 P S 2 の一部を除去し、O N O 膜 O N の上面を露出させる。これにより、ゲート電極 G 3 の両側の側壁、および制御ゲート電極 C G の両側の側壁のそれぞれを覆うように、O N O 膜 O N を介してポリシリコン膜 P S 2 がサイドウォール状に残る。なお、制御ゲート電極 C G の一方の側壁を覆うポリシリコン膜 P S 2 は、メモリゲート電極 M G を構成する。

【 0 0 3 0 】

次に、図 7 に示すように、フォトリソグラフィ技術およびドライエッチング法を用いて、制御ゲート電極 C G の一方の側壁を覆うポリシリコン膜 P S 2、つまりメモリゲート電極 M G を残して、その他のポリシリコン膜 P S 2 を除去する。続いて、メモリゲート電極 M G をマスクとしてエッチングを行うことで、メモリゲート電極 M G から露出する O N O 膜 O N を除去する。これにより、半導体基板 S B の主面および絶縁膜 I F 3 の表面が露出する。

【 0 0 3 1 】

次に、図 8 に示すように、半導体基板 S B の主面上に、例えば C V D 法を用いて、酸化

10

20

30

40

50

シリコン膜からなる層間絶縁膜 I L 1 を形成した後、C M P (Chemical Mechanical Polishing) 法を用いて層間絶縁膜 I L 1 の上面を研磨し、これにより絶縁膜 I F 3 の上面を露出させる。

#### 【 0 0 3 2 】

次に、図 9 に示すように、半導体基板 S B の主面上に、例えば C V D 法を用いて絶縁膜 I F 4 を形成した後、フォトリソグラフィ技術およびエッチング法を用いて、ロジック回路領域 L P、L N の絶縁膜 I F 4 を除去する。このとき、I / O 領域 H V およびメモリセル領域 H M の層間絶縁膜 I L 1 および絶縁膜 I F 3 は絶縁膜 I F 4 により覆われたままである。絶縁膜 I F 4 は、キャップ絶縁膜である絶縁膜 I F 3 と異なる材料からなり、例えば酸化シリコンからなる。

10

#### 【 0 0 3 3 】

次に、図 1 0 に示すように、絶縁膜 I F 4 をマスクとしてエッチングを行うことで、ロジック回路領域 L P、L N の絶縁膜 I F 3 を除去し、その後、ロジック回路領域 L P、L N のポリシリコン膜 P S 1 および絶縁膜 I F 1 を除去する。なお、当該絶縁膜 I F 1 は除去せずに残してもよい。このようにしてロジック回路領域 L P、L N の絶縁膜 I F 3、ポリシリコン膜 P S 1 および絶縁膜 I F 1 を除去する際、I / O 領域 H V およびメモリセル領域 H M の絶縁膜 I F 3、ゲート電極 G 3、制御ゲート電極 C G およびメモリゲート電極 M G などは、絶縁膜 I F 4 により保護されているため除去されない。

#### 【 0 0 3 4 】

次に、図 1 1 に示すように、I / O 領域 H V およびメモリセル領域 H M の絶縁膜 I F 4 を除去する。続いて、半導体基板 S B の主面上に、絶縁膜 H K、金属膜 M F およびポリシリコン膜 P S 3 を順に形成する。なお、図 1 0 を用いて説明した工程において絶縁膜 I F 1 を除去した場合には、酸化法または C V D 法などにより半導体基板 S B 上に、例えば酸化シリコン膜からなる絶縁膜を形成してから、絶縁膜 H K、金属膜 M F およびポリシリコン膜 P S 3 を順に形成してもよい。

20

#### 【 0 0 3 5 】

絶縁膜 H K は、窒化シリコンよりも誘電率（比誘電率）が高い絶縁材料膜、いわゆる h i g h - k 膜（高誘電率膜）である。絶縁膜 H K としては、酸化ハフニウム膜、酸化ジルコニウム膜、酸化アルミニウム膜、酸化タンタル膜または酸化ランタン膜などの金属酸化物膜を用いることができ、また、これらの金属酸化物膜は、窒素（N）およびケイ素（S i）の一方または両方をさらに含有することもできる。ゲート絶縁膜として高誘電率膜（ここでは絶縁膜 H K）を用いた場合は、酸化シリコン膜を用いた場合に比べて、ゲート絶縁膜の物理的膜厚を増加させることができるため、リーク電流を低減できるという利点を得られる。絶縁膜 H K およびポリシリコン膜 P S 3 は、例えば C V D により形成することができる。

30

#### 【 0 0 3 6 】

金属膜 M F としては、例えば、窒化チタン（T i N）膜、窒化タンタル（T a N）膜、窒化タングステン（W N）膜、炭化チタン（T i C）膜、炭化タンタル（T a C）膜、炭化タングステン（W C）膜、窒化炭化タンタル（T a C N）膜、チタン（T i）膜、タンタル（T a）膜またはチタンアルミニウム（T i A l）膜などの、金属膜を用いることができる。なお、ここでいう金属膜とは、金属伝導を示す導電膜をいい、単体の金属膜（純金属膜）または合金膜だけでなく、金属伝導を示す金属化合物膜（窒化金属膜や炭化金属膜など）も含むものとする。

40

#### 【 0 0 3 7 】

金属膜 M F は、例えばスパッタリング法などを用いて形成することができる。金属膜 M F は、上記の各種の材料の金属膜のうち、異なる材料からなる複数の金属膜を積層した構成を有していてもよい。例えば、金属膜 M F は、窒化チタン膜上にチタン膜を積層した積層膜であってもよい。

#### 【 0 0 3 8 】

金属膜 M F は、後に形成する低耐圧 M I S F E T のゲート電極を構成し、以下では金属

50

膜MFを含むゲート電極をメタルゲート電極と呼ぶ。メタルゲート電極を用いたMISFETでは、ゲート電極の空乏化現象を抑制し、寄生容量をなくすることができるという利点を得られる。また、MISFET素子の小型化（ゲート絶縁膜の薄膜化）も可能となる。

【0039】

次に、図12に示すように、フォトリソグラフィ技術およびドライエッチング法を用いてポリシリコン膜PS3、金属膜MFおよび絶縁膜HKをパターンニングする。これにより、ロジック回路領域LPには、絶縁膜HKからなるゲート絶縁膜GF1と、その上のポリシリコン膜PS3および金属膜MFからなるメタルゲート電極であるゲート電極G1とを形成し、ロジック回路領域LNには、絶縁膜HKからなるゲート絶縁膜GF2と、その上のポリシリコン膜PS3および金属膜MFからなるメタルゲート電極であるゲート電極G2とを形成する。また、I/O領域HVおよびメモリセル領域HMでは、ポリシリコン膜PS3、金属膜MFおよび絶縁膜HKが除去され、層間絶縁膜IL1および絶縁膜IF3のそれぞれの上面が露出する。

【0040】

続いて、I/O領域HVおよびメモリセル領域HMの層間絶縁膜IL1をウェットエッチング法により除去する。以上のようにして、ゲートファーストプロセスによるメタルゲート電極およびその他のポリシリコン膜からなるゲート電極を形成する。以下では、図13～図19を用いて、オフセットスペーサを形成する第1の方法について説明する。

【0041】

次に、図13に示すように、半導体基板SBの主面上にI/O領域HV以外を覆うフォトレジスト膜PR1を形成した後、フォトレジスト膜PR1および絶縁膜IF3をマスクとして用いてイオン注入を行うことで、I/O領域HVの半導体基板SBの主面に一對のエクステンション領域EX3を形成する。エクステンション領域EX3は、ゲート電極G3の横の両側の半導体基板SBの主面に、p型不純物（例えばB（ホウ素））を比較的低い濃度で打ち込むことで形成されたp型半導体領域である。

【0042】

次に、図14に示すように、フォトレジスト膜PR1を除去した後、半導体基板SBの主面上にメモリセル領域HM以外を覆うフォトレジスト膜PR2を形成した後、フォトレジスト膜PR2、メモリゲート電極MG、ONO膜ONおよび絶縁膜IF3をマスクとして用いてイオン注入を行うことで、メモリセル領域HMの半導体基板SBの主面に一對のエクステンション領域EX4を形成する。エクステンション領域EX4は、制御ゲート電極CG、メモリゲート電極MGおよびONO膜ONからなる膜のパターンの両側の半導体基板SBの主面に、n型不純物（例えばP（リン）またはAs（ヒ素））を比較的低い濃度で打ち込むことで形成されたn型半導体領域である。

【0043】

次に、図15に示すように、フォトレジスト膜PR2を除去した後、半導体基板SBの主面上に、例えばCVD法を用いて酸化シリコン膜OX3を形成する。これにより、半導体基板SBの主面と、ゲート電極G1～G3の側壁および上面とは、酸化シリコン膜OX3により覆われる。また、制御ゲート電極CG、メモリゲート電極MGおよびONO膜ONからなるパターンの側壁および上面も、酸化シリコン膜OX3により覆われる。酸化シリコン膜OX3の膜厚は、例えば5nmである。なお、本願でいう膜厚とは、成膜された膜の下地の面に対して垂直な方向における当該膜の長さを指す。したがって、例えば、ゲート電極G3の側壁は、半導体基板SBの主面に対して垂直な方向に沿って形成されており、当該側壁を覆う酸化シリコン膜OX3の膜厚とは、当該側壁に対して垂直な方向における酸化シリコン膜OX3の長さを指す。

【0044】

次に、図16に示すように、ロジック回路領域LN以外を覆うフォトレジスト膜PR3を形成した後、フォトレジスト膜PR3およびポリシリコン膜PS3をマスクとして用いてイオン注入を行うことで、ロジック回路領域LNの半導体基板SBの主面に一對のエクステンション領域EX2を形成する。エクステンション領域EX2は、ゲート電極G2の

横の両側の半導体基板 S B の主面に、n 型不純物（例えば P（リン）または A s（ヒ素））を比較的低い濃度で打ち込むことで形成された n 型半導体領域である。当該イオン注入では、不純物イオンが酸化シリコン膜 O X 3 を突き抜けて半導体基板 S B の主面に打ち込まれる。

#### 【 0 0 4 5 】

次に、図 1 7 に示すように、フォトレジスト膜 P R 3 を除去した後、半導体基板 S B の主面上に、例えば C V D 法を用いて窒化シリコン膜 N T 2 を形成する。これにより、酸化シリコン膜 O X 3 の表面は窒化シリコン膜 N T 2 により覆われる。窒化シリコン膜 N T 2 の膜厚は、例えば 5 n m である。続いて、ドライエッチング法により選択的にエッチバックを行うことで、窒化シリコン膜 N T 2 を一部除去し、これにより酸化シリコン膜 O X 3 の一部の表面を露出させる。このとき、酸化シリコン膜 O X 3 はエッチングストップ膜として使用することができるため、精度の高いエッチングが可能である。

10

#### 【 0 0 4 6 】

窒化シリコン膜 N T 2 はゲート電極 G 1 ~ G 3 のそれぞれの側壁、制御ゲート電極 C G の一方の側壁、およびメモリゲート電極 M G の一方の側壁のそれぞれを覆うようにサイドウォール状に残る。これにより、酸化シリコン膜 O X 3 および窒化シリコン膜 N T 2 からなるオフセットスペーサ O S 1 を形成する。

#### 【 0 0 4 7 】

次に、図 1 8 に示すように、ロジック回路領域 L P 以外を覆うフォトレジスト膜 P R 4 を形成した後、フォトレジスト膜 P R 4 およびポリシリコン膜 P S 3 をマスクとして用いてイオン注入を行うことで、ロジック回路領域 L P の半導体基板 S B の主面に一対のエクステンション領域 E X 1 を形成する。エクステンション領域 E X 1 は、ゲート電極 G 1 の横の両側の半導体基板 S B の主面に、p 型不純物（例えば B（ホウ素））を比較的低い濃度で打ち込むことで形成された p 型半導体領域である。当該イオン注入では、不純物イオンが酸化シリコン膜 O X 3 を突き抜けて半導体基板 S B の主面に打ち込まれる。

20

#### 【 0 0 4 8 】

次に、図 1 9 に示すように、フォトレジスト膜 P R 4 を除去する。

#### 【 0 0 4 9 】

以下では、図 2 0 ~ 図 2 4 を用いて、本実施の形態の主な特徴の 1 つであるサイドウォールの形成方法について説明する。図 2 0 ~ 図 2 8 およびその後の説明で用いる図 2 9 では、各ゲート電極の上面および半導体基板 S B の主面に沿って形成された上記酸化シリコン膜 O X 3 の図示を省略する。また、図 2 0 ~ 図 2 8 では、図を分かりやすくするため、オフセットスペーサ O S 1 を 1 つの膜として示す。つまり、オフセットスペーサ O S 1 を構成する酸化シリコン膜 O X 3 と窒化シリコン膜 N T 2 とを区別しない。

30

#### 【 0 0 5 0 】

また、図 2 0 ~ 図 2 9 では、ロジック回路領域 L P および I / O 領域 H V での製造工程の説明を省略し、ロジック回路領域 L N およびメモリセル領域 H M のみを図示する。ロジック回路領域 L P での製造工程はロジック回路領域 L N と同様に行われ、I / O 領域 H V での製造工程はメモリセル領域 H M と同様に行われる。ただし、ロジック回路領域 L P および I / O 領域 H V の製造工程では、ソース・ドレイン領域を構成する拡散層を形成するために行われるイオン注入工程において、ロジック回路領域 L N およびメモリセル領域 H M と異なり p 型不純物が注入される。また、図 2 0 ~ 図 2 8 では、ロジック回路領域 L N に M I S F E T を 2 つ並べて形成する場合の断面図を示す。

40

#### 【 0 0 5 1 】

次に、図 2 0 に示すように、半導体基板 S B の主面上に、例えば C V D 法を用いて、窒化シリコン膜 N T 3 および酸化シリコン膜 O X 4 を順に形成する。ここで、ロジック回路領域 L N において隣り合うゲート電極 G 2 同士の間の距離は、オフセットスペーサ O S 1 の膜厚を無視する場合、例えば 9 0 n m である。オフセットスペーサ O S 1 の膜厚を考慮する場合、隣り合うゲート電極 G 2 の対向する側壁のそれぞれを覆うオフセットスペーサ O S 1 同士の間の距離は 9 0 n m である。

50

## 【0052】

これらの場合、後に行う窒化シリコン膜NT3および酸化シリコン膜OX4の除去工程において不良が生じることを防ぐため、隣り合うゲート電極G2同士の間が窒化シリコン膜NT3および酸化シリコン膜OX4に完全に埋め込まれることを防ぐ必要がある。すなわち、窒化シリコン膜NT3および酸化シリコン膜OX4からなる積層膜の膜厚は、90nmの半分の値よりも小さくしなければならない。ここでは、隣り合うゲート電極G2の相互間の距離は、窒化シリコン膜NT3および酸化シリコン膜OX4の合計の膜厚の2倍より大きい。よって、窒化シリコン膜NT3の膜厚をaとし、酸化シリコン膜OX4の膜厚をbとすると、 $a + b < 45 \text{ (nm)}$ となる。言い換えれば、 $2a + 2b < 90 \text{ (nm)}$ である。

10

## 【0053】

ここでは、窒化シリコン膜NT3の膜厚aは例えば15nmであり、酸化シリコン膜OX4の膜厚bは例えば20nmである。窒化シリコン膜NT3の膜厚aは、酸化シリコン膜OX4をサイドウォール状に加工するエッチバック工程（図21参照）において半導体基板SBの主面を露出しない程度の大きさを要するため、例えば10nm以上の大きさが必要である。

## 【0054】

なお、互いに隣接する制御ゲート電極CGおよびメモリゲート電極MGを含むパターンはメモリセル領域HMにおいて複数形成されているが、それらのパターン同士の間の距離は90nmよりも大きい。このため、ロジック回路領域LNのゲート電極G2間が窒化シリコン膜NT3および酸化シリコン膜OX4により完全に埋まらない場合には、上記パターン同士の間も完全に埋まることはない。また、ここでいう完全に埋まるとは、2つのゲート電極の対向する側壁のそれぞれに沿って形成された膜同士が互いに接触することを指す。

20

## 【0055】

次に、図21に示すように、ドライエッチング法により選択的にエッチバックを行うことで酸化シリコン膜OX4の一部を除去し、これにより窒化シリコン膜NT3の上面を露出させる。このとき、窒化シリコン膜NT3はエッチングストップ膜として機能する。当該エッチバック工程により、酸化シリコン膜OX4はサイドウォール状に残る。

## 【0056】

次に、図22に示すように、メモリセル領域HMを覆い、ロジック回路領域LNを露出するフォトレジスト膜PR5を形成した後、ウェットエッチングによりロジック回路領域LNの酸化シリコン膜OX4を除去する。

30

## 【0057】

次に、図23に示すように、フォトレジスト膜PR5を除去した後、半導体基板SBの主面上に、例えばCVD法を用いて、酸化シリコン膜OX5を形成する。ここで、酸化シリコン膜OX5の膜厚をcとする。酸化シリコン膜OX5の膜厚cは、例えば11nmである。したがって、ゲート電極G2同士の間が窒化シリコン膜NT3および酸化シリコン膜OX5により完全に埋め込まれることはない。酸化シリコン膜OX5は、ロジック回路領域LNにおいて、ゲート電極G2および窒化シリコン膜NT3を覆い、メモリセル領域HMにおいて、制御ゲート電極CG、メモリゲート電極MG、窒化シリコン膜NT3および酸化シリコン膜OX4を覆っている。また、酸化シリコン膜OX5は半導体基板SBの主面を覆っている。

40

## 【0058】

次に、図24に示すように、ドライエッチング法によりエッチバックを行うことで酸化シリコン膜OX5の一部を除去し、その後、酸化シリコン膜OX4、OX5から露出する部分の窒化シリコン膜NT3を除去する。これにより、ロジック回路領域LNでは、ゲート電極G2の側壁にオフセットスペーサOS1を介してサイドウォールSW1が形成される。サイドウォールSW1は、窒化シリコン膜NT3および酸化シリコン膜OX5からなる。また、メモリセル領域HMでは、互いに隣接する制御ゲート電極CGおよびメモリゲ

50

ート電極MGを含むパターンの側壁に、オフセットスペーサOS1を介してサイドウォールSW2が形成される。サイドウォールSW2は、窒化シリコン膜NT3、酸化シリコン膜OX4およびOX5からなる。

【0059】

サイドウォールSW1の膜厚、つまり、半導体基板SBの主面に沿う方向における幅の大きさは、窒化シリコン膜NT3の膜厚aおよび酸化シリコン膜OX5の膜厚cを足した26nmである。これに対し、サイドウォールSW2の膜厚、つまり、半導体基板SBの主面に沿う方向における幅の大きさは、窒化シリコン膜NT3の膜厚a、酸化シリコン膜OX4の膜厚b、および酸化シリコン膜OX5の膜厚cを足した46nmである。

【0060】

したがって、サイドウォールSW2の幅（膜厚）は、サイドウォールSW1の幅（膜厚）よりも大きい。本実施の形態の主な特徴の1つは、上記のようにして異なる膜厚を有する複数のサイドウォールSW1、SW2を作り分けることにある。また、本実施の形態の主な特徴の他の1つは、サイドウォールSW2の幅の大きさが、隣り合うゲート電極G2同士の間隔の半分以上であることにある。なお、幅が46nmのサイドウォールSW2を形成しても、メモリセル領域HMの複数の上記パターン同士の間隔が完全に埋め込まれることはない。なお、本願でいう幅とは、いずれも半導体基板SBの主面に沿う方向における長さを指す。

【0061】

制御ゲート電極CGの一方の側壁はサイドウォールSW2により覆われており、制御ゲート電極CGの他方の側壁は、メモリゲート電極MGを介してサイドウォールSW2により覆われている。また、メモリゲート電極MGの一方の側壁はサイドウォールSW2により覆われており、メモリゲート電極MGの他方の側壁は、制御ゲート電極CGを介してサイドウォールSW2により覆われている。

【0062】

次に、図25に示すように、サイドウォールSW1、SW2、オフセットスペーサOS1、ゲート電極G2、絶縁膜IF3、ONO膜ONおよびメモリゲート電極MGをマスクとしてイオン注入を行うことで、ロジック回路領域LNの半導体基板SBの主面に拡散層DF2を形成し、メモリセル領域HMの半導体基板SBの主面に拡散層DF4を形成する。これにより、ロジック回路領域LNには、ゲート電極G2と、エクステンション領域EX2および拡散層DF2からなるソース・ドレイン領域とを含むMISFETQ2が形成される。また、メモリセル領域HMには、制御ゲート電極CGと、メモリゲート電極MGと、ONO膜ONと、エクステンション領域EX4および拡散層DF4からなるソース・ドレイン領域とを含むメモリセルMCが形成される。

【0063】

なお、ここでは一度のイオン注入により拡散層DF2、DF4を形成する場合について説明したが、拡散層DF2と拡散層DF4とを別々のイオン注入工程により形成し、それらの拡散層の不純物濃度などに差異を設けてもよい。また、メモリセル領域HMに形成するソース領域側の拡散層DF4と、ドレイン領域側の拡散層DF4とを別々のイオン注入工程により形成し、それらの拡散層DF4の不純物濃度などに差異を設けてもよい。

【0064】

メモリセル領域HMにおいて、ソース・ドレイン領域と制御ゲート電極CGとは制御トランジスタを構成し、当該ソース・ドレイン領域とメモリゲート電極MGとはメモリトランジスタを構成する。メモリセルMCは、当該制御トランジスタおよび当該メモリトランジスタからなる。制御トランジスタおよびメモリトランジスタのそれぞれは、MISFETQ2よりも高い電圧で駆動するトランジスタである。つまり、MISFETQ2は低耐圧MISFETであり、制御トランジスタおよびメモリトランジスタのそれぞれは高耐圧MISFETである。なお、図示していないI/O領域HVに形成されたゲート電極G3（図19参照）を含むトランジスタは、MISFETQ2よりも高い電圧で駆動する高耐圧トランジスタである。

10

20

30

40

50



## 【 0 0 6 5 】

拡散層 D F 2 は、ゲート電極 G 2 の横の両側の半導体基板 S B の主面に、n 型不純物（例えば P（リン）または A s（ヒ素））を比較的高い濃度で打ち込むことで形成された n 型半導体領域である。拡散層 D F 4 は、制御ゲート電極 C G およびメモリゲート電極 M G を含む上記パターンの横の両側の半導体基板 S B の主面に、n 型不純物（例えば P（リン）または A s（ヒ素））を比較的高い濃度で打ち込むことで形成された n 型半導体領域である。

## 【 0 0 6 6 】

拡散層 D F 2、D F 4 は、エクステンション領域 E X 2、E X 4 よりも高い不純物濃度を有する。つまり、エクステンション領域 E X 2 および拡散層 D F 2 からなるソース・ドレイン領域と、エクステンション領域 E X 4 および拡散層 D F 4 からなるソース・ドレイン領域とは、低濃度の半導体領域と高濃度の半導体領域とが隣接する構造、つまり L D D（Lightly Doped Drain）構造を有している。また、拡散層 D F 2、D F 4 は、エクステンション領域 E X 2、E X 4 よりも深く形成されている。エクステンション領域 E X 2 は、拡散層 D F 2 よりも、ゲート電極 G 2 の直下の半導体基板 S B の主面、つまりチャネルが形成される領域の近くに形成されている。なお、拡散層 D F 2、D F 4 は、エクステンション領域 E X 2、E X 4 よりも浅く形成されていてもよい。

## 【 0 0 6 7 】

次に、図 2 6 に示すように、周知のシリサイド技術を用いて、半導体基板 S B の主面上に露出するシリコンの表面にシリサイド層 S 1 を形成する。つまり、半導体基板 S B の主面上に例えばスパッタリング法を用いて金属膜を堆積した後、熱処理により当該金属膜と上記シリコンとを反応させてシリサイド層 S 1 を形成し、続いて未反応の当該金属膜をウェットエッチングにより除去する。これにより、拡散層 D F 2、D F 4、ゲート電極 G 2 およびメモリゲート電極 M G のそれぞれの上面を覆うシリサイド層 S 1 が形成される。なお、図示していない制御ゲート電極 C G の給電部では、制御ゲート電極 C G 上の絶縁膜 I F 3 が当該シリサイド層 S 1 の形成前に除去されており、当該給電部において、制御ゲート電極 C G の上面を覆うシリサイド層 S 1 が形成される。

## 【 0 0 6 8 】

シリサイド層 S 1 は、例えばコバルトシリサイド層、ニッケルシリサイド層、または、ニッケル白金シリサイド層などからなる。上記金属膜は、コバルト（C o）膜、ニッケル（N i）膜、またはニッケル白金合金膜からなる。

## 【 0 0 6 9 】

続いて、M I S F E T Q 2 およびメモリセル M C を覆うエッチングストップ膜（図示しない）および層間絶縁膜 I L 2 を、半導体基板 S B の主面上に例えば C V D 法を用いて順に形成する。エッチングストップ膜は、例えば窒化シリコン膜からなる。層間絶縁膜 I L 2 は、例えば酸化シリコン膜からなり、その膜厚は、ゲート絶縁膜 G F 4、制御ゲート電極 C G および絶縁膜 I F 3 からなる積層膜の膜厚よりも大きい。その後、層間絶縁膜 I L 2 の上面を、例えば C M P 法を用いて平坦化する。

## 【 0 0 7 0 】

次に、図 2 7 に示すように、フォトリソグラフィ技術およびドライエッチング法を用いて、層間絶縁膜 I L 2 の上面および下面の間を貫通する複数のコンタクトホール C H を形成する。コンタクトホール C H の底部には、各ゲート電極および各ソース・ドレイン領域のそれぞれの上面を覆うシリサイド層 S 1 の上面が露出している。

## 【 0 0 7 1 】

次に、図 2 8 に示すように、コンタクトホール C H の内部を埋め込むコンタクトプラグ（接続部）C P を形成する。その後、図示は省略するが、コンタクトプラグ C P 上に、コンタクトプラグ C P に電氣的に接続された配線を含む配線層を形成することで、本実施の形態の半導体装置が完成する。コンタクトプラグ C P は例えば主にタングステン（W）膜からなる。

## 【 0 0 7 2 】

コンタクトプラグCPを形成する際には、まず、例えば半導体基板SBの主面上に、例えばスパッタリング法によりバリア導体膜（図示しない）および主導体膜（タングステン膜）を順に形成することでコンタクトホールCH内を完全に埋め込む。その後、層間絶縁膜IL2上の余分なバリア導体膜および主導体膜をCMP法などにより除去して層間絶縁膜IL2の上面を露出させることで、コンタクトホールCH内に残ったバリア導体膜および主導体膜からなるコンタクトプラグCPを形成する。コンタクトプラグCPは、シリサイド層S1を介して、各ソース・ドレイン領域、ゲート電極G1（図示しない）、ゲート電極G2、ゲート電極G3（図示しない）、制御ゲート電極CGまたはメモリゲート電極MGに電氣的に接続される。

#### 【0073】

10

上記の製造工程により形成したMISFETQ2およびメモリセルMCを拡大した断面図を図29に示す。つまり、図29は図28の一部を拡大して示す断面図である。図29では、ONO膜ONの積層構造およびオフセットスペーサOS1の積層構造を具体的に示している。また、図29では、シリサイド層S1、層間絶縁膜IL2およびコンタクトプラグCPの図示を省略している。

#### 【0074】

図29に示すように、ONO膜ONを構成する窒化シリコン膜NT1の側壁には、オフセットスペーサOS1を構成する酸化シリコン膜OX3が接している。また、隣り合う制御ゲート電極CGおよびメモリゲート電極MGの相互間にはONO膜ONが介在しており、メモリゲート電極MGと半導体基板SBとの間にも当該ONO膜ONが介在している。つまり、ONO膜ONは、L字型の断面形状を有しており、制御ゲート電極CGとメモリゲート電極MGとの間から、メモリゲート電極MGと半導体基板SBとの間に亘って連続的に形成されている。

20

#### 【0075】

< 不揮発性メモリの動作について >

次に、不揮発性メモリの動作例について、図30を参照して説明する。

#### 【0076】

本実施の形態のメモリセルは、MISFET構造を有し、当該MISFETのゲート電極内のトラップ性絶縁膜での電荷蓄積状態を記憶情報とし、それをトランジスタのしきい値として読み出すものである。トラップ性絶縁膜とは、電荷の蓄積可能な絶縁膜をいい、一例として、窒化シリコン膜などが挙げられる。このような電荷蓄積領域への電荷の注入・放出によってMISFETのしきい値をシフトさせ記憶素子として動作させる。トラップ性絶縁膜を用いた不揮発性半導体記憶装置としては、本実施の形態のメモリセルのように、スプリットゲート型のMONOSメモリがある。

30

#### 【0077】

図30は、本実施の形態の「書込」、「消去」および「読出」時における選択メモリセルの各部位への電圧の印加条件の一例を示す表である。図30の表には、「書込」、「消去」および「読出」時のそれぞれにおいて、図29に示されるようなメモリセルMCのメモリゲート電極MGに印加する電圧Vmg、ソース領域に印加する電圧Vs、制御ゲート電極CGに印加する電圧Vcg、ドレイン領域に印加する電圧Vd、および半導体基板SBの上面のウェルPW2に印加するベース電圧Vbが記載されている。ここでいう選択メモリセルとは、「書込」、「消去」または「読出」を行う対象として選択されたメモリセルをいう。

40

#### 【0078】

なお、図29に示す不揮発性メモリの例では、メモリゲート電極MGの右側の活性領域がソース領域、制御ゲート電極CGの左側の活性領域がドレイン領域である。また、図30の表に示したものは電圧の印加条件の好適な一例であり、これに限定されるものではなく、必要に応じて種々変更可能である。また、本実施の形態では、メモリトランジスタのONO膜ON中の電荷蓄積部である窒化シリコン膜NT1への電子の注入を「書込」、ホール(hole：正孔)の注入を「消去」と定義する。

50

## 【0079】

また、図30の表において、Aの欄は、書込み方法がSSI方式で、かつ消去方法がBTBT方式の場合に対応し、Bの欄は、書込み方法がSSI方式で、かつ消去方法がFN方式の場合に対応し、Cの欄は、書込み方法がFN方式で、かつ消去方法がBTBT方式の場合に対応し、Dの欄は、書込み方法がFN方式で、かつ消去方法がFN方式の場合に対応している。

## 【0080】

SSI方式は、窒化シリコン膜NT1にホットエレクトロンを注入することによってメモリセルの書込みを行う動作法とみなすことができ、BTBT方式は、窒化シリコン膜NT1にホットホールを注入することによってメモリセルの消去を行う動作法とみなすことができ、FN方式は、電子またはホールのトンネリングによって書込みまたは消去を行う動作法とみなすことができる。FN方式について、別の表現でいうと、FN方式の書込みは、窒化シリコン膜NT1にFNトンネル効果により電子を注入することによってメモリセルの書込みを行う動作方式とみなすことができ、FN方式の消去は、窒化シリコン膜NT1にFNトンネル効果によりホールを注入することによってメモリセルの消去を行う動作方式とみなすことができる。以下、具体的に説明する。

## 【0081】

書込み方式は、いわゆるSSI (Source Side Injection: ソースサイド注入) 方式と呼ばれるソースサイド注入によるホットエレクトロン注入で書込みを行う書込み方式 (ホットエレクトロン注入書込み方式) と、いわゆるFN方式と呼ばれるFN (Fowler Nordheim) トンネリングにより書込みを行う書込み方式 (トンネリング書込み方式) とがある。

## 【0082】

SSI方式の書込みでは、例えば図30の表のAの欄またはBの欄の「書込動作電圧」に示されるような電圧 ( $V_{mg} = 10V$ 、 $V_s = 5V$ 、 $V_{cg} = 1V$ 、 $V_d = 0.5V$ 、 $V_b = 0V$ ) を、書込みを行う選択メモリセルの各部位に印加し、選択メモリセルのONO膜ON中の窒化シリコン膜NT1中に電子を注入することで書込みを行う。

## 【0083】

この際、ホットエレクトロンは、2つのゲート電極 (メモリゲート電極MGおよび制御ゲート電極CG) 間の下のチャネル領域 (ソース、ドレイン間) で発生し、メモリゲート電極MGの下でのONO膜ON中の電荷蓄積部である窒化シリコン膜NT1にホットエレクトロンが注入される。注入されたホットエレクトロン (電子) は、ONO膜ON中の窒化シリコン膜NT1中のトラップ準位に捕獲され、その結果、メモリトランジスタのしきい値電圧が上昇する。すなわち、メモリトランジスタは書込み状態となる。

## 【0084】

FN方式の書込みでは、例えば図30の表のCの欄またはDの欄の「書込動作電圧」に示されるような電圧 ( $V_{mg} = -12V$ 、 $V_s = 0V$ 、 $V_{cg} = 0V$ 、 $V_d = 0V$ 、 $V_b = 0V$ ) を、書込みを行う選択メモリセルの各部位に印加し、選択メモリセルにおいて、メモリゲート電極MGから電子をトンネリングさせてONO膜ON中の窒化シリコン膜NT1に注入することで書込みを行う。この際、電子はメモリゲート電極MGからFNトンネリング (FNトンネル効果) により酸化シリコン膜OX2をトンネリングしてONO膜ON中に注入され、ONO膜ON中の窒化シリコン膜NT1中のトラップ準位に捕獲され、その結果、メモリトランジスタのしきい値電圧が上昇する。すなわち、メモリトランジスタは書込み状態となる。

## 【0085】

なお、FN方式の書込みにおいて、半導体基板SBから電子をトンネリングさせてONO膜ON中の窒化シリコン膜NT1に注入することで書込みを行うこともでき、この場合、書込動作電圧は、例えば図30の表のCの欄またはDの欄の「書込動作電圧」の正負を反転させたものとすることができる。

## 【0086】

消去方法は、いわゆるＢＴＢＴ方式と呼ばれるＢＴＢＴ（Band-To-Band Tunneling：バンド間トンネル現象）によるホットホール注入により消去を行う消去方式（ホットホール注入消去方式）と、いわゆるＦＮ方式と呼ばれるＦＮ（Fowler Nordheim）トンネリングにより消去を行う消去方式（トンネリング消去方式）とがある。

#### 【００８７】

ＢＴＢＴ方式の消去では、ＢＴＢＴにより発生したホール（正孔）を電荷蓄積部（ＯＮＯ膜ＯＮ中の窒化シリコン膜ＮＴ１）に注入することにより消去を行う。例えば図３０の表のＡの欄またはＣの欄の「消去動作電圧」に示されるような電圧（ $V_{mg} = -6V$ 、 $V_s = 6V$ 、 $V_{cg} = 0V$ 、 $V_d = open$ 、 $V_b = 0V$ ）を、消去を行う選択メモリセルの各部位に印加する。これにより、ＢＴＢＴ現象によりホールを発生させ電界加速すること  
10

#### 【００８８】

ＦＮ方式の消去では、例えば図３０の表のＢの欄またはＤの欄の「消去動作電圧」に示されるような電圧（ $V_{mg} = 12V$ 、 $V_s = 0V$ 、 $V_{cg} = 0V$ 、 $V_d = 0V$ 、 $V_b = 0V$ ）を、消去を行う選択メモリセルの各部位に印加し、選択メモリセルにおいて、メモリゲート電極ＭＧからホールをトンネリングさせてＯＮＯ膜ＯＮ中の窒化シリコン膜ＮＴ１に注入することで消去を行う。この際、ホールはメモリゲート電極ＭＧからＦＮトンネリング（ＦＮトンネル効果）により酸化シリコン膜ＯＸ２をトンネリングしてＯＮＯ膜Ｏ  
20

#### 【００８９】

なお、ＦＮ方式の消去において、半導体基板ＳＢからホールをトンネリングさせてＯＮＯ膜ＯＮ中の窒化シリコン膜ＮＴ１に注入することで消去を行うこともでき、この場合、消去動作電圧は、例えば図３０の表のＢの欄またはＤの欄の「消去動作電圧」の正負を反転させたものとすることができる。

#### 【００９０】

読出し時には、例えば図３０の表のＡの欄、Ｂの欄、Ｃの欄またはＤの欄の「読出動作電圧」に示されるような電圧を、読出しを行う選択メモリセルの各部位に印加する。読出し時のメモリゲート電極ＭＧに印加する電圧 $V_{mg}$ を、書込み状態におけるメモリトランジスタのしきい値電圧と消去状態におけるしきい値電圧との間の値にすることで、書込み状態と消去状態とを判別することができる。  
30

#### 【００９１】

< 本実施の形態の効果について >

以下に、図６２～図６８を用いて比較例の半導体装置の問題点を説明し、図２９などを用いて本実施の形態の半導体装置およびその製造方法の効果について説明する。図６２～図６８は、比較例の半導体装置の製造工程中の断面図であり、図２０～図２８と同様にロジック回路領域ＬＮおよびメモリセルＭＣを示す断面図である。  
40

#### 【００９２】

ロジック回路を構成するトランジスタは、Ｉ／Ｏ領域またはメモリセル領域に形成されるトランジスタに比べて低い電圧で駆動するため、高い耐圧性能を要求されない。このため、ロジック回路を構成する低耐圧ＭＩＳＦＥＴは、Ｉ／Ｏ領域またはメモリセル領域に形成される高耐圧トランジスタよりもソース・ドレイン領域間のパンチスルーが生じる虞が低く、ドレイン領域とゲート電極との間におけるリーク電流も発生しにくい。よって、低耐圧ＭＩＳＦＥＴにおいては、ソース・ドレイン領域間の間隔を縮小することで、素子の集積度の向上、低消費電力化、および、高速動作化を比較的容易に実現できる。

#### 【００９３】

このような低耐圧ＭＩＳＦＥＴを形成するためにソース・ドレイン領域間の距離を小さ  
50

くするためには、ソース・ドレイン領域を構成する拡散層を形成する際にイオン注入のマスクとして用いるサイドウォールの幅を小さくする方法がある。しかし、メモリセルなどの高耐圧MISFETは低耐圧MISFETに比べて高い耐圧が要求されるため、ソース・ドレイン領域の間隔を大きく確保する必要があるため、ゲート電極（例えば、制御ゲート電極等）に隣接するサイドウォールの幅を大きくする必要がある。つまり、高耐圧MISFETの十分な耐圧性能を実現し、かつ、低耐圧MISFETのソース・ドレイン領域の間隔を狭めるためには、半導体基板上に異なる幅を有する複数種類のサイドウォールを形成する必要がある。そのようなサイドウォールを形成する比較例の半導体装置の製造方法を以下に説明する。

#### 【0094】

10

まず、図62に示すように、図1～図12を用いて説明した工程と同様の工程を行って各種のゲート電極を形成した後、各種のゲート電極の側壁を覆うオフセットスペース（図示しない）と、半導体基板SBの主面のエクステンション領域EX2およびEX4とを形成する。続いて、CVD法などを用いて半導体基板SB上に窒化シリコン膜NTAおよび酸化シリコン膜OXAを順に形成する。ここで、ロジック回路領域LNのゲート電極G2同士の間の距離は、例えば108～128nmである。また、窒化シリコン膜NTAの膜厚は20nmであり、酸化シリコン膜OXAの膜厚は26nmである。したがって、窒化シリコン膜NTAおよび酸化シリコン膜OXAを形成することで、ゲート電極G2同士の間が完全に埋め込まれることはない。

#### 【0095】

20

次に、図63に示すように、エッチバックを行って酸化シリコン膜OXAをサイドウォール状に加工し、窒化シリコン膜NTAの上面を露出させる。次に、図64に示すように、フォトリソ膜PRAによりメモリセル領域HMを覆い、ロジック回路領域LNの酸化シリコン膜OXAを除去する。次に、図65に示すように、フォトリソ膜PRAを除去した後、選択的にエッチバックを行うことで、酸化シリコン膜OXAから露出する窒化シリコン膜NTAを除去し、これにより半導体基板SBの主面を露出させる。

#### 【0096】

これにより、ゲート電極G2の側壁には、窒化シリコン膜NTAからなるサイドウォールSWAが形成され、制御ゲート電極CG、メモリゲート電極MGおよびONO膜ONを含むパターンの側壁には、窒化シリコン膜NTAおよび酸化シリコン膜OXAからなるサイドウォールSWBが形成される。サイドウォールSWAの幅は、窒化シリコン膜NTAの幅である26nmであり、サイドウォールSWBの幅は、窒化シリコン膜NTAおよび酸化シリコン膜OXAのそれぞれの膜厚を足した46nmである。

30

#### 【0097】

このようにして、2種類の異なる幅を有するサイドウォールSWA、SWBを形成することができる。図示は省略するが、その後、サイドウォールSWA、SWBなどをマスクとしてイオン注入を行い、拡散層を形成することで、ゲート電極G2を有する低耐圧MISFETと、制御ゲート電極CGおよびメモリゲート電極MGを有するメモリセルとを形成する。

#### 【0098】

40

ここで、半導体装置の微細化の要請などにより、ロジック回路を構成する複数の低耐圧MISFETのゲート電極同士の間隔は、I/O領域またはメモリセル領域に形成される複数の高耐圧トランジスタのゲート電極同士の間隔よりも縮小される傾向にある。このように高い集積度が要求される低耐圧MISFETのゲート電極同士の間隔は、半導体装置の微細化に伴い、より小さくなる。図62～図65では、ロジック回路領域のゲート電極同士の間隔が比較的大きい場合について説明したが、以下では比較例の半導体装置の製造方法として、ロジック回路領域のゲート電極同士の間隔がより小さい場合に生じる問題点について説明する。ここでは、ロジック回路領域のゲート電極間の距離は90nmである。

#### 【0099】

50

この場合、図 6 6 に示すように、図 6 2 を用いて説明した工程を行うことで、ゲート電極 G 2、制御ゲート電極 C G およびメモリゲート電極 M G を覆う窒化シリコン膜 N T A および酸化シリコン膜 O X A を形成すると、ロジック回路領域 L N のゲート電極 G 2 同士の間が窒化シリコン膜 N T A および酸化シリコン膜 O X A により完全に埋め込まれる。すなわち、窒化シリコン膜 N T A および酸化シリコン膜 O X A の合計の膜厚が 4 6 n m であり、ゲート電極 G 2 間の距離が 9 0 n m であるため、対向するゲート電極 G 2 の側壁のそれぞれに沿って形成された酸化シリコン膜 O X A 同士が接触する。

#### 【 0 1 0 0 】

次に、図 6 7 に示すように、図 6 3 を用いて説明した工程と同様の工程を行うことで、酸化シリコン膜 O X A をエッチバックする。続いて、メモリセル領域 H M をフォトレジスト膜 P R A により覆う。

10

#### 【 0 1 0 1 】

次に、図 6 8 に示すように、図 6 4 を用いて説明した工程と同様の工程を行うことで、フォトレジスト膜 P R A をマスクとしてエッチングを行い、ロジック回路領域 L N の酸化シリコン膜 O X A を除去する。しかし、ゲート電極 G 2 間を埋め込む酸化シリコン膜 O X A は、ゲート電極 G 2 間を埋め込んでいないサイドウォール状の酸化シリコン膜 O X A を除去する程度のエッチング量では除去することができず、ゲート電極 G 2 同士の間に残る虞がある。

#### 【 0 1 0 2 】

この場合、その後、図 6 5 を用いて説明した窒化シリコン膜 N T A の除去工程を行っても、ゲート電極 G 2 間に残った酸化シリコン膜 O X A の下の窒化シリコン膜 N T A を除去できず、その後のイオン注入工程では、ゲート電極 G 2 間の半導体基板 S B の主面に所望の拡散層を形成することができない。したがって、半導体装置の信頼性が低下する問題が生じる。

20

#### 【 0 1 0 3 】

また、図 6 8 に示すゲート電極 G 2 間の酸化シリコン膜 O X A をエッチングにより完全に除去するためにエッチング量を増やすと、ゲート電極 G 2 間を埋め込んでいない酸化シリコン膜 O X A が覆っていた窒化シリコン膜 N T A が当該エッチングにより過度にエッチングされ、ゲート電極 G 2 の側壁の一部の窒化シリコン膜 N T A の膜厚が小さくなる。したがって、ゲート電極 G 2 の両側のそれぞれに形成されるサイドウォールの幅にばらつきが生じ、半導体装置の信頼性が低下する問題が生じる。

30

#### 【 0 1 0 4 】

また、図 6 8 に示すゲート電極 G 2 間の酸化シリコン膜 O X A をエッチングにより完全に除去するためにエッチング量を増やすと、ゲート電極 G 2 間を埋め込んでいない酸化シリコン膜 O X A が覆っていた窒化シリコン膜 N T A が当該エッチングにより過度にエッチングされ、半導体基板 S B の主面が露出する場合がある。この後、図 6 5 を用いて説明した窒化シリコン膜 N T A の除去工程を行うと、露出している半導体基板 S B の主面が後退し、また、当該主面がダメージを受ける。半導体基板 S B の主面が後退すると、ソース・ドレイン領域間のパンチスルーが起きやすくなり、M I S F E T の耐圧が低下する問題が生じる。

40

#### 【 0 1 0 5 】

このような問題は、図 6 2 を用いて説明した工程において形成した窒化シリコン膜 N T A および酸化シリコン膜 O X A のみにより高耐圧 M I S F E T のサイドウォール S W B ( 図 6 5 参照 ) を形成しているために生じる。なお、オフセットスペーサ ( 図示しない ) の膜厚 ( 幅 ) は、上記のゲート電極 G 2 間が埋め込まれる問題において、無視できる程度に小さい。

#### 【 0 1 0 6 】

そこで本実施の形態では、図 2 0 を用いて説明した工程において窒化シリコン膜 N T 3 および酸化シリコン膜 O X 4 を形成した後、ロジック回路領域 L N の酸化シリコン膜 O X 4 を除去し、その後に形成する酸化シリコン膜 O X 5 ( 図 2 3 参照 ) と酸化シリコン膜 O

50

X 4 と窒化シリコン膜 N T 3 とを含むサイドウォール S W 2 ( 図 2 4 参照 ) を形成している。このため、隣り合うゲート電極 G 2 同士の間において、酸化シリコン膜 O X 4、O X 5 および窒化シリコン膜 N T 3 が同時に形成されることはない。つまり、合計の膜厚 ( a + b + c ) が 4 6 n m となる絶縁膜が、ゲート電極 G 2 間の幅 9 0 n m の領域に一時期に形成されることはない。よって、図 6 8 に示す比較例のように、ゲート電極 G 2 同士の間の絶縁膜が適切に除去できなくなる問題が生じることを防ぐことができる。

【 0 1 0 7 】

すなわち、本実施の形態では、サイドウォール S W 1、S W 2 の形成工程において最初に形成する窒化シリコン膜 N T 3 および酸化シリコン膜 O X 4 ( 図 2 0 参照 ) のみにより高耐圧 M I S F E T のサイドウォール S W 2 を形成せず、窒化シリコン膜 N T 3 および酸化シリコン膜 O X 4 の成膜後に、ロジック回路領域 L N の酸化シリコン膜 O X 4 を除去している。そして、その後に酸化シリコン膜 O X 5 を形成し、酸化シリコン膜 O X 4、O X 5 および窒化シリコン膜 N T 3 の 3 つの膜の合計の膜厚により、サイドウォール S W 2 の必要な幅を確保している。

10

【 0 1 0 8 】

このため、サイドウォール S W 1、S W 2 の形成工程において最初に形成する窒化シリコン膜 N T 3 および酸化シリコン膜 O X 4 の合計の膜厚が、サイドウォール S W 2 の当該幅を満たしている必要がない。したがって、S W 2 の形成工程の最初に窒化シリコン膜 N T 3 および酸化シリコン膜 O X 4 を形成した際に、ゲート電極 G 2 同士の間が埋め込まれることを防ぐことができる。

20

【 0 1 0 9 】

したがって、図 6 8 の比較例を用いて説明したような絶縁膜の除去不良は生じないため、図 2 4 を用いて説明した工程の後に行うイオン注入工程では、ロジック回路領域 L N において所望の拡散層を形成することができる。また、ゲート電極 G 2 の横のサイドウォール S W 1 の幅にばらつきが生じることを防ぐことができる。また、酸化シリコン膜 O X 4 の除去工程 ( 図 2 2 参照 ) において窒化シリコン膜 N T 3 の一部が過度に除去され、窒化シリコン膜 N T 3 の除去工程 ( 図 2 4 参照 ) において半導体基板 S B の主面が後退することを防ぐことができる。よって、半導体装置の信頼性を向上させることができる。

【 0 1 1 0 】

また、異なる幅を有するサイドウォール S W 1、S W 2 を形成することで、高耐圧 M I S F E T の耐圧を確保し、かつ、低耐圧 M I S F E T のソース・ドレイン領域同士の間隔を狭めることができるため、低耐圧 M I S F E T の集積度の向上、低消費電力化および高速動作化を実現することができる。

30

【 0 1 1 1 】

また、本実施の形態の他の効果を以下に説明する。

【 0 1 1 2 】

本実施の形態では、図 2 9 に示すサイドウォール S W 2 の外側の側壁、つまり、サイドウォール S W 2 の側壁であって、制御ゲート電極 C G およびメモリゲート電極 M G を含むパターン側の側壁の反対側の側壁が、酸化シリコンにより構成されている。つまり、サイドウォール S W 2 内において、サイドウォール S W 2 の外側の側壁側には酸化シリコン膜 O X 4、O X 5 が形成されている。また、サイドウォール S W 1 の外側の側壁には、酸化シリコン膜 O X 5 が形成されている。

40

【 0 1 1 3 】

酸化シリコン膜は窒化シリコン膜に比べ、サイドウォール S W 2 の形成工程後の各種の工程において削られやすい。つまり、酸化シリコン膜 O X 5、O X 4 は、例えば、シリサイド層 S 1 ( 図 2 6 参照 ) を形成した後に行う未反応の金属膜を除去するウェットエッチング工程、または、洗浄工程などの工程により削られる。特に、図 2 5 を用いて説明したイオン注入工程でダメージを受けた酸化シリコン膜 O X 5、O X 4 は、上記ウェットエッチング工程または洗浄工程などにより削られやすくなる。

【 0 1 1 4 】

50

よって、当該イオン注入工程の後、酸化シリコン膜OX5、OX4が削れられるために、サイドウォールSW1、SW2のそれぞれの幅は小さくなる。この場合、ソース・ドレイン領域の上面上にコンタクトホールCHおよびコンタクトプラグCP(図28参照)を形成する領域が広がる。したがって、ロジック回路領域LNのゲート電極G2同士の間、および、メモリセル領域HMの制御ゲート電極CGおよびメモリゲート電極MGを含むパターン同士の間それぞれの間隔を小さくしても、コンタクトホール形成時の非開口などによるコンタクトプラグCPの接続不良の発生を防ぐことができる。よって、半導体装置を微細化することができる。

【0115】

また、本実施の形態では、図21を用いて説明した酸化シリコン膜OX4のエッチバック工程において、膜種が酸化シリコン膜OX4と異なる窒化シリコン膜NT3をエッチングストップ膜として使用することができるため、精度の高いエッチングが可能である。また、図24を用いて説明した酸化シリコン膜OX5のエッチバック工程において、窒化シリコン膜NT3をエッチングストップ膜として使用することができるため、精度の高いエッチングが可能である。また、図24を用いて説明した窒化シリコン膜NT3のエッチバック工程において、酸化シリコン膜OX3の一部(図29参照)をエッチングストップ膜として使用することができるため、精度の高いエッチングが可能である。

【0116】

つまり、過度のエッチングにより半導体基板SBの主面がエッチングに晒され、半導体基板SBの主面が後退することを防ぐことができる。つまり、MISFETの耐圧の低下を防ぐことができる。

【0117】

また、例えば、オフセットスペーサの一部がONO膜と同一材料の窒化シリコン膜により構成される場合には、メモリゲート電極の下でのONO膜中の窒化シリコン膜の側壁がオフセットスペーサを構成する当該窒化シリコン膜に接触することが考えられる。この場合、当該窒化シリコン膜は電荷蓄積機能があることから、書込み動作時に発生したホットエレクトロンが、メモリゲート電極の端部近傍において、窒化シリコン膜からなるオフセットスペーサに捕獲される可能性がある。そして、書込み動作を繰り返すうちに、オフセットスペーサに電子がさらに蓄積され、メモリゲート電極の端部近傍のしきい値電圧が上昇することが懸念される。このようなしきい値電圧の上昇は、ゲート電圧の変化に対するドレイン電流の変化分の比である相互コンダクタンスの劣化および読み出し電流の減少を招くことになる。

【0118】

これに対し、図29に示すMONOS型メモリのメモリセルMCを構成するメモリゲート電極MGの下でのONO膜ONの側壁は、窒化シリコン膜ではなく、オフセットスペーサOS1を構成する酸化シリコン膜OX3に接している。したがって、メモリセルMCの書込み動作時にオフセットスペーサOS1内に電荷が蓄積されることに起因して、メモリセルMCを構成するMISFETのしきい値電圧が異常に上昇することを防ぐことができる。

【0119】

<変形例1>

以下に、本実施の形態の変形例1の半導体装置の製造工程について、図31~図43を用いて説明する。図31~図43は、本変形例の半導体装置の製造工程中の断面図である。図31~図37は、図1と同様にロジック回路領域LP、LN、I/O領域HVおよびメモリセル領域HMを示す断面図である。図38~図43は、図20と同様にロジック回路領域LNおよびメモリセル領域HMを示す断面図である。

【0120】

ここでは、ゲートラストプロセスを用いてメタルゲート電極を形成する場合について説明する。また、ここでは、図34~図37を用いて、オフセットスペーサを形成する第2の方法について説明する。オフセットスペーサを形成した後の工程の説明に用いる図38

10

20

30

40

50



～図４３では、図を分かりやすくするため、実際には積層構造を有するオフセットスペーサＯＳ２（図３７参照）を１つの膜として示す。

【０１２１】

また、図３８～図４３では、ロジック回路領域ＬＰおよびＩ／Ｏ領域ＨＶでの製造工程の説明を省略し、ロジック回路領域ＬＮおよびメモリセル領域ＨＭのみを図示する。ロジック回路領域ＬＰでの製造工程はロジック回路領域ＬＮと同様に行われ、Ｉ／Ｏ領域ＨＶでの製造工程はメモリセル領域ＨＭと同様に行われる。ただし、ロジック回路領域ＬＰおよびＩ／Ｏ領域ＨＶの製造工程では、ソース・ドレイン領域を構成する拡散層を形成するために行われるイオン注入工程において、ロジック回路領域ＬＮおよびメモリセル領域ＨＭと異なりｐ型不純物が注入される。また、図３８～図４３では、ロジック回路領域ＬＮ

10

【０１２２】

なお、図３８～図４３に示すロジック回路領域ＬＮにおいて隣り合うダミーゲート電極ＤＧ２同士の間距離は、オフセットスペーサＯＳ２の膜厚を無視する場合、例えば９０ｎｍである。オフセットスペーサＯＳ２の膜厚を考慮する場合、隣り合うダミーゲート電極ＤＧ２の対向する側壁のそれぞれを覆うオフセットスペーサＯＳ２同士の間距離は９０ｎｍである。

【０１２３】

まず、図３１に示すように、図１～図３を用いて説明した工程を行った後、図４および図５を用いて説明した工程と同様の工程を行うことで、図４および図５に示す構造と同じ構造を得る。次に、図３２に示すように、図６および図７を用いて説明した工程と同様の工程を行うことで、図７に示す構造と同じ構造を得る。

20

【０１２４】

次に、図３３に示すように、フォトリソグラフィ技術およびドライエッチング法を用いて、ロジック回路領域ＬＰ、ＬＮの絶縁膜ＩＦ３、ポリシリコン膜ＰＳ１および絶縁膜ＩＦ１をパターニングすることで、ロジック回路領域ＬＰのポリシリコン膜ＰＳ１からなるダミーゲート電極ＤＧ１と、ロジック回路領域ＬＮのポリシリコン膜ＰＳ１からなるダミーゲート電極ＤＧ２とを形成する。ダミーゲート電極ＤＧ１、ＤＧ２は、後の工程で除去されてメタルゲート電極に置換される擬似的なゲート電極である。

【０１２５】

30

次に、図３４に示すように、図１３および図１４を用いて説明した工程と同様の工程を行い、続いて、フォトレジスト膜ＰＲ２を除去した後、半導体基板ＳＢの主面上に、例えばＣＶＤ法を用いて、窒化シリコン膜ＮＴ４を形成する。窒化シリコン膜ＮＴ４の膜厚は、例えば５ｎｍである。

【０１２６】

次に、図３５に示すように、図１６を用いて説明した工程と同様の工程を行った後、窒化シリコン膜ＮＴ４上に、例えばＣＶＤ法を用いて窒化シリコン膜ＮＴ５を形成する。つまり、半導体基板ＳＢの主面上に順に形成された窒化シリコン膜ＮＴ４、ＮＴ５により、半導体基板ＳＢの主面は覆われる。窒化シリコン膜ＮＴ５の膜厚は、例えば５ｎｍである。

40

【０１２７】

次に、図３６に示すように、エッチバックを行うことで、窒化シリコン膜ＮＴ４、ＮＴ５からなる積層膜の一部を除去し、これにより半導体基板ＳＢの主面および絶縁膜ＩＦ３の上面を露出させる。これにより、ダミーゲート電極ＤＧ１、ＤＧ２と、ゲート電極Ｇ３と、制御ゲート電極ＣＧおよびメモリゲート電極ＭＧを含むパターンとのそれぞれの側壁にサイドウォール状に残った当該積層膜は、オフセットスペーサＯＳ２を構成する。

【０１２８】

次に、図３７に示すように、図１８および図１９を用いて説明した工程と同様の工程を行うことで、エクステンション領域ＥＸ１を形成する。

【０１２９】

50

次に、図 3 8 に示すように、図 2 0 ~ 図 2 6 を用いて説明した工程と同様の工程を行うことで、ソース・ドレイン領域を形成する。ただし、ロジック回路領域 L P、L N には擬似的なダミーゲート電極 D G 1 ( 図示しない)、D G 2 が形成されているため、まだ M I S F E T は形成されていない。続いて、例えば C M P 法を用いて層間絶縁膜 I L 2、シリサイド層 S 1 および絶縁膜 I F 3 を研磨することで、ダミーゲート電極 D G 1、D G 2、制御ゲート電極 C G およびメモリゲート電極 M G のそれぞれの上面を露出させる。

#### 【 0 1 3 0 】

次に、図 3 9 に示すように、I / O 領域 H V のゲート電極 G 3 ( 図示しない) 並びにメモリセル領域 H M の制御ゲート電極 C G およびメモリゲート電極 M G の上面を保護する絶縁膜 ( 図示しない) を形成した後、例えばウェットエッチングを行うことで、ダミーゲート電極 D G 1 ( 図示しない)、D G 2 および絶縁膜 I F 1 を除去する。ダミーゲート電極 D G 1、D G 2 を除去した領域のそれぞれには、溝が形成される。ここでは、絶縁膜 I F 1 を除去することについて説明するが、絶縁膜 I F 1 は残しておいてもよい。

10

#### 【 0 1 3 1 】

次に、図 4 0 に示すように、半導体基板 S B の主面上に、例えば C V D 法を用いて絶縁膜 H K を形成した後、例えばスパッタリングを用いて金属膜 M F を形成する。絶縁膜 H K および金属膜 M F は、例えば図 1 1 を用いて説明した材料と同じ材料からなる。この成膜工程により、上記溝は絶縁膜 H K および金属膜 M F により完全に埋め込まれる。

#### 【 0 1 3 2 】

次に、図 4 1 に示すように、例えば C M P 法を用いて、層間絶縁膜 I L 2 上の余分な絶縁膜 H K および金属膜 M F を除去し、層間絶縁膜 I L 2 の上面を露出させる。これにより、上記溝内に残った絶縁膜 H K からなるゲート絶縁膜 G F 2 が形成され、上記溝内に残った金属膜 M F からなるメタルゲート電極であるゲート電極 G 2 が形成される。続いて、半導体基板 S B の主面上に、例えば C V D 法を用いて、例えば酸化シリコン膜などからなる絶縁膜 I F 5 を形成する。その後、フォトリソグラフィ技術およびドライエッチング法を用いて、I / O 領域 H V ( 図示しない) とメモリセル領域 H M の絶縁膜 I F 5 を除去する。このとき、ゲート電極 G 2 の上面は絶縁膜 I F 5 により覆われている。

20

#### 【 0 1 3 3 】

次に、図 4 2 に示すように、周知のサリサイドプロセスにより、制御ゲート電極 C G およびメモリゲート電極 M G のそれぞれの上面にシリサイド層 S 2 を形成する。シリサイド層 S 2 の形成方法は、図 2 6 を用いて説明した方法と同じである。当該サリサイドプロセスでは、未反応の金属膜をウェットエッチングにより除去する工程を行うが、その際、ゲート電極 G 1 ( 図示しない)、G 2 は絶縁膜 I F 5 により保護されているため除去されない。

30

#### 【 0 1 3 4 】

次に、図 4 3 に示すように、層間絶縁膜 I L 2 上に、例えば C V D 法を用いて、例えば酸化シリコン膜からなる層間絶縁膜 I L 3 を形成する。その後、層間絶縁膜 I L 3 の上面を C M P 法などにより平坦化する。続いて、図 2 7 および図 2 8 を用いて説明した工程と同様の工程を行うことで、層間絶縁膜 I L 2、I L 3 を貫通する複数のコンタクトホール C H と、それらのコンタクトホール C H を埋め込むコンタクトプラグ C P とを形成する。

40

#### 【 0 1 3 5 】

以上により、本変形例の半導体装置が完成する。ゲートラストプロセスを用いてメタルゲートを形成する場合、図 8 ~ 図 1 2 を用いて説明した工程を省略することができ、半導体装置の製造工程を簡略化することができる。

#### 【 0 1 3 6 】

ここで、図 4 4 に、ロジック回路領域 L N の M I S F E T Q 2 と、メモリセル領域 H M のメモリセル M C とを拡大して示す。つまり、図 4 4 は図 4 3 の一部を拡大して示す断面図である。図 4 4 では、O N O 膜 O N の積層構造およびオフセットスペーサ O S 2 の積層構造を具体的に示している。また、図 4 4 では、シリサイド層 S 1、S 2、層間絶縁膜 I L 2、I L 3、コンタクトホール C H およびコンタクトプラグ C P の図示を省略している

50

。図 4 4 に示すように、ONO 膜 ON を構成する窒化シリコン膜 NT 1 の側壁には、オフセットスペーサ OS 2 を構成する窒化シリコン膜 NT 4 が接している。

【 0 1 3 7 】

以下に、本変形例の効果について説明する。本変形例では、図 2 0 ~ 図 2 4 を用いて説明した本実施の形態のサイドウォール SW 1、SW 2 の形成工程を行っている。このため、サイドウォール SW 1、SW 2 の形成工程において、隣り合うゲート電極 G 2 同士の間がサイドウォール SW 1 の形成用の絶縁膜により完全に埋め込まれることはない。

【 0 1 3 8 】

このため、ロジック回路領域 LN において所望の拡散層を形成することができる。また、ゲート電極 G 2 の横のサイドウォール SW 1 の幅にばらつきが生じることを防ぐことができる。また、酸化シリコン膜 OX 4 の除去工程（図 2 2 参照）において窒化シリコン膜 NT 3 の一部が過度に除去され、窒化シリコン膜 NT 3 の除去工程（図 2 4 参照）において半導体基板 SB の主面が後退することを防ぐことができる。よって半導体装置の信頼性を向上させることができる。また、異なる幅を有するサイドウォール SW 1、SW 2 を形成することで、高耐圧 MISFET の耐圧を確保し、かつ、低耐圧 MISFET のソース・ドレイン領域同士の間隔を狭めることができるため、低耐圧 MISFET の集積度の向上、低消費電力化および高速動作化を実現することができる。

【 0 1 3 9 】

また、ここでは、図 4 4 に示すサイドウォール SW 1 の外側の側壁が酸化シリコン膜 OX 5 により構成され、サイドウォール SW 2 の外側の側壁が酸化シリコン膜 OX 5、OX 4 により構成されている。

【 0 1 4 0 】

よって、当該イオン注入工程の後、酸化シリコン膜 OX 5、OX 4 が削られるために、サイドウォール SW 1、SW 2 のそれぞれの幅は小さくなる。この場合、ソース・ドレイン領域の上面上にコンタクトホール CH およびコンタクトプラグ CP（図 2 8 参照）を形成する領域が大きくなる。したがって、ロジック回路領域 LN のゲート電極 G 2 同士の間、および、メモリセル領域 HM の制御ゲート電極 CG およびメモリゲート電極 MG を含むパターン同士の間隔を小さくしても、コンタクトホール形成時の非開口などによるコンタクトプラグ CP の接続不良の発生を防ぐことができる。よって、半導体装置を微細化することができる。

【 0 1 4 1 】

また、図 4 5 に、MONOS メモリを形成しない場合の本変形例の半導体装置の断面図を示す。すなわち、この場合、図 3 0 ~ 図 3 7 を用いて説明した工程を、メモリセル領域 HM を設けずに行う。図 4 5 では、ロジック回路領域 LN の MISFET Q 2 と、図 3 1 ~ 図 4 3 を用いて説明した工程において、メモリセル領域 HM に対して行った工程を、I/O 領域 HV に対して行うことで形成した高耐圧の MISFET Q 3 とを示す。

【 0 1 4 2 】

図 4 5 に示すように、I/O 領域 HV の MISFET Q 3 は、n 型の半導体領域であるエクステンション領域 EX 3 および拡散層 DF 3 と、ゲート絶縁膜 GF 3 上のゲート電極 G 3 とを有している。また、ゲート電極 G 3 の側壁には、図 4 4 に示す制御ゲート電極 CG およびメモリゲート電極 MG を含むパターンの側壁を覆う膜と同様に、オフセットスペーサ OS 2 を介してサイドウォール SW 2 が形成されている。

【 0 1 4 3 】

図 4 5 に示す構造の場合、MONOS 型のメモリセルが存在しないため、ONO 膜を構成する電荷蓄積膜である窒化シリコン膜が、オフセットスペーサ OS 2 を構成する窒化シリコン膜 NT 4 に接することがない。このため、半導体装置の書込み動作時にオフセットスペーサ OS 2 内に電荷が蓄積される事態は生じない。すなわち、窒化シリコン膜 NT 4、NT 5 のみからなるオフセットスペーサ OS 2 を形成する本変形例は、MONOS 型のメモリセルを形成しない半導体装置に適用した場合に、半導体装置の誤動作を防ぐことができる利点が得られる。

## 【 0 1 4 4 】

なお、本変形例では、ダミーゲート電極をメタルゲート電極に置き換えるゲートラストプロセスのうち、ダミーゲート電極を除去した後に  $high-k$  膜である絶縁膜  $HK$  (図 40 参照) を形成する方法を用いる。ただし、ダミーゲート電極を構成するポリシリコン膜  $PS1$  (図 31 参照) の形成前に絶縁膜  $HK$  をロジック回路領域に形成し、当該絶縁膜  $HK$  を、図 43 に示すゲート絶縁膜  $GF1$  (図示しない)、 $GF2$  の一部として残してもよい。その場合は、例えば、図 2 を用いて説明した工程の後に半導体基板  $SB$  の主面上に絶縁膜  $HK$  を形成し、続いて、ロジック回路領域  $LP$ 、 $LN$  以外の領域の絶縁膜  $HK$  を除去する方法が考えられる。これは、下記の本実施の形態の変形例 2、並びに、後述する実施の形態 2 および実施の形態 2 の変形例 1 においても同様である。

10

## 【 0 1 4 5 】

## &lt; 変形例 2 &gt;

以下に、本実施の形態の変形例 2 の半導体装置の製造工程について、図 46 ~ 図 51 を用いて説明する。図 46 ~ 図 51 は、本変形例の半導体装置の製造工程中の断面図である。図 46 ~ 図 50 は、図 1 と同様にロジック回路領域  $LP$ 、 $LN$ 、 $I/O$  領域  $HV$  およびメモリセル領域  $HM$  を示す断面図である。図 51 は、図 20 と同様にロジック回路領域  $LN$  およびメモリセル領域  $HM$  を示す断面図である。

## 【 0 1 4 6 】

ここでは、ゲートラストプロセスを用いてメタルゲート電極を形成する場合について説明する。また、ここでは、図 46 ~ 図 50 を用いて、オフセットスペーサを形成する第 3 の方法について説明する。オフセットスペーサを形成した後の工程の説明に用いる図 51 では、図を分かりやすくするため、実際には積層構造を有するオフセットスペーサ  $OS3$ 、 $OS4$  (図 50 参照) のそれぞれを 1 つの膜として示す。

20

## 【 0 1 4 7 】

また、図 51 では、ロジック回路領域  $LP$  および  $I/O$  領域  $HV$  での製造工程の説明を省略し、ロジック回路領域  $LN$  およびメモリセル領域  $HM$  のみを図示する。ロジック回路領域  $LP$  での製造工程はロジック回路領域  $LN$  と同様に行われ、 $I/O$  領域  $HV$  での製造工程はメモリセル領域  $HM$  と同様に行われる。ただし、ロジック回路領域  $LP$  および  $I/O$  領域  $HV$  の製造工程では、ソース・ドレイン領域を構成する拡散層を形成するために行われるイオン注入工程において、ロジック回路領域  $LN$  およびメモリセル領域  $HM$  と異なり  $p$  型不純物が注入される。また、図 51 では、ロジック回路領域  $LN$  に  $MISFET$  を 2 つ並べて形成する場合の断面図を示す。

30

## 【 0 1 4 8 】

なお、図 51 に示すロジック回路領域  $LN$  において隣り合うゲート電極  $G2$  同士の間の距離は、オフセットスペーサ  $OS3$  の膜厚を無視する場合、例えば  $90\text{ nm}$  である。オフセットスペーサ  $OS3$  の膜厚を考慮する場合、隣り合うゲート電極  $G2$  の対向する側壁のそれぞれを覆うオフセットスペーサ  $OS3$  同士の間の距離は  $90\text{ nm}$  である。

## 【 0 1 4 9 】

まず、図 46 に示すように、図 1 ~ 図 3 および図 31 ~ 図 33 を用いて説明した工程を行った後、図 13 および図 14 を用いて説明した工程と同様の工程を行い、続いて、ダミーゲート電極  $DG1$ 、 $DG2$  と、ゲート電極  $G3$  と、制御ゲート電極  $CG$  およびメモリゲート電極  $MG$  からなるパターンとのそれぞれの両側の側壁に、サイドウォール状の酸化シリコン膜  $OX6$  を形成する。すなわち、半導体基板  $SB$  上に、例えば  $CV D$  法を用いて酸化シリコン膜  $OX6$  を形成した後、エッチバックを行うことで酸化シリコン膜  $OX6$  の一部を除去し、これにより半導体基板  $SB$  の主面および絶縁膜  $IF3$  の上面を露出させる。この工程により、酸化シリコン膜  $OX6$  をサイドウォール状に加工する。酸化シリコン膜  $OX6$  の膜厚は、例えば  $5\text{ nm}$  である。

40

## 【 0 1 5 0 】

次に、図 47 に示すように、 $I/O$  領域  $HV$  およびメモリセル領域  $HM$  を覆うフォトレジスト膜  $PR6$  を形成した後、ウェットエッチングを行うことで、フォトレジスト膜  $PR$

50

6 から露出するロジック回路領域 L P、L N の酸化シリコン膜 O X 6 を除去する。

【 0 1 5 1 】

次に、図 4 8 に示すように、フォトリソスト膜 P R 6 を除去した後、半導体基板 S B 上に、例えば C V D 法を用いて窒化シリコン膜 N T 6 を形成する。これにより、半導体基板 S B の主面と、ダミーゲート電極 D G 1、D G 2 と、ゲート電極 G 3 と、制御ゲート電極 C G およびメモリゲート電極 M G を含むパターンとは、窒化シリコン膜 N T 6 に覆われる。窒化シリコン膜 N T 6 の膜厚は、例えば 5 n m である。

【 0 1 5 2 】

次に、図 4 9 に示すように、図 1 6 を用いて説明したエクステンション領域 E X 2 の形成工程を行った後、フォトリソスト膜 P R 3 ( 図 1 6 参照 ) を除去し、続いて、半導体基板 S B 上に、例えば C V D 法を用いて窒化シリコン膜 N T 7 を形成する。これにより、窒化シリコン膜 N T 6 は、窒化シリコン膜 N T 7 に覆われる。窒化シリコン膜 N T 7 の膜厚は、例えば 5 n m である。

【 0 1 5 3 】

次に、図 5 0 に示すように、窒化シリコン膜 N T 6、N T 7 からなる積層膜をエッチバックすることで、半導体基板 S B の主面および絶縁膜 I F 3 の上面を露出させる。これにより、当該積層膜からなるオフセットスペーサ O S 3 と、当該積層膜および酸化シリコン膜 O X 6 を含むオフセットスペーサ O S 4 とを形成する。

【 0 1 5 4 】

すなわち、ロジック回路領域 L P、L N のダミーゲート電極 D G 1、D G 2 のそれぞれの側壁には、窒化シリコン膜 N T 6、N T 7 からなるオフセットスペーサ O S 3 が形成される。また、I / O 領域 H V およびメモリセル領域 H M において、ゲート電極 G 3 の側壁と、制御ゲート電極 C G およびメモリゲート電極 M G を含むパターンの側壁とのそれぞれに、酸化シリコン膜 O X 6、窒化シリコン膜 N T 6 および N T 7 からなるオフセットスペーサ O S 4 が形成される。オフセットスペーサ O S 3 は、酸化シリコン膜 O X 6 を含んでいないため、オフセットスペーサ O S 4 よりも幅が小さい。

【 0 1 5 5 】

続いて、図 1 8 を用いて説明したエクステンション領域 E X 1 の形成工程を行った後、図 1 9 を用いて説明したようにフォトリソスト膜 P R 4 ( 図 1 8 参照 ) を除去する。これにより、図 5 0 に示す構造を得る。

【 0 1 5 6 】

次に、図 5 1 に示すように、図 2 0 ~ 図 2 6 および図 3 8 ~ 図 4 3 を用いて説明した工程と同様の工程を行うことで、本変形例の半導体装置が完成する。すなわち、ゲートラストプロセスにより、ダミーゲート電極 D G 1、D G 2 をメタルゲート電極に置き換え、メタルゲート電極を含む M I S F E T Q 2 と、高耐圧 M I S F E T を含むメモリセル M C とを形成する。

【 0 1 5 7 】

ここで、図 5 2 に、図 5 1 の M I S F E T Q 2 およびメモリセル M C を拡大して示す。つまり、図 5 2 は図 5 1 の一部を拡大して示す断面図である。図 5 2 では、O N O 膜 O N の積層構造、オフセットスペーサ O S 3 および O S 4 の積層構造を具体的に示している。また、図 5 2 では、シリサイド層 S 1、S 2、層間絶縁膜 I L 2、I L 3、コンタクトホール C H およびコンタクトプラグ C P の図示を省略している。

【 0 1 5 8 】

図 5 2 に示すように、O N O 膜 O N を構成する窒化シリコン膜 N T 1 の側壁には、オフセットスペーサ O S 4 を構成する酸化シリコン膜 O X 6 が接しており、窒化シリコン膜は接していない。また、制御ゲート電極 C G、O N O 膜 O N およびメモリゲート電極 M G を含むパターンの側壁は、順にオフセットスペーサ O S 4 およびサイドウォール S W 2 が形成されている。言い換えれば、当該パターンの側壁には、オフセットスペーサ O S 4 を介してサイドウォール S W 2 が形成されている。

【 0 1 5 9 】

本変形例では、図 3 1 ~ 図 4 4 を用いて説明した変形例 1 と同様の効果を得ることができる。加えて、窒化シリコン膜がONO膜に接しないことによる効果を得ることができる。すなわち、ONO膜ONを構成する窒化シリコン膜NT 1の側壁には、当該側壁を覆う酸化シリコン膜OX 6のみが接しているため、メモリセルMCの書込み動作時に、ONO膜ONの近傍のオフセットスペーサOS 4内に電荷が蓄積されることに起因して、メモリセルMCを構成するMISFETのしきい値電圧が異常に上昇することを防ぐことができる。

#### 【0160】

(実施の形態 2)

以下に、本実施の形態 2 の半導体装置の製造方法について、図 5 3 ~ 図 5 5 を用いて説明する。ここでは、図 3 4 ~ 図 3 7 を用いて上述したオフセットスペーサを形成する第 2 の方法を用いる場合において、サイドウォールの一部である外側の部分を窒化シリコン膜により形成することについて説明する。図 5 3 ~ 図 5 5 では、図を分かりやすくするため、オフセットスペーサOS 2 を 1 つの膜として示す。本実施の形態と、前記実施の形態 1 の変形例 1 との主な違いは、酸化シリコン膜OX 5 (図 2 3 参照) の代わりに窒化シリコン膜を形成している点にある。

#### 【0161】

図 5 3 ~ 図 5 5 では、ロジック回路領域LPおよびI/O領域HVでの製造工程の説明を省略し、ロジック回路領域LNおよびメモリセル領域HMのみを図示する。ロジック回路領域LPでの製造工程はロジック回路領域LNと同様に行われ、I/O領域HVでの製造工程はメモリセル領域HMと同様に行われる。ただし、ロジック回路領域LPおよびI/O領域HVの製造工程では、ソース・ドレイン領域を構成する拡散層を形成するために行われるイオン注入工程において、ロジック回路領域LNおよびメモリセル領域HMと異なりp型不純物が注入される。また、図 5 3 ~ 図 5 5 では、ロジック回路領域LNにMISFETを 2 つ並べて形成する場合の断面図を示す。

#### 【0162】

なお、ロジック回路領域LNにおいて隣り合うダミーゲート電極DG 2 同士の間の距離は、オフセットスペーサOS 2 の膜厚を無視する場合、例えば 90 nm である。オフセットスペーサOS 2 の膜厚を考慮する場合、隣り合うダミーゲート電極DG 2 の対向する側壁のそれぞれを覆うオフセットスペーサOS 2 同士の間の距離は 90 nm である。

#### 【0163】

本変形例では、まず図 5 3 に示すように、図 1 ~ 図 3 および図 3 1 ~ 図 3 7 を用いて説明した工程と同様の工程を行うことで、ダミーゲート電極DG 1、DG 2、ゲート電極G 3、制御ゲート電極CGおよびメモリゲート電極MGと、オフセットスペーサOS 2 とを形成する。その後、図 2 0 ~ 図 2 2 を用いて説明した工程と同様の工程を行うことで、窒化シリコン膜NT 3 とサイドウォール状の酸化シリコン膜OX 4 とを形成する。その後、フォトレジスト膜PR 5 (図 2 2 参照) を除去した後、半導体基板SBの主面上に、例えばCVD法を用いて、窒化シリコン膜NT 8 を形成する。これにより、窒化シリコン膜NT 3 および酸化シリコン膜OX 4 は、窒化シリコン膜NT 8 により覆われる。

#### 【0164】

ここで、窒化シリコン膜NT 3 の膜厚 a は例えば 10 nm であり、酸化シリコン膜OX 4 の膜厚 b は例えば 20 nm であり、窒化シリコン膜NT 8 の膜厚 c は例えば 16 nm である。したがって、図 2 0 を用いて説明した工程において窒化シリコン膜NT 3 および酸化シリコン膜OX 4 を形成した際、窒化シリコン膜NT 3 および酸化シリコン膜OX 4 の合計の膜厚は 30 nm であるから、隣り合うダミーゲート電極DG 2 同士の間の 90 nm の幅を有する領域が完全に埋め込まれることはない。

#### 【0165】

次に、図 5 4 に示すように、エッチバックを行うことで、窒化シリコン膜NT 8、NT 3 のそれぞれの一部を除去する。これにより、半導体基板SBの主面と、絶縁膜IF 3 の上面とを露出する。当該エッチバックにより、ロジック回路領域LNには、ダミーゲート

10

20

30

40

50

電極 D G 2 の側壁を覆う窒化シリコン膜 N T 3、N T 8 からなるサイドウォール S W 3 が形成される。また、当該エッチバックにより、メモリセル領域 H M には、制御ゲート電極 C G、O N O 膜 O N およびメモリゲート電極 M G を含むパターンの側壁を覆う窒化シリコン膜 N T 3、酸化シリコン膜 O X 4 および窒化シリコン膜 N T 8 からなるサイドウォール S W 4 が形成される。

【 0 1 6 6 】

サイドウォール S W 3 の幅は、窒化シリコン膜 N T 3、N T 8 の合計の膜厚と同じ大きさ、つまり 2 6 n m である。サイドウォール S W 4 の幅は、窒化シリコン膜 N T 3、酸化シリコン膜 O X 4 および窒化シリコン膜 N T 8 の合計の膜厚と同じ大きさ、つまり 4 6 n m である。このようにして、2 種類の異なる幅を有するサイドウォール S W 3、S W 4 を形成することができる。

10

【 0 1 6 7 】

次に、図 5 5 に示すように、図 2 5、図 2 6 および図 3 8 ~ 図 4 3 を用いて説明した工程を行うことで、本実施の形態の半導体装置が完成する。本実施の形態では、図 2 2 を用いて説明した工程と同様の工程を行うことで、窒化シリコン膜 N T 3 および酸化シリコン膜 O X 4 を形成する際、ダミーゲート電極 D G 2 同士の間が完全に埋め込まれることを防ぐことができる。よって、図 6 8 の比較例を用いて説明したような絶縁膜の除去不良は生じないため、図 5 4 を用いて説明した工程の後に行うイオン注入工程では、ロジック回路領域 L N において所望の拡散層を形成することができる。

20

【 0 1 6 8 】

また、ゲート電極 G 2 の横のサイドウォール S W 3 の幅にばらつきが生じることを防ぐことができる。また、酸化シリコン膜 O X 4 の除去工程（図 2 2 参照）において窒化シリコン膜 N T 3 の一部が過度に除去され、窒化シリコン膜 N T 3 の除去工程（図 5 4 参照）において半導体基板 S B の主面が後退することを防ぐことができる。よって、半導体装置の信頼性を向上させることができる。

【 0 1 6 9 】

また、異なる幅を有するサイドウォール S W 3、S W 4 を形成することで、高耐圧 M I S F E T の耐圧を確保し、かつ、低耐圧 M I S F E T のソース・ドレイン領域同士の間隔を狭めることができるため、低耐圧 M I S F E T の集積度の向上、低消費電力化および高速動作化を実現することができる。

30

【 0 1 7 0 】

ここで、上記の製造工程により形成した M I S F E T Q 2 およびメモリセル M C を拡大した断面図を図 5 6 に示す。つまり、図 5 6 は図 5 5 の一部を拡大して示す断面図である。図 5 6 では、O N O 膜 O N の積層構造およびオフセットスペーサ O S 2 の積層構造を具体的に示している。また、図 5 6 では、シリサイド層 S 1、S 2、層間絶縁膜 I L 2、I L 3 およびコンタクトプラグ C P の図示を省略している。図 5 6 に示すように、ロジック回路領域 L N において、絶縁膜 H K および金属膜 M F を含む積層膜の側壁には、窒化シリコン膜 N T 4、N T 5 からなるオフセットスペーサ O S 2 を介して、窒化シリコン膜 N T 3、N T 8 からなるサイドウォール S W 3 が形成されている。

40

【 0 1 7 1 】

例えば、ロジック回路領域に形成される低耐圧の M I S F E T のゲート絶縁膜が h i g h - k 膜を含む場合、または、当該 M I S F E T のゲート電極がメタルゲート電極である場合には、以下のような問題が起こる。すなわち、h i g h - k 膜およびメタルゲート電極は、近傍に酸化シリコン膜を含むオフセットスペーサまたはサイドウォールが形成されている場合、当該酸化シリコン膜内の酸素が h i g h - k 膜またはメタルゲート電極に移動し、h i g h - k 膜またはメタルゲート電極の材料と反応することで、当該 M I S F E T の特性が変動し、素子の信頼性が低下する問題が起きる。

【 0 1 7 2 】

これに対し、本実施の形態では、図 5 6 に示すように、h i g h - k 膜である絶縁膜 H K と、メタルゲート電極を構成する金属膜 M F とに隣接するオフセットスペーサ O S 2 は

50

、窒化シリコン膜NT4、NT5のみからなる。また、絶縁膜HKおよび金属膜MFからなる積層膜の側壁を覆うサイドウォールSW3は、窒化シリコン膜NT3、NT8のみからなる。つまり、オフセットスペーサOS2およびサイドウォールSW3には、酸化シリコン膜が含まれていない。このため、絶縁膜HKおよび金属膜MFに対し、オフセットスペーサOS2およびサイドウォールSW3から酸素が浸入することを防ぐことができるため、酸素と絶縁膜HKまたは金属膜MFとが反応することに起因して、素子の特性が変動することを防ぐことができる。したがって、半導体装置の信頼性を向上させることができる。

#### 【0173】

また、図57に、MONOSメモリを形成しない場合の本実施の形態の半導体装置の断面図を示す。すなわち、この場合、図53～図55を用いて説明した工程を、メモリセル領域HMを設けずに行う。図57では、ロジック回路領域LNのMISFETQ2と、図53～図55を用いて説明した工程において、メモリセル領域HMに対して行った工程を、I/O領域HVに対して行うことで形成した高耐圧のMISFETQ3とを示す。図57に示すゲート電極G3の側壁には、図56に示す制御ゲート電極CGおよびメモリゲート電極MGを含むパターンの側壁を覆う膜と同様に、オフセットスペーサOS2を介してサイドウォールSW4が形成されている。

10

#### 【0174】

この場合、図45を用いて説明した構造と同様に、MONOS型のメモリセルが存在しないため、窒化シリコン膜NT4、NT5のみからなるオフセットスペーサOS2を形成することに起因して、半導体装置の誤動作を防ぐことができる利点が得られる。

20

#### 【0175】

##### <変形例1>

以下に、本実施の形態の変形例1の半導体装置の製造工程について、図58を用いて説明する。図58は、本変形例の半導体装置の製造工程中の断面図である。図58は、図20と同様にロジック回路領域LNおよびメモリセル領域HMを示す断面図である。

#### 【0176】

ここでは、ゲートラストプロセスを用いてメタルゲート電極を形成する場合について説明する。また、ここでは、図46～図50を用いて上述したオフセットスペーサを形成する第3の方法と、図53および図54を用いて説明した、外側の部分が窒化シリコン膜からなるサイドウォールを形成する方法とを組み合わせた場合について説明する。オフセットスペーサを形成した後の工程の説明に用いる図58では、図を分かりやすくするため、実際には積層構造を有するオフセットスペーサOS3、OS4（図50参照）をそれぞれ1つの膜として示す。

30

#### 【0177】

また、図51では、ロジック回路領域LPおよびI/O領域HV（図1参照）での製造工程の説明を省略し、ロジック回路領域LNおよびメモリセル領域HMのみを図示する。

#### 【0178】

本変形例では、図58に示すように、図1～図3、図31～図33を用いて説明した工程と同様の工程を行うことで、各種のゲート電極を形成した後、図46～図50を用いて説明した工程と同様の工程を行うことで、オフセットスペーサOS3、OS4を形成する。その後、図20～図22を用いて説明した工程と同様の工程を行った後、図53～図55を用いて説明した工程と同様の工程を行うことで、本変形例の半導体装置が完成する。

40

#### 【0179】

本変形例では、図22を用いて説明した工程と同様の工程を行うことで、窒化シリコン膜NT3および酸化シリコン膜OX4を形成する際、ダミーゲート電極DG2同士の間が完全に埋め込まれることを防ぐことができる。よって、図68の比較例を用いて説明したような絶縁膜の除去不良は生じないため、図54を用いて説明した工程の後に行うイオン注入工程では、ロジック回路領域LNにおいて所望の拡散層を形成することができる。

#### 【0180】

50



また、ゲート電極 G 2 の横のサイドウォール S W 3 の幅にばらつきが生じることを防ぐことができる。また、酸化シリコン膜 O X 4 の除去工程（図 2 2 参照）において窒化シリコン膜 N T 3 の一部が過度に除去され、窒化シリコン膜 N T 3 の除去工程（図 5 4 参照）において半導体基板 S B の主面が後退することを防ぐことができる。よって、半導体装置の信頼性を向上させることができる。

#### 【 0 1 8 1 】

また、異なる幅を有するサイドウォール S W 3、S W 4 を形成することで、高耐圧 M I S F E T の耐圧を確保し、かつ、低耐圧 M I S F E T のソース・ドレイン領域同士の間隔を狭めることができるため、低耐圧 M I S F E T の集積度の向上、低消費電力化および高速動作化を実現することができる。

10

#### 【 0 1 8 2 】

ここで、上記の製造工程により形成した M I S F E T Q 2 およびメモリセル M C を拡大した断面図を図 5 9 に示す。つまり、図 5 9 は図 5 8 の一部を拡大して示す断面図である。図 5 9 では、O N O 膜 O N の積層構造およびオフセットスペーサ O S 3、O S 4 の積層構造を具体的に示している。また、図 5 9 では、シリサイド層 S 1、S 2、層間絶縁膜 I L 2、I L 3 およびコンタクトプラグ C P の図示を省略している。図 5 9 に示すように、ロジック回路領域 L N において、絶縁膜 H K および金属膜 M F を含む積層膜の側壁には、窒化シリコン膜 N T 6、N T 7 からなるオフセットスペーサ O S 3 を介して、窒化シリコン膜 N T 3、N T 8 からなるサイドウォール S W 3 が形成されている。

20

#### 【 0 1 8 3 】

すなわち、h i g h - k 膜である絶縁膜 H K と、メタルゲート電極を構成する金属膜 M F とに隣接するオフセットスペーサ O S 3 は、窒化シリコン膜 N T 6、N T 7 のみからなる。また、絶縁膜 H K および金属膜 M F からなる積層膜の側壁を覆うサイドウォール S W 3 は、窒化シリコン膜 N T 3、N T 8 のみからなる。つまり、オフセットスペーサ O S 3 およびサイドウォール S W 3 には、酸化シリコン膜が含まれていない。このため、絶縁膜 H K および金属膜 M F に対し、オフセットスペーサ O S 3 およびサイドウォール S W 3 から酸素が浸入することを防ぐことができるため、酸素と絶縁膜 H K または金属膜 M F とが反応することに起因して、素子の特性が変動することを防ぐことができる。したがって、半導体装置の信頼性を向上させることができる。

30

#### 【 0 1 8 4 】

また、図 5 9 に示すように、O N O 膜 O N を構成する窒化シリコン膜 N T 1 の側壁には、オフセットスペーサ O S 4 を構成する酸化シリコン膜 O X 6 が接しており、窒化シリコン膜は接していない。よって、窒化シリコン膜が O N O 膜に接しないことによる効果を得ることができる。すなわち、O N O 膜 O N を構成する窒化シリコン膜 N T 1 の側壁には、当該側壁を覆う酸化シリコン膜 O X 6 のみが接しているため、メモリセル M C の書き込み動作時に、O N O 膜 O N の近傍のオフセットスペーサ O S 4 内に電荷が蓄積されることに起因して、メモリセル M C を構成する M I S F E T のしきい値電圧が異常に上昇することを防ぐことができる。

#### 【 0 1 8 5 】

##### < 変形例 2 >

40

以下に、本実施の形態の変形例 2 の半導体装置の製造工程について、図 6 0 を用いて説明する。図 6 0 は、本変形例の半導体装置の製造工程中の断面図である。図 6 0 は、図 2 0 と同様にロジック回路領域 L N およびメモリセル領域 H M を示す断面図である。

#### 【 0 1 8 6 】

ここでは、ゲートファーストプロセスを用いてメタルゲート電極を形成する場合について説明する。また、ここでは、図 1 3 ~ 図 1 9 を用いて上述したオフセットスペーサを形成する第 1 の方法と、図 5 3 および図 5 4 を用いて説明した、外側の部分が窒化シリコン膜からなるサイドウォールを形成する方法とを組み合わせた場合について説明する。

#### 【 0 1 8 7 】

オフセットスペーサを形成した後の工程の説明に用いる図 6 0 では、図を分かりやすく

50

するため、実際には積層構造を有するオフセットスペーサOS1（図19参照）を1つの膜として示す。また、図60では、ロジック回路領域LPおよびI/O領域HV（図1参照）での製造工程の図示を省略し、ロジック回路領域LNおよびメモリセル領域HMのみを図示する。

【0188】

本変形例では、図60に示すように、図1～図19を用いて説明した工程と同様の工程を行うことで、各種のゲート電極およびオフセットスペーサOS1を形成した後、図20～図22、図53および図54を用いて説明した工程と同様の工程を行うことで、サイドウォールSW3、SW4を形成する。続いて、図25～図28を用いて説明した工程を行うことで、図60に示す本変形例の半導体装置が完成する。

10

【0189】

本変形例では、図22を用いて説明した工程と同様の工程を行うことで、窒化シリコン膜NT3および酸化シリコン膜OX4を形成する際、ダミーゲート電極DG2同士の間が完全に埋め込まれることを防ぐことができる。よって、図68の比較例を用いて説明したような絶縁膜の除去不良は生じないため、図54を用いて説明した工程の後に行うイオン注入工程では、ロジック回路領域LNにおいて所望の拡散層を形成することができる。

【0190】

また、ゲート電極G2の横のサイドウォールSW3の幅にばらつきが生じることを防ぐことができる。また、酸化シリコン膜OX4の除去工程（図22参照）において窒化シリコン膜NT3の一部が過度に除去され、窒化シリコン膜NT3の除去工程（図54参照）において半導体基板SBの主面が後退することを防ぐことができる。よって、半導体装置の信頼性を向上させることができる。

20

【0191】

また、異なる幅を有するサイドウォールSW3、SW4を形成することで、高耐圧MISFETの耐圧を確保し、かつ、低耐圧MISFETのソース・ドレイン領域同士の間隔を狭めることができるため、低耐圧MISFETの集積度の向上、低消費電力化および高速動作化を実現することができる。

【0192】

ここで、上記の製造工程により形成したMISFETQ2およびメモリセルMCを拡大した断面図を図61に示す。つまり、図61は図60の一部を拡大して示す断面図である。図61では、ONO膜ONの積層構造およびオフセットスペーサOS1の積層構造を具体的に示している。また、図61では、シリサイド層S1、層間絶縁膜IL2およびコンタクトプラグCPの図示を省略している。

30

【0193】

ここでは、窒化シリコン膜がONO膜に接しないことによる効果を得ることができる。すなわち、ONO膜ONを構成する窒化シリコン膜NT1の側壁には、当該側壁を覆う酸化シリコン膜OX3のみが接しているため、メモリセルMCの書込み動作時に、ONO膜ONの近傍のオフセットスペーサOS1内に電荷が蓄積されることに起因して、メモリセルMCを構成するMISFETのしきい値電圧が異常に上昇することを防ぐことができる。

40

【0194】

また、図54を用いて説明した窒化シリコン膜NT3のエッチバック工程において、膜種が窒化シリコン膜NT3と異なる酸化シリコン膜OX3の一部（図61参照）をエッチングストップ膜として使用することができるため、精度の高いエッチングが可能である。

【0195】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【0196】

例えば、前記実施の形態1、2のロジック回路領域には、high-k膜を含むゲート

50

絶縁膜とメタルゲートとを形成することについて説明したが、ゲート絶縁膜はhigh-k膜を含んでいなくてもよく、ゲート電極はポリシリコンのみにより形成されていてもよい。ただし、その場合、前記実施の形態2において図56を用いて説明した構造において、high-k膜およびメタルゲート電極への酸素の浸入を防ぐ効果は得られない。

【0197】

high-k膜を含まないゲート絶縁膜と、ポリシリコンゲート電極とは、例えば、図31～図33を用いて説明したダミーゲート電極の形成方法により形成することができる。その後、図13～図28を用いて説明した工程を行うことで半導体装置が完成する。

【符号の説明】

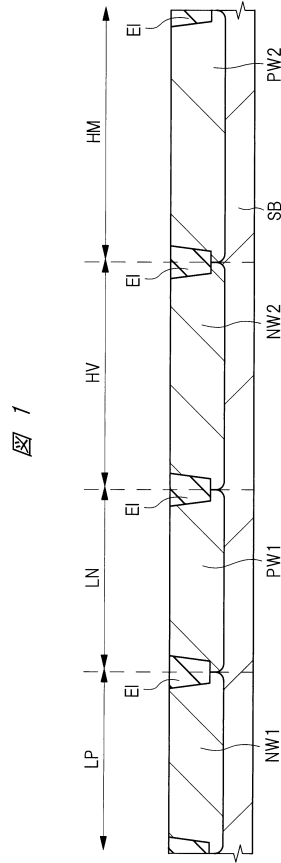
【0198】

CG 制御ゲート電極  
DF1～DF4 拡散層  
EX1～EX4 エクステンション領域  
G1～G3 ゲート電極  
GF1～GF4 ゲート絶縁膜  
HM メモリセル領域  
LN、LP ロジック回路領域  
MC メモリセル  
MG メモリゲート電極  
NT1～NT8、NTA 窒化シリコン膜  
ON ONO膜  
OX1～OX6、OXA 酸化シリコン膜  
OS1～OS4 オフセットスペーサ  
Q2、Q3 MISFET  
SB 半導体基板  
SW1～SW4、SWA、SWB サイドウォール

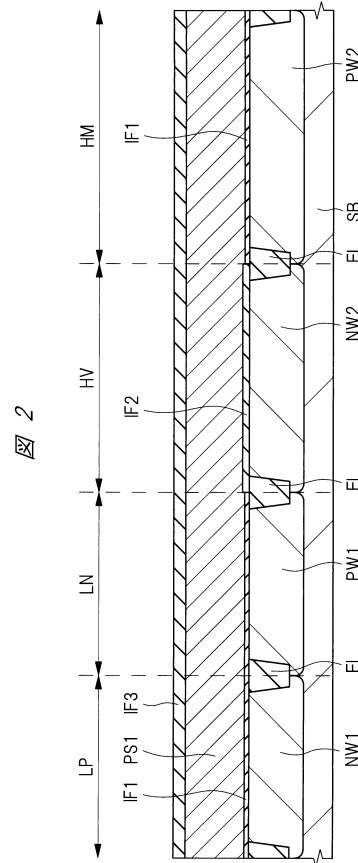
10

20

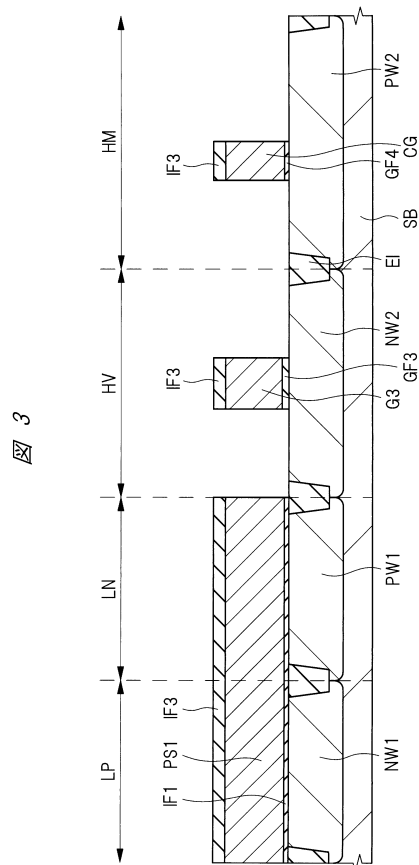
【図 1】



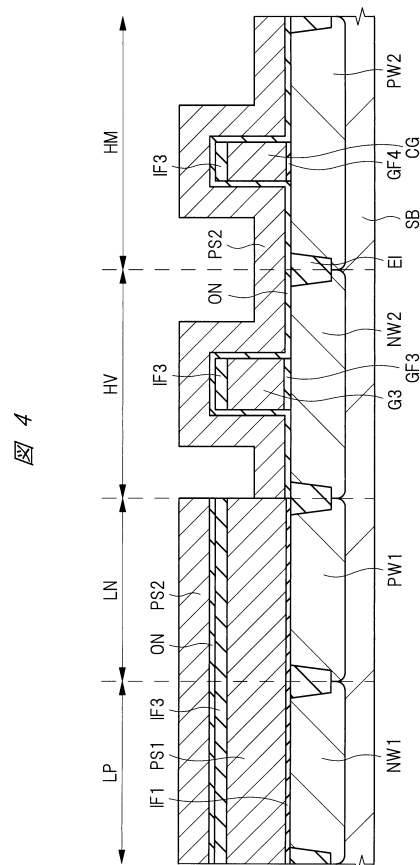
【図 2】



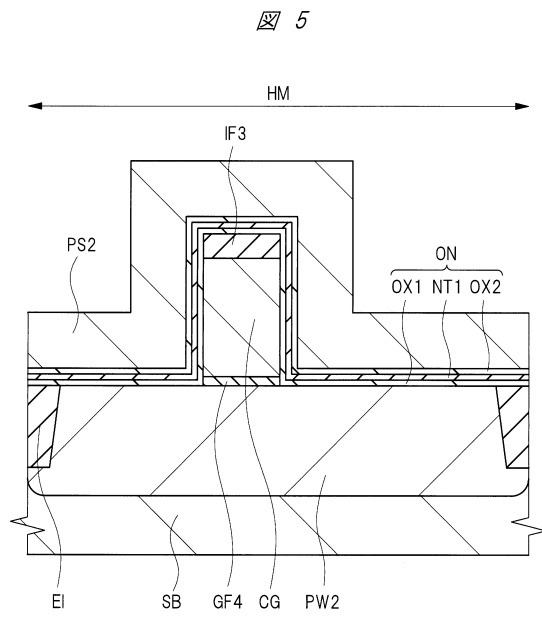
【図 3】



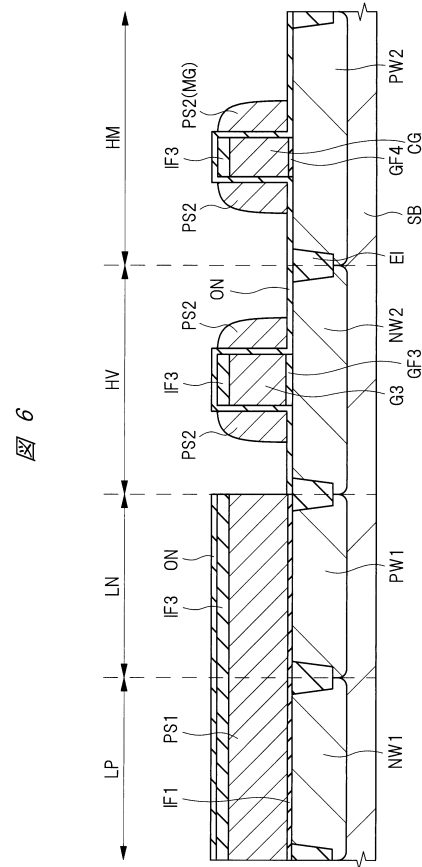
【図 4】



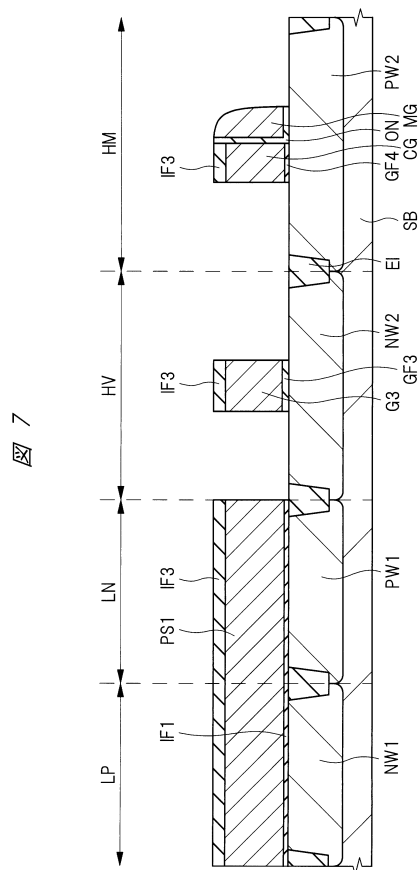
【図 5】



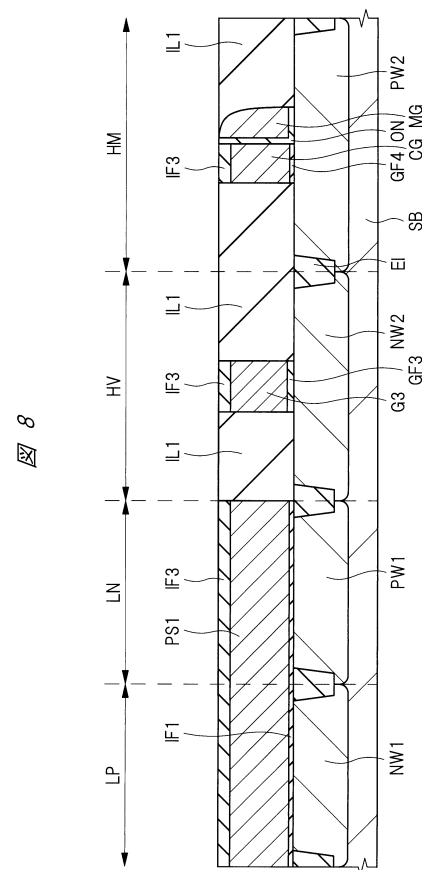
【図 6】



【図 7】

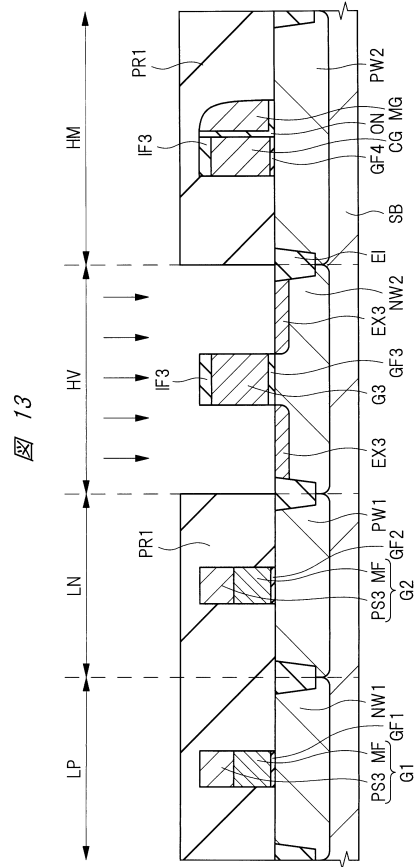


【図 8】

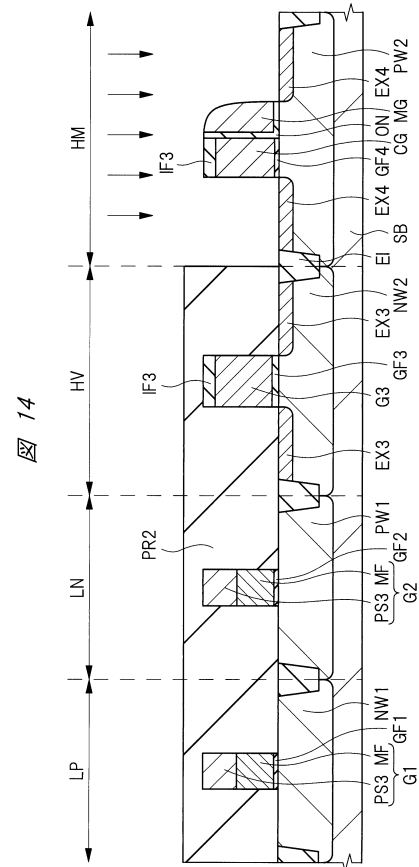




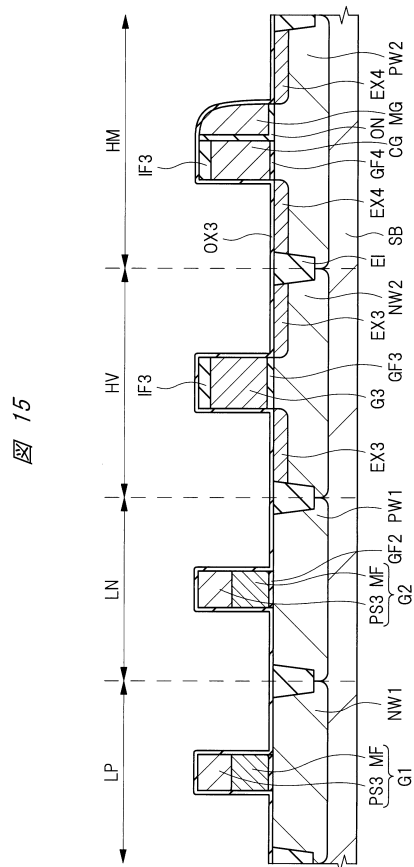
【図 13】



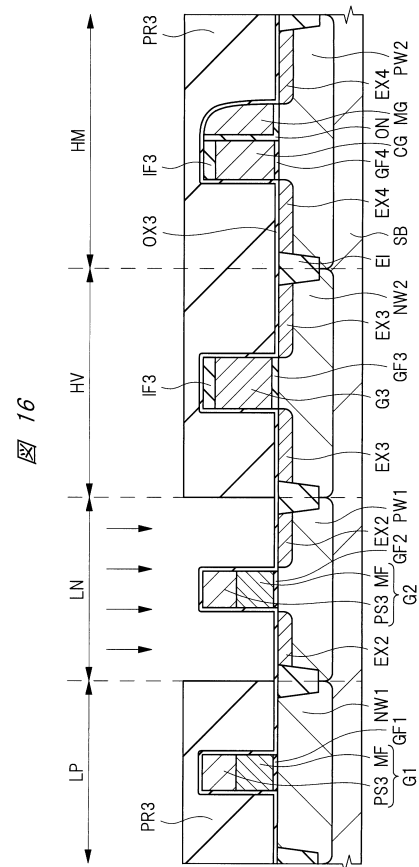
【図 14】



【図 15】

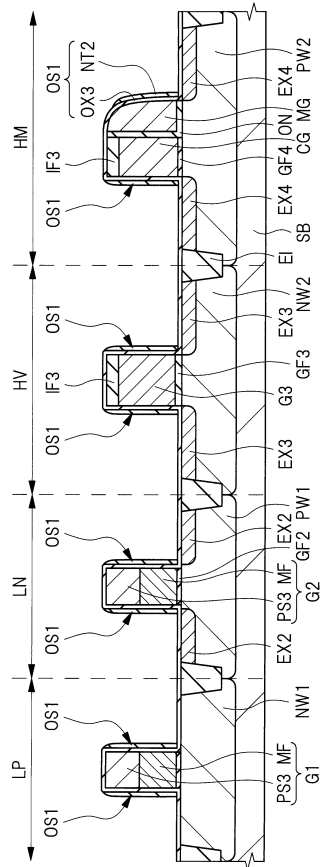


【図 16】



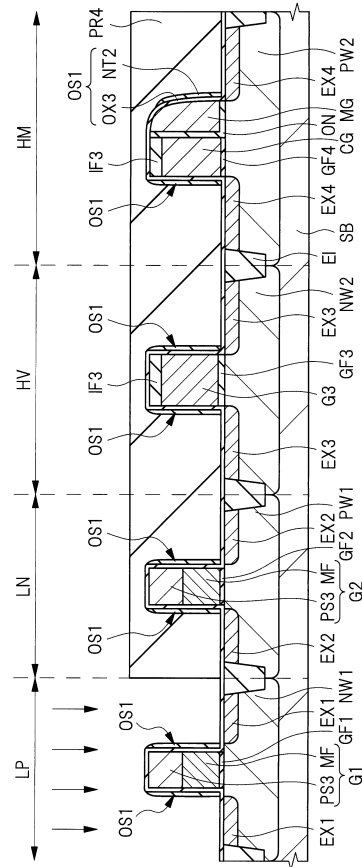
【図 17】

図 17



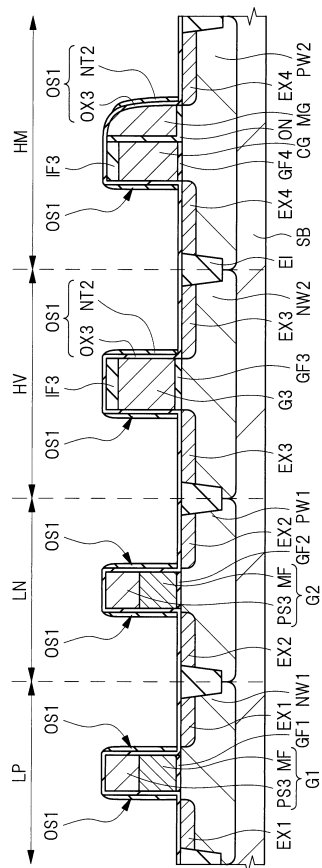
【図 18】

図 18



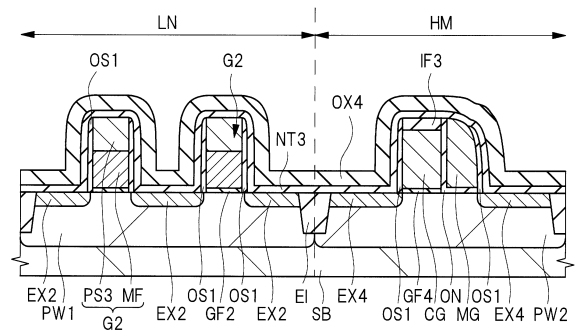
【図 19】

図 19



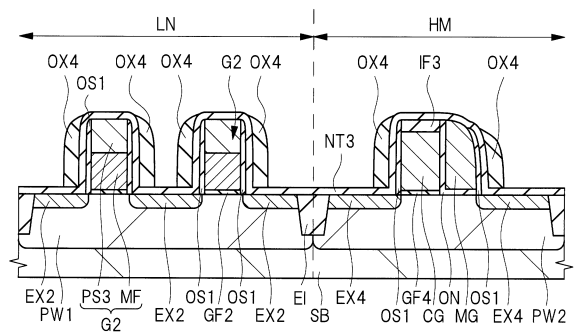
【図 20】

図 20



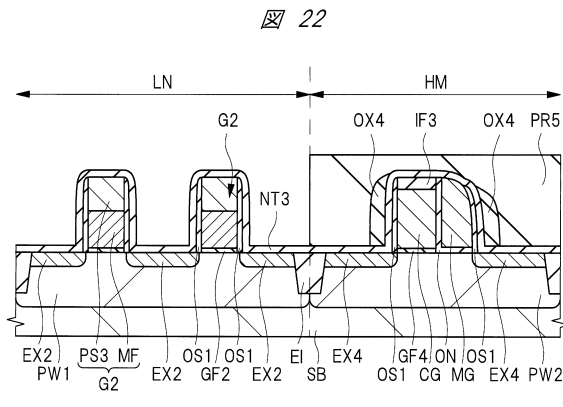
【図 21】

図 21

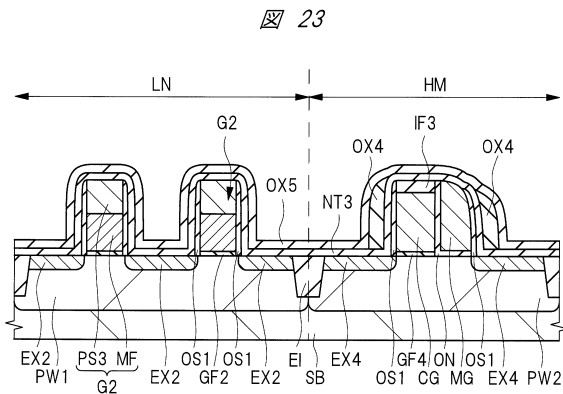




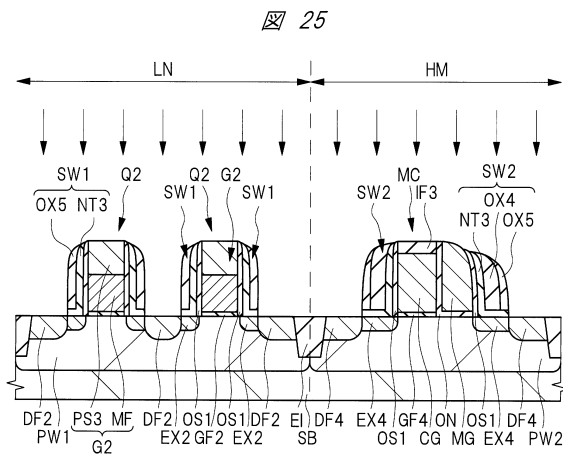
【図 2 2】



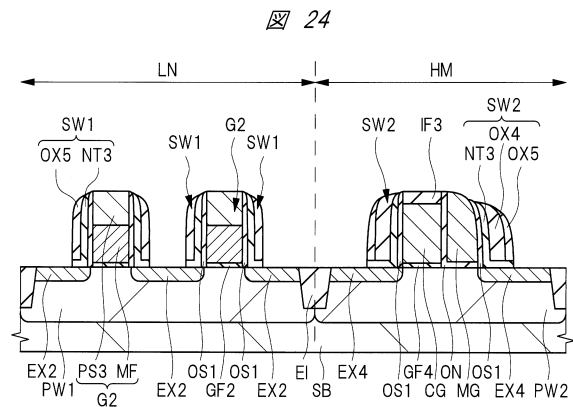
【図 2 3】



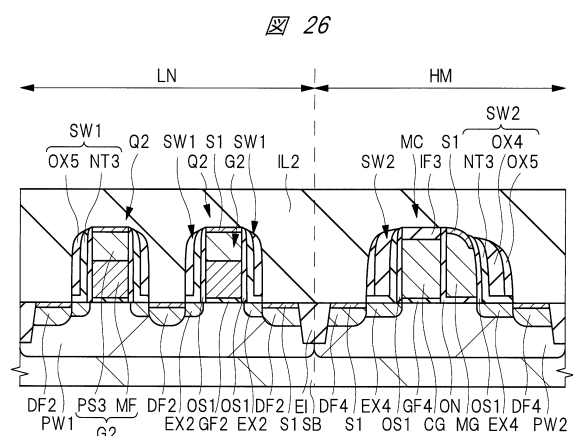
【図 2 5】



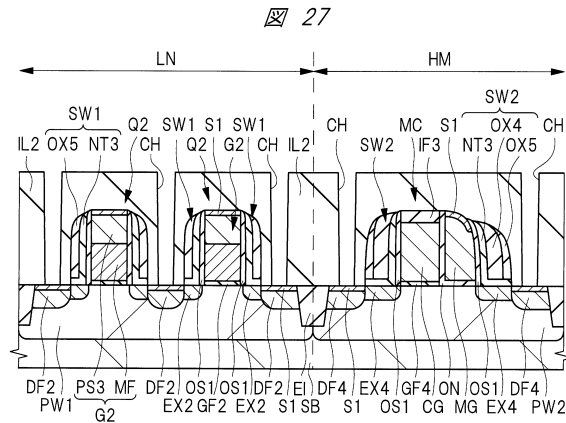
【図 2 4】



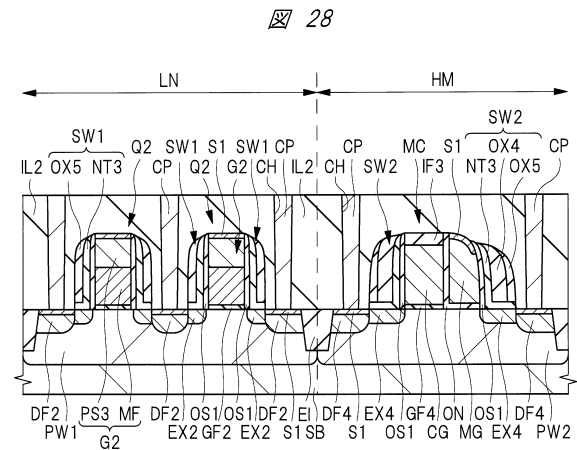
【図 2 6】



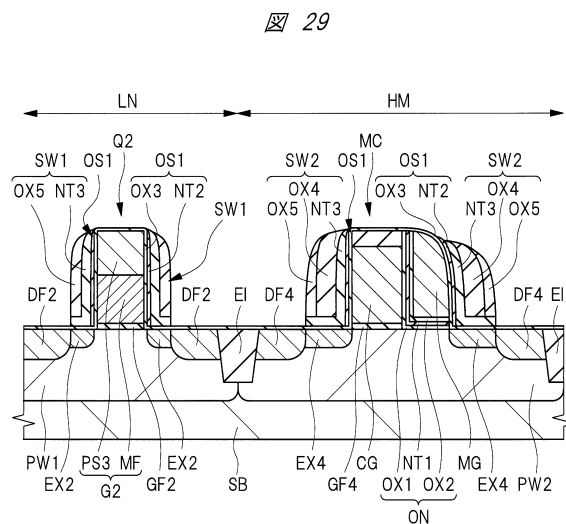
【図 27】



【図 28】



【図 29】



CG:制御ゲート電極      OX4,OX5:酸化シリコン膜  
 G2:ゲート電極          Q2:MISFET  
 MG:メモリゲート電極      SB:半導体基板  
 NT3:窒化シリコン膜      SW1,SW2:サイドウォール

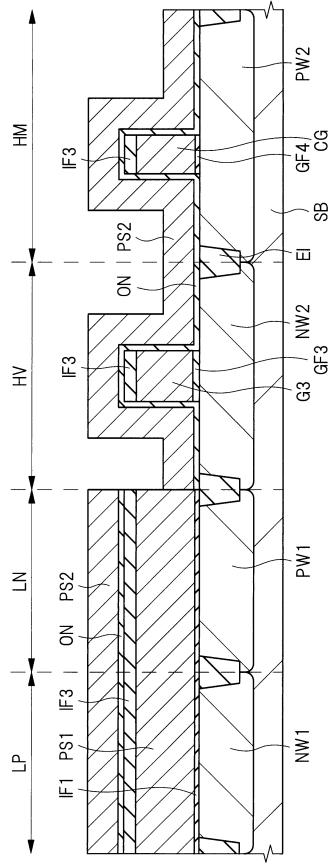
【図 30】

図 30

動作方式	書込/消去	書込動作電圧(V) $V_{mg}/V_s/V_{cg}/V_d/V_b$	消去動作電圧(V) $V_{mg}/V_s/V_{cg}/V_d/V_b$	読出動作電圧(V) $V_{mg}/V_s/V_{cg}/V_d/V_b$
A	SS(書込)/BTBT(消去)	10/5/1/0.5/0	-6/6/0/open/0	0/0/1.5/1.5/0
B	SS(書込)/FNC(消去)	10/5/1/0.5/0	12/0/0/0/0	0/0/1.5/1.5/0
C	FN(書込)/BTBT(消去)	-12/0/0/0/0	-6/6/0/open/0	0/0/1.5/1.5/0
D	FN(書込)/FNC(消去)	-12/0/0/0/0	12/0/0/0/0	0/0/1.5/1.5/0

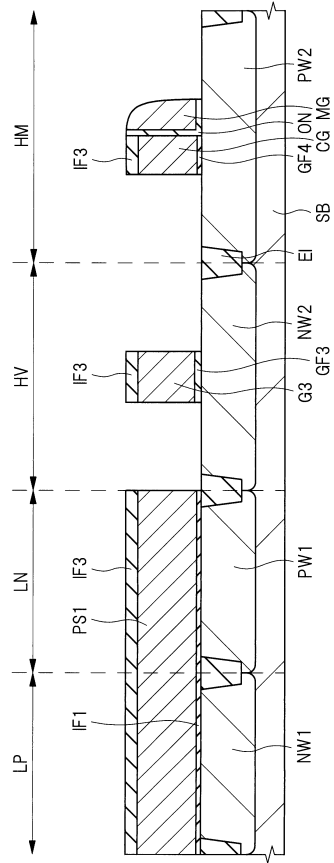
【図 3 1】

図 31



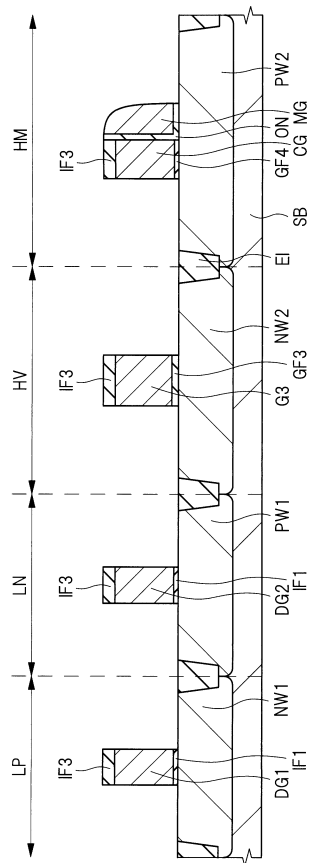
【図 3 2】

図 32



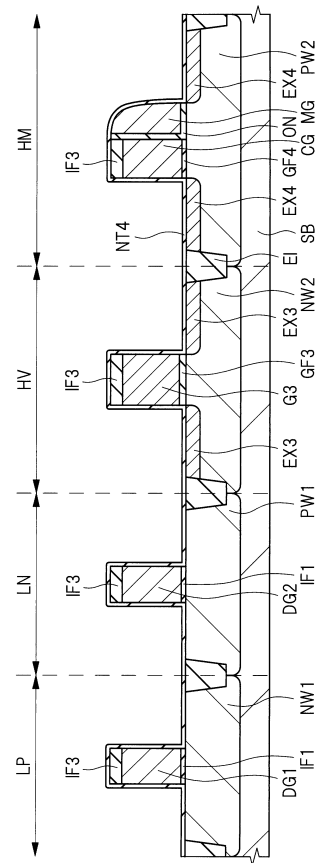
【図 3 3】

図 33

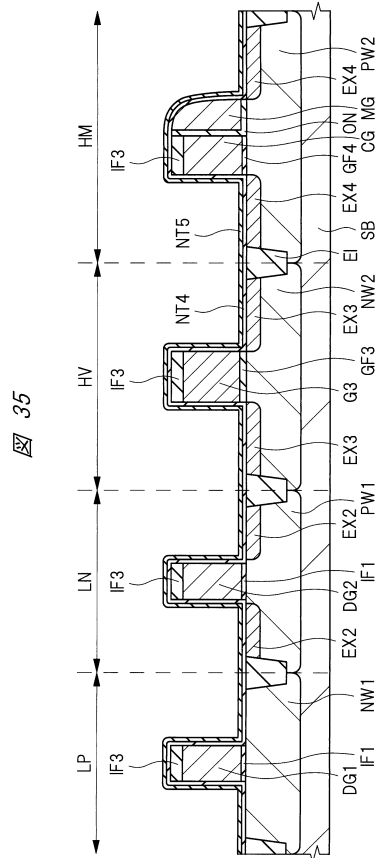


【図 3 4】

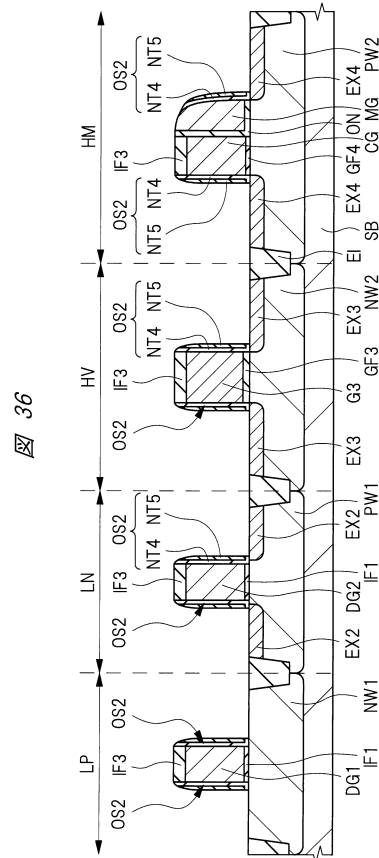
図 34



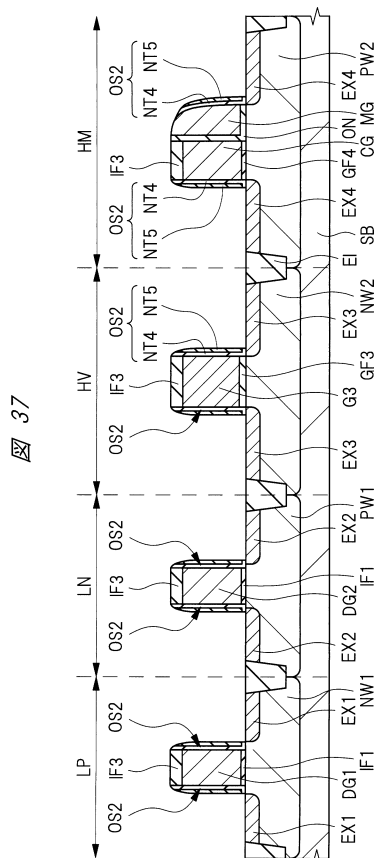
【図 35】



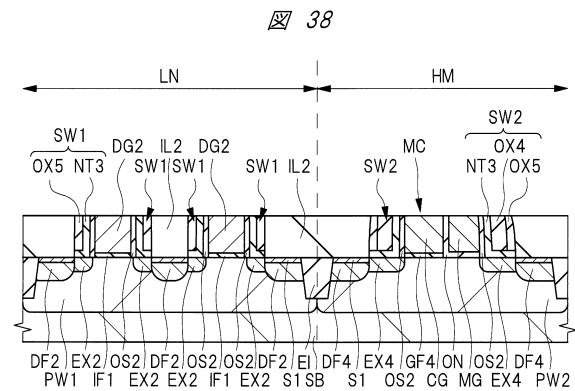
【図 36】



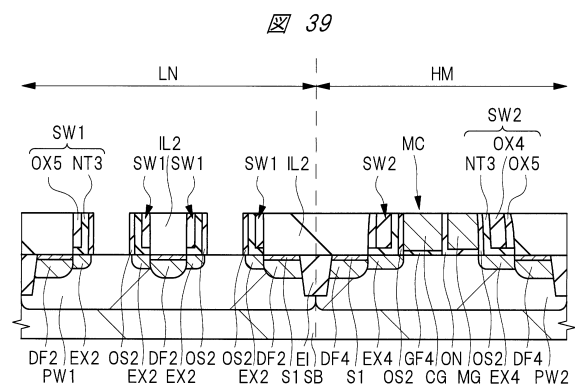
【図 37】



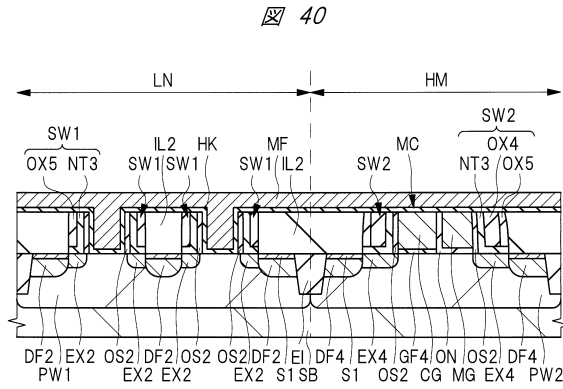
【図 38】



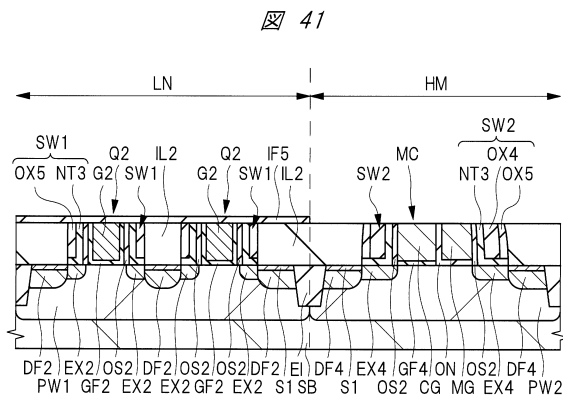
【図 39】



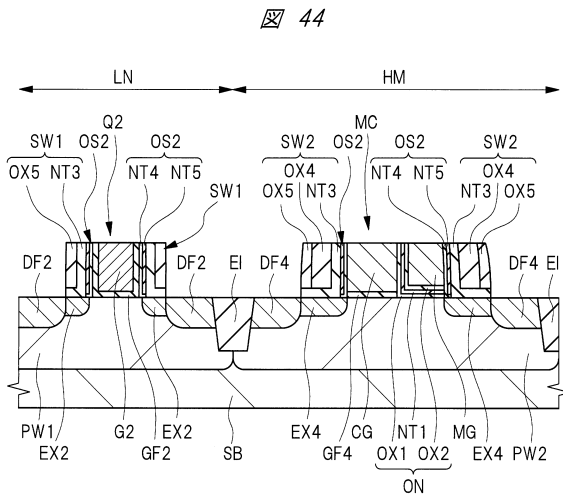
【図 40】



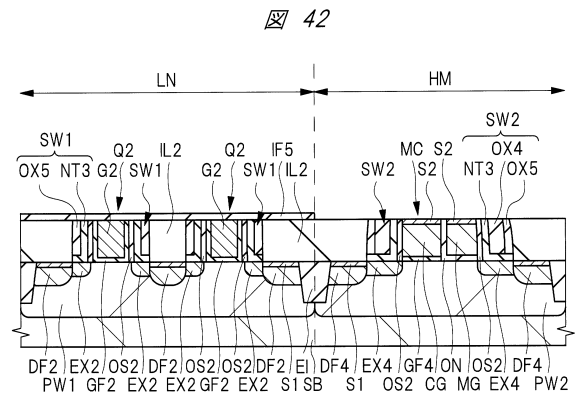
【図 41】



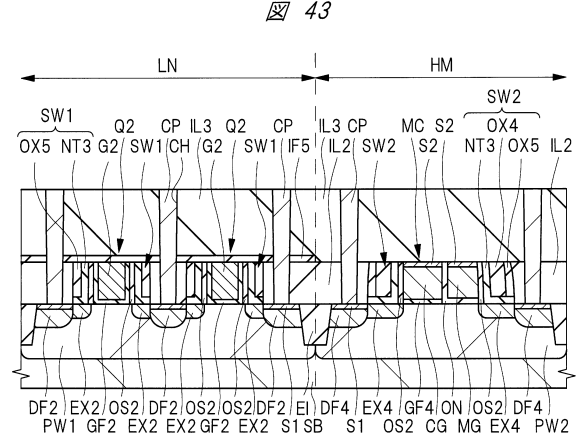
【図 44】



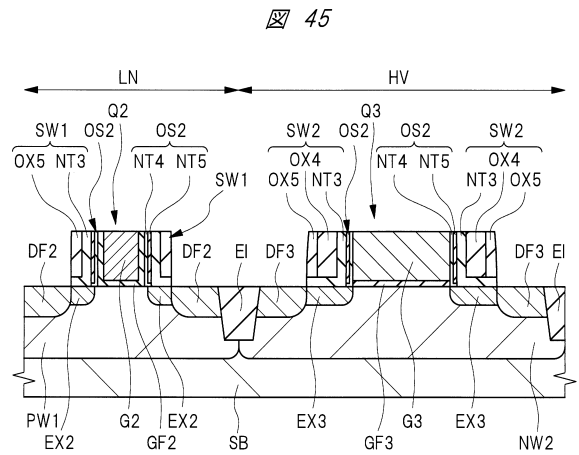
【図 42】



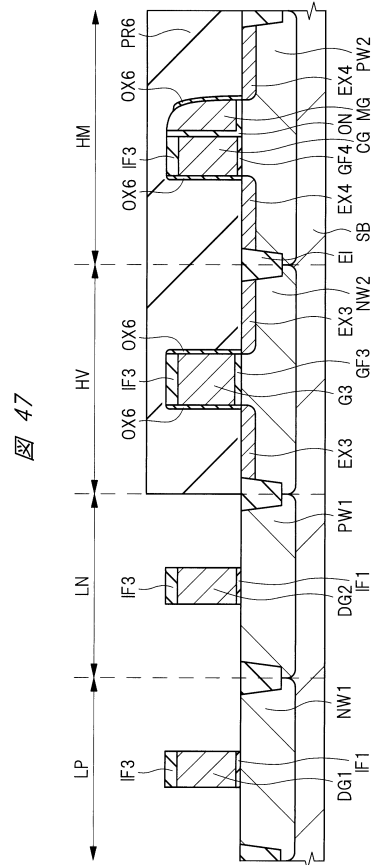
【図 43】



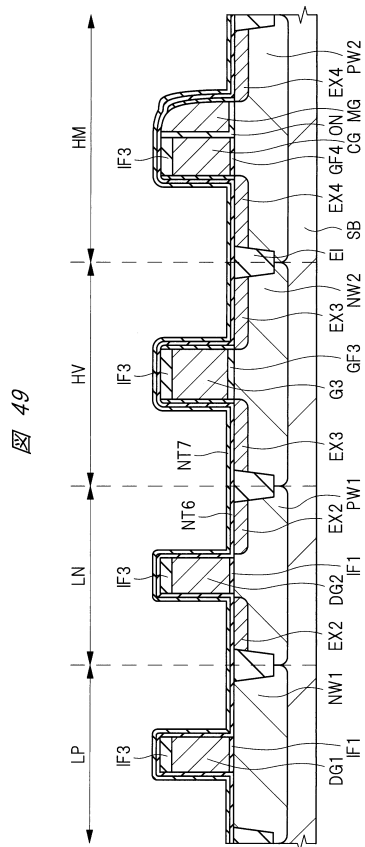
【図 45】



【 図 4 7 】

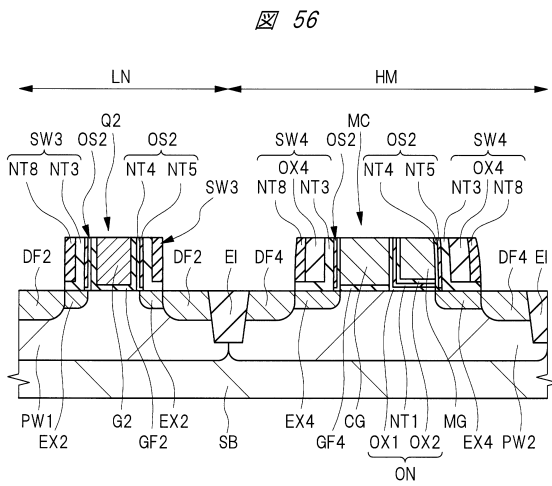


【 図 4 9 】

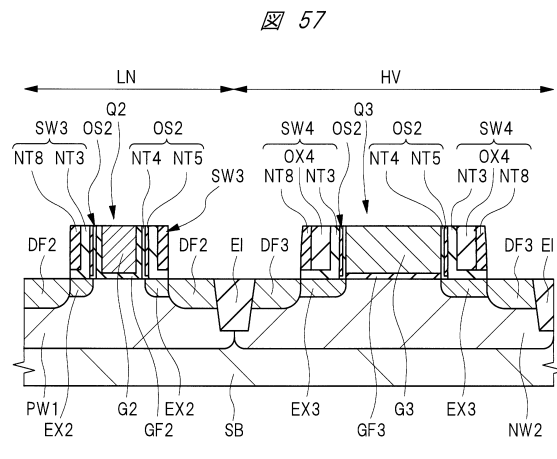




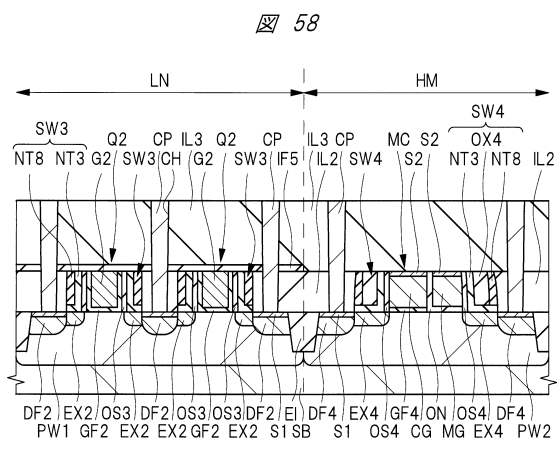
【図 56】



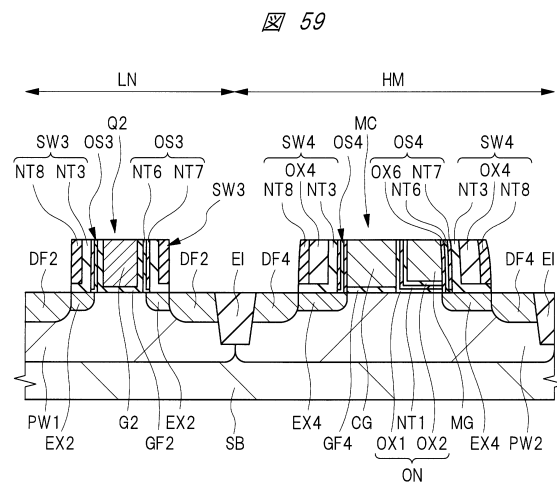
【図 57】



【図 58】

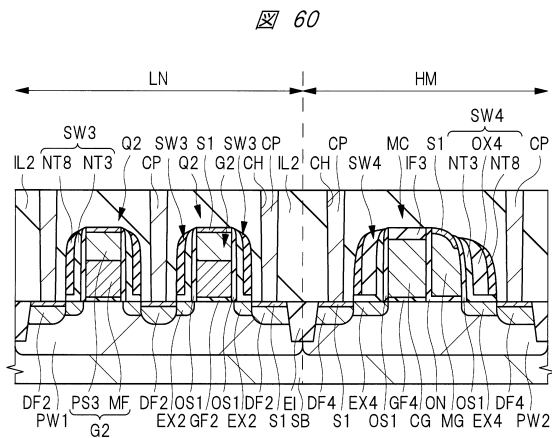


【図 59】

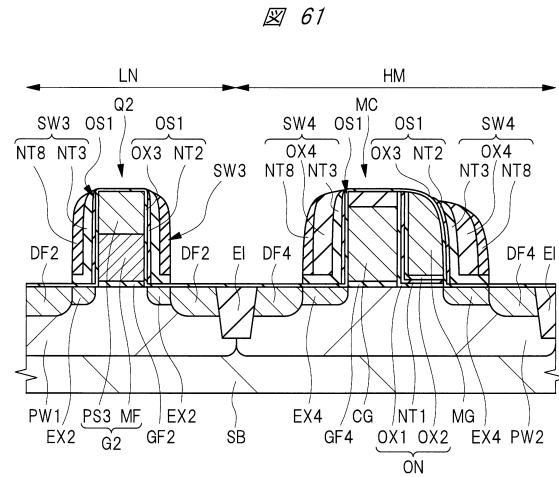




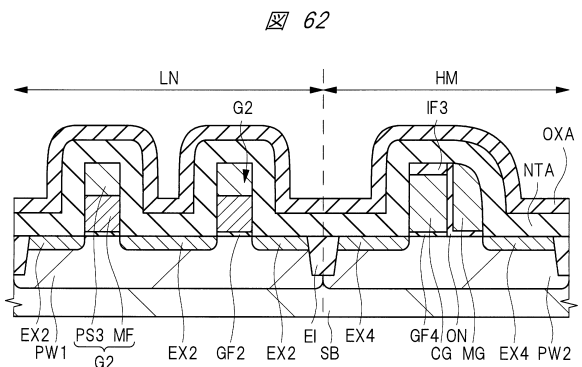
【図 60】



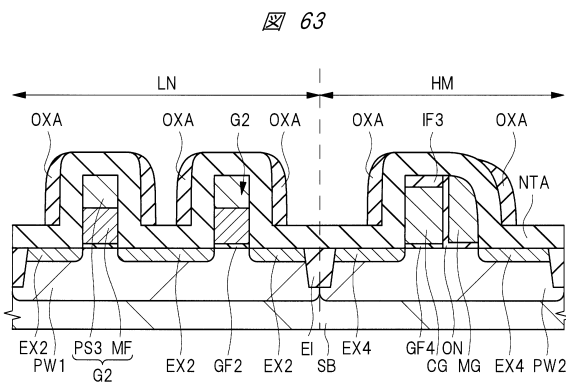
【図 61】



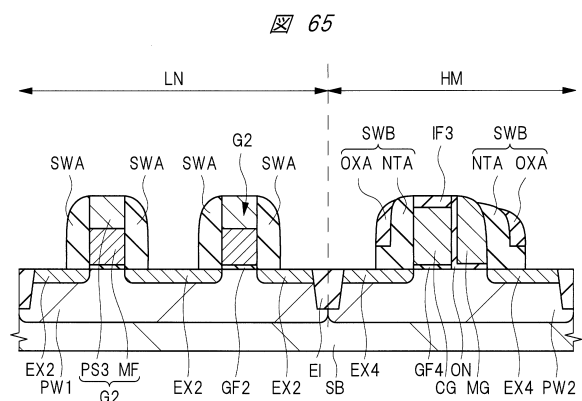
【図 62】



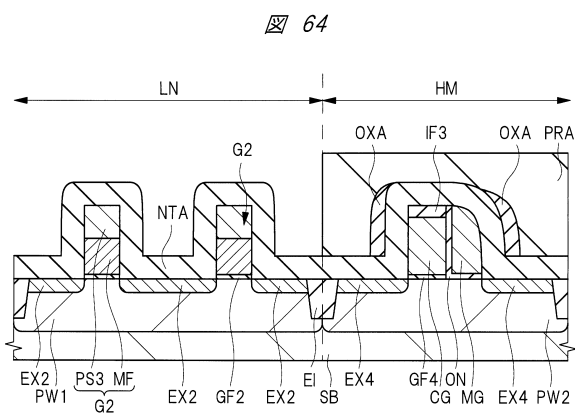
【図 63】



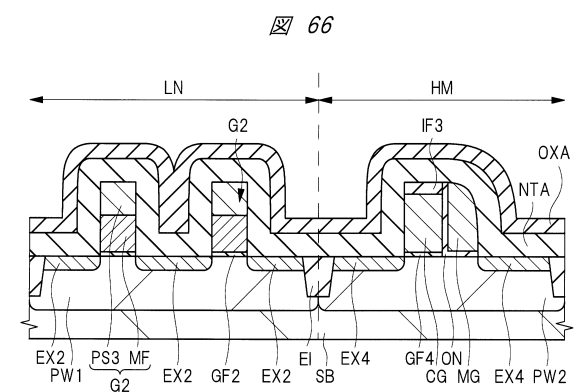
【図 65】



【図 64】

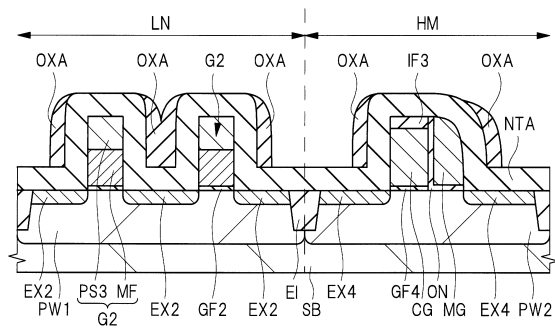


【図 66】



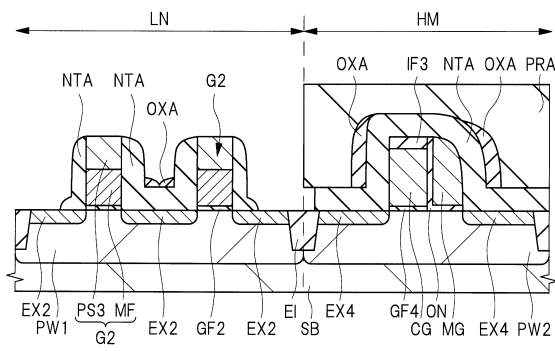
【図 67】

図 67



【図 68】

図 68



## フロントページの続き

(51)Int.Cl.		F I		
H 0 1 L	27/11546 (2017.01)	H 0 1 L	29/78	3 7 1
H 0 1 L	27/11573 (2017.01)	H 0 1 L	29/58	G
H 0 1 L	21/336 (2006.01)	H 0 1 L	27/10	4 6 1
H 0 1 L	29/788 (2006.01)			
H 0 1 L	29/792 (2006.01)			
H 0 1 L	29/423 (2006.01)			
H 0 1 L	29/49 (2006.01)			
H 0 1 L	27/10 (2006.01)			

- (56)参考文献 特開 2 0 1 3 - 0 9 8 1 9 2 ( J P , A )  
 特開 2 0 1 5 - 1 6 2 6 2 1 ( J P , A )  
 米国特許出願公開第 2 0 0 8 / 0 2 9 6 6 3 7 ( U S , A 1 )  
 特開 2 0 1 4 - 1 6 5 2 9 9 ( J P , A )  
 特開 2 0 1 2 - 2 4 8 7 2 2 ( J P , A )

## (58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 8 2 3 4  
 H 0 1 L 2 1 / 3 3 6  
 H 0 1 L 2 1 / 8 2 3 8  
 H 0 1 L 2 7 / 0 8 8  
 H 0 1 L 2 7 / 0 9 2  
 H 0 1 L 2 7 / 1 0  
 H 0 1 L 2 7 / 1 1 5 3 4  
 H 0 1 L 2 7 / 1 1 5 4 6  
 H 0 1 L 2 7 / 1 1 5 7 3  
 H 0 1 L 2 9 / 4 2 3  
 H 0 1 L 2 9 / 4 9  
 H 0 1 L 2 9 / 7 8 8  
 H 0 1 L 2 9 / 7 9 2