

①②

DEMANDE DE BREVET D'INVENTION

A1

②② Date de dépôt : 01.02.01.

③⑦ Priorité : 03.02.00 US 09497341.

④③ Date de mise à la disposition du public de la
demande : 10.08.01 Bulletin 01/32.

⑤⑥ Liste des documents cités dans le rapport de
recherche préliminaire : *Ce dernier n'a pas été
établi à la date de publication de la demande.*

⑥⑦ Références à d'autres documents nationaux
apparentés :

⑦① Demandeur(s) : UNAXIS BALZERS LIMITED — LI.

⑦② Inventeur(s) : TURLOT EMMANUEL, PHAM HANH,
LEBLANC FRANCOIS et SCHMITT JACQUES.

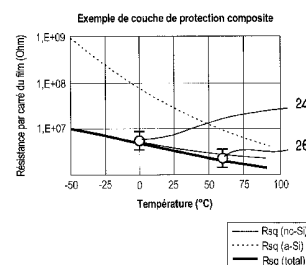
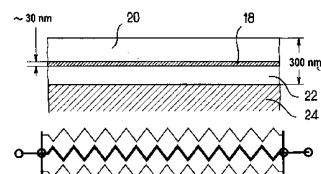
⑦③ Titulaire(s) :

⑦④ Mandataire(s) : LERNER ET ASSOCIES.

⑤④ COUCHE DE PROTECTION POUR UN DISPOSITIF EMETTEUR DE CHAMP, DISPOSITIF ET ECRAN PLAT
CORRESPONDANTS.

⑤⑦ L'invention concerne une couche de protection pour
un dispositif émetteur de champ comprenant une couche
fine (18) de silicium nanocristallin dopé, et une ou plusieurs
couches (20, 22) dopées d'un matériau à base de silicium
amorphe.

La réalisation d'écrans plats est tout particulièrement
concernée.



La présente invention concerne une couche de protection (ou "couche ballast") pour un dispositif émetteur de champ (field emissive device - FED) pour écrans plats. Un dispositif émetteur de champ utilisé dans les écrans FED est un émetteur à pointe (point emitter) qui émet un flux
5 d'électrons dans un vide sous l'influence d'une tension d'extraction modérée.

Les émetteurs à pointe fonctionnent sur la base :

- d'une émission de champ, où un champ important est généré par un angle très aigu à l'extrémité de l'émetteur,
- ou de matériaux spéciaux à travail de sortie, ou niveau
10 d'extraction, faible (low work function materials), tels que le diamant.

Un pixel d'un écran FED est constitué d'un grand nombre d'émetteurs à pointe adjacents opérant en parallèle pour couvrir toute la surface du pixel. L'un des problèmes clés dans la définition d'un tel écran, ou unité d'affichage, consiste en ce qu'un émetteur à pointe tend à opérer avec
15 une résistance "négative". Ainsi, lorsque tout un jeu d'émetteurs fonctionnent en parallèle, ils tendent à avoir un comportement d'arc électrique, c'est-à-dire qu'un émetteur récupère - ou transporte - tout le courant, tandis que les autres émetteurs sont inhibés. Une solution à ce problème a été proposée par A. GHIS et al. dans "*IEEE Transactions on electron devices*" (transactions IEEE
20 sur les dispositifs à électrons) - Volume 38, N° 10 (Octobre 1991). Cette solution est fondée sur une couche de protection résistive qui interconnecte les émetteurs et la ligne source (ligne d'alimentation). Les résistances ajoutées en série compensent la résistance négative des émetteurs à pointe, permettant ainsi un fonctionnement stable en parallèle de tels émetteurs.

25 Toutefois, la couche de protection demeure particulièrement difficile à fabriquer. La résistivité requise pour la couche de protection dans une telle technique FED est comprise en 10^2 et 10^5 Ohms.cm, ce qui correspond à une conductivité électrique (σ) inférieure à 10^{-2} Ohms.cm⁻¹. Cette gamme de résistivité est trop importante pour être atteinte avec des
30 alliages métalliques conventionnels. Bien que cette gamme de conductivité

puisse être obtenue par des semi-conducteurs faiblement dopés, il n'en demeure pas moins que de tels matériaux sont très sensibles aux fluctuations rapides des niveaux de dopage et sont très difficiles à utiliser dans le cadre d'une production stable.

5 Le brevet américain US-A-5 789 851 propose d'obtenir une résistance électrique contrôlée en utilisant une couche résistive comprenant un film de silicium amorphe, dopé, allié à d'autres éléments, tels que du carbone ou du phosphore. Ce brevet américain décrit également une possibilité de fabriquer une couche de protection de manière contrôlée
10 compatible avec des exigences de production industrielle.

Toutefois, une nouvelle exigence a été introduite dans l'industrie des écrans plats qui rend les couches de protection encore plus difficiles à réaliser. Il est maintenant requis pour une couche de protection d'avoir le même type de résistance par carré sur toute la gamme des températures de
15 fonctionnement qui peuvent survenir pour les principaux utilisateurs d'écrans plats (tels que l'industrie automobile ou les applications militaires). Cette gamme de températures est typiquement comprise entre - 50°C et 100°C. Aussi, la résistance qu'une couche de protection introduit dans un circuit émetteur ne devrait pas varier de plus d'un facteur 3 à 6 dans toute la
20 gamme des températures de - 50°C à + 100°C (soit, $\sigma(90^\circ\text{C}) / \sigma(-50^\circ\text{C}) < 5$, $\sigma(90^\circ\text{C})$ étant la conductivité électrique à 90°C et $\sigma(50^\circ\text{C})$ étant cette conductivité à - 50°C). Cette exigence ajoute encore à la contrainte de résistivité de la couche de protection. La résistance par carré de la couche de protection devrait être plus élevée que quelques megaOhms. Aussi, la
25 résistance du matériau d'une couche de protection de 300 nm, par exemple, est excessive de 100 Ohms.centimètre.

Malheureusement, les semi-conducteurs sont connus pour avoir une variation plutôt importante de la conductivité en fonction de la température et cette nouvelle exigence, particulièrement sévère pour la
30 couche de protection, augmente la difficulté de réalisation de cette couche de

protection. La conductivité augmente rapidement avec la température (au moins dans la gamme considérée comprise entre - 50°C et 100°C), conformément à la relation générale :

$$\sigma = \sigma_0 \exp (- E_a/kT)$$

5 où σ est la conductivité ; k est la constante de Boltzmann ; T est la température absolue ; et E_a est l'énergie d'activation (ou énergie d'amorçage) qui est généralement liée à la position du niveau de Fermi dans un semi-conducteur donné. L'énergie d'activation peut varier de manière importante dans un semi-conducteur déterminé, avec le niveau de dopage.

10 Fondamentalement, un matériau intrinsèque (ou compensé) est plutôt résistif et présente une énergie d'activation plutôt élevée (de l'ordre de la moitié de l'espace de bande interdite du semi-conducteur). Par contraste, un matériau dopé a une énergie d'activation faible, mais est plutôt électriquement conducteur.

15 Les variations relatives de conductivité électrique d'un semi-conducteur dans la gamme des températures de - 50°C à + 100°C sont illustrées sur la figure 2. La variation acceptable devrait se situer sous le seuil repéré 10. Comme illustré sur la figure 2, la variation de conductivité satisfait l'exigence de fabrication d'écrans plats seulement pour une énergie
20 d'activation bien inférieure à 0,1 eV. Cette valeur d'énergie d'activation est très faible et, comme cela est connu dans l'industrie du silicium, correspond à un niveau très élevé de dopage, par exemple, une concentration de dopage de $3 \times 10^{17} \text{ cm}^{-3}$, ou au-delà ; voir " Sze, *Physics of Semiconductor Devices*" (Physique des dispositifs semi-conducteurs), pages 37 et 43 (1969). Pour une
25 concentration de dopage au-dessus de $3 \times 10^{17} \text{ cm}^{-3}$, la résistivité du silicium est inférieure à 0,2 Ohm.centimètre pour un silicium de type p et inférieure à 0,05 Ohm.centimètre pour un silicium de type n. Toutefois, dans les deux cas, le silicium dopé est plus de 500 fois trop conducteur par rapport à l'exigence estimée des applications FED.



Aussi, les semi-conducteurs tels qu'en silicium ne peuvent satisfaire aux exigences :

- d'une conductivité de moins de 10^{-2} Ohms par centimètre,
 - et d'une variation de résistance correspondant à σ (90° C) /
- 5 σ (-50° C) inférieur à 5.

La figure 3 montre l'évaluation de différents types de silicium amorphe (a - Si : H), de silicium microcristallin et d'alliage silicium-carbone, voir G. LUCOVSKY et C. WANG, "Mat; Res. Soc. Symp; Proc.," page 377, Volume 219 (1991).

- 10 Dans la présente description, il est à noter que typiquement, l'on utilisera indifféremment le terme "nanocristallin" ou "microcristallin", à l'image de ce que fait la communauté scientifique, dès lors que ces siliciums se rapportent globalement à la même classe de matériaux.

- Comme illustré sur la figure 3, les données forment un nuage
- 15 dispersé de points dans un graphe représentant l'énergie d'activation (en ordonnée) en fonction de la résistivité à la température ambiante (en abscisse). Deux courbes modèles (modèle 1 ; 12 - modèle 2 ; 14) sont également illustrées en figure 3. Tous les matériaux concernés tels que les matériaux à base de silicium microcristallin ou amorphe (μ c-Si, avec dopage
- 20 à base de phosphore ou de bore ; ou μ c-SiC) sont éloignés de la zone d'intérêt 16 pour l'application FED, soit parce que le matériau est trop conducteur (de plus d'un facteur 20), soit parce que le matériau a une variation de
- température trop importante pour sa conductivité (énergie d'activation au-delà de 0,18 eV). Parmi les films fins à base de silicium déposés par la
- 25 technique PECVD (dépôt de vapeur chimique sous par plasma ; "plasma-enhanced chemical vapor deposition"), seuls les films nanocristallins à dopage important (par exemple, des films dopés n, avec un dopage à base de PH_3) atteignent une énergie d'activation inférieure à 0,1 eV.

Malheureusement, la conductivité d'un tel film est entre 30 et 100 fois plus importante que la plus petite conductivité requise pour les applications FED.

Le problème est lié au fait qu'une faible énergie d'activation et une
5 haute conductivité surviennent toujours ensemble, dans le cas des semi-conducteurs. L'application à une couche de protection FED se heurte donc à un problème fondamental, intrinsèque à la structure d'un semi-conducteur.

Or, la couche de protection conforme à la présente invention résout un tel problème.

10 Conformément à l'invention, il est également conseillé :

- que le silicium nanocristallin dopé présente une épaisseur comprise entre 10 et 100 nm, et/ou

- que la ou les couche(s) dopée(s) en matériau à base de silicium amorphe présente(nt) une épaisseur totale supérieure à quatre fois celle de la
15 couche de silicium nanocristallin dopée, et alors de préférence, que l'épaisseur totale de la (ou des couches) dopée(s) en matériau à base de silicium amorphe soit entre cinq et dix fois supérieure à celle de la couche de silicium nanocristallin, et/ou

- que la ou les couche(s) dopée(s) en matériau à base de silicium
20 amorphe présente(nt) une résistivité à température ambiante au moins 100 fois supérieure à la résistivité de la couche de silicium nanocristallin, et/ou

- que les dopages de la couche de silicium nanocristallin et de la (ou des) couche(s) dopée(s) en matériau à base de silicium amorphe soient de même type, et alors de préférence que les dopages de la couche de
25 silicium nanocristallin et de la (ou des) couche(s) dopée(s) en matériau à base de silicium amorphe soient de type n, et/ou

- que la couche de protection présente une conductivité électrique inférieure à 10^{-2} Ohms.cm⁻¹, et/ou

- que la couche de protection présente un rapport de conductivité
30 entre sa conductivité à 90°C et sa conductivité à - 50°C inférieur à 5, et/ou

- que la couche de protection présente une épaisseur comprise entre environ 150 nm et 400 nm.

D'autres objets, avantages et caractéristiques spécifiques à la présente invention apparaîtront de la description plus détaillée qui va
5 suivre, faite en relation avec les dessins d'accompagnement dans lesquels :

- la figure 1 est une vue schématique d'un système d'affichage (écran) FED,

- la figure 2 est un graphe montrant les variations relatives de conductivité d'un semi-conducteur, dans la gamme de températures
10 comprises entre - 50°C et 100°C,

- la figure 3 est un graphe montrant la résistivité, à température ambiante, et l'énergie d'activation (d'amorçage) pour différents types de films silicium amorphes et microcristallins,

- la figure 4 est un schéma de couche ballast conforme à la
15 présente invention,

- et la figure 5 est un graphe montrant les variations calculées de la résistance par carré de deux films comprenant une couche ballast, en fonction de la température, ceci conformément à la présente invention.

Certains des composants clés d'un affichage FED (écran plat) sont
20 illustrés sur la figure 1.

La figure 1 omet toutefois d'autres composants d'un tel écran FED (par exemple, la grille de contrôle, les luminophores - matières phosphorescentes typiquement utilisées en poudre pour former l'écran dit

"fluorescent"-et autres) pour se centrer sur des parties spécifiques d'un système FED qui sont en rapport avec la présente invention.

La figure 1 montre des substrats de verre 1 fermant la cellule sous vide d'un écran FED, une ligne métallique 2 fournissant la tension
5 d'alimentation au pixel, une couche ballast (ou couche de protection) 3 avec un symbole de résistance pour marquer explicitement sa fonction, des émetteurs à pointe (ou pointes émettrices) 4 représentés sous la forme de cônes aigus, et une contre-électrode 5 (anode).

Conformément à la présente invention, la couche de protection
10 présente une épaisseur comprise entre environ 150 nm et 400 nm. Si elle était plus fine, la couche de protection serait difficile à fabriquer. Le procédé de fabrication d'un écran FED inclut une étape de gravure d'une couche isolante épaisse, la gravure étant interrompue sur le dessus de la couche de protection pour retrouver le contact. Si la couche de protection est trop fine,
15 il y a un risque important de la transpercer pendant le processus de fabrication. Si, par contre, la couche ballast est trop épaisse, cette couche risque de prendre trop de temps pour être déposée et pour être gravée, augmentant d'autant le coût de fabrication. Dans la description qui suit, une épaisseur de 300 nm est utilisée pour la couche de protection. Cette valeur ne
20 doit toutefois pas être considérée comme une limitation au procédé.

La présente invention consiste à former une couche de protection constituée de plusieurs couches comprenant plusieurs films combinés. Une couche nanocristalline très fine à niveau de dopage élevé est combinée à une ou plusieurs couches amorphes légèrement dopées, plus épaisse(s) (silicium
25 ou alliages) qui sont électriquement plus résistives que la fine couche nanocristalline. Une fine couche nc-Si fortement dopée est associée à une ou plusieurs couches plus épaisses modérément dopées de silicium amorphe ou d'alliages. La conductivité des couches a-Si doit être suffisamment faible pour que le fonctionnement électrique d'ensemble de la structure
30 multicouche soit dominé par la conductivité électrique de la couche nc-Si.

Dans les modes de réalisation concernés, le fin film nanocristallin peut avoir une épaisseur de l'ordre de 15 nm, une résistivité électrique légèrement supérieure à 1 Ohm.cm, et une énergie d'activation (également dénommée énergie d'amorçage) inférieure à 0,1 eV. Un tel film nanocristallin présente une résistance par carré de l'ordre de 6 à 7 megaOhms. Un film de 15 nm est réalisable par dépôt PECVD de silicium nanocristallin dopé au phosphore.

La vitesse typique de dépôt pour du nc-Si est faible (de l'ordre de 0,1 nm/s) et le temps de dépôt d'une telle couche est de l'ordre de 2 à 3 minutes, ce qui est un intervalle de temps suffisant pour obtenir un contrôle effectif de l'épaisseur de couche.

Tel qu'illustré sur la figure 4, une couche 18 nanocristalline de silicium fortement dopée est interposée entre deux autres couches 20, 22 ; telles que deux couches a-Si : H ou SiC : H, légèrement dopées. L'épaisseur totale de la couche de protection est de l'ordre de 10 fois supérieure à celle de la couche nc-Si. Cette épaisseur peut être de 300 nm, environ, l'épaisseur de la seule couche 18 étant avantageusement d'environ 30 nm. Les deux couches 20, 22 plus épaisses ont de préférence sensiblement la même épaisseur. La couche 22 recouvre un substrat électriquement isolant (en verre, par exemple), 24. Les résistances électriques des couches recouvertes sont en parallèle, un "circuit électrique équivalent" schématise d'ailleurs cela en bas de la figure 4. Les couches amorphes épaisses sont électriquement conductrices pour lisser la conductivité de la couche nc-Si (par étage, par exemple), mais la contribution à la résistance par carré globale des couches amorphes devrait n'être que mineure vis-à-vis de la résistance par carré résultante. En fait, l'évolution thermique de la résistivité de la composante a-Si est importante du fait que l'énergie d'amorçage excède 0,1 eV. Et c'est parce que la contribution de a-Si au film demeure faible qu'une trop grande variation de la résistance par carré résultante en fonction de la température est évitée.

EXEMPLE

Une couche de protection (ou couche ballast) a été réalisée par la combinaison de deux matériaux connus, tels que décrits dans le tableau ci-dessous :

Type de matériaux	Résistivité à température ambiante	Énergie d'amorçage	Épaisseur
nc-Si (dopé n)	8 Ohms.cm	0,08 eV	20 nm
a-SiC:H (dopé n)	1200 Ohms.cm	0,28 eV	360 nm

5

La couche de protection a été créée en déposant tout d'abord une couche a-Si et ensuite, une couche nc-Si. Pendant le dépôt PECVD de la couche nc-Si, un certain intervalle de temps s'est écoulé avant que le film commence à grossir (s'épaissir) en tant que composant microcristallin. Cette phase d'incubation est bien connue (voir S. HAMMA et P. ROCA I CABARROCAS, *J. Appl. Phys.*, 81 (11) (1997)) et a nécessité la conduite de plusieurs tests avant que le temps de dépôt soit bien ajusté.

La figure 5 montre la résistance par carré résultante : Rsq (total) (calculée en combinant les valeurs des deux matériaux - nc-Si et a-Si - utilisés pour obtenir la couche de protection ; soit Rsq (nc-Si) et Rsq (a-Si)), en fonction de la température. Deux points expérimentaux 24, 26 ont été mesurés et sont illustrés pour confirmer les estimations fondées sur les propriétés d'un film unique.

15

REVENDICATIONS

1. Couche de protection (3) pour un dispositif émetteur de champ, comprenant :

- une couche fine (18) de silicium nanocristallin dopé, et
- 5 - une ou plusieurs couches (20, 22) dopées d'un matériau à base de silicium amorphe.

2. Couche de protection selon la revendication 1, caractérisée en ce que le silicium nanocristallin dopé (18) présente une épaisseur comprise entre 10 et 100 nm.

10 3. Couche de protection selon la revendication 1, ou la revendication 2, caractérisée en ce que la ou les couche(s) dopée(s) en matériau à base de silicium amorphe (20, 22) présente(nt) une épaisseur totale supérieure à quatre fois celle de la couche de silicium nanocristallin dopée (18).

15 4. Couche de protection selon la revendication 3, caractérisée en ce que l'épaisseur totale de la (ou des couches) dopée(s) en matériau à base de silicium amorphe (20, 22), est(sont) entre cinq et dix fois supérieure(s) à celle de la couche de silicium nanocristallin (18).

20 5. Couche de protection selon l'une quelconque des revendications précédentes, caractérisée en ce que la ou les couches dopée(s) en matériau à base de silicium amorphe (20, 22) présente(nt) une résistivité à température ambiante au moins 100 fois supérieure à la résistivité de la couche de silicium nanocristallin (18).

25 6. Couche de protection selon l'une quelconque des revendications précédentes, caractérisée en ce que les dopages de la couche de silicium nanocristallin (18) et de la (ou des) couche(s) dopée(s) en matériau à base de silicium amorphe (20, 22) sont de même type.

7. Couche de protection selon la revendication 6, caractérisée en ce que les dopages de la couche de silicium nanocristallin (18) et de la (ou

des) couche(s) dopée(s) en matériau à base de silicium amorphe (20, 22) sont de type n.

8. Couche de protection selon l'une quelconque des revendications précédentes, caractérisée en ce que la couche de silicium nanocristallin (18) est interposée entre une ou plusieurs couches dopées en matériau à base de silicium amorphe (20, 22).

9. Couche de protection selon l'une quelconque des revendications précédentes, caractérisée en ce qu'elle présente une conductivité électrique inférieure à 10^{-2} Ohms.cm⁻¹.

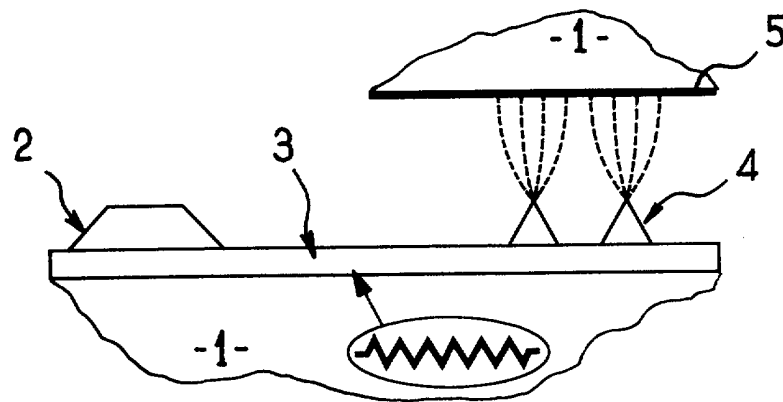
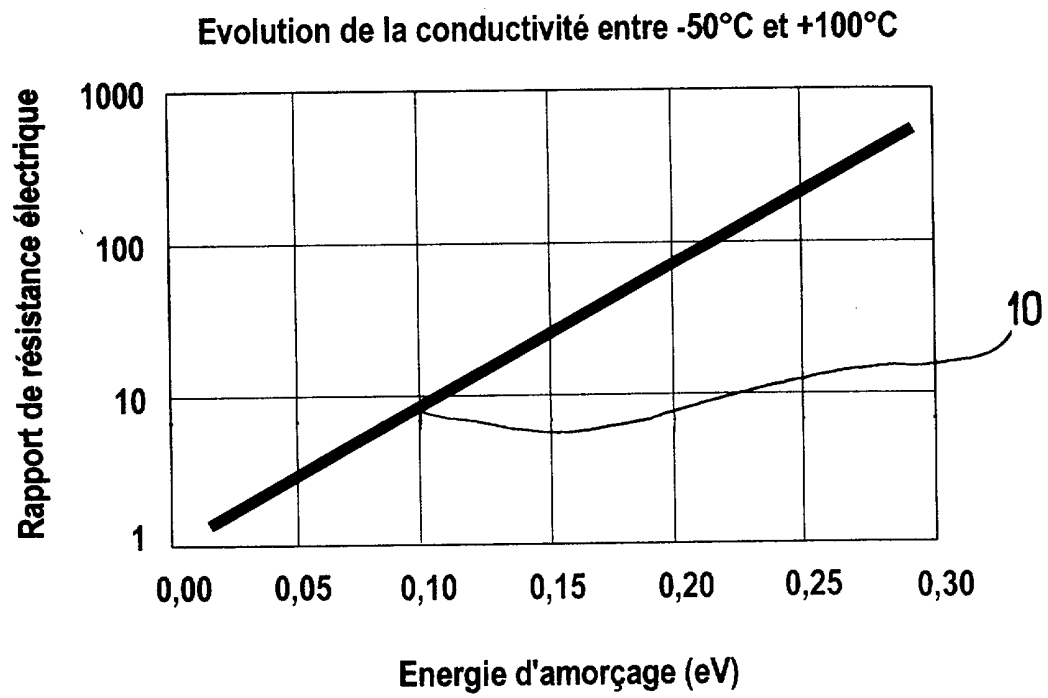
10. Couche de protection selon l'une quelconque des revendications précédentes, caractérisée en ce qu'elle présente un rapport de conductivité entre sa conductivité à 90°C et sa conductivité à - 50°C inférieur à 5.

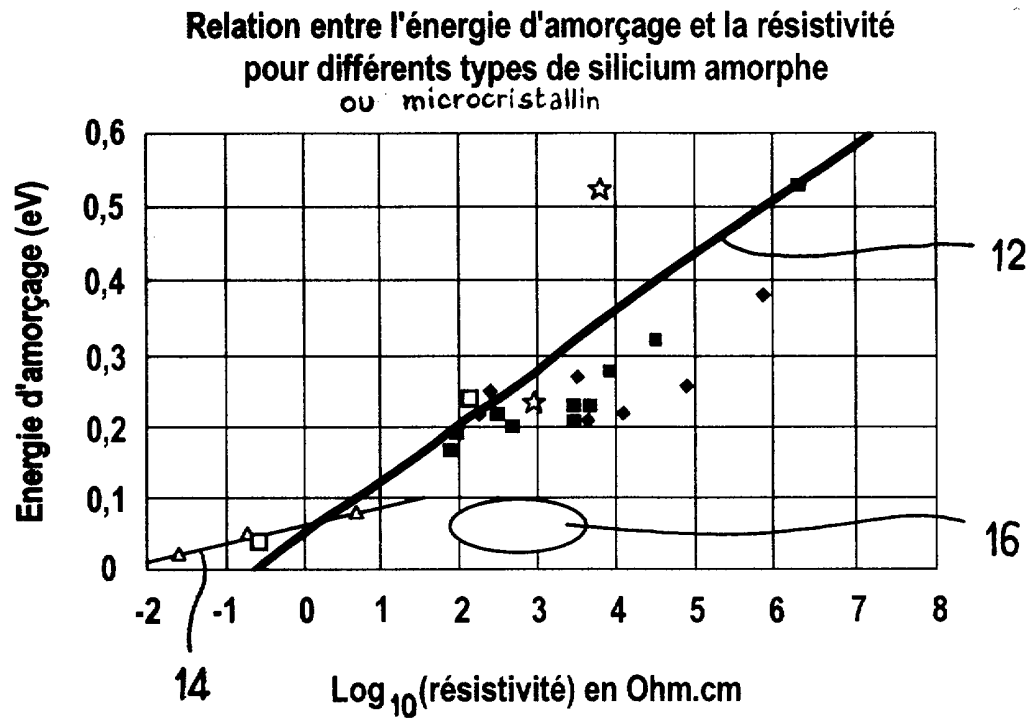
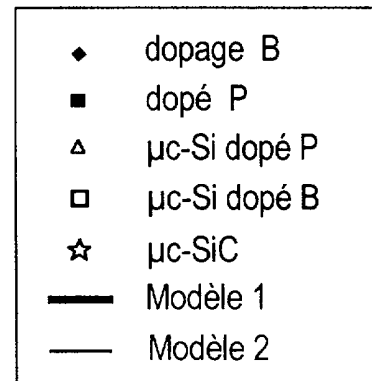
11. Couche de protection (3) selon l'une quelconque des revendications précédentes, caractérisée en ce qu'elle présente une épaisseur comprise entre environ 150 nm et 400 nm.

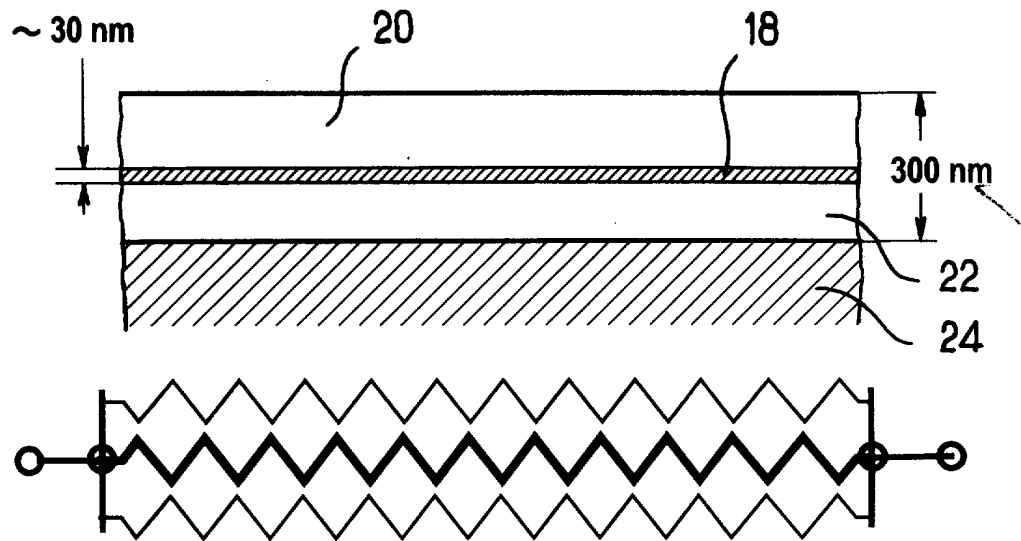
12. Dispositif émetteur de champ comprenant une couche (3) de protection selon l'une quelconque des revendications précédentes.

13. Écran comprenant un dispositif émetteur de champ selon la revendication 12.

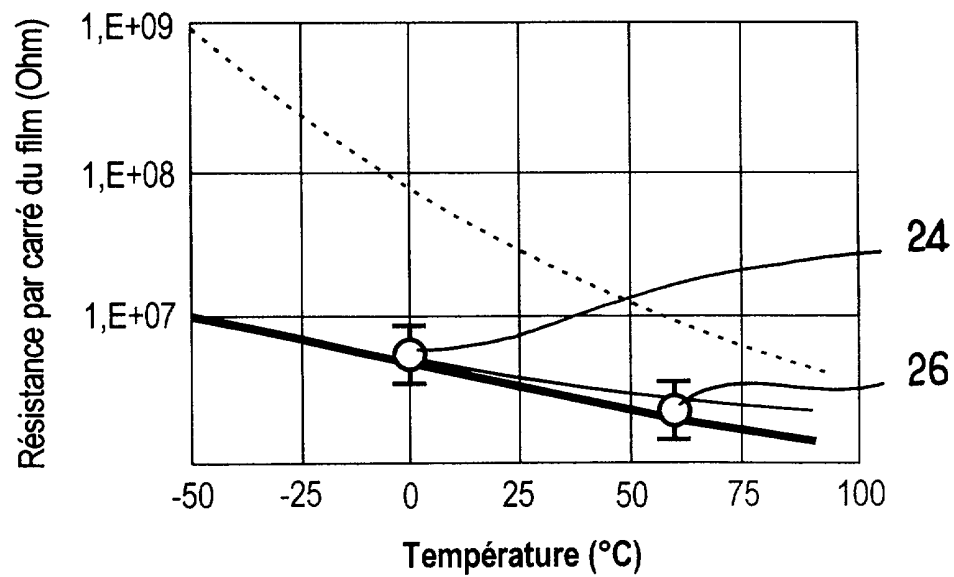
1 / 3

FIG.1FIG.2

FIG. 3

FIG. 4

Exemple de couche de protection composite

FIG. 5