

WO 2008/018523 A1



KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

添付公開書類:
— 国際調査報告書

$-\Delta V$ と、上側ラインの電圧 V_c から閾値電圧 ΔV を減算したものの差である $V_o - (V_c - \Delta V)$ の値を検出する。そして、電圧センサの検出結果をフリップフロップ44、46を開始デッドタイム補償器48を介しPWM制御器60に入力し、例えばPWM制御信号生成における指令についてデッドタイム補償を行う。

明 細 書

電力変換回路

技術分野

- 5 上側電源ラインと下側電源ラインとの間に直列接続した2つのスイッチング素子をオンオフして、中点から出力を取り出す電力変換回路に関する。

背景技術

- 従来、モータ駆動用のインバータや、コンバータなどにおいては、2つのスイッチング素子を直列接続し、この両端に入力電圧を印加し、中点より出力を得る構成が採用される。例えば、3相インバータであれば、入力電圧に対し、3組6つのスイッチング素子を用意し、6つのスイッチング素子をオンオフしてスイッチング素子の組の中点から3相の電流をそれぞれ出力する。

- また、このような回路において、出力の電流を制御するために、PWM(パルス幅変調)制御が行われる。このPWM制御では、通常三角波と指令電圧を比較してスイッチング素子のオン期間を決定する。そして、指令電圧を変更することで、出力を所定のものに制御することができる。

- ここで、スイッチング素子を利用した電力変換回路においては、上下のスイッチング素子が同時オンすると、電源が短絡されてしまうため、これを避けなければならない。このため、スイッチングの際には上下のスイッチング素子が両方ともオフするデッドタイムが設けられる。

- そして、デッドタイムを設けた場合、上側電源ラインと下側電源ラインとの間に直列接続した2つのスイッチング素子の中点から電流が流れ出る時、デッドタイム期間中は、下側電源ラインに逆並列接続されたダイオードを電流が流れるため、指令電圧に対し、デッドタイム期間分、出力電圧が下がる誤差が発生する。また、中点に電流が流れ込む時のデッドタイム期間中は、上側電源ラインに逆並列接続されたダイオードを電流が流れ、指令電圧に対しデッドタイム期間分出力電圧が上がる誤差が発生する。また、中点を流れる電流がゼロ付近では、指令電圧に対する出力電圧の誤差はない。このため、デッドタイム補償を行うこと

について、従来から提案がある。

特許文献1(特開平10-285937号公報)では、デッドタイムの終わりのときに、出力端子の電圧を計測し、計測された電圧が閾値を超えたか否かでここに接続されている負荷電流の方向を判定し、判定結果に応じてデッドタイム補償

5 を行っている。

また、特許文献2(特開2004-248480号公報)では、負荷に流れる電流を電流センサで検出し、電流の方向を判定し、その判定結果に応じてデッドタイム補償を行っている。

ここで、特許文献1において、上下ライン間の電圧が変化すると、出力端の電

10 圧波形の電圧値も変化する。従って、出力端の電圧を一定値の閾値と比較するやり方では、負荷電流の方向を正しく検出できない場合が生じる。

また、特許文献2では、電流センサにオフセット誤差があると、電流方向を正確に判定できず、また電流リップルが大きいと確実な判定が難しい。

15 発明の開示

本発明は、高電圧の上側ラインと低電圧の下側ラインとの間に直列接続した2つのスイッチング素子を有し、各々のスイッチング素子に逆並列接続された還流ダイオードを有し、スイッチング素子をオンオフし、直列接続したスイッチング素子が共にオンしないようにデッドタイムが設定され、2つのスイッチング素子の中

20 点から出力を取り出す電力変換回路であって、前記中点の電圧 V_o と、前記上下ライン間の電圧 V_c と、予め決定された閾値電圧 ΔV と、が入力され、 $V_o - \Delta V$ と、 $V_o - (V_c - \Delta V)$ の値によって、 V_o の状態を検出する電圧センサを含み、電圧センサの検出結果に基づいて、前記スイッチング素子のスイッチングを制御するための指令についてデッドタイム補償を行うことを特徴とする。

25 また、前記電圧センサは、 V_o と ΔV とが入力され、これらを比較する第1コンパレータと、 V_c と ΔV とが入力され、これらの差を出力するオペアンプを利用した減算器と、この減算器の出力と V_o が入力され、これらを比較する第2コンパレータと、を含むことが好適である。

また、前記電圧センサは、前記第1コンパレータの比較結果を取り込む第1フリ

ップフロップと、前記第2コンパレータの比較結果を取り込む第2フリップフロップと、を含み、第1フリップフロップと第2フリップフロップの出力を検出結果として出力することが好適である。

また、前記第1フリップフロップは、上側電源ライン側のスイッチング素子がオンするタイミングで第1コンパレータの比較結果を取り込み、前記第2フリップフロップは、下側電源ライン側のスイッチング素子がオンするタイミングで第2コンパレータの比較結果を取り込むことが好適である。

また、前記電圧センサは、前記第1コンパレータの比較結果を下側電源ライン側のスイッチング素子がオンするタイミングで取り込む第3フリップフロップをさらに含み、第1～第3フリップフロップの出力を検出結果として出力することが好適である。

また、前記電圧 V_o および V_c は、同一の分圧比で、抵抗分圧して低電圧化した電圧であることが好適である。

本発明によれば、1つの閾値電圧 ΔV を用いて、電圧 V_o による電流の状態を確実に検出できる。従って、適切なデッドタイム補償を行うことができる。

図面の簡単な説明

図1は、電力変換器であるDC/DCコンバータおよびインバータを含むモータ駆動システムの構成を示す図である。

図2は、デッドタイム補償を行うための構成を示す図である。

図3は、電圧センサ42の構成を示す図である。

図4は、比較例における電圧比較を示す図である。

図5は、比較例における電流検出の動作を説明する図である。

図6は、高い正電流時の波形を示す図である。

図7は、低い正電流時の波形1を示す図である。

図8は、低い正電流時の波形2を示す図である。

図9は、ほぼゼロ電流時の波形を示す図である。

図10は、低い負電流時の波形1を示す図である。

図11は、低い負電流時の波形2を示す図である。

図12は、高い負電流時の波形を示す図である。

図13は、電流状態が変化した場合の電流波形を示す図である。

図14は、電流状態判定結果を示す図である。

図15は、デッドタイム補償を行うための他の構成を示す図である。

5 図16は、電流状態が変化した場合の電流波形を示す図である。

図17は、電流状態判定結果を示す図である。

図18は、高い正電流時の波形を示す図である。

図19は、低い正電流時の波形1を示す図である。

図20は、低い正電流時の波形2を示す図である。

10 図21は、ほぼゼロ電流時の波形を示す図である。

図22は、低い負電流時の波形1を示す図である。

図23は、低い負電流時の波形2を示す図である。

図24は、高い負電流時の波形を示す図である。

15 図25は、本実施形態において、電圧 V_c が変化しても適切な判定が行えることを説明する図である。

発明を実施するための最良の形態

以下、本発明の実施形態について、図面に基づいて説明する。

20 図1は、実施形態に係る電力変換回路を含む、モータ駆動システムの構成を示す図である。

25 バッテリ10は、ニッケル水素やリチウムイオンなどの二次電池であり、例えば200V程度の電圧を有している。このバッテリ10には、コンデンサ12が並列接続されており、バッテリ10の電圧変動を防止している。バッテリの正極側には、コイル14の一端が接続されている。コイル14の他端は、2つのスイッチング素子18、20の接続点に接続されている。

上下スイッチング素子18、20は、IGBTなどのトランジスタから構成され、この例ではトランジスタと並列して逆方向の電流を許容するダイオードが並列接続されている。

上スイッチング素子18は、コレクタが上側ライン24に接続され、エミッタが下ス

スイッチング素子20のコレクタに接続されている。また、下スイッチング素子20のエミッタは、バッテリー10の陰極側である下側ライン26に接続されている。なお、コイル14および上下スイッチング素子18, 20によってバッテリー10の出力電圧を昇圧するDC/DCコンバータ22が構成される。

- 5 上側ライン24と下側ライン26の間には、コンデンサ28が配置され、上側ライン24の電圧変動を抑制している。

- さらに、上側ライン24と下側ライン26の間には、2つのスイッチング素子30, 32の直列接続が3組並列して配置され、これによってインバータ34が構成されている。そして、1組目のスイッチング素子30, 32の組がU相用、2組目のスイッチング素子30, 32の組がV相用、3組目のスイッチング素子30, 32の組がW相用であって、各組のスイッチング素子30, 32の midpoint が、モータ36のU, V, W相のコイルに接続されている。
- 10

また、この例では、同様の構成のインバータ38も上側ライン24と下側ライン26に接続されており、このインバータ38にはモータ40が接続されている。

- 15 このような回路において、DC/DCコンバータ22の上下スイッチング素子18, 20を交互にオンすることで、コイル14に流れる電流を制御し、このコイル14に発生する逆起電力によって、上側ライン24にバッテリー10の電圧以上の昇圧された電圧を得る。この昇圧の程度は、上下スイッチング素子18, 20のオン期間の比によって制御される。

- 20 また、インバータ34は、上側ライン24と下側ライン26間の電圧を入力電圧として、所定の順番でスイッチング素子30, 32を順次オンして、モータ36に3相交流電流を供給する。また、インバータ38も同様にして、モータ40に3相交流電流を供給する。これによって、2つのモータ36, 40がインバータ34, 38の制御に応じて駆動する。

- 25 また、インバータ34, 38の制御によって、モータ36, 40を発電機として機能させ、回生制動することもでき、これによって電力をコンデンサ28に回収することもできる。

このようなシステムは、例えばハイブリッド自動車の駆動系に利用することができる。この場合、主に発電機として機能させるモータ40の出力軸を内側ギアに

接続し、そのまわりに配置する遊星歯車をエンジンの出力軸に接続し、遊星歯車の外側の外側ギアをモータ36の出力軸およびタイヤ駆動軸に接続する。これによって、モータ36、40の駆動、エンジンの駆動を制御して所望の駆動力の出力および発電を制御することができる。なお、ハイブリッド自動車のシステムの場合、例えば、バッテリー10として、300V程度のものを用い、上側ライン24の電圧を300V～600V程度の範囲での出力トルクに応じた適切な電圧に設定することができる。

図2は、図1におけるDC/DCコンバータ22の上下スイッチング素子18、20についてのデッドタイム補償を行う機構を示している。なお、インバータ34、38についても同様にしてデッドタイム補償が行える。すなわち、インバータ34、48について、上下の2つのスイッチング素子30、32を複数組有し、スイッチング素子をオンオフし、直列接続されたスイッチング素子が共にオンしないようにデッドタイムを設定する。

上下スイッチング素子18、20のゲートには、PWM制御器60が接続されており、PWM制御器60からのPWM制御信号で上下スイッチング素子18、20がオンオフされる。コイル14が接続される上スイッチング素子18、20の接続点(C点)には電圧センサ42が接続され、C点の電圧が電圧センサ42によって計測される。ここで、この電圧センサ42は、C点の電圧について、後述するような判定を行い、その判定結果に基づいて、信号A、Bを出力する。なお、この例では、C点からコイル14に流れる電流をILとして、その方向を正の方向とする。

信号A、Bは、フリップフロップ44、46のデータ入力端Dに入力される。フリップフロップ44、46のクロック入力端には、上下スイッチング素子18、20のゲートに供給されるPWM制御信号が供給されており、フリップフロップ44、46は、2つのPWM制御信号の立ち上がりで、D入力端に供給されている信号A、Bをそれぞれ取り込む。

フリップフロップ44、46のQ出力F1、F2は、デッドタイム補償器48に供給される。デッドタイム補償器48は、その内部に入力されてくる信号F1、F2の状態に応じて、C点の電流方向を判定するテーブルを有しており、その判定結果に応じたデッドタイム補償の制御信号を生成する。

PWM制御器60は、デッドタイム補償器48から供給される信号に応じて、デッドタイムの電流方向から三角波と比較する指令電圧を補正し、上下スイッチング素子18, 20のデューティ比を変更してデッドタイム補償を行う。なお、この動作の詳細については、後述する。

- 5 次に、図3に基づいて、電圧センサ42の構成について説明する。図2における上下スイッチング素子18, 20の midpoint であるC点の電圧 V_o が、抵抗分圧器50に印加される。この抵抗分圧器50は、抵抗50a, 50bの直列接続であり、一端がグランドに接続され、他端がC点に接続され、中点から抵抗50a, 50bの抵抗比に応じた出力が取り出される。抵抗分圧器50の分圧比は、入力電圧の最大
- 10 電圧において、図3における回路(ロジック回路を構成するIC)が十分に動作するように、そのICの最大電圧(例えば、+15.5V、12V等)以下の適当な値とされる。抵抗分圧器50の出力は、所定の抵抗を介し、第1コンパレータ52の正入力端に入力される。

- 一方、上側ライン24の電圧 V_c (上スイッチング素子18のコレクタの電圧)は、
- 15 抵抗分圧器54に印加される。抵抗分圧器54は、抵抗54a, 54bの直列接続であり、一端がグランドに接続され、他端がC点に接続され、中点から抵抗50a, 50bの抵抗比に応じた出力が取り出される。ここで、この抵抗分圧器54の分圧比は、抵抗分圧器50の分圧比と同一とする。抵抗分圧器54の出力は、抵抗を介し、減算器56に入力される。

- 20 なお、抵抗分圧器50の出力は分圧された V_o 、抵抗分圧器54の出力は分圧された V_c であるが、その分圧比は同一であり、それらについて以下単に V_o 、 V_c という。

- 減算器56は、オペアンプ56aを有し、その出力端は抵抗を介し第1コンパレータ52の負入力端に接続されている。そして、オペアンプ56aの正入力端に抵抗
- 25 分圧器54の出力が抵抗を介し入力され、負入力端には、所定の閾値電圧 ΔV が抵抗を介し入力されると共に、別の抵抗を介しグランドに接続されている。そして、オペアンプ56aの出力が減算器56の出力になっている。このように、オペアンプ56aの正入力端の入力は抵抗分圧器54の出力 V_c 、負入力端の入力は閾値電圧 ΔV とであり、オペアンプ56aは、増幅率1倍の反転増幅器となってお

り、減算器56の出力は、 $V_c - \Delta V$ となる。

ここで、閾値電圧 ΔV は、 V_c の最大電圧の $1/10 \sim 1/30$ 程度の電圧値であって、抵抗分圧器50、54と同じ分圧比でその電圧を小さくした電圧になる。ただし、この数値に限定せず、電圧センサ42の誤差およびノイズがある状態で、出力電圧がほぼゼロ電圧、出力電圧がほぼ V_c であることが検出できる数値に設定すればよい。

この減算器56の出力 $V_c - \Delta V (=Y$ という) は第1コンパレータ52の負入力端に入力され、また第1コンパレータ52の出力端は、ロジック電圧5Vに引き上げられている。従って、第1コンパレータ52は、 $V_o - (V_c - \Delta V)$ の比較を行い、その結果が正であれば、5VのHレベル(「1」)、負であれば0VのLレベル(「0」)を出力する。この第1コンパレータ52の出力は、図2におけるBとなる。

また、抵抗分圧器50の出力 V_o は抵抗を介し第2コンパレータ58の正入力端に入力される。この第2コンパレータ58の負入力端には、閾値電圧 ΔV が抵抗を介し入力されている。従って、この第2コンパレータ58の出力端は、ロジック電圧5Vに引き上げられている。従って、第2コンパレータ58は、 $V_o - \Delta V$ の比較を行い、その結果が正であれば、5VのHレベル(「1」)、負であれば0VのLレベル(「0」)を出力する。この第2コンパレータ52の出力は、図2におけるAとなる。

このように、図3の電圧センサ42によれば、1つの閾値電圧 ΔV を設けただけではあるが、これを使ってそのときの状態に応じた電流方向の判定が行える。

図13には、電流波形を示してある。この例では、上下スイッチング素子18、20の midpoint からコイル14に向けて流れる電流を I_L とし、電流 I_L の中心となる基本波成分を電流 I_B としており、0Aに対し、電流 I_L が高い正電流である状態から高い負電流である状態までを徐々に変化した状態を模式的に示してある。この基本波成分 I_B がデッドタイムにおける電流の方向に対応する。そこで、デッドタイム補償においては、高い正電流時において指令電圧を高くし、高い負電流時に指令電圧を低くすることになる。

図6には、高い正電流時の波形が示されている。電圧 V_o は、上スイッチング素子18がオンになってから立ち上がり、上スイッチング素子18がオフになると速やかに立ち下がる。従って、 $F1=0$ 、 $F2=0$ となる。

図7には、低い正電流時の波形1が示されている。電圧 V_o は、上スイッチング素子18がオンになる直前から立ち上がりオンになったときにはほぼ V_c であり、上スイッチング素子18がオフになると速やかに立ち下がる。従って、 $F1=1$ 、 $F2=0$ となる。

- 5 図8には、低い正電流時の波形2が示されている。電圧 V_o は、上スイッチング素子18がオンになる前から立ち上がり、上スイッチング素子18がオフになると速やかに立ち下がる。従って、 $F1=1$ 、 $F2=0$ となる。

- 10 図9には、ほぼゼロ電流時の波形が示されている。電圧 V_o は、上スイッチング素子18がオンになる前、下スイッチング素子20がオフになった直後から立ち上がり、上スイッチング素子18がオフになると速やかに立ち下がる。従って、 $F1=1$ 、 $F2=0$ となる。

- 15 図10には、低い負電流時の波形1が示されている。電圧 V_o は、上スイッチング素子18がオンになる前、下スイッチング素子20がオフになった直後から立ち上がり、上スイッチング素子18がオフになった後で下スイッチング素子20がオンになる前に立ち下がる。従って、 $F1=1$ 、 $F2=0$ となる。

図11には、低い負電流時の波形2が示されている。電圧 V_o は、上スイッチング素子18がオンになる前、下スイッチング素子20がオフになった直後から立ち上がり、上スイッチング素子18がオフになった後で下スイッチング素子20がオンになる直前に立ち下がる。従って、 $F1=1$ 、 $F2=0$ となる。

- 20 図12には、高い負電流時の波形が示されている。電圧 V_o は、上スイッチング素子18がオンになる前、下スイッチング素子20がオフになった直後から立ち上がり、下スイッチング素子20がオンになった後に立ち下がる。従って、 $F1=1$ 、 $F2=1$ となる。

- 25 このように、図14に示すように、図6の高い正電流時には、 $F1=0$ 、 $F2=0$ 、図7～図11の低い正または負電流時には、 $F1=1$ 、 $F2=0$ 、図12の高い負電流時には、 $F1=1$ 、 $F2=1$ となる。なお、 $F1=0$ 、 $F2=1$ は無効な組み合わせとなる。

そして、このような $F1$ 、 $F2$ がデッドタイム補償器48に供給されるため、デッドタイム補償器48がPWM制御器60に対し、高い正電流時に制御電圧を所定量

だけ上昇させる制御信号を送り、高い負電流時に制御電圧を所定量だけ下降させる制御信号を送る。

このように、本実施形態においては、1つの閾値電圧 ΔV を利用しながらその時の電圧 V_o の大きさに応じて正電流か負電流かを識別して適切なデッドタイム補償を行うことができる。

図15には、デッドタイム補償を行うための他の構成を示してある。この例では、第3フリップフロップ62が設けられている。この第3フリップフロップ62には、第2フリップフロップ46と同様にD入力端に電圧センサ42の出力Bが入力されている。また、この第3フリップフロップ62のクロック入力端子には、上スイッチング素子18のゲートに供給される制御信号が供給されている。

図16に電流波形を示す。この図16は、図13と同様のものであり、それぞれの状態に対応する図の番号が示されている。

図18には、高い正電流時の波形が示されている。電圧 V_o は、上スイッチング素子18がオンになった時に、閾値 Y にも達しておらず、従って $F1=0$ 、 $F2=0$ 、 $F3=0$ となる。

図19には、低い正電流時の波形1が示されている。電圧 V_o は、上スイッチング素子18がオンになった時に、閾値 Y には達しておらず $F3=0$ となり、従って $F1=1$ 、 $F2=0$ 、 $F3=0$ となる。

図20には、低い正電流時の波形2が示されている。電圧 V_o は、上スイッチング素子18がオンになった時に、閾値 Y にはまだ達しておらず、従って $F1=1$ 、 $F2=0$ 、 $F3=0$ となる。

図21には、ほぼゼロ電流時の波形が示されている。電圧 V_o は、上スイッチング素子18がオンになった時に、閾値 Y に達し、従って $F1=1$ 、 $F2=0$ 、 $F3=1$ となる。

図22には、低い負電流時の波形1が示されている。電圧 V_o は、上スイッチング素子18がオンになった時に、閾値 Y に達しており、従って $F1=1$ 、 $F2=0$ 、 $F3=1$ となる。

図23には、低い負電流時の波形2が示されている。電圧 V_o は、上スイッチング素子18がオンになった時に、閾値 Y に達しており、従って $F1=1$ 、 $F2=0$ 、 $F3$

=1となる。そして、負電流がより大きくなる図24においても $F3=1$ である。

従って、電流判定の結果は、図17に示すように、図18の高い正電流時には、 $F1=0$ 、 $F2=0$ 、 $F3=0$ 、図19～図20の低い正電流時には、 $F1=1$ 、 $F2=0$ 、 $F3=0$ 、図22～図23の低い負電流時には、 $F1=1$ 、 $F2=0$ 、 $F3=1$ 、図24
5 の高い負電流時には、 $F1=1$ 、 $F2=1$ 、 $F3=1$ となる。なお、ほぼ0電流時には、 $F3=1$ または0となる。

このように、本実施形態によれば、電流状態について、4状態を判定することができる。従って、低い正電流時に小さな所定量だけ制御電圧を上昇し、低い負電流時に小さな所定量だけ制御電圧を下降させるなどの制御を行うことがで
10 きる。また、同一の状態が一定期間(5回連続など)継続しない限りは制御電圧の変更を禁止する等の処理を付加することも好適である。

ここで、図4には、特許文献1のように、閾値として出力端電圧の最大値より若干低い電圧 V_{TH} と、最大値の $1/2$ の電圧とを採用した場合を示す。出力端電圧が所期の通りのものであり、出力端電圧が大きく変化する場合には図4の左
15 図に示すように、閾値として V_{TH} 、 $V1$ のいずれを採用しても、出力端電圧が閾値を通過したことを検出できる。一方、入力電圧が低くなり、出力端電圧の変化が小さくなった場合、図4の右図に示すように、閾値として V_{TH} 、 $V1$ のいずれを採用しても、出力端電圧が閾値を通過したことを検出することができない。

また、図5には、特許文献2のように、出力端の電流を検出する例を示している
20 。このように、PWM制御では、三角波と指令電圧を比較して、三角波が指令電圧を上回る時において、下スイッチング素子をオフする。一方、この期間において、上スイッチング素子をオンするが、上スイッチング素子のオンは下スイッチング素子のオフに対しデッドタイム分遅らせ、上スイッチング素子のオフは下スイッチング素子のオンに対しデッドタイム分早くしてある。従って、上スイッチング素子お
25 よび下スイッチング素子の両方がオフの期間が生じる。

そして、三角波の最下点で電流 IL をA/D変換すれば、その時の電流 IL は基本波成分 IB に対応しており、基本波成分 IB を検出できるはずである。

しかし、デッドタイム補償に必要な電流は、スイッチングの時の電流値であり、リップルが大きいとスイッチング時の電流が $IL=IB$ でなくなり、正しい電流方向の

検出が行えない。

一方、本実施形態によれば、図25に示すように、電圧 V_o と比較する電圧として、 $(V_c - \Delta V)$ と、 ΔV の2つを用いる。従って、電圧 V_c が変化しても適切な電圧比較が行える。

請 求 の 範 囲

1. 高電圧の上側ラインと低電圧の下側ラインとの間に直列接続した2つのスイッチング素子を有し、各々のスイッチング素子に逆並列接続された還流ダイオードを有し、スイッチング素子をオンオフし、直列接続したスイッチング素子が共に
5 オンしないようにデッドタイムが設定され、2つのスイッチング素子の中点から出力を取り出す電力変換回路であって、

前記中点の電圧 V_o と、前記上下ライン間の電圧 V_c と、予め決定された閾値電圧 ΔV と、が入力され、 $V_o - \Delta V$ と、 $V_o - (V_c - \Delta V)$ の値によって、 V_o の状態を検出する電圧センサを含み、

10 電圧センサの検出結果に基づいて、前記スイッチング素子のスイッチングを制御するための指令についてデッドタイム補償を行うことを特徴とする電力変換回路。

2. 請求項1に記載の電力変換回路において、

15 前記電圧センサは、

V_o と ΔV とが入力され、これらを比較する第1コンパレータと、

V_c と ΔV とが入力され、これらの差を出力するオペアンプを利用した減算器と、

この減算器の出力と V_o が入力され、これらを比較する第2コンパレータと、を含むことを特徴とする電力変換回路。

20

3. 請求項2に記載の電力変換回路において、

前記電圧センサは、

前記第1コンパレータの比較結果を取り込む第1フリップフロップと、

前記第2コンパレータの比較結果を取り込む第2フリップフロップと、

25 を含み、

第1フリップフロップと第2フリップフロップの出力を検出結果として出力することを特徴とする電力変換回路。

4. 請求項3に記載の電力変換回路において、

前記第1フリップフロップは、上側電源ライン側のスイッチング素子がオンするタイミングで第1コンパレータの比較結果を取り込み、

5 前記第2フリップフロップは、下側電源ライン側のスイッチング素子がオンするタイミングで第2コンパレータの比較結果を取り込むことを特徴とする電力変換回路。

5. 請求項4に記載の電力変換回路において、

前記電圧センサは、

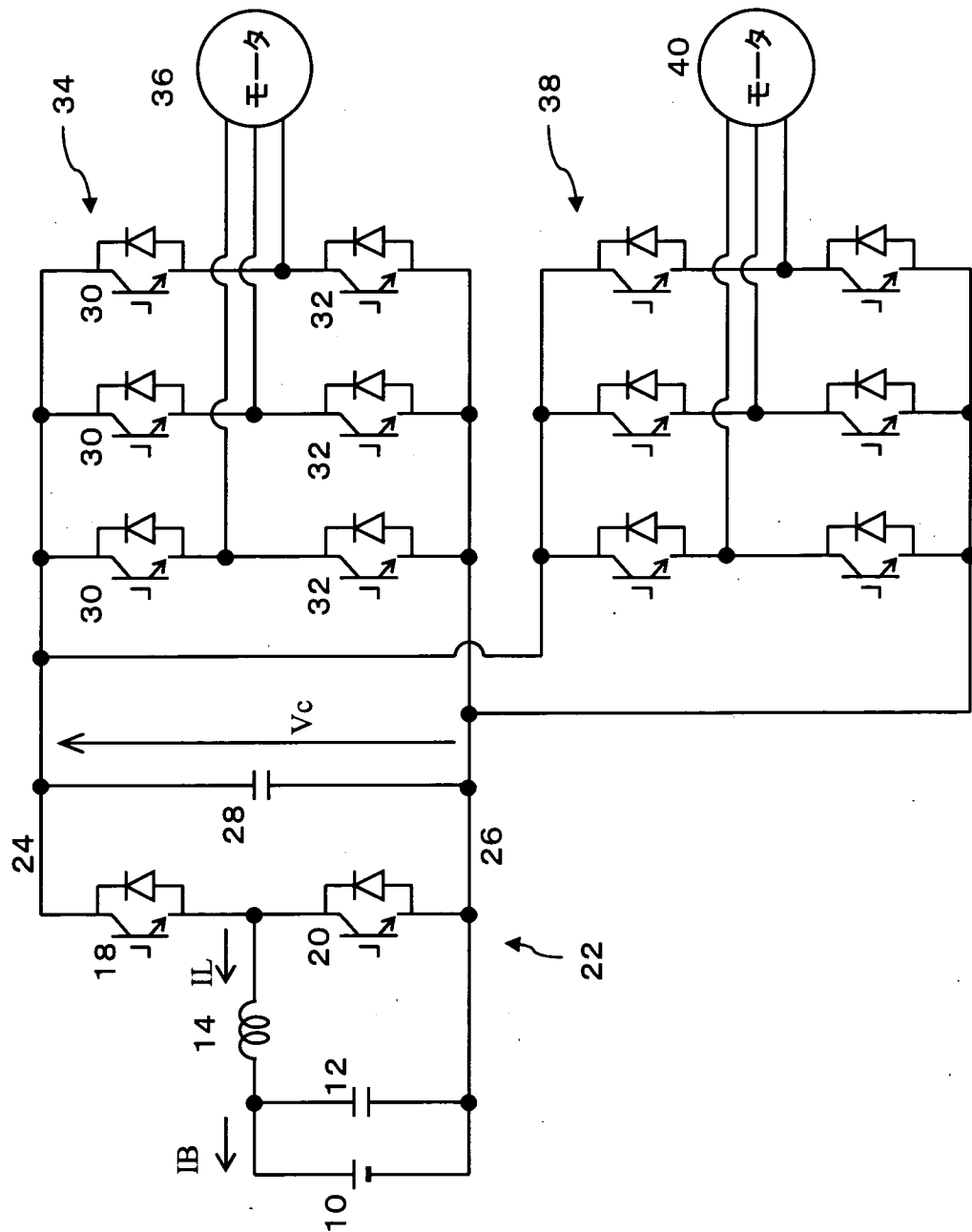
10 前記第1コンパレータの比較結果を下側電源ライン側のスイッチング素子がオンするタイミングで取り込む第3フリップフロップをさらに含み、

第1～第3フリップフロップの出力を検出結果として出力することを特徴とする電力変換回路。

15 6. 請求項1に記載の電力変換回路において、

前記電圧 V_o および V_c は、同一の分圧比で、抵抗分圧して低電圧化した電圧であることを特徴とする電力変換回路。

图1



2/23

図2

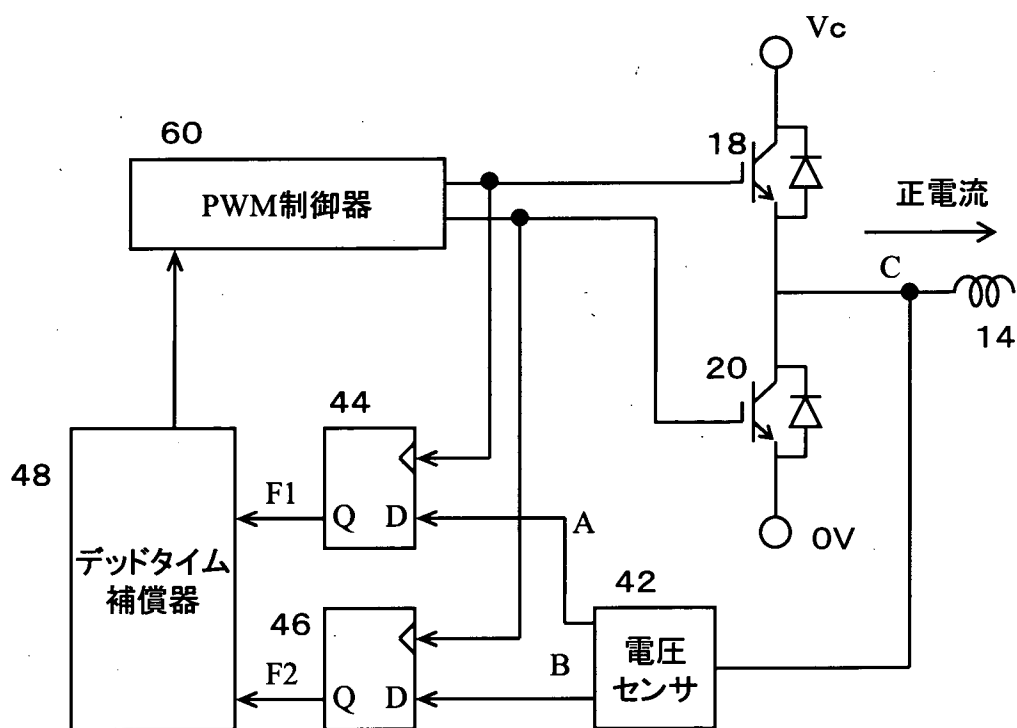


図3

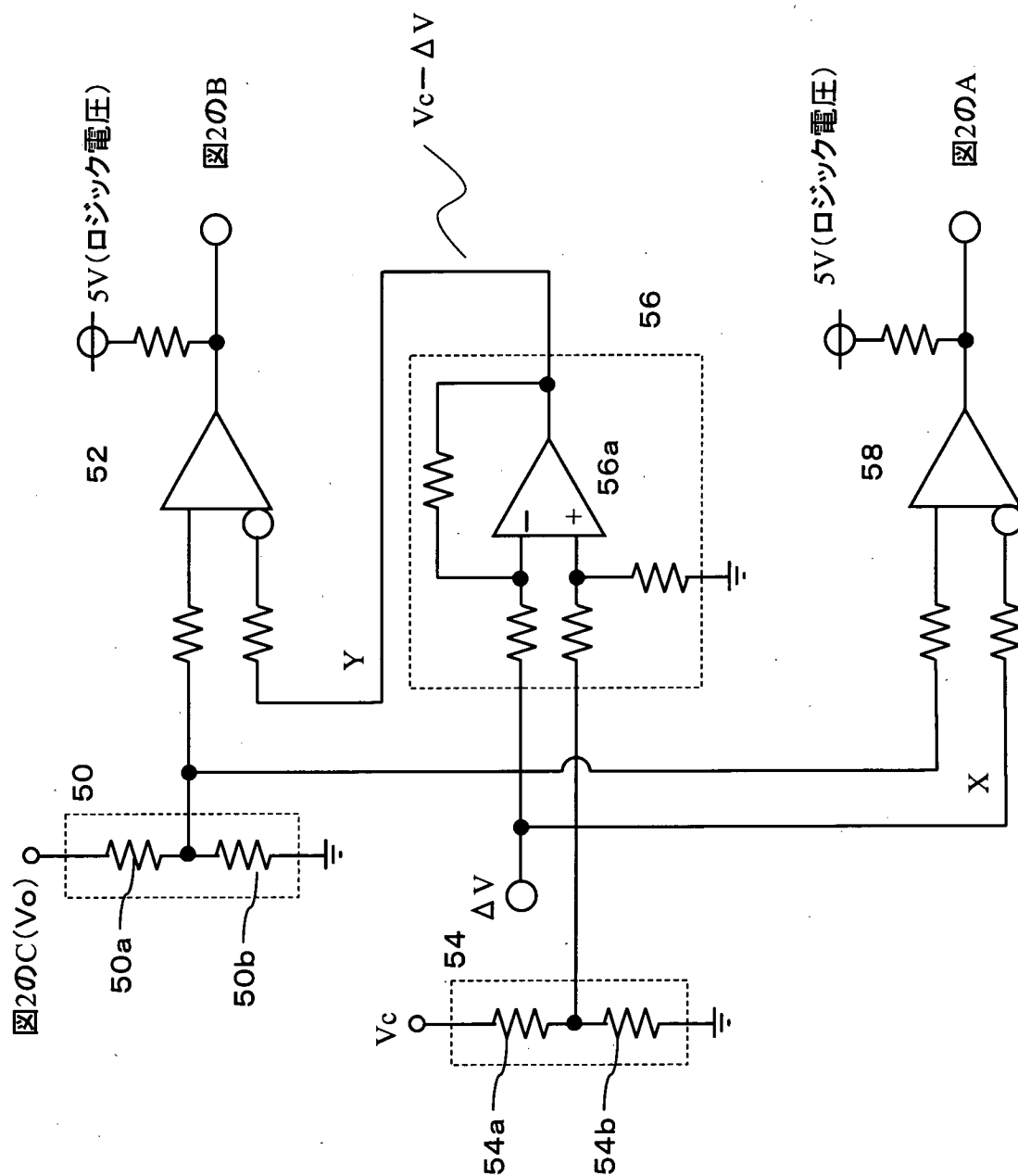


図4

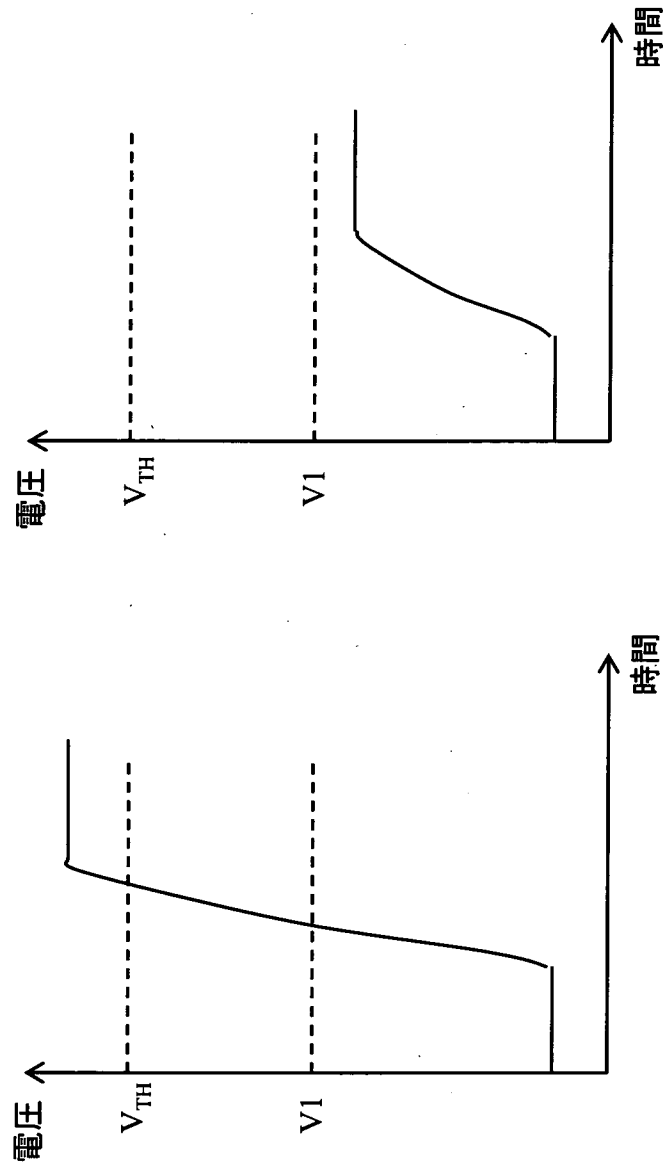
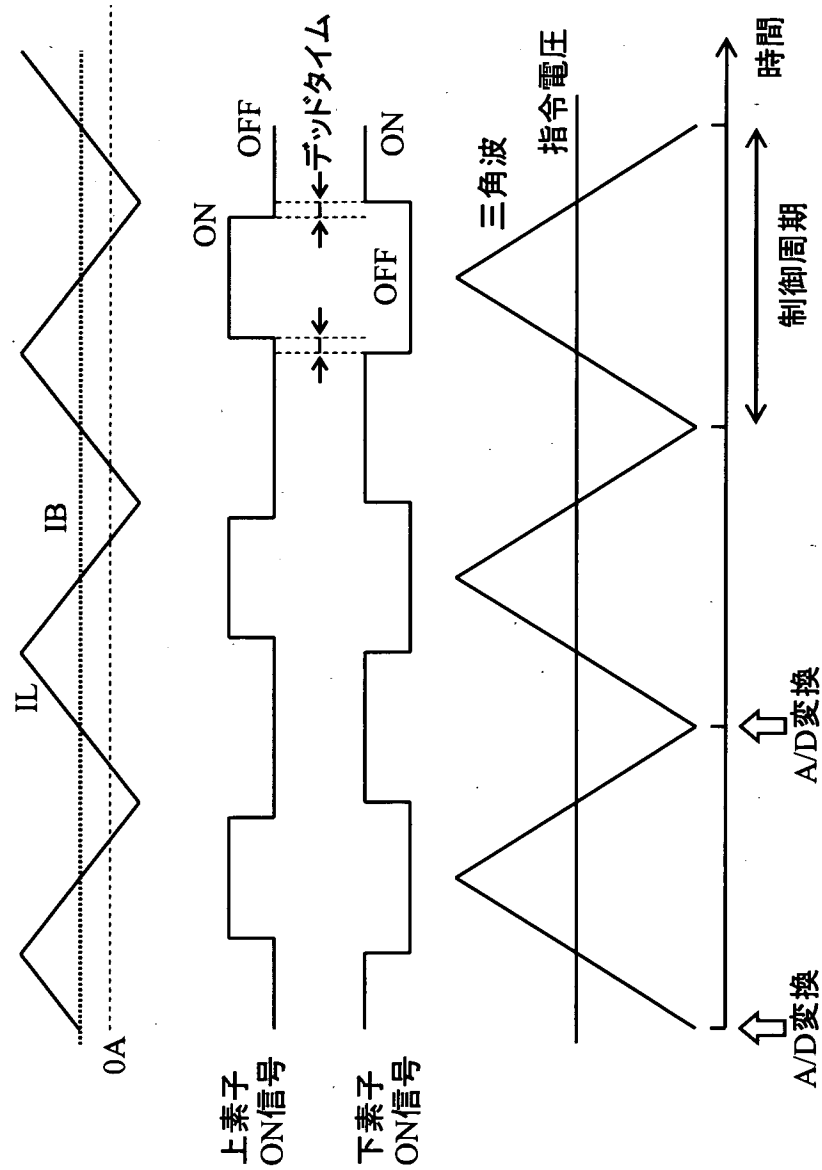


図5



6/23

図6

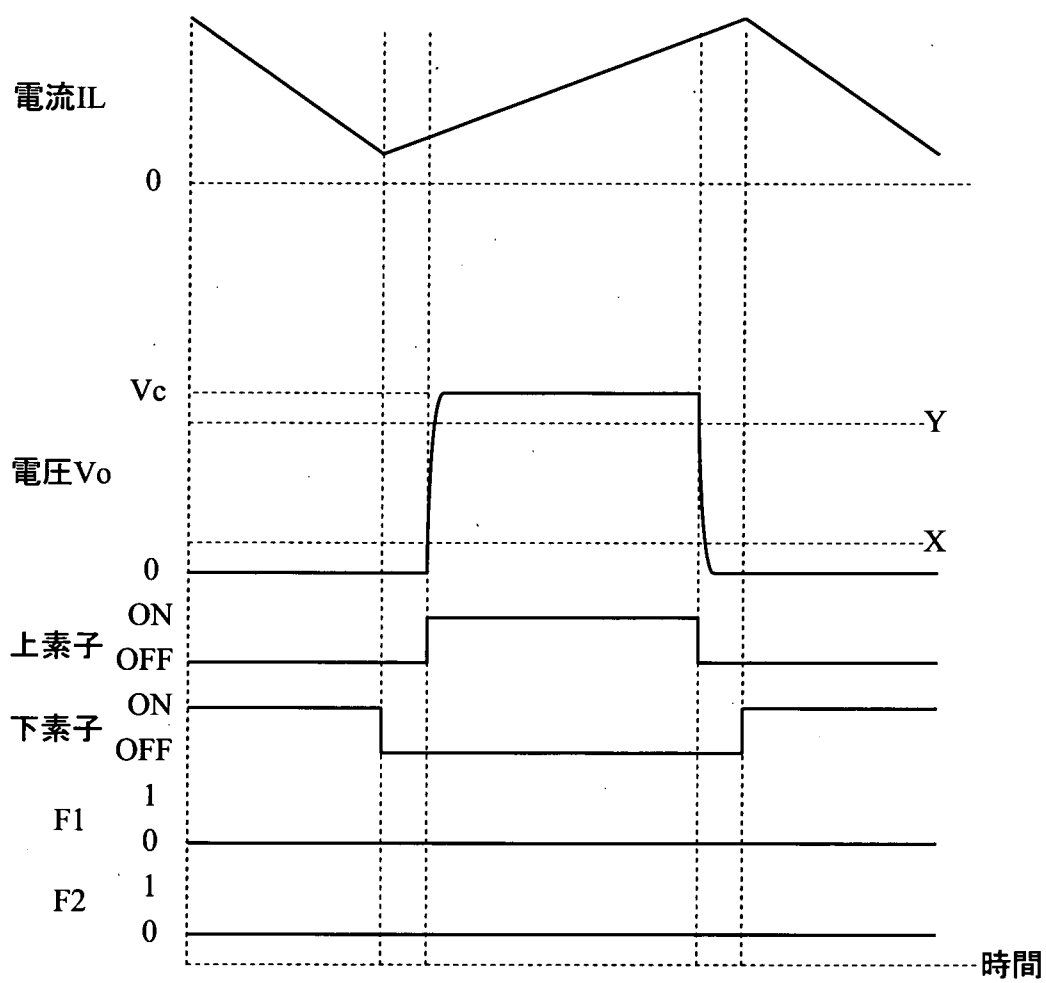
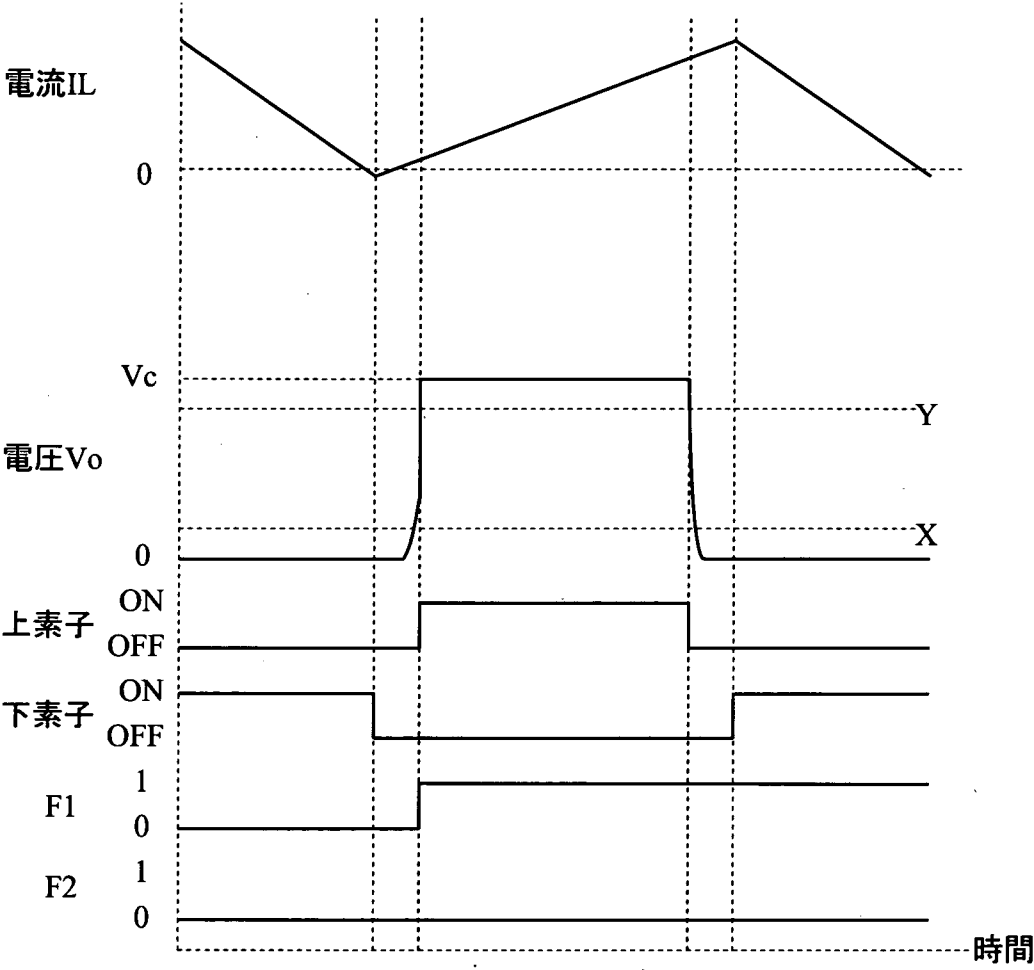


図7



8/23

図8

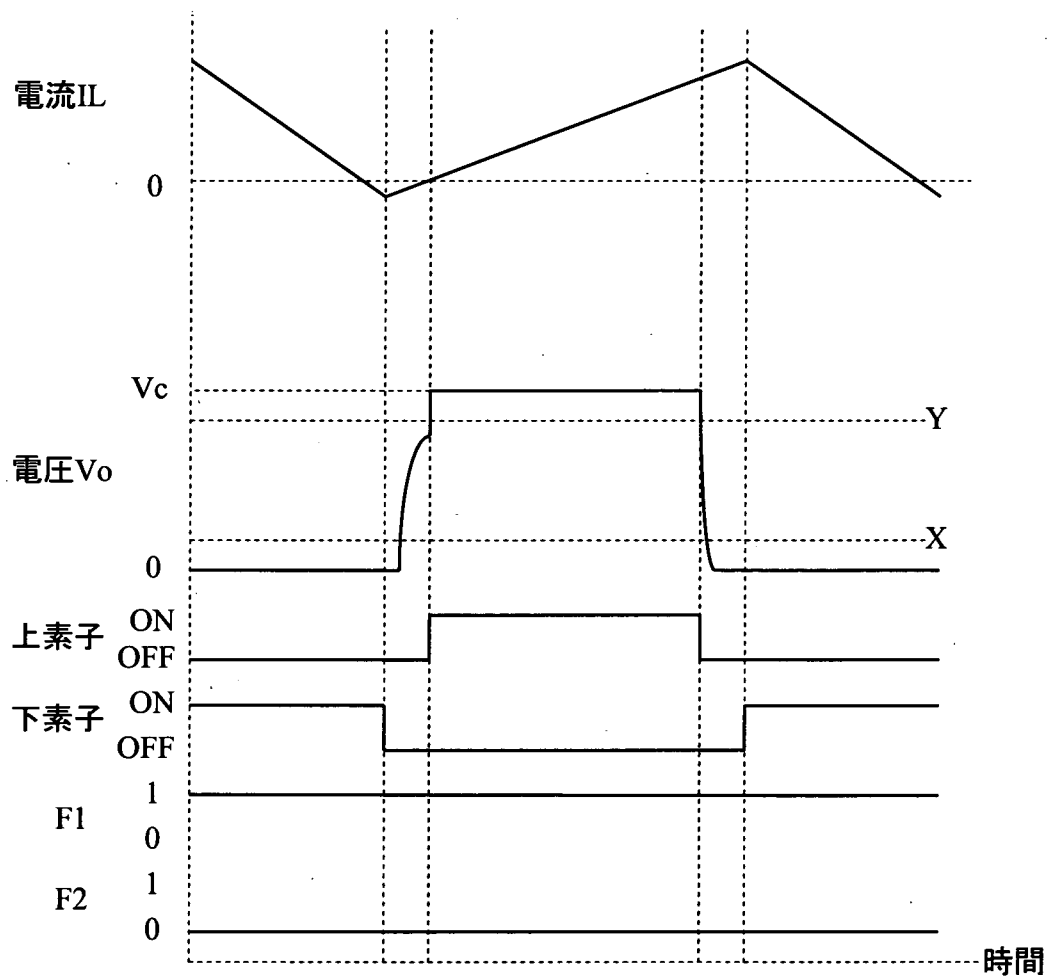


図9

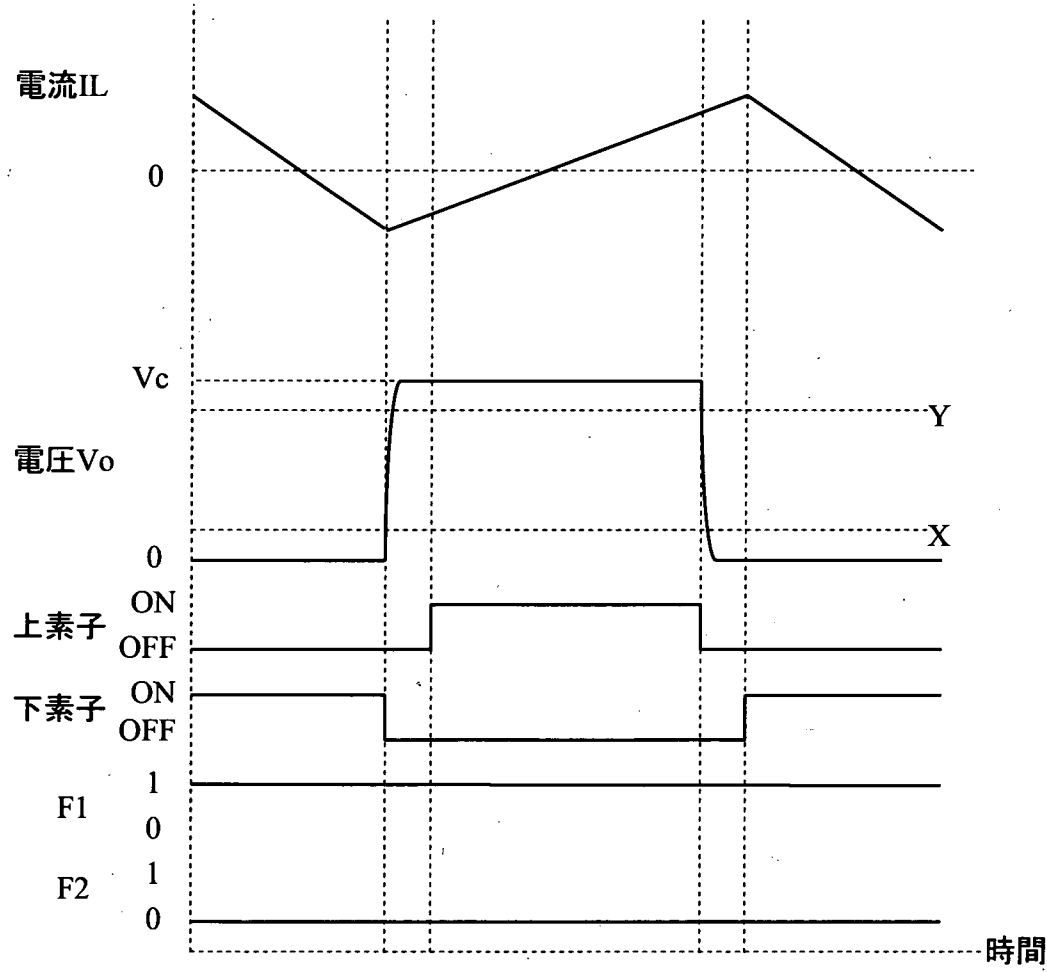
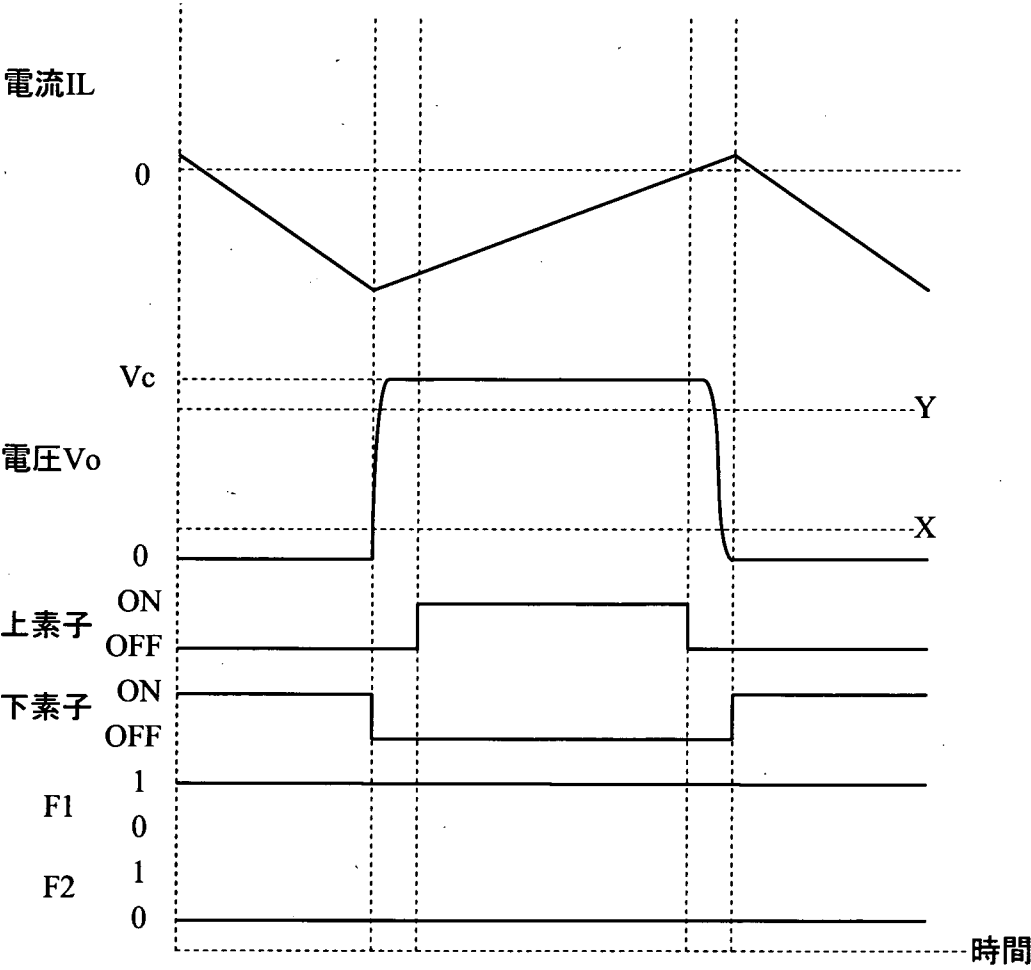
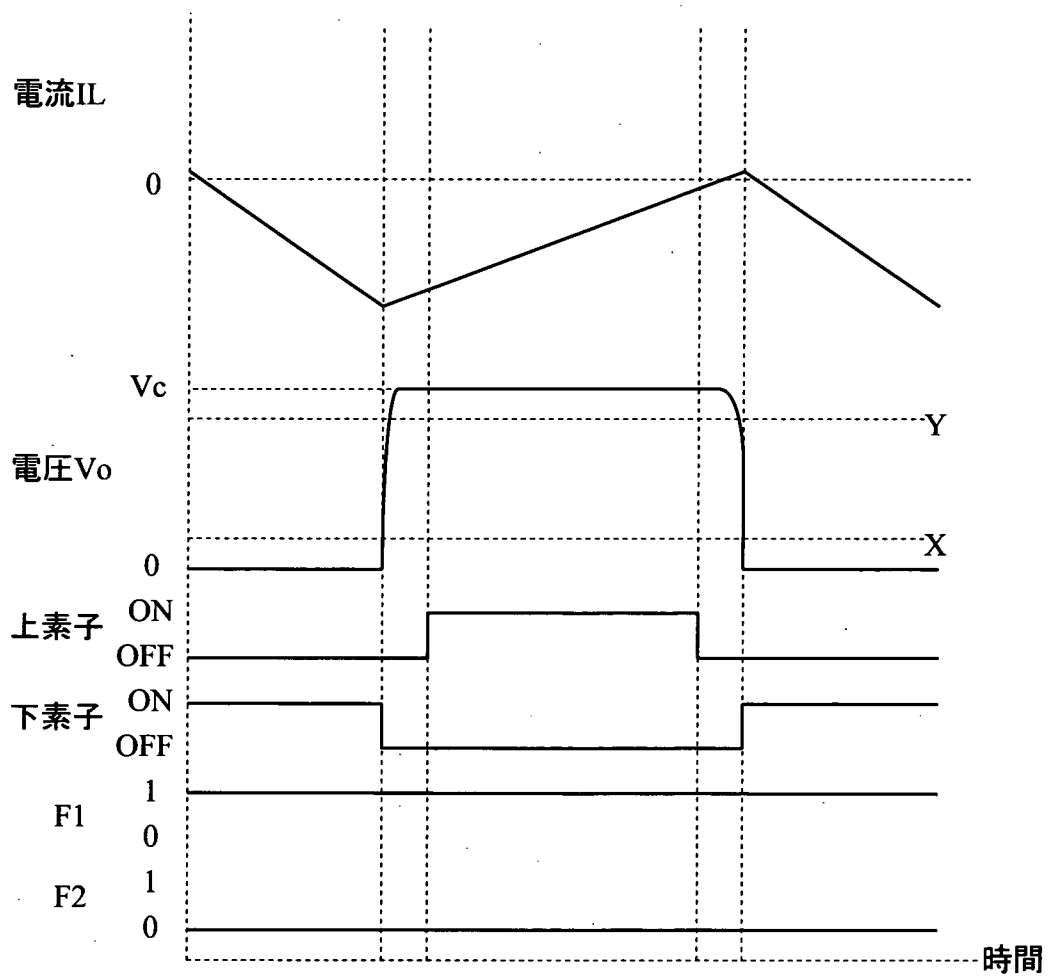


図10



11/23

図11



12/23

図12

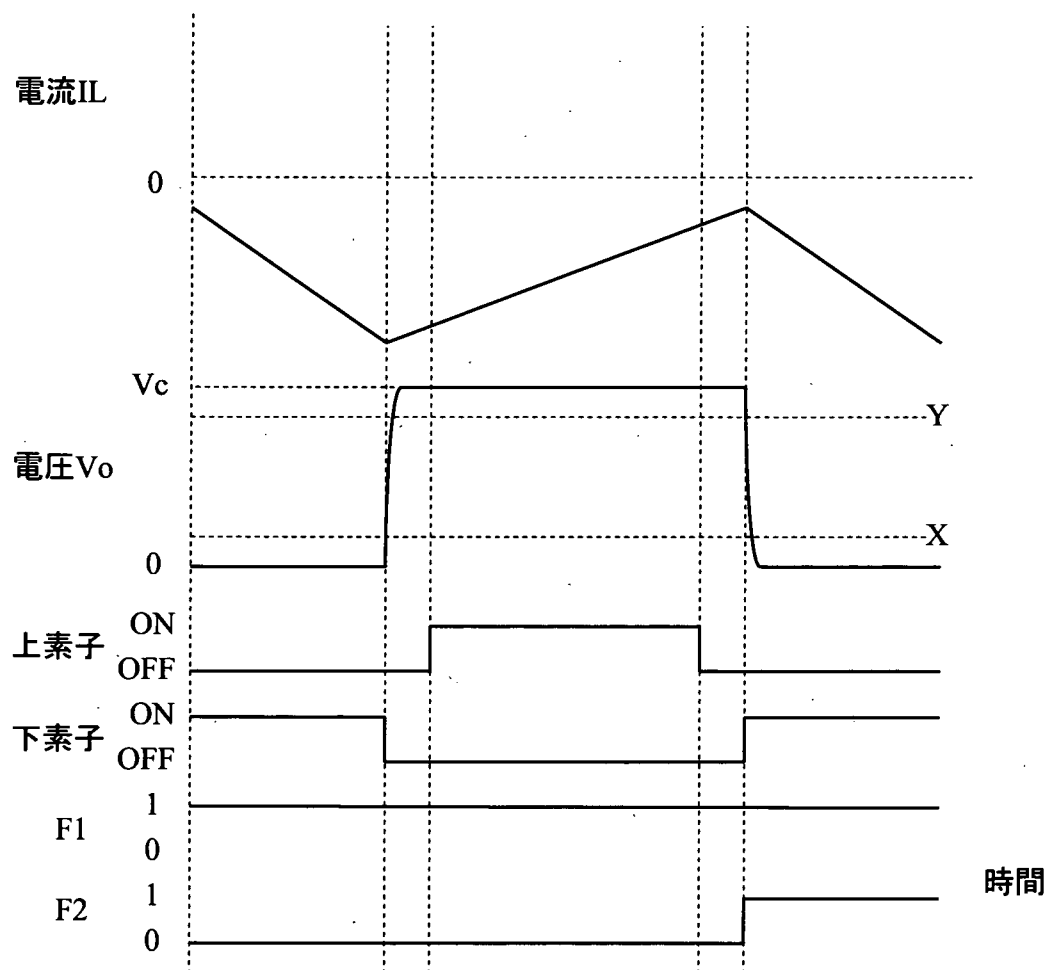


図13

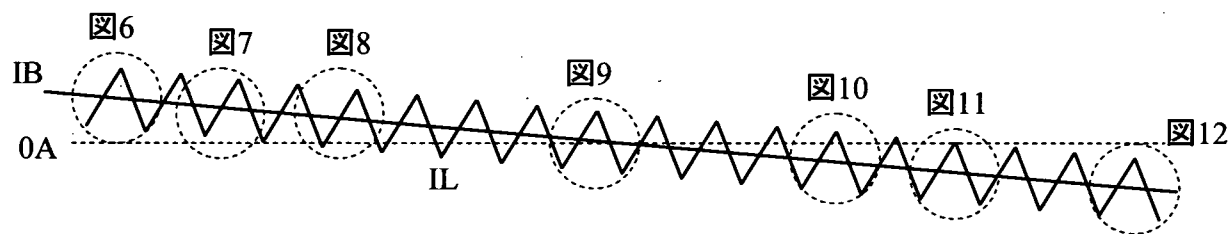
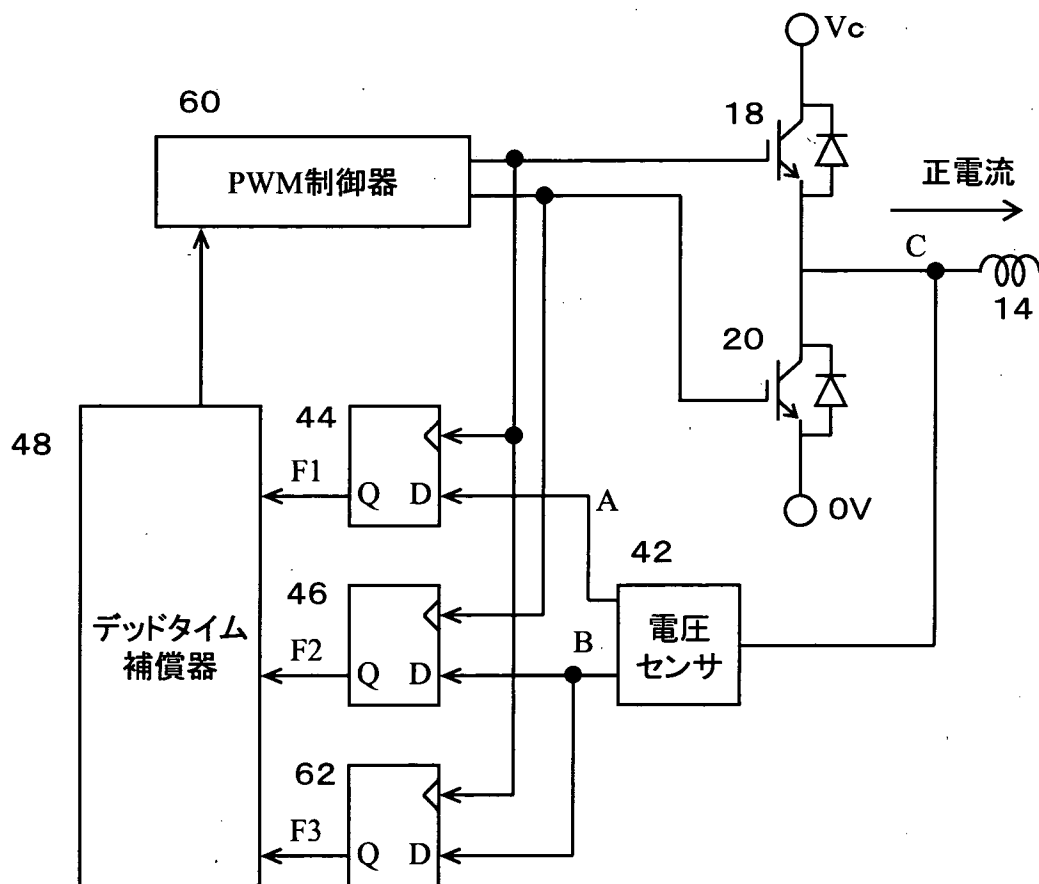


図14

電流状態	F1	F2
高い正電流	0	0
低い電流	1	0
高い負電流	1	1
無効な組合せ	0	1

図15



電流4状態検出

図16

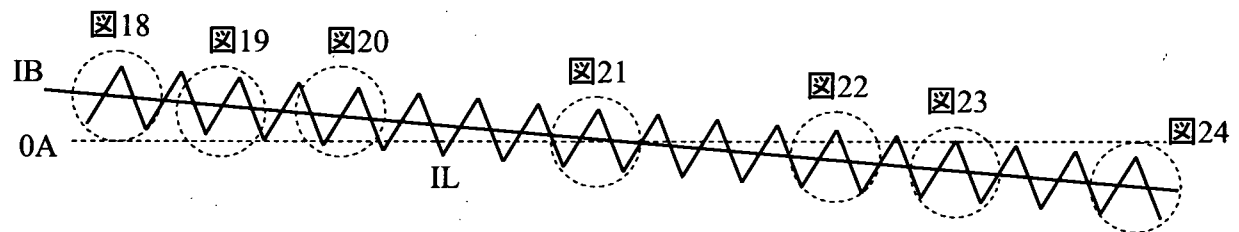


図17

電流状態	F1	F2	F3
高い正電流	0	0	0
低い正電流	1	0	0
低い負電流	1	0	1
高い負電流	1	1	1

図18

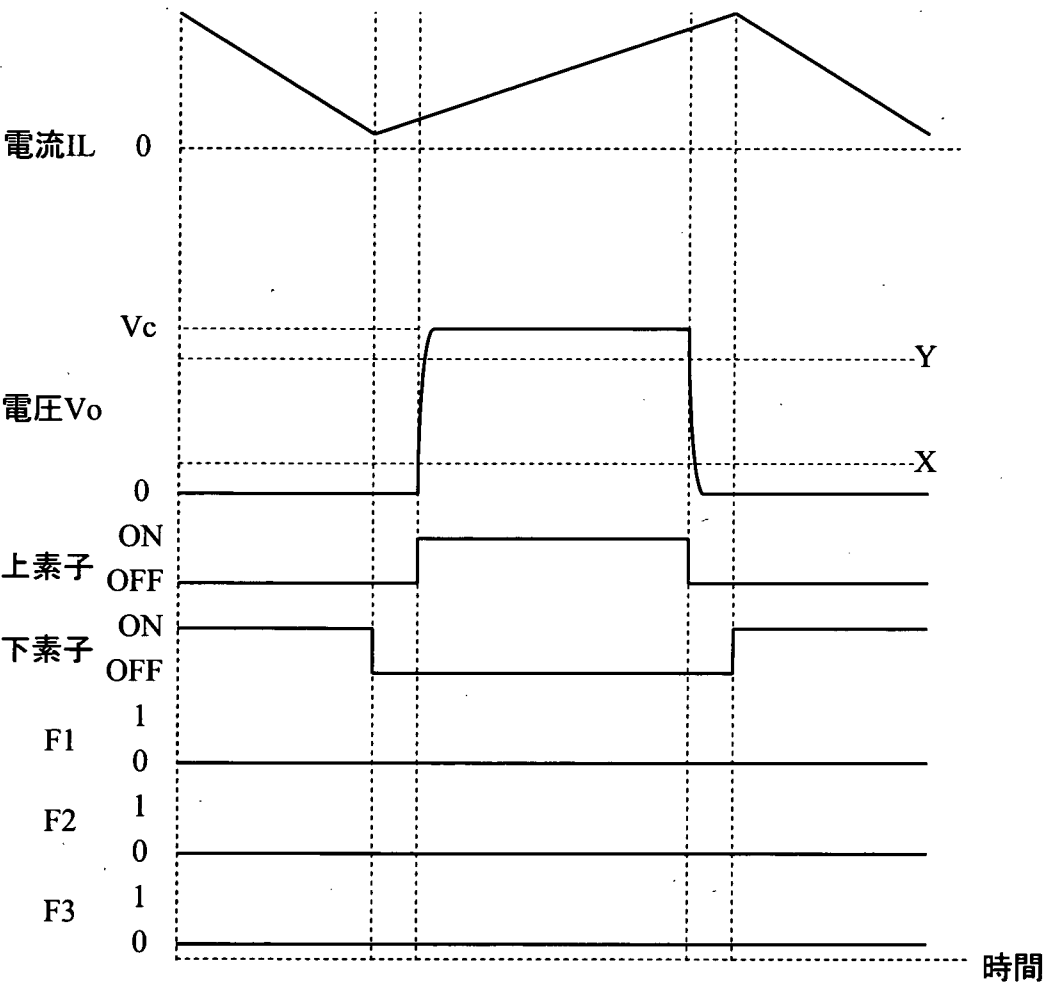
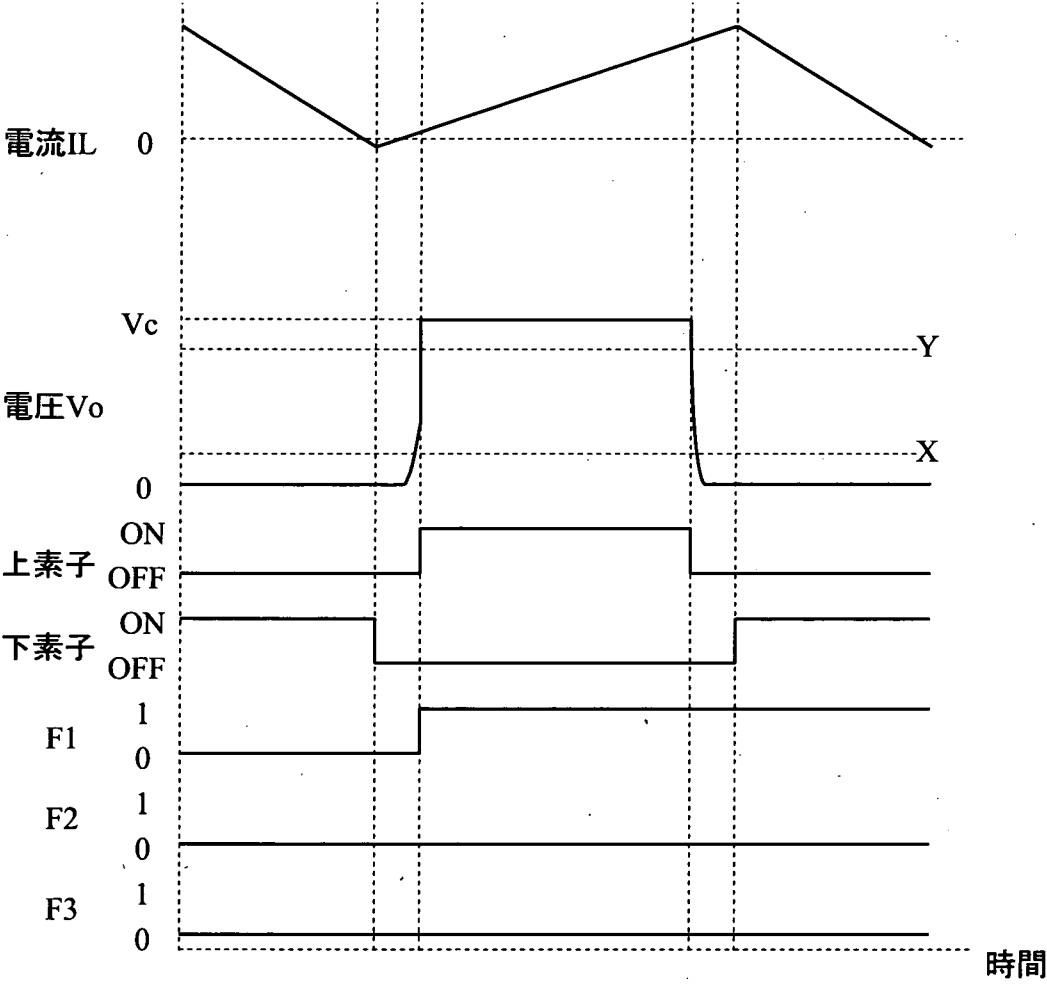


図19



18/23

図20

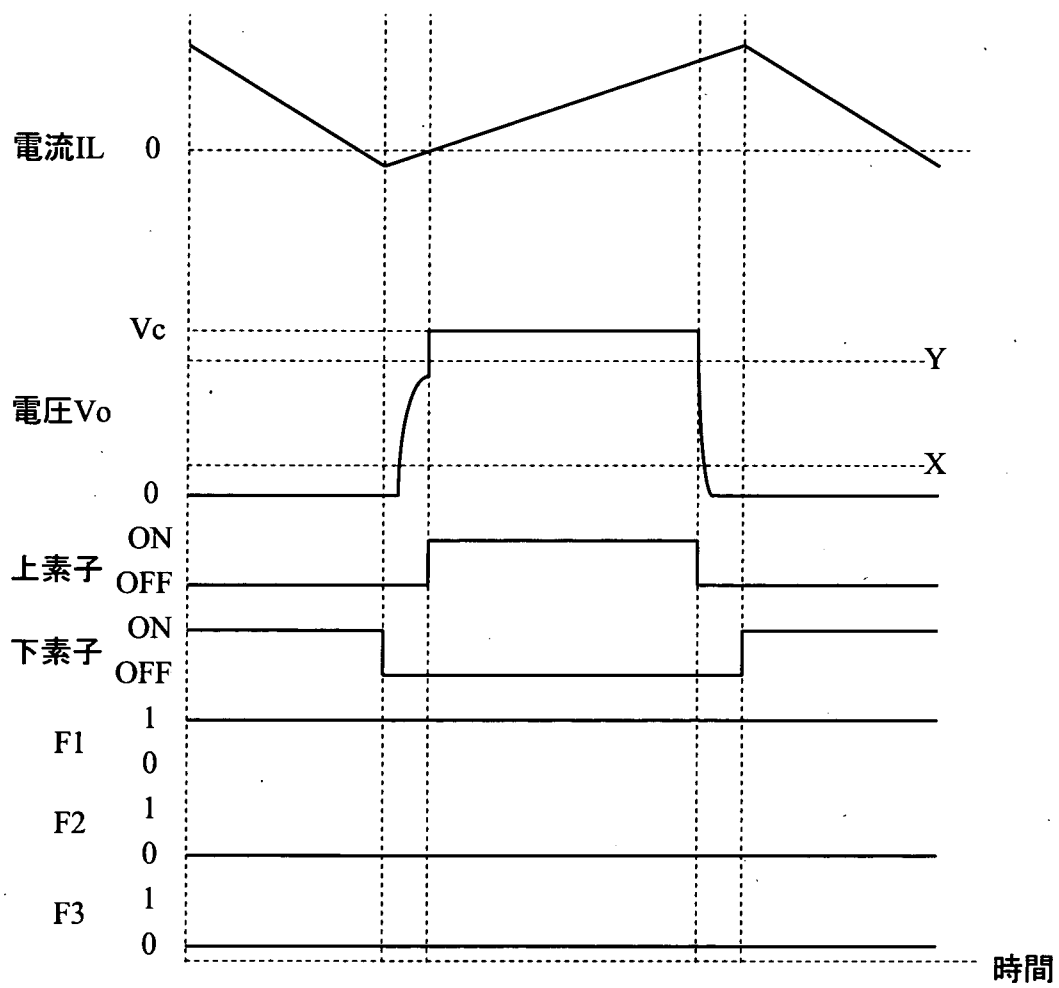


図21

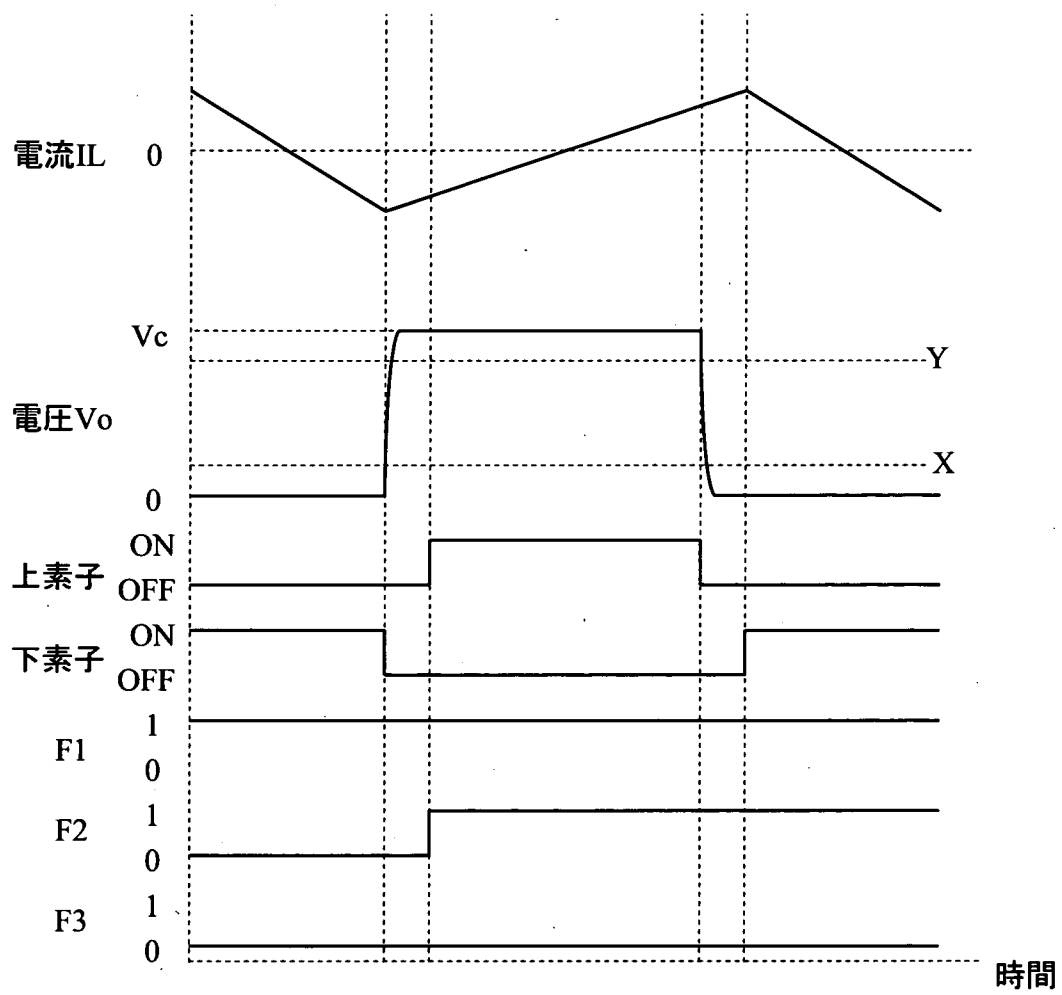
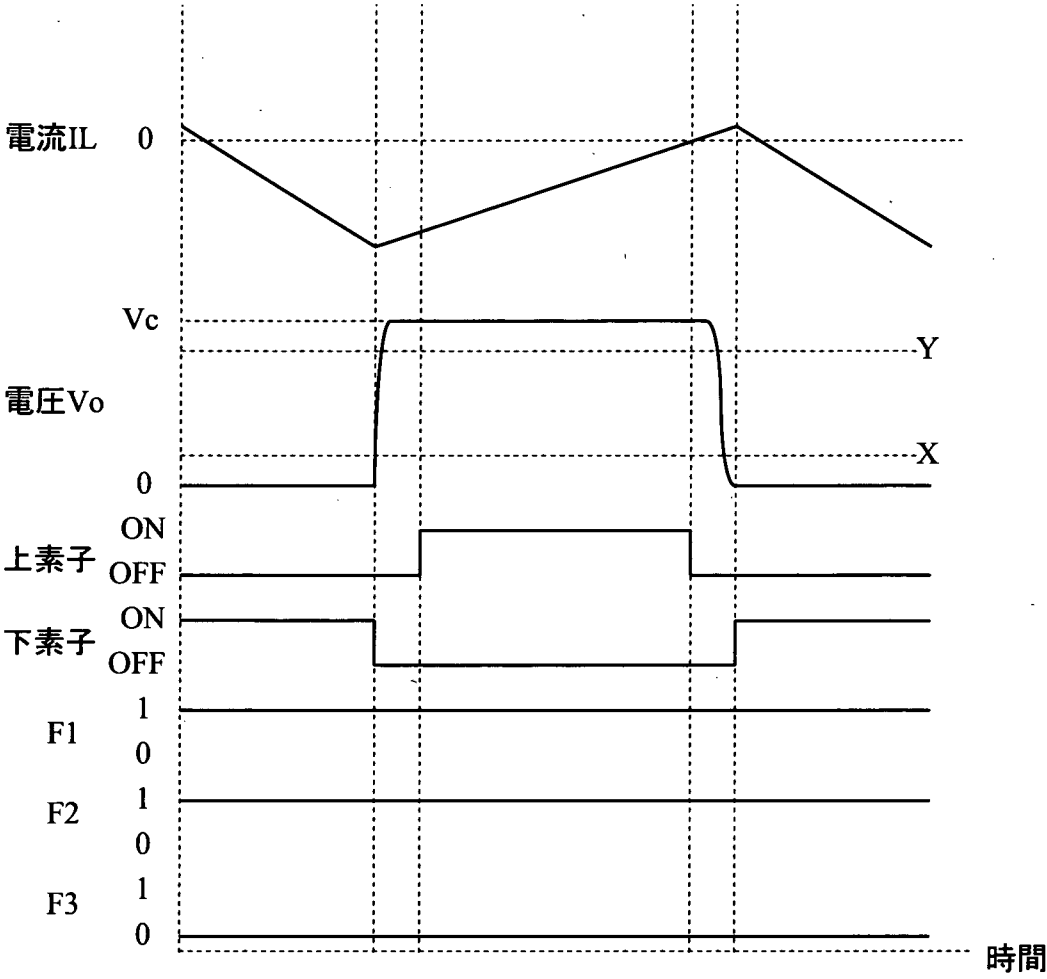


図22



21/23

図23

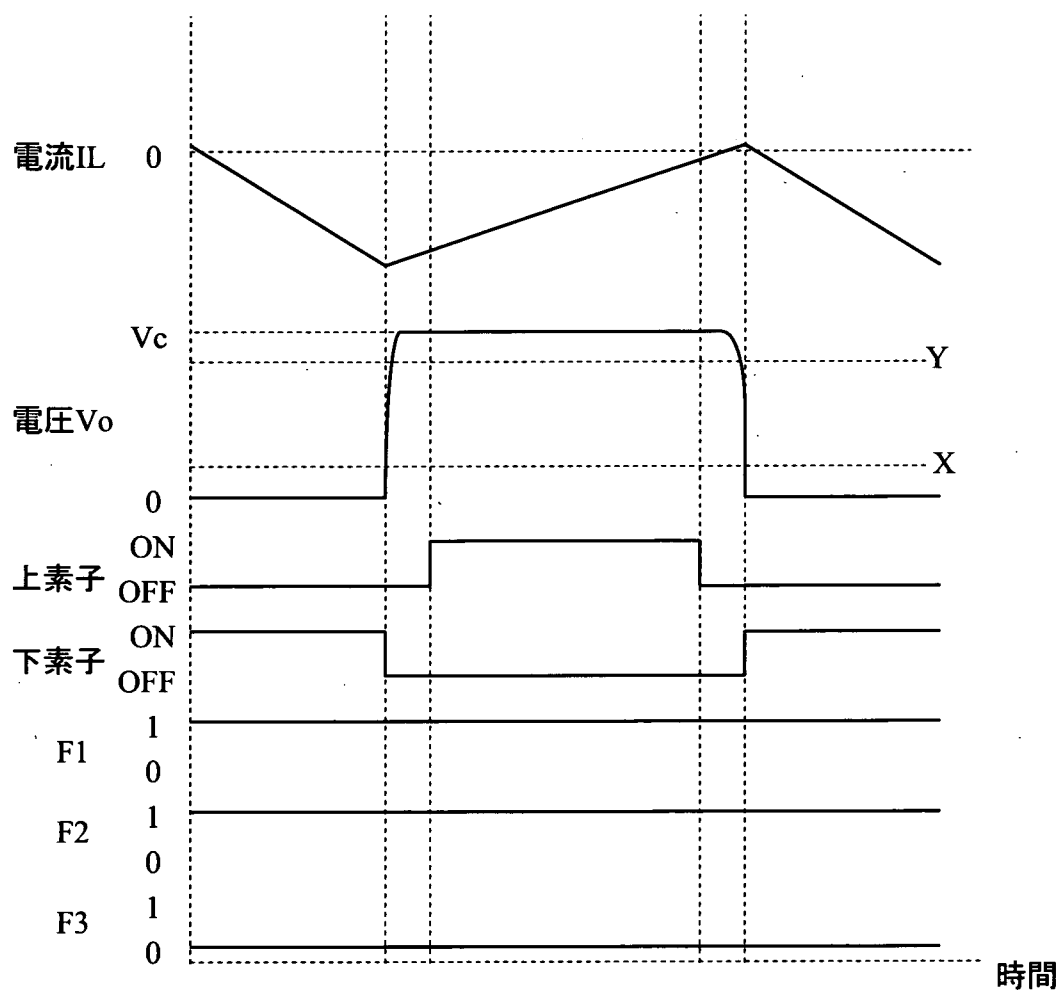


図24

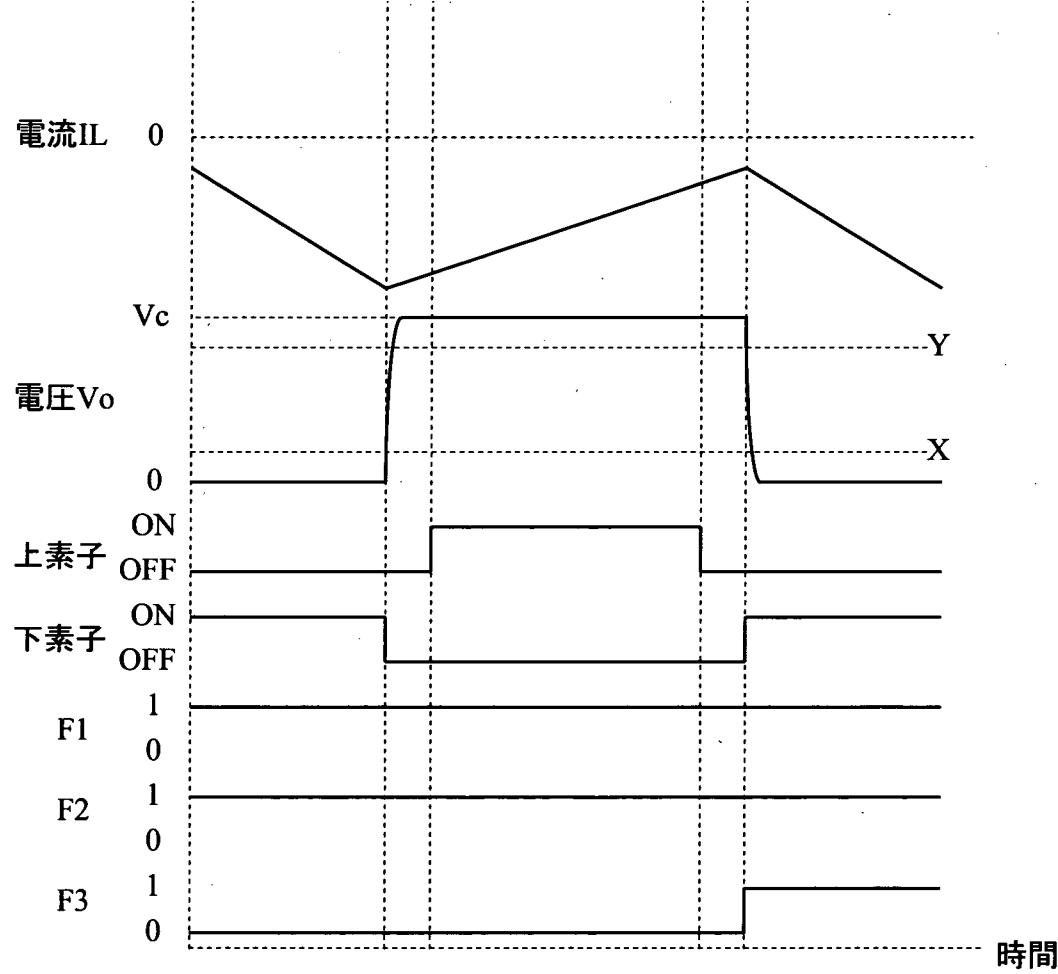
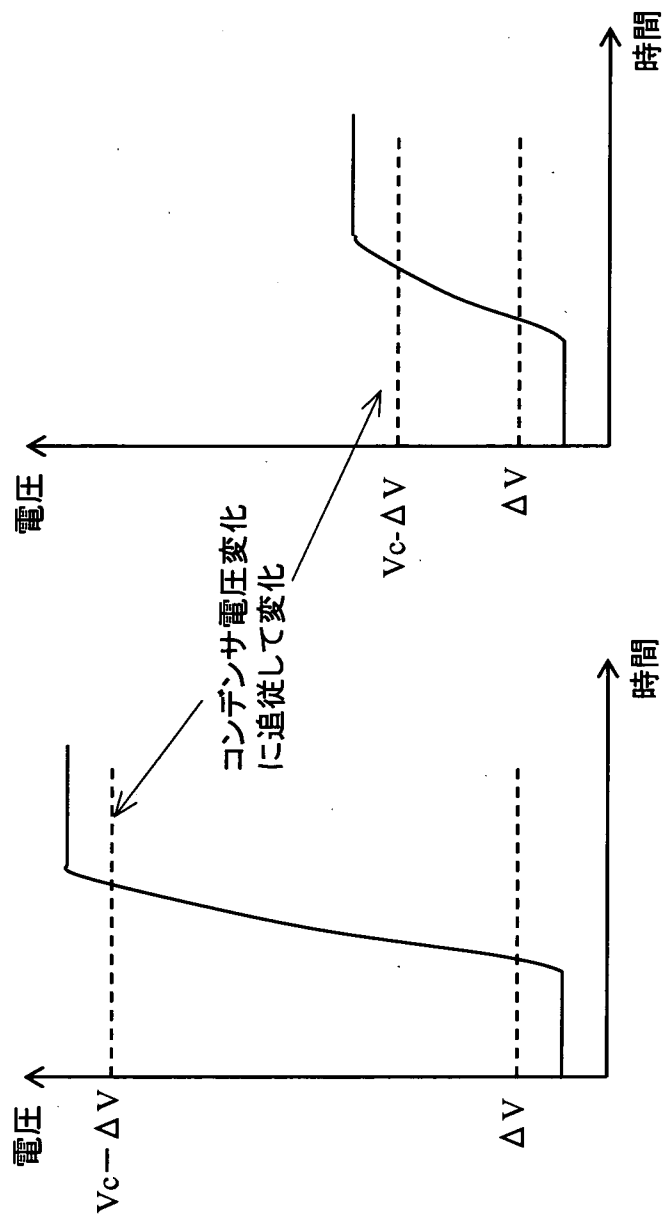


図25



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/065569

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/48 (2007.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007

Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-285937 A (Motorola, Inc.), 23 October, 1998 (23.10.98), Par. Nos. [0020] to [0038]; Figs. 1 to 5 & US 5764024 A & EP 871285 A1	1-6
A	JP 2004-23846 A (Rohm Co., Ltd.), 22 January, 2004 (22.01.04), Par. Nos. [0010] to [0032]; Figs. 1 to 5 & US 2003/0231011 A1 & US 2005/0179425 A1	1-6
A	JP 2004-248374 A (Fuji Electric Device Technology Co., Ltd.), 02 September, 2004 (02.09.04), Par. Nos. [0027] to [0067]; Figs. 1 to 10 (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
01 November, 2007 (01.11.07)Date of mailing of the international search report
13 November, 2007 (13.11.07)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/065569

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-92824 A (Matsushita Electric Industrial Co., Ltd.), 31 March, 2000 (31.03.00), Par. Nos. [0040] to [0050]; Fig. 3 (Family: none)	1-6

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H02M7/48 (2007. 01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 10-285937 A (モトローラ・インコーポレイテッド) 1998. 10. 23, 段落【0020】 - 【0038】, 図 1 - 5 & US 5764024 A & EP 871285 A1	1-6
A	JP 2004-23846 A (ローム株式会社) 2004. 01. 22, 段落【0010】 - 【0032】, 図 1 - 5 & US 2003/0231011 A1 & US 2005/0179425 A1	1-6

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 1 . 1 1 . 2 0 0 7

国際調査報告の発送日

1 3 . 1 1 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

安池 一貴

3 V

9 1 5 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-248374 A (富士電機デバイステクノロジー株式会社) 2004. 09. 02, 段落【0027】－【0067】, 図1－10 (ファミリーなし)	1-6
A	JP 2000-92824 A (松下電器産業株式会社) 2000. 03. 31, 段落【0040】－【0050】, 図3 (ファミリーなし)	1-6