(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H03F 3/183

(45) 공고일자 1997년02월05일
(11) 공고번호 특1997-0001309

(21) 출원번호	특1992-0025368	(65) 공개번호	특1993-0015308
(22) 출원일자	1992년12월24일	(43) 공개일자	1993년07월24일
(30) 우선권주장	91-340558 1991년12월24일 일본(JP)		

가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(73) 특허권자
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 츠지 가즈히로
일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호 가부시키가이샤 도시바 반도체시스템 기술센터내
사호다 마사유키
(74) 대리인 김윤배, 이범일

심사관 : 김재홍 (책자공보 제4803호)

(54) 연산증폭기

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

연산증폭기

[도면의 간단한 설명]

제1도는 종래의 연산증폭기를 나타낸 회로도.

제2도는 입력 트랜지스터쌍으로서 JFET를용한 종래의 연산증폭기를 나타낸 도면.

제3도는 입력 트랜지스터쌍으로서 JEFT를 이용한 종래의 비교기(comparator)를 예를 나타낸 회로도.

제4도는 본 발명에 따른 1실시예를 개략적으로 나타낸 회로구성도.

제5도는 제4도에 나타낸 회로를 구체적으로 나타낸 회로도.

제6도는 P채널 MOS 트랜지스터와 P채널 JFET의 특성도.

제7도는 P채널 MOS 트랜지스터와 P채널 JFET의 구성도.

제88도는 제4도에 나타낸 연산증폭기를 전압폴로워(voltage follow)로 한 예를 나타낸 회로도.

제9도는 제8도에 나타낸 회로의 입출력신호를 나타낸 회로도.

제10도는 제4도 및 제5도에 나타낸 연산증폭회로를 적분기에 적용한 경우를 나타낸 회로도.

제11도는 제10도에 나타낸 회로의 등가회로도.

제12도는 제11도에 나타낸 회로의 입출력신호를 나탄내 회로도.

제13도는 입력 트랜지스터쌍이 N채널 JFET에 의해 구성된 연산증폭회로를 적분기에 적용한 경우를 나타낸 회로도.

제14도는 제13도에 나타낸 연산증폭회로를 구체적으로 나타낸 회로도.

제15도는 본 발명을 전차동연산증폭회로(全差動演算增幅回路)에 적용한 경우를 나타낸 회로도.

제16도는 제15도에 나탄내 전차동연산증폭회로를 이용한 적분기를 나타낸 회로도.

제17도는 제15도에 나타낸 회로의 입출력신호를 나타낸 회로도이다.

*도면의 주요부분에 대한 부호의 설명

41 : 연산증폭기　　42,43 : 입력단자

44 : 출력단자　　C : 캐패시터

45A : 차동회로　　45B : 에미터 접지회로

46,47,91,91 : JFET

49,50,51,53,56,58,59,93,94,95,96,97,98,99:바이폴라 트랜지스터

70 : 스위치드(switched)·캐패시터회로

110 : 전차동연산증폭회로.

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 스위치드(switched)·캐패시터·필터 등에 사용되는 연산증폭기에 관한 것이다.

[종래의 기술 및 그 문제점]

제1도는 스위치드·캐패시터·필터 등에 사용되는 종래의 연산증폭기의 일예를 나타낸 것으로, 상기 연산증폭기는 차동회로(11)와 이 차동회로(11)에 접속된 소오스 접지회로(12)에 의해 구성되어 있다. 상기 차동회로(11)는 입력 트랜지스터쌍으로서의 P채널 MOS 트랜지스터(13,14: 이하, PMOS 트랜지스터로 칭함)와 정전류원으로서의 PMOS 트랜지스터(15) 및 전류미러(current mirror)로서의 N채널 MOS 트랜지스터(16,17: 이하, NMOS 트랜지스터로 칭함)에 의해 구성되어 있다. 또한, 상기 소오스 접지회로(12)는 위상보상용 콘덴서(18)와, 저항 (19), 정전류원으로서의 PMOS 트랜지스터(20) 및 NMOS 트랜지스터(21)에 의해 구성되어 있다.

상기 연산증폭기는 입력 임피던스가 크지만, 다음과 같은 문제를 갖고 잇다.

(1) MOS 트랜지스터는 1/f 노이즈 등을 갖추고 있기 때문에 입력 환산잡음이 크다.

(2) MOS 트랜지스터는 차단주파수(f_T)가 낮기 때문에 광대역화하는 것이 곤란하다.

한편, 바이폴라 트랜지스터를 이용한 연산증폭기는 저잡음에서 광대역화랄 수 있지만, 입력 임피던스가 낮기 때문에 스위치드·캐패시터·필터(SCF) 등의 회로에 적용하는데는 적합하지 않다.

이러한 문제를 해결하기 위해 저잡음에서 입력 임피던스가 큰 접합(junction) FET(이하, JFET로 칭함)를 입력 트랜지스터로 사용하는 방법이 있다.

제2도는 입력 트랜지스터쌍으로서 P채널 JFET(22,23)를 이용한 종래의 연산증폭기를 나타낸 것으로, 제1도와 동일 부분에는 동일한 참조부호를 부가한다. 그러나, 상기 연산증폭기는 다음과 같은 문제를 갖고 있다.

(1) JEET는 일반적으로 디플리션형이기 때문에 통상과 같이 전원전압의 반분의 전위를 입력동작점으로 한 경우, 각 트랜지스터를 정상적으로 바이어스하는 것이 곤란하게 된다.

(2) 입력 트랜지스터싸에 JFET를 사용함으로써 잡음을 절감할 수 있다. 그러나, 연산증폭기를 구성하는 다른 트랜지스터는 MOS형이기 때문에 연산증폭기를 광대역화하는 것은 곤란하게 된다.

이 때문에, 입력 트랜지스터쌍으로서 JFET를 사용한 연산증폭기는 실현이 곤란하고, 비교기에 JEET의 입력 트랜지스터쌍을 사용한 예가 겨우 있을 뿐이다.

제3도는 문헌(Ulrich Roettcher et al. A Compatible CMOS-JFET Pulse Density Modulator for Interpolative High-Resolution A/D Conversion, IEEE J. of solid-state circuits, Vol. sc-21, No.3, June 1986, p.446-452)에 개시된 비교기를 나타낸 것으로, 이 비교기에 있어서 입력 트랜지스터쌍으로서 JFET(31,32)가 사용되고 있다.

상기 비교기는 연산증폭기와 다음과 같은 점에서 다르게 되어 있다.

(1) 출력신호를 입력측에 귀환시켜 사용할 필요가 없기 때문에 바이어스가 용이하게 된다.

(2)위상보상의 필요가 없기 때문에 광대역화가 용이하게 된다.

이와 같이, 비교기는 JFET를 입력 트랜지스터로 사용하기 용이하지만, 이러한 비교기의 기술에 의해 연산증폭기를 만드는 것은 곤란하다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 입력 트랜지스터쌍으로서 JFET를 사용하면서 적절한 바이어스를 설정할 수 있음과 더불어 광대역화할 수 있도록 된 연산증폭기를 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위한 본 발명은, 입력신호전압이 공급되는 반전입력단자와, 전원전위에 연결된 비반전입력단자 및 상기 반전입력단자와 상기 비반전입력단자에 각각 연결된 게이트를 갖춘 입력 트랜지스터쌍을 갖추고, 접합 FET에 의해 구성되며, 정전류원이 MOS 트랜지스터에 의해 구성된 연산증폭기회로와; 출력신호전압을 상기 반전입력단자에 피드백함과 더불어 다른 전위로 입력동작전위와 출력동작전위를 설정하기 위해 출력단자와 상기 반전입력단자 사이에 배치된 캐패시터소자를 구비하여 구성된 것을 특징으로 한다.

또한 본 발명은, 반전입력단자와, 비반전입력단자, 출력단자 및 상기 반전입력단자와 상기 비반전입력단자에 각각 연결된 게이트를 갖춘 입력 트랜지스터쌍을 갖추고, 접합 FET에 의해 구성된 연산증폭기회로와; 출력신호전압을 상기 반전입력단자에 피드백함과 더불어 다른 전위로 입력동작전위와 출력동작전위를 설정하기 위해 출력단자와 상기 반전입력단자 사이에 배치된 캐패시터소자 및; 상기 반전입력단자와 상기 비반전입력단자 사이에 연결된 스위치드 캐패시터회로를 구비하여 구성된 것을 특징으로 한다.

또, 상기 비반전입력단자가 전원전위에 연결된 것을 특징으로 한다.

또, 상기 연산증폭기회로가 전차동증폭기회로로 구성된 것을 특징으로 한다.

또, 상기 접합 FET가 P채널 접합 FET에 의해 구성된 것을 특징으로 한다.

또, 상기 접합 FET가 N채널 접합 FET에 의해 구성된 것을 특징으로 한다.

또한 본 발명은, 반전입력단자와, 비반전입력단자, 출력단자 및 상기 반전입력단자와 상기 비반전입력단자에 각각 연결된 게이트를 갖춘 입력 트랜지스터쌍을 갖추고, 접합 FET에 의해 구성되며, 정전류원이 MOS트랜지스터에 의해 구성되고, 나머지 회로가 바이폴라 트랜지스터에 의해 구성된 연산증폭기회로와; 출력신호전압을 상기 반전입력단자에 피드백함과 더불어 다른 전위로 입력동작전위와 출력동작전위를 설정하기 위해 출력단자와 상기 반전입력단자 사이에 배치된 캐패시터소자를 구비하여 구성된 것을 특징으로 한다.

여기서, 입력신호전압이 상기 반전입력단자에 인가되고, 상기 비반전입력단자가 전원전위에 연결된 것을 특징으로 한다.

또, 상기 연산증폭기가 오직 입력신호전압을 상기 반전입력단자에 인가하는 것에 의해 전압폴로워로서 동작하는 것을 특징으로 한다.

또한 본 발명은, 반전입력단자와, 비반전입력단자, 출력단자 및 상기 반전입력단자와 상기 비반전입력단자에 각각 연결된 게이트를 갖춘 입력 트랜지스터쌍을 갖추고, 접합 FET에 의해 구성되며, 정전류원이 MOS트랜지스터에 의해 구성되고, 나머지 회로가 바이폴라 트랜지스터에 의해 구성된 연산증폭기회로와; 출력신호전압을 상기 반전입력단자에 피드백함과 더불어 다른 전위로 입력동작전위와 출력동작전위를 설정하기 위해 출력단자와 상기 반전입력단자 사이에 배치된 캐패시터소자 및 상기 반전입력단자와 상기 비반전입력단자 사이에 연결된 스위치드 캐패시터회로를 구비하여 구성된 것을 특징으로 한다.

(작용)

상기와 같이 구성된 본 발명은, 입력 트랜지스터쌍으로소 접합 FET를 사용한 연산증포회로에 있어서, 연산증폭회로의 출력단자와 비반전입력단자의 상호간에 용량소자를 접속하고 있기 때문에 입력동작점과 출력동작점을 다른 전위로 설정할 수 있게 되어 연산증폭회로를 적절히 바이어스할 수 있다.

또한, 정전류원을 제거한 트랜지스터를 바이폴라 트랜지스터로 구성하고 있기 때문에 광대역화가 가능하게 된다.

(실시예)

이하, 예시도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

제4도는 본 발명에 따른 실시예를 개략적으로 나타낸 것이고, 제5도는 제4도를 구체적으로 나타낸 회로도이다.

제4도 및 제5도에 있어서, 연산증폭회로(41)의 반전입력단자은 입력단자(42)에 접속되고, 비반전입력단자는 입력단자(43)에 접속되며, 출력단(OUT)은 출력단자(44)에 접속되어 있다. 그리고, 상기 연산증폭회로(41)의 출력단(OUT)과 반전입력단의 상호간에는 캐패시터(C)가 접속되어 있다.

상기 연산증폭회로(41)는 제5도에 나타낸 바와 같이 차동회로(45A)와, 이 차동회로(45)에 접속된 에미터 접지회로(45B)에 의해 구성되어 있다.

상기 차동회로(45A)에 있어서, 입력 트랜지스터쌍을 구성하는 P채널 JFET(46,47)의 게이트는 반전입력단으로서의 입력단자(42)와 비반전입력단자로서의 입력단자(43)에 각각 접속되어 있고, 이들 JFET(46,47)의 소오스는 정전류원으로서의 P채널 MOS 트랜지스터(48)를 매개로 전원(V_{DD})에 접속되며, 상기 P채널 MOS 트랜지스터(48)의 게이트는 전원(V_{B1})에 접속되어 있다.

상기 JFET(46,47)의 각 드레인은 NPN 트랜지스터(49,50)의 콜렉터에 각각 접속되어 있고, 이들 NPN 트랜지스터(49,50)의 각 에미터는 전원(V_{SS})에 접속되며, 각 베이스는 임피던스 변환용 NPN 트랜지스터(51)의 에미터에 접속되어 있다. 상기 트랜지스터(51)의 에미터는 저항(52)을 매개로 전원(V_{SS})에 접속되고, 베이스는 상기 JFET(46)의 드레인에 접속되며, 콜렉터는 전원(V_{DD})에 접속되어 있다.

한편, 상기 에미터 접지회로(45B)에 있어서, NPN 트랜지스터(53)의 베이스는 상기 JFET(47)의 드레인에 접속됨과 더불어 위상보상용 캐패시터(54)의 일단에 접속되어 있고, 콜렉터는 전원(V_{DD})에 접속되며, 에미터는 저항(55)을 매개로 전원(V_{SS})에 접속됨과 더불어 NPN 트랜지스터(56)의 베이스에 접속되어 있다. 이 NPN 트랜지스터(56)의 에미터는 전원(V_{SS})에 접속되고, 콜렉터는 상기 캐패시터(54)의 타단에 접속되면서 정전류원을 구성하는 PMOS 트랜지스터(57)의 드레인에 접속됨과 더불어 NPN 트랜지스터(58)의 베이스에 접속되어 있다.

또한, 상기 PMOS 트랜지스터(57)의 게이트는 전원(V_{B1})에 접속되고, 소오스는 전원(V_{DD})에 접속되어 있다. 그리고, 상기 NPN 트랜지스터(58)의 콜렉터는 전원(V_{DD})에 접속되고, 에미터는 출력단자(44)에 접속됨과 더불어 NPN 트랜지스터(59)의 콜렉터에 접속되어 있다. 이 NPN 트랜지스터(59)의 베이스는 전원(V_{B2})에 접속되고, 에미터는 저항(60)을 매개로 전원(V_{SS})에 접속되어 있다. 여기서, 상기 NPN 트랜지스터(58,59)는 에미터폴로워의 임피던스 변환회로를 구성하고 있다. 또한, 상기 출력단자(44)와 입력단자(42)의 상호간에는 상기 캐패시터(C)가 접속되어 있다. 여기서, 상기 전원(V_{DD})는 예컨대 5V, 전원(V_{B1})은 예컨대 3.5V, 전원(V_{B2})은 예컨대 1.5V이다.

이하, 상기와 같이 구성된 회로의 동작에 대해 설명한다.

제4도에 나타낸 바와 같이, 입력단자(43; 비반전입력단)에 공급되는 바이어스전위를 V1, 입력단자(42; 반전입력단)에 공급되는 바이어스전위를 V2, 출력단자(44)의 바이어스전위를 V3로 하고, 연산증폭회로(41)의 이득을 A(A0), 캐패시터(C)의 전하를 Q, 출력의 동작점을V_{OP}로 하면, 다음식이 성립한다.

$$V3 = A(V1 - V2) + V_{OP}$$

$$V3 - V2 = Q/C$$

따라서,

$$V3 = AV1/(A+1) + AQ/(A+1)C + V_{OP}/(A+1)$$

이 V3는 거의 V1+Q/C이다. 또한,

$$V2 = AV1(A+1) - Q/(A+1)C + V_{OP}/(A+1)$$

이 V2는 거의 V1이다.

따라서, 연산증폭회로(41)의 이득(A)이 충분히 큰 경우 입력전위는 V2=V1으로 되고, 출력전위(V3)는 캐패시터(C)의 전위차분 시프트하게 된다. 따라서, 비반전입력단의 바이어스전위 V1=V_{DD}로 하고, Q=-1/2CV_{DD}로 하면, 반전입력단의 바이어스전위 V2=V_{DD}로 되고, 출력단의 바이어스전위 V3=1/2V_{DD}로 된다.

제6도는 P채널 MOS 트랜지스터와 P채널 JFET의 일반적인V_{GS}-V_{DS}특성을 나타낸 것으로, MOS 트랜지스터와 JFET의 임계치전압(Vth)은 수 V의 차가 있다. 이 때문에, MOS 트랜지스터를 JFET로 단순히 치환한 경우 정상적으로 동작하지 않게 된다. 따라서, 상기 실시예와 같이 연산증폭회로(41)의 출력단과 반전입력단자의 상호간에 캐패시터(C)를 접속함과 더불어 입력의 동작점을 전원전압(V_{DD})으로 함으로써 JFET(46,47)을 적절히 바이어스할 수 있게 된다.

또한, 제7도에 나타낸 바와 같이 P채널 JFET와 NPN 트랜지스터는 거의 동일 구성이기 때문에 정전류원을 구성하는 트랜지스터 외의 트랜지스터를 바이폴라 트랜지스터로 구성하고 있다. 따라서, 회로동작의 고속화 및 광대역화가 가능하게 된다.

제8도는 제4도에 나타낸 연산증폭회로(41)를 전압폴로워로 한 예를 나타낸 것으로, 입력단자(43)에는 제9도에 나타낸 바와 같은 입력신호전압(Vin)이 공급되는데 이 입력신호전압(Vin)은 전압(V_{DD})을 중심으로 진동하는 신호이다. 이 경우, 연산증폭회로(41)의 출력신호전압(Vout)은 캐패시터(C)의 전위차를 1/2V_{DD}로 되도록 설정하면, 전압(1/2V_{DD})을 중심으로 진동하게 된다.

제10도는 제4도 및 제5도에 나타낸 연산증폭회로(41)를 스위치드·캐패시터회로, 예컨대 적분기에 적용한 경우를 나타낸 것으로, 입력신호(Vin)는 스위치드·캐패시터회로(70)을 구성하는 스위치(71)를 매개로 캐패시터(72)의 일단에 접속되고, 이캐패시터(72)의 일단에는 스위치(73)를 매개로 전원(1/2V_{DD})이 접속되며, 캐패시터(72)의 타단은 스위치(74)를 매개로 연산증폭회로(41)의 반전입력단에 접속됨과 더불어 스위치(75)를 매개로 연산증폭회로(41)의 비반전입력단에 접속된다. 그리고, 이 비반전입력단에는 전원(V_{DD})이 접속되어 있다. 상기 구성에 의하면, 스위치(71,73,74,75)를 순차로 절환함으로써 원하는 필터특성을 얻을 수 있게 된다.

제11도는 다른 실시예를 나타낸 것으로, 이는 제10도의 등가회로이다. 제11도에 있어서, 제10도의 스위치(71,73,74,75) 및 캐패시터(72)는 저항(76)에 의해 등가적으로 나타내고 있다. 제11도의 경우, 제12도에 나타낸 바와 같이 입력신호전압(Vin)은 전압(V_{DD})을 중심으로 진동하고, 연산증폭회로(41)의 출력신호전압(Vout)은 캐패시터(C)의 전위차를 1/2V_{DD}로 되도록 설정함으로써 전압(1/2V_{DD})을 중심으로 진도하는 적분회로로 된다. 단, 제10도의 경우 스위치드·캐패시터에 의해 직류성분이 단속되기 때문에 입력신호전압은 1/2V_{DD}를 중심으로 한 신호로 된다. 또, 이상의 실시예에서는 입력

트랜지스터쌍으로서 P채널 JFET를 사용했지만, 입력 트랜지스터쌍으로서 N채널 JFET를 사용할 수도 있다.

제13도는 입력 트랜지스터쌍이 N채널 JFET에 의해 구성된 연산증폭회로(80)를 사용한 적분기를 나타낸것으로, 입력신호(Vin)는 스위치(81)를 매개로 캐패시터(82)의 일단에 접속되고, 이 캐패시터(82)의 일단에는 스위치(83)를 매개로 전원($1/2V_{DD}$)이 접속되며, 캐패시터(82)의 타단에는 스위치(84)를 매개로 연산증폭회로(80)의 반전입력단이 접속됨과 더불어 스위치(85)를 매개로 연산증폭회로(80)의 비반전입력단이 접속된다. 이 비반전입력단에는 전원(V_{SS})이 접속되고, 연산증폭회로(80)의 반전입력단과 출력단의 상호간에는 캐패시터(C)가 접속되어 있다.

제14도는 상기 연산증폭회로(80)를 구체적으로 나타낸 것으로, 이 연산증폭회로(80)는 제5도에 나타낸 연산증폭회로(41)에 있어서, P채널 JFET(46,47)를 N채널 JFET(91,92)로 치환하고, NPN 트랜지스터(49,50,51,53,56,58,59)를 PNP 트랜지스터(93,94,95,96,97,98,99)로 치환하며, PMOS 트랜지스터(48,57)를 MMOS 트랜지스터(100,101)로 치환한 것이고, 그 외의 구성은 제5도와 동일하기 때문에 동일 부분에는 동일한 참조부호를 부가하며, 상세한 설명은 생략한다.

제15도는 본 발명을 전차동연산증폭회로에 적용한 경우를 나타낸 것으로, 이 전차동연산증포회로(110)는 차동회로(11)와, 이 차동회로(111)에 접속된 에미터 접지회로(112,113)에 의해 구성되어 있다.

상기 차동회로(111)에 있어서, 입력 트랜지스터쌍을 구성하는 P채널 JFET(114,115)의 게이트가 반전입력단으로서의 입력단자(116)와 비반전입력단으로서의 입력단자(117)에 각각 접속되어 있고, 상기 JFET(114,115)의 소오스가 정전류원으로서의 P채널 MOS 트랜지스터(118)를 매개로 전원(V_{DD})에 접속되며, 상기 MOS 트랜지스터(118)의 게이트가 전원(V_{B1})에 접속되어 있다. 그리고, 상기 JFET(114)의 드레인은 NPN 트랜지스터(119,120)의 콜렉터에 각각 접속되고, 상기 JFET(115)의 드레인인 NPN 트랜지스터(121,122)의 콜렉터에 각각 접속되며, 상기 트랜지스터(119~122)의 각 에미터는 전원(V_{SS})에 접속되어 있다.

또, 상기 트랜지스터(119,121)의 각 베이스는 임피던스 변환용 NPN 트랜지스터(123)의 에미터에 접속되고, 상기 트랜지스터(120,122)의 각 베이스는 NPN 트랜지스터(124)의 에미터에 접속되어 있다. 그리고, 상기 트랜지스터(123,124)의 에미터는 저항(125,126)을 각각 매개로 전원(V_{SS})에 접속되고, 각 베이스는 상기 JFET(114,115)의 각 드레인에 접속되며, 각 콜렉터는 전원(V_{DD})에 접속되어 있다.

한편, 상기 에미터 접지회로(112,113)에 있어서, 상기 NPN 트랜지스터(123,124)의 베이스는 위상보상용 캐패시터(127,128)의 일단에 접속되어 있고, 에미터는 NPN 트랜지스터(129,130)의 베이스에 접속되어 있으며, 이들 트랜지스터(129,130)의 에미터는 전원(V_{SS})에 접속되고, 콜렉터는 상기 캐패시터(127,128)의 타단에 접속되면서 정전류원을 구성하는 PMOS 트랜지스터(131,132)의 드레인에 접속되면서 NPN 트랜지스터(133,134)의 베이스에 접속되어 있다.

상기 PMOS 트랜지스터(131,132)의 게이트는 각각 전원(V_{B2})에 접속되고, 각 소오스는 전원(V_{DD})에 접속되어 있다. 또 상기 트랜지스터(133,134)의 콜렉터는 전원(V_{DD})에 접속되고, 각 에미터는 출력단자(135,136)에 접속됨과 더불어 NPN 트랜지스터(137,138)의 콜렉터에 접속되어 있다. 이들 트랜지스터(137,138)의 베이스는 전원(V_{B3})에 접속되고, 각 에미터는 저항(139,140)을 매개로 전원(V_{SS})에 접속되어 있다.

또한, 상기 출력단자(135)와 입력단자(117)의 상호간에는 캐패시터(C1)가 접속되고, 상기 출력단자(136)과 입력단자(116)의 상호간에는 캐패시터(C2)가 접속되어 있다.

제16도는 제15도에 나타낸 전차동연산증폭회로(110)를 이용한 적분기를 나타낸 것으로, 저항(141,142)은 스위치드·캐패시터회로를 등가적으로 나타낸 것이다. 상기 적분기에 입력신호전압(Vin(+), Vin(-))을 공급한 경우, 이들 입력신호전압(Vin(+), Vin(-))과 출력신호전압(Vout(+), Vout(-))의 관계는 제17도에 나타낸 바와 같이 된다. 또한, 제16도는 제11도에 나타낸 회로를 전차동화한 것이지만, 제10도의 회로를 마찬가지로 전차동화할 수 있다.

더욱이 제12도와 제9도 및 제17도에 있어서 입력신호는 전압(V_{DD})을 중심으로 한 신호로 했지만, 이에 한정되는 것은 아니고, $1/2V_{DD}$이상의 전압이면 된다.

또한, 제2도에 나타낸 회로의 출력단자와 반전입력단자의 상호간에 캐패시터를 접속함으로써 JFET에 적절한 바이어스를 설정할 수 있다.

그 밖에, 발명의 요지를 이탈하지 않는 범위내에서 여러 가지로 변형하여 실시할 수 있다.

한편, 본원 청구범위의 각 구성요소에 병기된 도면참조부호는 본 원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예로 한정할 의도에서 병기한 것은 아니다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 입력 트랜지스터쌍으로서 JFET를 사용하면서 출력단자와 반전입력단자의 상호간에 용량소자를 접속함으로써 입력동작점과 출력동작점을 다른 전위로 설정할 수 잇기 때문에 JFET에 적당한 바이어스를 설정함과 더불어 필요한 부분이 바이폴라 트랜지스터에 의해 구성되어 있기 때문에 광대역화가 가능한 연산증폭기를 제공할 수 있게 된다.

(57) 청구의 범위

청구항 1

입력신호전압이 공급되는 반전입력단자와, 전원전위에 연결된 비반전입력단자 및 상기 반전입력단자와 상기 비반전입력단자에 각각 연결된 게이트를 갖춘 입력 트랜지스터쌍을 갖추고, 접합 FET에 의해 구성되며, 정전류원이 MOS 트랜지스터에 의해 구성된 연산증폭기회로와; 출력신호전압을 상기 반전입력단자에 피드백하과 더불어 다른 전위로 입력동작전위와 출력동작전위를 설정하기 위해 출력단자와 상기 반전입력단자 사이에 배치된 캐패시터소자를 구비하여 구성된 것을 특징으로 연산증폭기.

청구항 2

반전입력단자와, 비반전입력단자, 출력단자 및 상기 반전입력단자와 상기 비반전입력단자에 각각 연결된 게이트를 갖춘 입력 트랜지스터쌍을 갖추고, 접합 FET에 의해 구성된 연산증폭기회로와; 출력신호전압을 상기 반전입력단자에 피드백함과 더불어 다른 전위로 입력동작전위와 출력동작전위를 설정하기 위해 출력단자와 상기 반전입력단자 사이에 배치된 캐패시터소자 및; 상기 반전입력단자와 상기 비반전입력단자 사이에 연결된 스위치드 캐패시터회로를 구비하여 구성된 것을 특징으로 하는 연산증폭기.

청구항 3

제2항에 있어서, 상기 반전입력단자가 전원전위에 연결된 것을 특징으로 하는 연산증폭기.

청구항 4

제2항에 있어서, 상기연산증폭기회로가 전차동 증폭기회로로 구성된 것을 특징으로 하는 연산증폭기.

청구항 5

제2항에 있어서, 상기접합 FET가 P채널 접합 FET에 의해 구성된 것을 특징으로 하는 연산증폭기.

청구항 6

제2항에 있어서, 상기접합 FET가 N채널 접합 FET에 의해 구성된 것을 특징으로 하는 연산증폭기.

청구항 7

반전입력단자와, 비반전입력단자, 출력단자 및 상기 반전입력단자와 상기 비반전입력단자에 각각 연결된 게이트를 갖춘 입력 트랜지스터쌍을 갖추고, 접합 FET에 의해 구성되며, 정전류원이 MOS 트랜지스터에 의해 구성되고, 나머지 회로가 바이폴라 트랜지스터에 의해 구성된 연산증폭기회로와; 출력신호전압을 상기 반전입력단자에 피드백함과 더불어 다른 전위로 입력동작전위와 출력동작전위를 설정하기 위해 출력단자와 상기 반전입력단자 사이에 배치된 캐패시터소자를 구비하여 구성된 것을 특징으로 하는 연산증폭기.

청구항 8

제7항에 있어서, 입력신호전압이 상기 반전입력단자에 인가되고, 상기 비반전입력단자가 전원전위에 연결된 것을 특징으로 하는 연산 증폭기.

청구항 9

제7항에 있어서, 상기 연산증폭기가 입력신호전압을 상기 반전입력단자에 인가하는 것만에 의해 전압폴로워로서 동작하는 것을 특징으로 하는 연산증폭기.

청구항 10

제7항에 있어서, 상기 접합 FET가 P채널 접합 FET에 의해 구성된 것을 특징으로 하는 연산 증폭기.

청구항 11

제7항에 있어서, 상기 접합 FET가 N채널 접합 FET에 의해 구성된 것을 특징으로 하는 연산 증폭기.

청구항 12

반전입력단자와, 비반전입력단자, 출력단자 및 상기 반전입력단자와 상기 비반전입력단자에 각각 연결된 게이트를 갖춘 입력 트랜지스터쌍을 갖추고, 접합 FET에 의해 구성되며, 정전류원이 MOS 트랜지스터에 의해 구성되고, 나머지 회로가 바이폴라 트랜지스터에 의해 구성된 연산증폭기회로와; 출력신호전압을 상기 반전입력단자에 피드백함과 더불어 다른 전위로 입력동작전위와 출력동작전위를 설정하기 위해 출력단자와 상기 반전입력단자 사이에 배치된 캐패시터소자 및 상기 반전입력단자와 상기 비반전입력단자 사이에 연결된 스위치드 캐패시터회로를 구비하여 구성된 것을 특징으로 하는 연산 증폭기.

청구항 13

제12항에 있어서, 상기 비반전입력단자가 전원전위에 연결된 것을 특징으로 하는 연산 증폭기.

청구항 14

제12항에 있어서, 상기 연산증폭기회로가 전차동증폭회로로 구성된 것을 특징으로 하는 연산 증폭기.

청구항 15

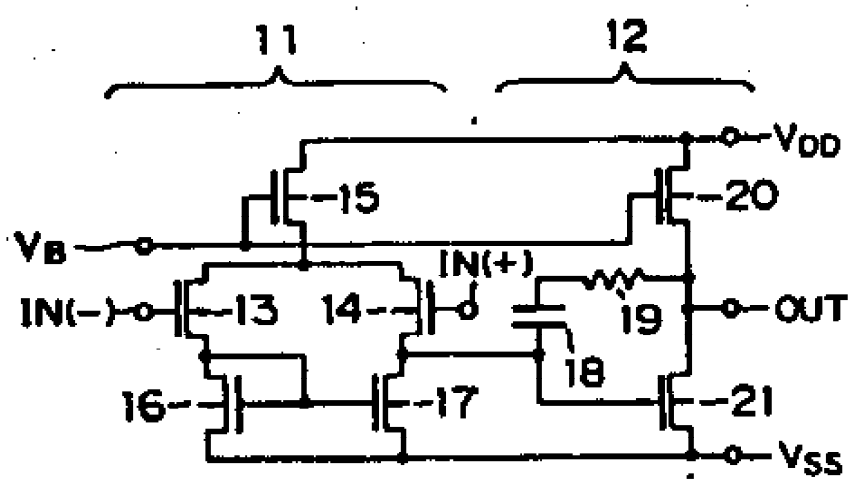
제12항에 있어서, 상기 접합 FET가 P채널 접합 FET에 의해 구성된 것을 특징으로 하는 연산 증폭기.

청구항 16

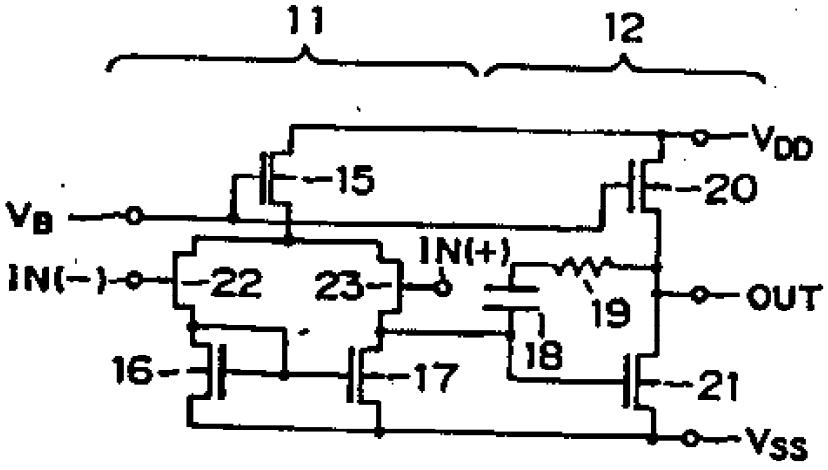
제12항에 있어서, 상기 접합 FET가 N채널 접합 FET에 의해 구성된 것을 특징으로 하는 연산 증폭기.

도면

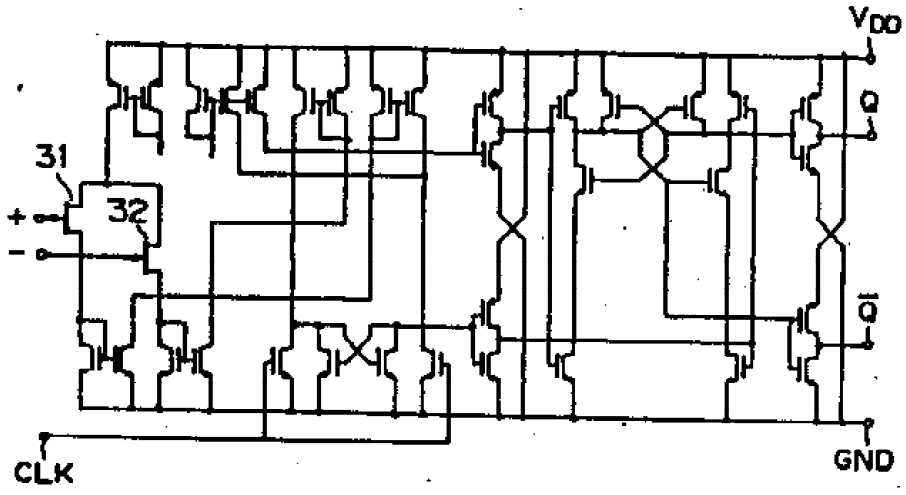
도면1



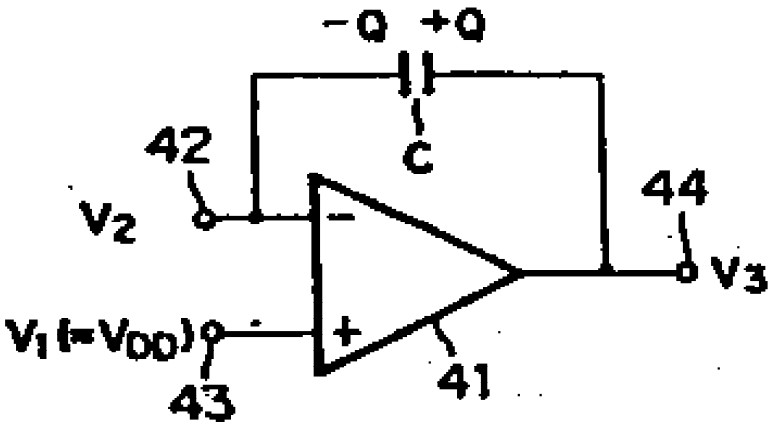
도면2



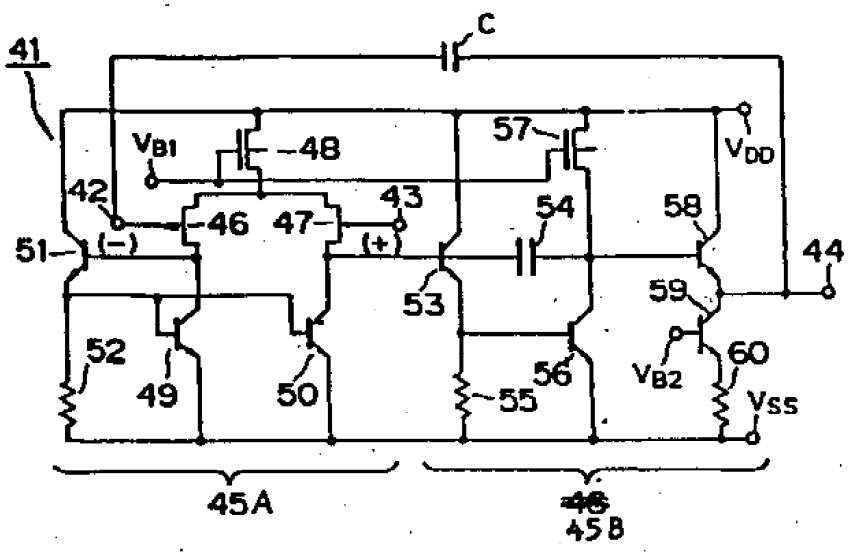
도면3



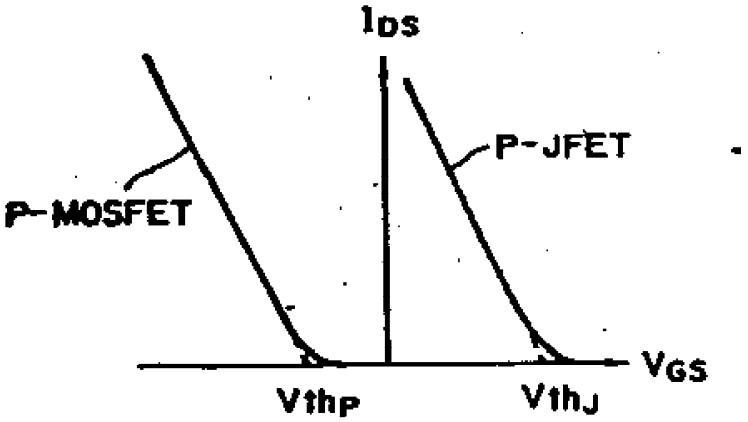
도면4



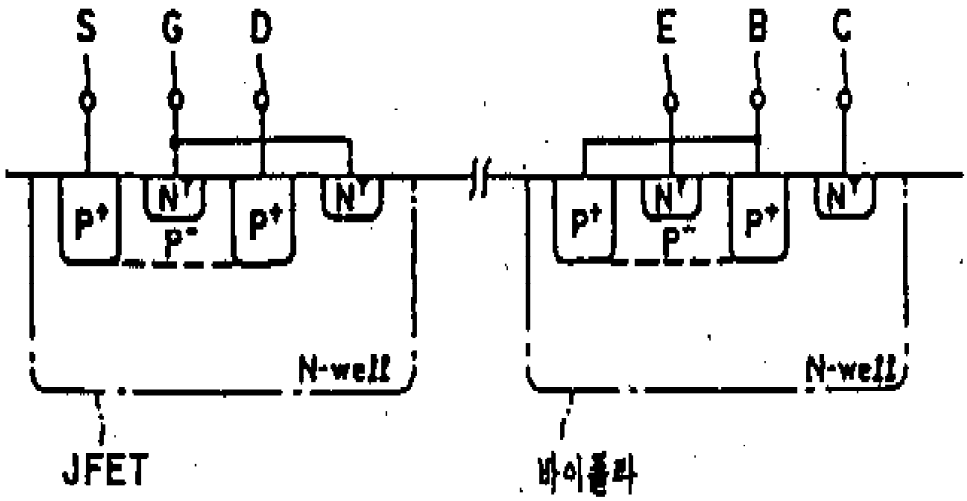
도면5


41
C
VB1
48
57
VDD
42
46
47
43
54
58
51
(-)
(+)
44
53
59
52
49
50
56
60
55
VB2
VSS
45A
45B

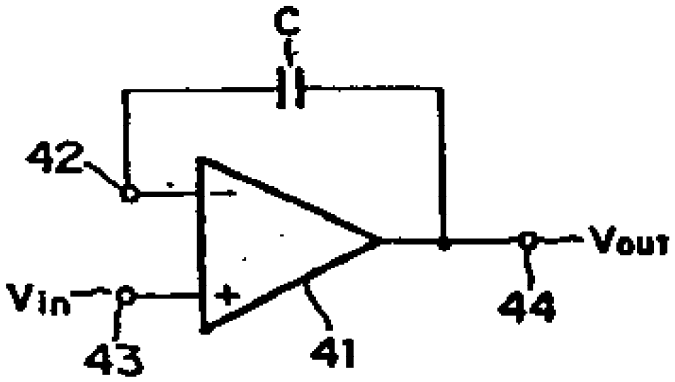
도면6


IDS
P-JFET
P-MOSFET
VGS
VthP
VthJ

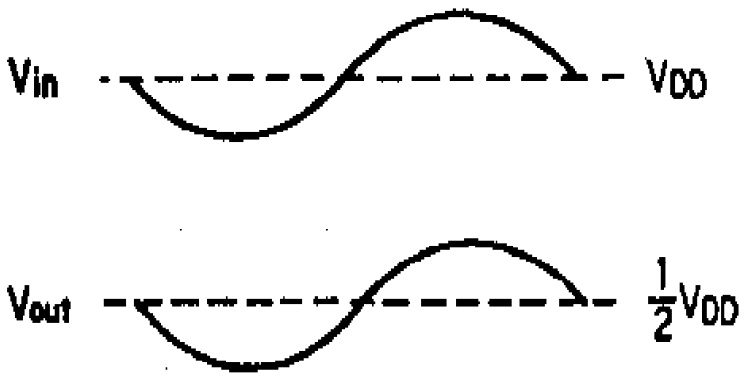
도면7


S
G
D
E
B
C
P+
N+
P-
N-well
JFET
바이폴라

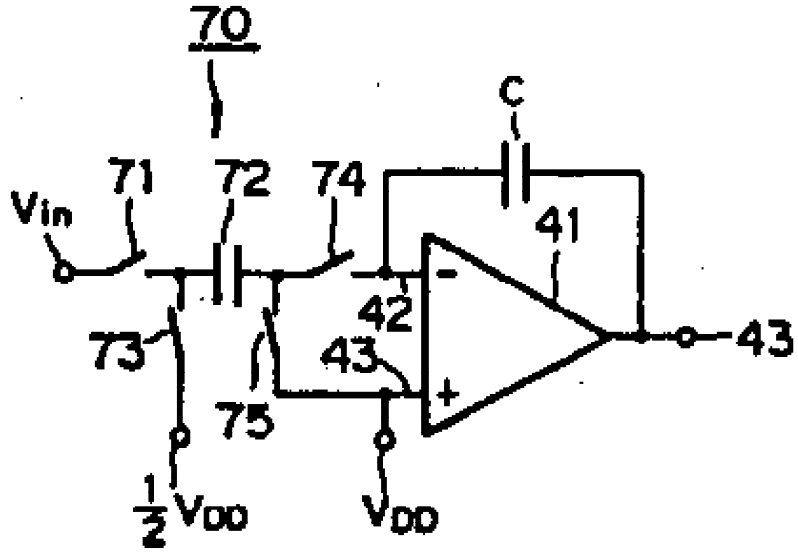
도면8


C
42
Vout
Vin
44
43
41

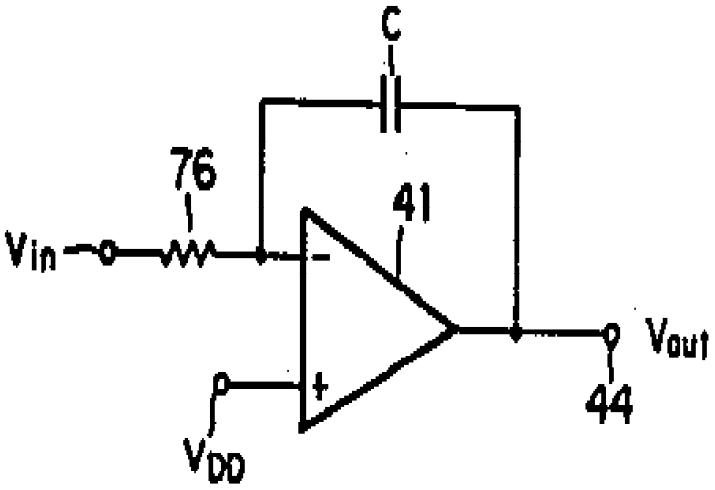
도면9


Vin
VDD
Vout
1/2VDD

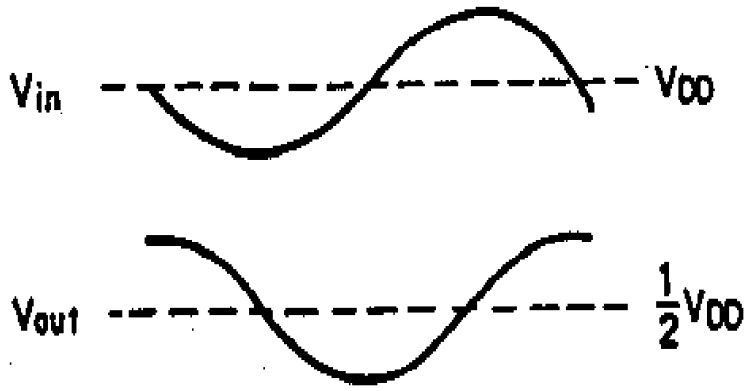
도면10



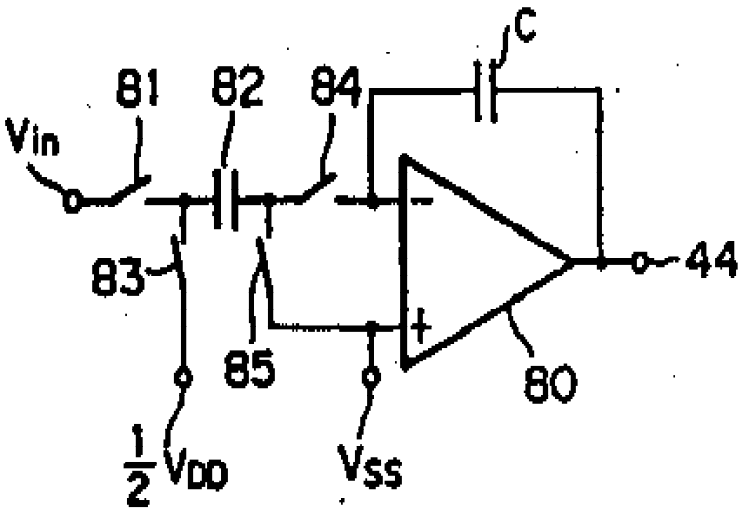
도면11



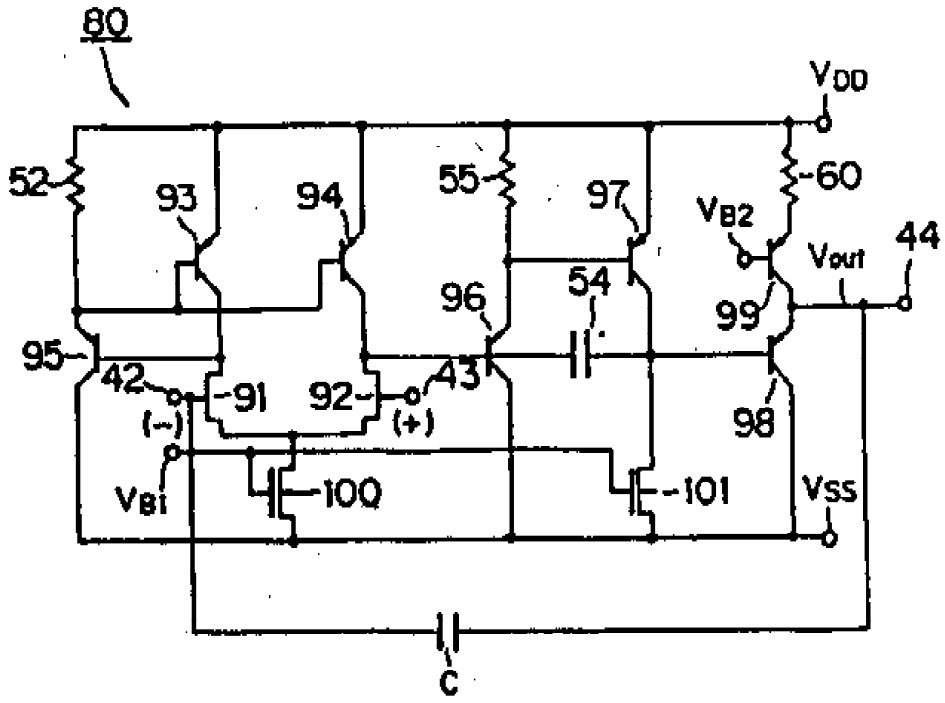
도면12



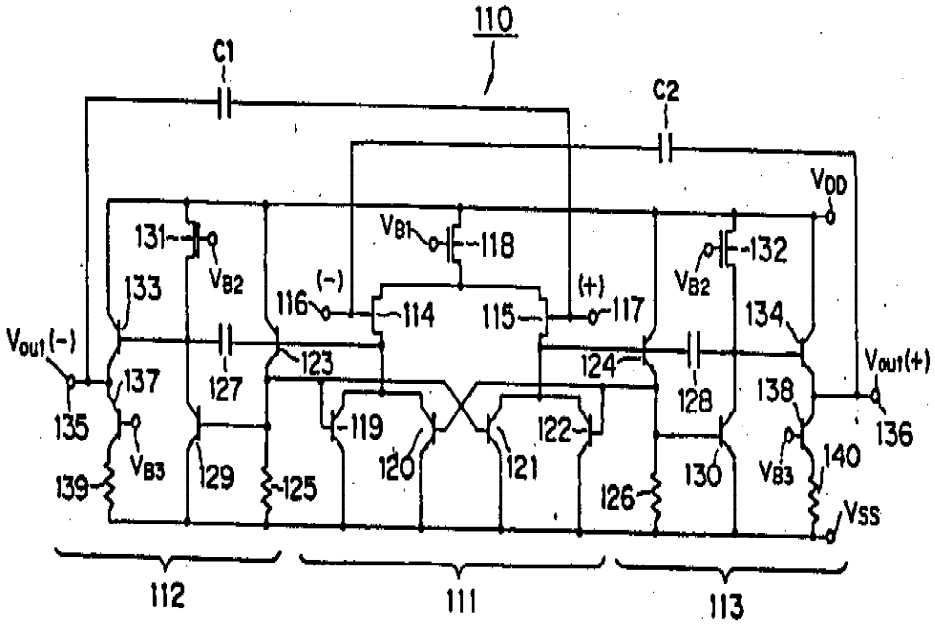
도면13



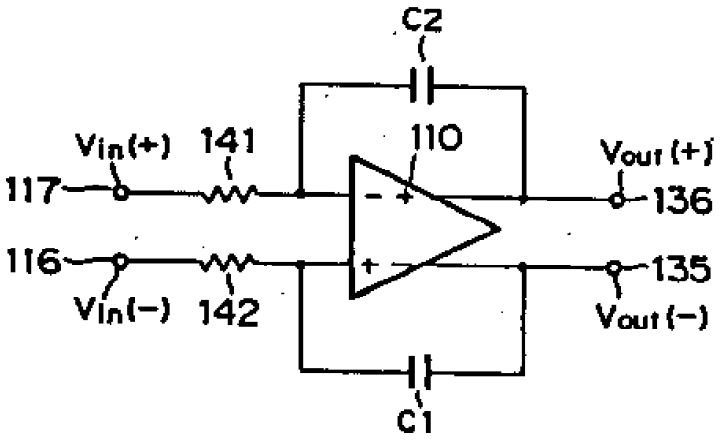
도면14


80
VDD
52
93
94
55
97
60
VB2
Vout
44
54
96
99
95
42
91
92
43
98
(-)
(+)
VB1
100
101
VSS
C

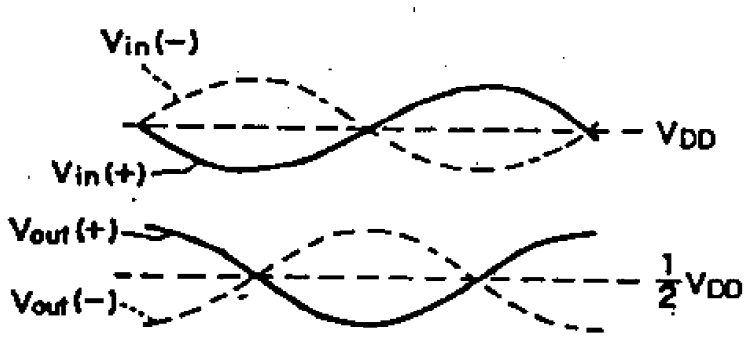
도면15


110
C1
C2
VDD
131
VB2
VB1
118
132
133
116
(-)
114
115
(+)
117
134
Vout(-)
123
124
Vout(+)
137
127
128
138
135
119
122
136
VB3
129
120
121
130
140
139
125
126
VSS
112
111
113

도면16


C2
Vin(+)
141
110
Vout(+)
117
136
116
135
Vin(-)
142
Vout(-)
C1

도면17


Vin(-)
VDD
Vin(+)
Vout(+)
1/2VDD
Vout(-)