

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 2 年 3 月 26 日 (2020.3.26)

【公開番号】特開 2018-152429 (P2018-152429A)

【公開日】平成 30 年 9 月 27 日 (2018.9.27)

【年通号数】公開・登録公報 2018-037

【出願番号】特願 2017-46514 (P2017-46514)

【国際特許分類】

H 0 1 L 21/8238 (2006.01)

H 0 1 L 27/092 (2006.01)

H 0 1 L 27/08 (2006.01)

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/336 (2006.01)

【F I】

H 0 1 L 27/08 3 2 1 B

H 0 1 L 27/08 3 3 1 E

H 0 1 L 29/78 6 1 3 A

H 0 1 L 29/78 6 2 4

【手続補正書】

【提出日】令和 2 年 2 月 13 日 (2020.2.13)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項 5

【補正方法】変更

【補正の内容】

【請求項 5】

半導体基板と、前記半導体基板に形成されたディープ P ウェルと、前記ディープ P ウェルに形成された N ウェル及び P ウェルと、前記半導体基板の表面部に形成された半導体層と、前記半導体層と前記ディープ P ウェルとの間に形成され、前記半導体層と前記ディープ P ウェルとを電氣的に分離する埋め込み絶縁層とを含み、前記 N ウェルと前記 P ウェルとの間に p n 接合が形成され、前記半導体層の前記 N ウェルに対向する位置に P M O S トランジスタが形成され、前記半導体層の前記 P ウェルに対向する位置に N M O S トランジスタが形成された半導体装置の動作調整方法であって、

(a) ソース - ゲート間電圧が 0 V である場合の前記 P M O S トランジスタのドレイン電流 - 基板バイアス電圧特性を得るステップと、

(b) 前記ドレイン電流 - 基板バイアス電圧特性から、前記 P M O S トランジスタがオンになる最高の基板バイアス電圧である最高基板バイアス電圧を得るステップと、

(c) 前記 N M O S トランジスタの基板バイアス電圧の下限値を、前記最高基板バイアス電圧に前記 p n 接合のビルトインポテンシャルを加えた電圧として決定するステップと、

(d) 前記 N M O S トランジスタの基板バイアス電圧を、負電圧であり、且つ、前記下限値よりも高い電圧に決定するステップ

とを具備する

半導体装置の動作調整方法。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 1

【補正方法】変更

【補正の内容】

【 0 0 1 1 】

本発明の他の観点では、半導体基板（４１）と、半導体基板（４１）に形成されたディープＰウェル（４２）と、ディープＰウェル（４２）に形成されたＮウェル（１３）及びＰウェル（１４）と、半導体基板（４１）の表面部に形成された半導体層（１５）と、半導体層（１５）とディープＰウェル（４２）との間に形成され、半導体層（１５）とディープＰウェル（４２）とを電氣的に分離する埋め込み絶縁層（１６）とを含み、Ｎウェル（１３）とＰウェル（１４）との間にｐｎ接合が形成され、半導体層（１５）のＮウェル（１３）に対向する位置にＰＭＯＳトランジスタ（１７）が形成され、半導体層（１５）のＰウェル（１４）に対向する位置にＮＭＯＳトランジスタ（１８）が形成された半導体装置の動作調整方法が提供される。当該動作調整方法は、

- （ａ）ソース - ゲート間電圧が０Ｖである場合のＰＭＯＳトランジスタ（１７）のドレイン電流 - 基板バイアス電圧特性を得るステップと、
- （ｂ）ドレイン電流 - 基板バイアス電圧特性から、ＰＭＯＳトランジスタ（１７）がオンになる最高の基板バイアス電圧である最高基板バイアス電圧を得るステップと、
- （ｃ）ＮＭＯＳトランジスタ（１８）の基板バイアス電圧の下限値を、最高基板バイアス電圧にｐｎ接合のビルトインポテンシャルを加えた電圧として決定するステップと、
- （ｄ）ＮＭＯＳトランジスタ（１８）の基板バイアス電圧を、負電圧であり、且つ、下限値よりも高い電圧に決定するステップとを具備する。