

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】令和2年3月26日(2020.3.26)

【公開番号】特開2018-152429(P2018-152429A)

【公開日】平成30年9月27日(2018.9.27)

【年通号数】公開・登録公報2018-037

【出願番号】特願2017-46514(P2017-46514)

【国際特許分類】

H 01 L 21/8238 (2006.01)

H 01 L 27/092 (2006.01)

H 01 L 27/08 (2006.01)

H 01 L 29/786 (2006.01)

H 01 L 21/336 (2006.01)

【F I】

H 01 L 27/08 3 2 1 B

H 01 L 27/08 3 3 1 E

H 01 L 29/78 6 1 3 A

H 01 L 29/78 6 2 4

【手続補正書】

【提出日】令和2年2月13日(2020.2.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】請求項5

【補正方法】変更

【補正の内容】

【請求項5】

半導体基板と、前記半導体基板に形成されたディープPウェルと、前記ディープPウェルに形成されたNウェル及びPウェルと、前記半導体基板の表面部に形成された半導体層と、前記半導体層と前記ディープPウェルとの間に形成され、前記半導体層と前記ディープPウェルとを電気的に分離する埋め込み絶縁層とを含み、前記Nウェルと前記Pウェルとの間にp-n接合が形成され、前記半導体層の前記Nウェルに対向する位置にPMOSトランジスタが形成され、前記半導体層の前記Pウェルに対向する位置にNMOSトランジスタが形成された半導体装置の動作調整方法であって、

(a) ソース-ゲート間電圧が0Vである場合の前記PMOSトランジスタのドレイン電流-基板バイアス電圧特性を得るステップと、

(b) 前記ドレイン電流-基板バイアス電圧特性から、前記PMOSトランジスタがオンになる最高の基板バイアス電圧である最高基板バイアス電圧を得るステップと、

(c) 前記NMOSトランジスタの基板バイアス電圧の下限値を、前記最高基板バイアス電圧に前記p-n接合のビルトインポテンシャルを加えた電圧として決定するステップと、

(d) 前記NMOSトランジスタの基板バイアス電圧を、負電圧であり、且つ、前記下限値よりも高い電圧に決定するステップ

とを具備する

半導体装置の動作調整方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正の内容】

【 0 0 1 1 】

本発明の他の観点では、半導体基板（41）と、半導体基板（41）に形成されたディープPウェル（42）と、ディープPウェル（42）に形成されたNウェル（13）及びPウェル（14）と、半導体基板（41）の表面部に形成された半導体層（15）と、半導体層（15）とディープPウェル（42）との間に形成され、半導体層（15）とディープPウェル（42）とを電気的に分離する埋め込み絶縁層（16）とを含み、Nウェル（13）とPウェル（14）との間にp-n接合が形成され、半導体層（15）のNウェル（13）に対向する位置にPMOSトランジスタ（17）が形成され、半導体層（15）のPウェル（14）に対向する位置にNMOSトランジスタ（18）が形成された半導体装置の動作調整方法が提供される。当該動作調整方法は、

- (a) ソース - ゲート間電圧が0Vである場合のPMOSトランジスタ（17）のドレイン電流 - 基板バイアス電圧特性を得るステップと、
- (b) ドレイン電流 - 基板バイアス電圧特性から、PMOSトランジスタ（17）がオンになる最高の基板バイアス電圧である最高基板バイアス電圧を得るステップと、
- (c) NMOSトランジスタ（18）の基板バイアス電圧の下限値を、最高基板バイアス電圧にp-n接合のビルトインポテンシャルを加えた電圧として決定するステップと、
- (d) NMOSトランジスタ（18）の基板バイアス電圧を、負電圧であり、且つ、下限値よりも高い電圧に決定するステップとを具備する。