

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7513385号
(P7513385)

(45)発行日 令和6年7月9日(2024.7.9)

(24)登録日 令和6年7月1日(2024.7.1)

(51)国際特許分類		F I		
H 1 0 B	43/27 (2023.01)	H 1 0 B	43/27	
H 1 0 B	41/27 (2023.01)	H 1 0 B	41/27	
H 0 1 L	21/336(2006.01)	H 0 1 L	29/78	3 7 1
H 0 1 L	29/788(2006.01)	H 1 0 B	41/40	
H 0 1 L	29/792(2006.01)	H 1 0 B	43/40	
請求項の数 19 (全35頁) 最終頁に続く				
(21)出願番号	特願2019-218961(P2019-218961)	(73)特許権者	390019839	
(22)出願日	令和1年12月3日(2019.12.3)		三星電子株式会社	
(65)公開番号	特開2020-102613(P2020-102613 A)		S a m s u n g E l e c t r o n i c s C o . , L t d .	
(43)公開日	令和2年7月2日(2020.7.2)		大韓民国京畿道水原市靈通区三星路 1 2 9	
審査請求日	令和4年11月29日(2022.11.29)		1 2 9 , S a m s u n g - r o , Y e o n g t o n g - g u , S u w o n - s i , G y e o n g g i - d o , R e p u b l i c o f K o r e a	
(31)優先権主張番号	10-2018-0167170	(74)代理人	110000051	
(32)優先日	平成30年12月21日(2018.12.21)		弁理士法人共生国際特許事務所	
(33)優先権主張国・地域又は機関	韓国(KR)	(72)発明者	金森 宏治	
			大韓民国 京畿道 水原市 靈通区 三星路 1 2 9	
最終頁に続く				

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項 1】

基板と、前記基板上に配置される複数の回路素子と、前記回路素子上に各々配置される複数の第 1 接合パッドと、を含む第 1 半導体構造物と、

前記第 1 半導体構造物上で前記第 1 半導体構造物と接続される第 2 半導体構造物と、を有し、

前記第 2 半導体構造物は、

前記第 1 半導体構造物に向かう第 1 面と前記第 1 面と対向する第 2 面とを有するベース層と、

前記ベース層の第 1 面上で前記第 1 面に垂直な方向に沿って互いに離隔して積層される第 1 ゲート電極と、前記第 1 ゲート電極の少なくとも一部を貫通して延長される第 1 チャネルと、を含む第 1 メモリセル構造物と、

前記第 1 ゲート電極の下部で前記第 1 面に垂直な方向に沿って互いに離隔して積層される第 2 ゲート電極と、前記第 2 ゲート電極の少なくとも一部を貫通して延長される第 2 チャネルと、を含む第 2 メモリセル構造物と、

前記第 1 メモリセル構造物と前記第 2 メモリセル構造物との間に配置され、前記第 1 及び第 2 チャネルに共通に電氣的に接続されるビットラインと、

前記ベース層の第 2 面上で互いに離隔して配置される第 1 及び第 2 導電層と、

前記第 1 及び第 2 導電層上に配置され、前記第 2 導電層の一部を露出させる開口部を有するパッド絶縁層と、

10

前記第 2 導電層の下で前記第 1 面に垂直な方向に沿って延長され、前記第 2 導電層と電氣的に接続される第 1 コンタクトプラグと、

前記第 2 メモリセル構造物の下部で前記第 1 接合パッドと対応するように配置される複数の第 2 接合パッドと、を含み、

前記第 1 半導体構造物に含まれる前記複数の回路素子は、周辺回路領域の入出力回路を含み、

前記第 2 導電層は、前記周辺回路領域の入出力回路と電氣的に接続され、
前記第 2 半導体構造物は、前記ビットラインと並行して配置され、前記第 2 導電層と電氣的に接続される接続パッドをさらに含むことを特徴とする半導体装置。

【請求項 2】

前記第 1 コンタクトプラグは、前記第 2 導電層と前記接続パッドとの間に配置され、前記第 2 導電層及び前記接続パッドを電氣的に接続することを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記第 1 コンタクトプラグは、複数個からなり、1 つの前記第 2 導電層に前記第 1 コンタクトプラグの複数個が接続されることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記第 1 コンタクトプラグは、前記ベース層を貫通して前記第 2 導電層と直接接続されることを特徴とする請求項 2 に記載の半導体装置。

【請求項 5】

前記接続パッドと前記第 2 接合パッドとの間に配置され、前記第 2 接合パッドの少なくとも 1 つと前記接続パッドとを電氣的に接続する第 2 コンタクトプラグをさらに有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 6】

前記接続パッドは、前記ビットラインと実質的に同一の厚さを有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 7】

前記第 1 導電層は、前記第 1 及び第 2 ゲート電極と重畳するように配置され、前記第 2 導電層は、前記第 1 及び第 2 ゲート電極と重畳しないように前記第 1 及び第 2 ゲート電極から水平方向に離隔して配置されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 8】

前記第 1 導電層は、前記第 1 チャンネルに電氣的信号を印加するソースラインを構成し、
前記第 2 導電層は、前記第 1 導電層と電氣的に分離されることを特徴とする請求項 1 に記載の半導体装置。

【請求項 9】

前記第 1 及び第 2 導電層は、実質的に同一の高さレベルに位置し、実質的に同一の厚さを有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 10】

前記開口部を定義する前記パッド絶縁層の側面及び前記開口部によって露出した前記第 2 導電層の上面は、前記半導体装置の外側に露出することを特徴とする請求項 1 に記載の半導体装置。

【請求項 11】

前記第 1 及び第 2 チャンネルは、前記ベース層に向かって幅が狭くなるように傾斜した側面を有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 12】

前記第 2 メモリセル構造物の下部に配置され、前記第 2 チャンネルに電氣的信号を印加するソースラインを構成する第 3 導電層をさらに有することを特徴とする請求項 1 に記載の半導体装置。

【請求項 13】

基板と、前記基板上に配置される複数の回路素子と、前記回路素子上に各々配置される

10

20

30

40

50

複数の第 1 接合パッドとを含む第 1 半導体構造物と、

前記第 1 半導体構造物上で前記第 1 半導体構造物と接続され、ベース層と、前記ベース層の下面上で、前記下面に垂直な方向に沿って積層される複数のメモリセル構造物と、前記メモリセル構造物の間に配置され、上下の前記メモリセル構造物の間で共有される少なくとも 1 つの配線ラインと、前記ベース層の上面上で互いに離隔して配置される第 1 及び第 2 導電層と、前記第 1 及び第 2 導電層上に配置され、前記第 2 導電層の一部を露出させる開口部を有するパッド絶縁層と、前記第 2 導電層の下部で前記配線ラインと並行して配置され、前記第 2 導電層と電氣的に接続される接続パッドと、前記メモリセル構造物の下部で前記第 1 接合パッドと対応するように配置される複数の第 2 接合パッドと、を含む第 2 半導体構造物と、を有し、

10

前記第 1 半導体構造物に含まれる前記複数の回路素子は、周辺回路領域の入出力回路を含み、

前記第 2 導電層は、前記周辺回路領域の入出力回路と電氣的に接続されることを特徴とする半導体装置。

【請求項 1 4】

前記接続パッドの上面及び下面にそれぞれ配置される複数のコンタクトプラグをさらに有することを特徴とする請求項 1 3 に記載の半導体装置。

【請求項 1 5】

前記第 2 導電層は、前記接続パッド及び前記コンタクトプラグを介して前記第 2 接合パッドの少なくとも 1 つと電氣的に接続されることを特徴とする請求項 1 4 に記載の半導体装置。

20

【請求項 1 6】

それぞれの前記メモリセル構造物は、前記ベース層の下面上に垂直な方向に沿って互いに離隔して積層されるゲート電極及び前記ゲート電極を貫通して延長されるチャンネルを含み、

前記少なくとも 1 つの配線ラインは、隣接する前記メモリセル構造物の前記チャンネルに共通に電氣的に接続されるビットラインを含むことを特徴とする請求項 1 3 に記載の半導体装置。

【請求項 1 7】

前記少なくとも 1 つの配線ラインは、隣接する前記メモリセル構造物の前記チャンネルに共通に電氣的に接続されるソースラインをさらに含むことを特徴とする請求項 1 6 に記載の半導体装置。

30

【請求項 1 8】

基板と、前記基板上に配置される複数の回路素子と、及び前記回路素子上に各々配置される複数の第 1 接合パッドと、を含む第 1 半導体構造物と、

前記第 1 半導体構造物上で前記第 1 半導体構造物と接続され、ベース層と、前記ベース層の下面上で、前記下面に垂直な方向に沿って積層され、垂直に積層されたゲート電極を含む複数のメモリセル構造物と、前記メモリセル構造物の間に配置され、上下の前記メモリセル構造物の間で共有される少なくとも 1 つの配線ラインと、前記ゲート電極の上部で前記ベース層上に配置される第 1 導電層と、前記第 1 導電層と水平方向に離隔して配置され、外部装置との電氣的接続のために提供される第 2 導電層と、前記第 1 及び第 2 導電層上に配置され、前記第 2 導電層の一部を露出させる開口部を有するパッド絶縁層と、前記第 2 導電層の下部で前記配線ラインと並行して配置され、前記第 2 導電層と電氣的に接続される接続パッドと、前記メモリセル構造物の下部で前記第 1 接合パッドと対応するように配置される複数の第 2 接合パッドと、を含む第 2 半導体構造物と、を有し、

40

前記第 1 半導体構造物に含まれる前記複数の回路素子は、周辺回路領域の入出力回路を含み、

前記第 2 導電層は、前記周辺回路領域の入出力回路と電氣的に接続されることを特徴とする半導体装置。

【請求項 1 9】

50

前記第 1 導電層は、下部の前記メモリセル構造物に電気信号を印加するソースラインであることを特徴とする請求項 1 8 に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に、集積度及び信頼性が向上した半導体装置に関する。

【背景技術】

【0002】

半導体装置は、その体積が次第に小さくなりながらも高容量のデータ処理を要することが求められている。

10

そのため、このような半導体装置を構成する半導体素子の集積度を高める必要がある。

【0003】

上記に対し、半導体装置の集積度を向上させるための方法の 1 つとして、既存の平面トランジスタ構造の代わりに垂直トランジスタ構造を有する半導体装置が提案されている。

そして、垂直トランジスタ構造の集積度及び信頼性を向上させることが課題となっている。

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明は上記従来の垂直トランジスタ構造を有する半導体装置における課題に鑑みてなされたものであって、本発明の目的は、集積度及び信頼性が向上した半導体装置を提供することにある。

20

【課題を解決するための手段】

【0005】

上記目的を達成するためになされた本発明による半導体装置は、基板と、前記基板上に配置される複数の回路素子と、前記回路素子上に各々配置される複数の第 1 接合パッドと、を含む第 1 半導体構造物と、前記第 1 半導体構造物上で前記第 1 半導体構造物と接続される第 2 半導体構造物と、を有し、前記第 2 半導体構造物は、前記第 1 半導体構造物に向かう第 1 面と前記第 1 面と対向する第 2 面とを有するベース層と、前記ベース層の第 1 面上で前記第 1 面に垂直な方向に沿って互いに離隔して積層される第 1 ゲート電極と、前記第 1 ゲート電極の少なくとも一部を貫通して延長される第 1 チャネルと、を含む第 1 メモリセル構造物と、前記第 1 ゲート電極の下部で前記第 1 面に垂直な方向に沿って互いに離隔して積層される第 2 ゲート電極と、前記第 2 ゲート電極の少なくとも一部を貫通して延長される第 2 チャネルと、を含む第 2 メモリセル構造物と、前記第 1 メモリセル構造物と前記第 2 メモリセル構造物との間に配置され、前記第 1 及び第 2 チャネルに共通に電氣的に接続されるビットラインと、前記ベース層の第 2 面上で互いに離隔して配置される第 1 及び第 2 導電層と、前記第 1 及び第 2 導電層上に配置され、前記第 2 導電層の一部を露出させる開口部を有するパッド絶縁層と、前記第 2 導電層の下で前記第 1 面に垂直な方向に沿って延長され、前記第 2 導電層と電氣的に接続される第 1 コンタクトプラグと、前記第 2 メモリセル構造物の下部で前記第 1 接合パッドと対応するように配置される複数の第 2 接合パッドと、を含み、前記第 1 半導体構造物に含まれる前記複数の回路素子は、周辺回路領域の入出力回路を含み、前記第 2 導電層は、前記周辺回路領域の入出力回路と電氣的に接続され、前記第 2 半導体構造物は、前記ビットラインと並行して配置され、前記第 2 導電層と電氣的に接続される接続パッドをさらに含むことを特徴とする。

30

40

【0006】

また、上記目的を達成するためになされた本発明による半導体装置は、基板と、前記基板上に配置される複数の回路素子と、前記回路素子上に各々配置される複数の第 1 接合パッドとを含む第 1 半導体構造物と、前記第 1 半導体構造物上で前記第 1 半導体構造物と接続され、ベース層と、前記ベース層の下面上で、前記下面に垂直な方向に沿って積層される複数のメモリセル構造物と、前記メモリセル構造物の間に配置され、上下の前記メモリ

50

セル構造物の間で共有される少なくとも1つの配線ラインと、前記ベース層の上面上で互いに離隔して配置される第1及び第2導電層と、前記第1及び第2導電層上に配置され、前記第2導電層の一部を露出させる開口部を有するパッド絶縁層と、前記第2導電層の下部で前記配線ラインと並行して配置され、前記第2導電層と電氣的に接続される接続パッドと、前記メモリセル構造物の下部で前記第1接合パッドと対応するように配置される複数の第2接合パッドと、を含む第2半導体構造物と、を有し、前記第1半導体構造物に含まれる前記複数の回路素子は、周辺回路領域の入出力回路を含み、前記第2導電層は、前記周辺回路領域の入出力回路と電氣的に接続されることを特徴とする。

【0007】

また、上記目的を達成するためになされた本発明による半導体装置は、基板と、前記基板上に配置される複数の回路素子と、及び前記回路素子上に各々配置される複数の第1接合パッドと、を含む第1半導体構造物と、前記第1半導体構造物上で前記第1半導体構造物と接続され、ベース層と、前記ベース層の下面上で、前記下面に垂直な方向に沿って積層され、垂直に積層されたゲート電極を含む複数のメモリセル構造物と、前記メモリセル構造物の間に配置され、上下の前記メモリセル構造物の間で共有される少なくとも1つの配線ラインと、前記ゲート電極の上部で前記ベース層上に配置される第1導電層と、前記第1導電層と水平方向に離隔して配置され、外部装置との電氣的接続のために提供される第2導電層と、前記第1及び第2導電層上に配置され、前記第2導電層の一部を露出させる開口部を有するパッド絶縁層と、前記第2導電層の下部で前記配線ラインと並行して配置され、前記第2導電層と電氣的に接続される接続パッドと、前記メモリセル構造物の下部で前記第1接合パッドと対応するように配置される複数の第2接合パッドと、を含む第2半導体構造物と、を有し、前記第1半導体構造物に含まれる前記複数の回路素子は、周辺回路領域の入出力回路を含み、前記第2導電層は、前記周辺回路領域の入出力回路と電氣的に接続されることを特徴とする。

【発明の効果】

【0008】

本発明に係る半導体装置によれば、2つ以上の半導体構造物が接合された構造において、ソース導電層を用いて入出力パッドを配置することにより、集積度及び信頼性が向上した半導体装置を提供することができる。

【図面の簡単な説明】

【0009】

【図1】本発明の一実施形態による半導体装置の概略的な構成を示すブロック図である。

【図2】本発明の一実施形態による半導体装置のセルアレイの等価回路図である。

【図3】本発明の一実施形態による半導体装置の配置を説明するための概略的な斜視図である。

【図4】本発明の一実施形態による半導体装置の概略的な構成を示す断面図である。

【図5a】本発明の一実施形態による半導体装置の一部構成を示す概略的な断面図である。

【図5b】本発明の一実施形態による半導体装置の一部構成を示す概略的な断面図である。

【図6a】本発明の一実施形態による半導体装置の一部構成を示す概略的な断面図である。

【図6b】本発明の一実施形態による半導体装置の一部構成を示す概略的な断面図である。

【図7a】本発明の一実施形態による半導体装置の一部構成を示す概略的な平面図である。

【図7b】本発明の一実施形態による半導体装置の一部構成を示す概略的な平面図である。

【図8a】本発明の一実施形態による半導体装置の概略的な構成を示す断面図である。

【図8b】本発明の一実施形態による半導体装置の概略的な構成を示す断面図である。

【図8c】本発明の一実施形態による半導体装置の概略的な構成を示す断面図である。

【図9】本発明の一実施形態による半導体装置の概略的な構成を示す断面図である。

【図10a】本発明の一実施形態による半導体装置の製造方法を説明するための概略的な断面図である。

【図10b】本発明の一実施形態による半導体装置の製造方法を説明するための概略的な断面図である。

10

20

30

40

50

【図 1 0 c】本発明の一実施形態による半導体装置の製造方法を説明するための概略的な断面図である。

【図 1 0 d】本発明の一実施形態による半導体装置の製造方法を説明するための概略的な断面図である。

【図 1 0 e】本発明の一実施形態による半導体装置の製造方法を説明するための概略的な断面図である。

【図 1 0 f】本発明の一実施形態による半導体装置の製造方法を説明するための概略的な断面図である。

【図 1 0 g】本発明の例示的な実施形態による半導体装置の製造方法を説明するための概略的な断面図である。

10

【図 1 0 h】本発明の一実施形態による半導体装置の製造方法を説明するための概略的な断面図である。

【図 1 0 i】本発明の一実施形態による半導体装置の製造方法を説明するための概略的な断面図である。

【図 1 0 j】本発明の一実施形態による半導体装置の製造方法を説明するための概略的な断面図である。

【図 1 1】本発明の一実施形態による半導体パッケージの概略的な構成を示す断面図である。

【図 1 2】本発明の一実施形態による半導体装置を含む電子機器の概略構成を示すブロック図である。

20

【発明を実施するための形態】

【0 0 1 0】

次に、本発明に係る半導体装置を実施するための形態の具体例を図面を参照しながら説明する。

【0 0 1 1】

以下、添付された図面を参照して、本発明の好ましい実施形態を以下のように説明する。

以下では、「上」、「上部」、「上面」、「下」、「下部」、「下面」、「側面」などの用語は、図面符号で表記されて別に称される場合を除き、図面を基準に称するものと理解するものとする。

【0 0 1 2】

30

図 1 は、本発明の一実施形態による半導体装置の概略的な構成を示すブロック図である。

図 1 を参照すると、半導体装置 1 0 は、メモリセルアレイ 2 0、及び周辺回路 3 0 を含む。

周辺回路 3 0 は、ローデコーダ 3 2、ページバッファ 3 4、入出力（I/O）バッファ 3 5、制御ロジック 3 6、及び電圧発生器 3 7 を含む。

【0 0 1 3】

メモリセルアレイ 2 0 は、複数のメモリブロックを含み、それぞれのメモリブロックは、複数のメモリセルを含む。

複数のメモリセルは、ストリング選択ライン S S L、ワードライン W L、及び接地選択ライン G S L を介してローデコーダ 3 2 と接続され、ビットライン B L を介してページバッファ 3 4 と接続される。

40

本発明の一実施形態において、同一の行に沿って配列される複数のメモリセルは、同一のワードライン W L に接続され、同一の列に沿って配列される複数のメモリセルは、同一のビットライン B L に接続される。

【0 0 1 4】

ローデコーダ 3 2 は、入力されたアドレス A D D R をデコードし、ワードライン W L の駆動信号を発生させて伝達する。

ローデコーダ 3 2 は、制御ロジック 3 6 の制御に応答し、電圧発生器 3 7 から発生したワードライン電圧を選択されたワードライン W L 及び非選択されたワードライン W L にそれぞれ提供する。

50

【 0 0 1 5 】

ページバッファ 3 4 は、ビットライン B L を介してメモリセルアレイ 2 0 と接続され、メモリセルに記憶された情報を読み取る。

ページバッファ 3 4 は、動作モードに応じて、メモリセルに記憶されるデータを一時的に記憶したり、メモリセルに記憶されたデータを感知したりする。

ページバッファ 3 4 は、カラムデコード及び感知増幅器を含み得る。

カラムデコードは、メモリセルアレイ 2 0 のビットライン B L を選択的に活性化することができ、感知増幅器は、読み出し動作時にカラムデコードによって選択されたビットライン B L の電圧を感知し、選択されたメモリセルに記憶されたデータを読み出す。

【 0 0 1 6 】

入出力 (I / O) バッファ 3 5 は、プログラム動作時にデータ D A T A の入力を受けてページバッファ 3 4 に伝達し、読み出し動作時にページバッファ 3 4 から伝達されたデータ D A T A を外部に出力する。

入出力バッファ 3 5 は、入力されるアドレスまたはコマンドを制御ロジック 3 6 に伝達する。

【 0 0 1 7 】

制御ロジック 3 6 は、ローデコード 3 2 及びページバッファ 3 4 の動作を制御する。

制御ロジック 3 6 は、外部から伝達される制御信号及び外部電圧を受信し、受信した制御信号に従って動作する。

制御ロジック 3 6 は制御信号に応答して、読み出し、書き込み、及び / または消去動作を制御する。

【 0 0 1 8 】

電圧発生器 3 7 は、外部電圧を用いて内部動作に必要な電圧、例えば、プログラム電圧、読み出し電圧、消去電圧などを生成する。

電圧発生器 3 7 によって生成される電圧は、ローデコード 3 2 を介してメモリセルアレイ 2 0 に伝達される。

【 0 0 1 9 】

図 2 は、本発明の一実施形態による半導体装置のセルアレイの等価回路図である。

図 2 を参照すると、メモリセルアレイ 2 0 A は、互いに直列に接続される第 1 メモリセル M C 1、第 1 メモリセル M C 1 の両端に直列に接続される第 1 接地選択トランジスタ G S T 1 及び第 1 スtring 選択トランジスタ (S S T 1 _ 1、S S T 1 _ 2) を含む複数の第 1 メモリセル String S T 1 を含む。

【 0 0 2 0 】

複数の第 1 メモリセル String S T 1 は、それぞれの共通ビットライン (B L 0 ~ B L 2) に並列に接続される。

複数の第 1 メモリセル String S T 1 は、第 1 共通ソースライン C S L 1 に共通に接続される。

即ち、複数の共通ビットライン (B L 0 ~ B L 2) と 1 つの第 1 共通ソースライン C S L 1 との間に複数の第 1 メモリセル String S T 1 が配置される。

本発明の一実施形態において、第 1 共通ソースライン C S L 1 は、複数個が 2 次元的に配列、配置させることもできる。

【 0 0 2 1 】

また、メモリセルアレイ 2 0 A は、共通ビットライン (B L 0 ~ B L 2) の上部に配置され、互いに直列に接続される第 2 メモリセル M C 2、第 2 メモリセル M C 2 の両端に直列に接続される第 2 接地選択トランジスタ G S T 2、及び第 2 String 選択トランジスタ (S S T 2 _ 1、S S T 2 _ 2) を含む複数の第 2 メモリセル String S T 2 を含む。

複数の第 2 メモリセル String S T 2 は、それぞれの共通ビットライン (B L 0 ~ B L 2) に並列に接続される。

複数の第 2 メモリセル String S T 2 は、第 2 共通ソースライン C S L 2 に共通に接続される。

10

20

30

40

50

即ち、複数の共通ビットライン（ $BL_0 \sim BL_2$ ）と1つの第2共通ソースライン CSL_2 との間に複数の第2メモリセルストリング ST_2 を配置させることもできる。

【0022】

メモリセルアレイ20Aにおいて中央に配置される共通ビットライン（ $BL_0 \sim BL_2$ ）は、上下の第1及び第2メモリセルストリング（ ST_1 、 ST_2 ）に共通に電氣的に接続される。

共通ビットライン（ $BL_0 \sim BL_2$ ）を中心に、第1及び第2メモリセルストリング（ ST_1 、 ST_2 ）は実質的に同一の回路構造を有する。

以下では、第1及び第2メモリセルストリング（ ST_1 、 ST_2 ）の共通している説明について、第1及び第2メモリセルストリング（ ST_1 、 ST_2 ）を区分せずに説明する。

10

【0023】

互いに直列に接続されるメモリセル（ MC_1 、 MC_2 ）は、メモリセル（ MC_1 、 MC_2 ）を選択するためのワードライン（ $WL_1_0 \sim WL_1_n$ 、 $WL_2_0 \sim WL_2_n$ ）によって制御される。

それぞれのメモリセル（ MC_1 、 MC_2 ）は、データの記憶要素を含む。

共通ソースライン（ CSL_1 、 CSL_2 ）から実質的に同一の距離に配置されるメモリセル（ MC_1 、 MC_2 ）のゲート電極は、ワードラインに（ $WL_1_0 \sim WL_1_n$ 、 $WL_2_0 \sim WL_2_n$ ）の内の1つに共通に接続されて等電位状態にある。

または、メモリセル（ MC_1 、 MC_2 ）のゲート電極が共通ソースライン（ CSL_1 、 CSL_2 ）から実質的に同一の距離に配置されても、互いに異なる行または列に配置されるゲート電極が独立に制御される。

20

【0024】

接地選択トランジスタ（ GST_1 、 GST_2 ）は、接地選択ライン（ GSL_1 、 GSL_2 ）によって制御され、共通ソースライン（ CSL_1 、 CSL_2 ）に接続される。

ストリング選択トランジスタ（ SST_1_1 、 SST_1_2 、 SST_2_1 、 SST_2_2 ）は、ストリング選択ライン（ SSL_1a 、 SSL_1b 、 SSL_1c 、 SSL_1_2a 、 SSL_1_2b 、 SSL_1_2c 、 SSL_2_1a 、 SSL_2_1b 、 SSL_2_1c 、 SSL_2_2a 、 SSL_2_2b 、 SSL_2_2c ）によって制御され、共通ビットライン（ $BL_0 \sim BL_2$ ）に接続される。

図2では、互いに直列に接続される複数個のメモリセル（ MC_1 、 MC_1 ）にそれぞれ1つの接地選択トランジスタ（ GST_1 、 GST_2 ）と2つのストリング選択トランジスタ（ SST_1_1 、 SST_1_2 、 SST_2_1 、 SST_2_2 ）が接続される構造を示したが、それぞれ1つのストリング選択トランジスタが接続されるか、または複数の接地選択トランジスタが接続されることもできる。

30

【0025】

ワードライン（ $WL_1_0 \sim WL_1_n$ 、 $WL_2_0 \sim WL_2_n$ ）のうち最上位のワードライン（ WL_1_n 、 WL_2_n ）とストリング選択ライン（ SSL_1a 、 SSL_1b 、 SSL_1c 、 SSL_1_2a 、 SSL_1_2b 、 SSL_1_2c 、 SSL_2_1a 、 SSL_2_1b 、 SSL_2_1c 、 SSL_2_2a 、 SSL_2_2b 、 SSL_2_2c ）との間に1つ以上のダミーライン（ DWL_1 、 DWL_2 ）またはバッファラインがさらに配置され得る。

40

本発明の一実施形態において、最下位のワードライン（ WL_1_0 、 WL_2_0 ）と接地選択ライン（ GSL_1 、 GSL_2 ）との間にも1つ以上のダミーラインを配置することができる。

本明細書において「ダミー（dummy）」という用語は、他の構成要素と同一または類似の構造及び形状を有するが、装置内で実質的に機能しない構成を称するのに用いる。

【0026】

ストリング選択トランジスタ（ SST_1_1 、 SST_1_2 、 SST_2_1 、 SST_2_2 ）にストリング選択ライン（ SSL_1a 、 SSL_1b 、 SSL_1c 、 SSL_1_2a 、 SSL_1_2b 、 SSL_1_2c 、 SSL_2_1a 、 SSL_2_1b 、 SSL_2

50

— 1 c、SSL2—2 a、SSL2—2 b、SSL2—2 c)を介して信号が印加されると、共通ビットライン(BL0~BL2)を介して印加される信号が、互いに直列に接続されたメモリセル(MC1、MC2)に伝達されることにより、データの読み出し及び書き込み動作が行われる。

また、基板を介して所定の消去電圧を印加することにより、メモリセル(MC1、MC2)に記録されたデータを消去する消去動作も行われ得る。

本発明の一実施形態において、メモリセルアレイ20Aは、共通ビットライン(BL0~BL2)と電氣的に分離される少なくとも1つのダミーメモリセルストリングを含み得る。

【0027】

図3は、本発明の一実施形態による半導体装置の配置を説明するための概略的な斜視図である。

図3を参照すると、半導体装置10Aは、垂直方向に積層された第1及び第2半導体構造物(S1、S2)を含む。

第1半導体構造物S1は、図1の周辺回路30を構成し、第2半導体構造物S2は、図1のメモリセルアレイ20を構成する。

【0028】

第1半導体構造物S1は、ローデコーダDEC、ページバッファPB、及びその他の周辺回路PERIを含む。

ローデコーダDECは、図1を参照して上述したローデコーダ32に該当し、ページバッファPBは、ページバッファ34に該当する領域である。

また、その他の周辺回路PERIは、図1の制御ロジック36及び電圧発生器37を含む領域であり得、例えば、ラッチ回路(latch circuit)、キャッシュ回路(cache circuit)、または感知増幅器(sense amplifier)を含み得る。

その他にも、その他の周辺回路PERIは、図1の入出力バッファ35を含むことができ、ESD(Electrostatic discharge)素子、又はデータ入出力回路を含み得る。

本発明の一実施形態において、入出力バッファ35は、その他の周辺回路PERIの周囲で別途の領域をなすように配置することもできる。

【0029】

第1半導体構造物S1においてこのような様々な回路領域(DEC、PB、PERI)の少なくとも一部は、第2半導体構造物S2のメモリセルアレイ(MCA1、MCA2)の下部に配置される。

例えば、ページバッファPB及びその他の周辺回路PERIがメモリセルアレイ(MCA1、MCA2)の下部でメモリセルアレイ(MCA1、MCA2)と重なるように配置され得る。

但し、実施形態において、第1半導体構造物S1に含まれる回路及び配置形態は多様に変更することができ、これにより、メモリセルアレイ(MCA1、MCA2)と重なって配置される回路も多様に変更され得る。

また、実施形態において、回路領域(DEC、PB、PERI)は、メモリセルアレイ(MCA1、MCA2)の個数及び大きさに応じて、図3に示した配置形態が連続的に繰り返して配置される形態を有することもできる。

【0030】

第2半導体構造物S2は、メモリセルアレイ(MCA1、MCA2)及びパッド領域PADを含む。

メモリセルアレイ(MCA1、MCA2)は、垂直に積層された第1及び第2メモリセルアレイ(MCA1、MCA2)を含み、第1及び第2メモリセルアレイ(MCA1、MCA2)はそれぞれ、同一平面上で互いに離隔して並行して配置される。

但し、実施形態において、第2半導体構造物S2に配置されるメモリセルアレイ(MC

10

20

30

40

50

A 1、M C A 2)の個数、層数及び配置形態は多様に変更することができる。

パッド領域 P A Dは、メモリセルアレイ (M C A 1、M C A 2)の少なくとも一側に配置され得、例えば、第 2 半導体構造物 S 2の少なくとも一端に沿って列をなして配置され得る。

または、第 1 及び第 2 メモリセルアレイ (M C A 1、M C A 2)のそれぞれの間の領域に列をなして配置することもできる。

パッド領域 P A Dは、外部装置などと電氣的信号を送受信するように構成される。

半導体装置 1 0 Aの内部では、パッド領域 P A Dは、第 1 半導体構造物 S 1のその他の周辺回路 P E R I内の回路の内の、例えば図 1の入出力バッファ 3 5に該当する入出力回路と電氣的に接続される領域であり得る。

10

【 0 0 3 1 】

図 4は、本発明の一実施形態による半導体装置の概略的な構成を示す断面図である。

図 4を参照すると、半導体装置 1 0 0は、上下に積層された第 1 半導体構造物 S 1及び第 2 半導体構造物 S 2を含む。

【 0 0 3 2 】

第 1 半導体構造物 S 1は、図 3の第 1 半導体構造物 S 1のように周辺回路領域 P E R Iを含む。

第 2 半導体構造物 S 2は、図 3の第 2 半導体構造物 S 2のようにメモリセル領域 (C E L L 1、C E L L 2)を含む。

半導体装置 1 0 0は、第 1 ~ 第 3 領域 (I、I I、I I I)を含み、第 1 及び第 2 領域 (I、I I)は、互いに垂直な方向にそれぞれ切断された領域である。

20

第 3 領域 I I Iは、図 3のパッド領域 P A Dに対応するパッド領域 P A Dが位置する領域を含むことができ、平面上において第 1 及び第 2 領域 (I、I I)の外側に位置し得る。

第 1 半導体構造物 S 1は、基板 1 0 1、基板 1 0 1上に配置された回路素子 1 2 0、回路コンタクトプラグ 1 6 0、回路配線ライン 1 7 0、及び第 1 接合パッド 1 8 0を含む。

【 0 0 3 3 】

基板 1 0 1は、x方向とy方向に延長される上面を有する。

基板 1 0 1は、別途の素子分離層が形成されて活性領域が定義される。

活性領域の一部には、不純物を含むソース/ドレイン領域 1 0 5が配置される。

基板 1 0 1は、半導体物質、例えば、I V族半導体、I I I - V族化合物半導体または I I - V I族化合物半導体を含むことができる。

30

例えば、基板 1 0 1は、単結晶のバルクウェハーとして提供され得る。

【 0 0 3 4 】

回路素子 1 2 0は、水平トランジスタを含む。

それぞれの回路素子 1 2 0は、回路ゲート誘電層 1 2 2、スペーサ層 1 2 4、及び回路ゲート電極 1 2 5を含む。

回路ゲート電極 1 2 5の両側における基板 1 0 1内には、ソース/ドレイン領域 1 0 5が配置される。

【 0 0 3 5 】

周辺領域絶縁層 1 9 0は、基板 1 0 1上において回路素子 1 2 0上に配置される。

40

回路コンタクトプラグ 1 6 0は、周辺領域絶縁層 1 9 0を貫通してソース/ドレイン領域 1 0 5に接続され、基板 1 0 1から順次に位置する第 1 ~ 第 3 回路コンタクトプラグ (1 6 2、1 6 4、1 6 6)を含む。

回路コンタクトプラグ 1 6 0によって回路素子 1 2 0に電氣的信号が印加される。

図に示していない領域において、回路ゲート電極 1 2 5にも回路コンタクトプラグ 1 6 0が接続され得る。

回路配線ライン 1 7 0は、回路コンタクトプラグ 1 6 0と接続され、複数の層をなす第 1 ~ 第 3 回路配線ライン (1 7 2、1 7 4、1 7 6)を含む。

【 0 0 3 6 】

第 1 接合パッド 1 8 0は、第 3 回路コンタクトプラグ 1 6 6と接続されるように配置さ

50

れ、上面が周辺領域絶縁層 190 を介して第 1 半導体構造物 S 1 の上面に露出する。

第 1 接合パッド 180 は、第 2 接合パッド 280 と共に、第 1 半導体構造物 S 1 と第 2 半導体構造物 S 2 とを接合するための接合層としての機能を果たす。

第 1 接合パッド 180 は、第 2 半導体構造物 S 2 との接合及びそれによる電氣的接続経路を提供するために、他の上記配線構造に比べて大きい平面積を有する。

第 1 接合パッド 180 は、第 2 接合パッド 280 と対応する位置に配置され、第 2 接合パッド 280 と同一または類似の大きさを有する。

第 1 接合パッド 180 は、導電性物質、例えば銅 (Cu) を含み得る。

【0037】

第 2 半導体構造物 S 2 は、ベース層 201 及びベース層 201 上に上下に積層された第 1 及び第 2 メモリセル領域 (CELL1、CELL2) を含む。

10

第 1 メモリセル領域 CELL1 は、ベース層 201 の下面上に積層されたゲート電極 230 (231 ~ 239)、ゲート電極 230 と交互に積層される層間絶縁層 220、ゲート電極 230 を貫通するように配置される分離絶縁層 210、ゲート電極 230 を貫通するように配置される第 1 チャネル CH1、第 1 チャネル CH1 の下部のストリング選択チャネル領域 240S、ストリング選択チャネル領域 240S の下部の第 1 接続部 262、第 1 接続部 262 の下部の共通ビットライン 270、及びゲート電極 230 を覆う上部セル領域絶縁層 285U を含む。

第 1 メモリセル領域 CELL1 は、ベース層 201 の上面上に順次に積層されて配置される上部導電層 205U 及びパッド絶縁層 290 をさらに含む。

20

また、第 1 メモリセル領域 CELL1 は、第 1 チャネル CH1 内のチャネル領域 240、ゲート誘電層 245、チャネル絶縁層 250、及び第 1 チャネルパッド 255U をさらに含む。

【0038】

第 2 メモリセル領域 CELL2 は、共通ビットライン 270 の下面上の第 2 接続部 264、第 2 接続部 264 の下部のストリング選択チャネル 240S、ストリング選択チャネル 240S の下部の第 2 チャネルパッド 255L、第 2 チャネルパッド 255L の下部の第 2 チャネル CH2、第 2 チャネル CH2 の下部の第 3 接続部 266、第 3 接続部 266 の下部の下部導電層 205L、下部導電層 205L の下部の第 4 接続部 268、及び第 4 接続部 268 と接続される第 2 接合パッド 280 を含む。

30

第 2 メモリセル領域 CELL2 は、第 1 メモリセル領域 CELL1 と同様に、第 2 チャネル CH2 を囲み、z 方向に互いに離隔して積層されたゲート電極 230、層間絶縁層 220、ゲート電極 230 を貫通するように配置される分離絶縁層 210、及びゲート電極 230 を覆う下部セル領域絶縁層 285La、285Lb をさらに含む。

【0039】

第 2 半導体構造物 S 2 は、配線構造物であって、上部導電層 205U に信号を印加する第 1 コンタクトプラグ 260、共通ビットライン 270 と並行して配置される接続パッド 275、接続パッド 275 の下部の第 2 接続部 264、及び第 2 接続部 264 と第 2 接合パッド 280 を接続する第 2 コンタクトプラグ 261 をさらに含む。

【0040】

40

ベース層 201 は、x 方向と y 方向に延長される下面を有する。

ベース層 201 は、半導体物質を含み得る。

例えば、ベース層 201 は、多結晶シリコン層、またはエピタキシャル層として提供され得る。

ベース層 201 は、不純物を含むドーブ領域を含み得る。

【0041】

ゲート電極 230 は、ベース層 201 の下面上に垂直に離隔して積層され、層間絶縁層 220 と共に積層構造をなす。

ゲート電極 230 は、図 2 の接地選択トランジスタ GST のゲートをなす下部ゲート電極 231、複数のメモリセル MC をなすメモリゲート電極 (232 ~ 238)、及びスト

50

リング選択トランジスタ (SST1、SST2) のゲートをなす上部ゲート電極 239 を含む。

半導体装置 100 の容量に応じて、メモリセル MC をなすメモリゲート電極 (232 ~ 238) の個数が決定される。

実施形態に応じて、ストリング選択トランジスタ (SST1、SST1) 及び接地選択トランジスタ GST1 の上部及び下部ゲート電極 (239、231) はそれぞれ 1 つまたは 2 つ以上であり得る。

【0042】

下部ゲート電極 231 によって提供される接地選択トランジスタ GST は、メモリセル MC と同一または異なる構造を有することができ、上部ゲート電極 239 によって提供されるストリング選択トランジスタ (SST1、SST2) は、メモリセル MC と異なる構造を有することができる。

10

特に、上部ゲート電極 239 は、他のゲート電極 (231 ~ 238) とは異なり、x-y 平面上において隣接するチャネル (CH1、CH2) の間に分割されて配置され得る。

一部のゲート電極 230、例えば、上部または下部ゲート電極 (231、239) に隣接したメモリゲート電極 (232 ~ 238) は、ダミーゲート電極であり得る。

【0043】

ゲート電極 230 は、ベース層 201 の下面上に垂直に互いに離隔して積層され、少なくとも一方向に互いに異なる長さで延長されて階段状の段差をなす。

ゲート電極 230 は x 方向に沿って、図 4 に示したような段差をなし、y 方向にも段差をなすように配置される。

20

上記段差によって、ゲート電極 230 はゲート電極 230 の端部を含む所定領域が露出される。

ゲート電極 230 は、図に示していない領域において、上記段差を介して別途のコンタクトプラグと接続され得る。

【0044】

ゲート電極 230 は、x 方向に沿って延長される分離絶縁層 210 によって一定の単位に分割されるように配置される。

一对の分離絶縁層 210 の間においてゲート電極 230 は、1 つのメモリブロックをなすことができるが、メモリブロックの範囲はこれに限定されない。

30

ゲート電極 230 の一部、例えば、メモリゲート電極 (232 ~ 238) は、1 つのメモリブロック内で 1 つの層をなすことができる。

また、ゲート電極 230 は、少なくとも一部領域で貫通絶縁層 282 によって定義される貫通配線領域を有することができる。

【0045】

層間絶縁層 220 は、ゲート電極 230 の間に配置される。

層間絶縁層 220 もゲート電極 230 と同様に、ベース層 201 の下面に垂直な方向に互いに離隔し、x 方向に延長されるように配置される。

層間絶縁層 220 は、シリコン酸化物及びシリコン窒化物のような絶縁性物質を含み得る。

40

【0046】

第 1 及び第 2 チャネル (CH1、CH2) は、ベース層 201 の下面上に行と列をなし互いに離隔して配置される。

第 1 及び第 2 チャネル (CH1、CH2) は、格子柄を形成するように配置されるか、または一方向にジグザグ状に配置され得る。

第 1 及び第 2 チャネル (CH1、CH2) は、柱状を有し、横縦比によってベース層 201 に近いほど狭くなる傾斜した側面を有し得る。

第 1 及び第 2 チャネル (CH1、CH2) は、互いに同一の方向に傾斜した側面を有し得る。

例えば、第 1 及び第 2 チャネル (CH1、CH2) はいずれも、上部に向かうほど狭く

50

なるように傾斜した側面を有する。

本発明の一実施形態において、第1及び第2チャネル(CH1、CH2)の一部は、ダミーチャネルであり得る。

【0047】

第1及び第2チャネル(CH1、CH2)内には、チャネル領域240が配置される。

第1及び第2チャネル(CH1、CH2)内におけるチャネル領域240は、内部のチャネル絶縁層250を囲む環状(annular)に形成することができるが、実施形態に応じて、チャネル絶縁層250無しに円柱または角柱のような柱形状を有することもできる。

チャネル領域250は、多結晶シリコンまたは単結晶シリコンのような半導体物質を含むことができ、上記半導体物質は、ドーピングされていない物質であるか、またはp型またはn型不純物を含む物質であり得る。

【0048】

第1及び第2チャネル(CH1、CH2)において共通ビットライン270に隣接したチャネル領域240の端部には、チャネルパッド(255U、255L)が配置される。

チャネルパッド(255U、255L)は、チャネル絶縁層250の上面を覆い、チャネル領域240と電氣的に接続されるように配置される。

チャネルパッド(255U、255L)は、例えば、ドーピングされていない多結晶シリコンを含み得る。

【0049】

ゲート誘電層245は、ゲート電極230とチャネル領域240との間に配置される。

具体的に示していないが、ゲート誘電層245は、チャネル領域240から順次に積層されたトンネリング層、電荷保存層、及びブロッキング層を含む。

トンネリング層は、電荷を電荷保存層にトンネリングさせ、例えば、シリコン酸化物(SiO_2)、シリコン窒化物(Si_3N_4)、シリコン酸窒化物(SiON)、またはそれらの組み合わせを含み得る。

電荷保存層は、電荷トラップ層またはフローティングゲート導電層であり得る。

ブロッキング層は、シリコン酸化物(SiO_2)、シリコン窒化物(Si_3N_4)、シリコン酸窒化物(SiON)、高誘電率(high-k)誘電物質、またはそれらの組み合わせを含み得る。

本発明の一実施形態において、ゲート誘電層245の少なくとも一部は、ゲート電極230に沿って水平方向に延長され得る。

【0050】

チャネル領域240は、チャネルパッド(255U、255L)が配置されない端部でベース層201または第3接続部266と直接接続される。

【0051】

ストリング選択チャネル240Sは、チャネルパッド(255U、255L)と共通ビットライン270との間に配置される。

ストリング選択チャネル240Sは、上部ゲート電極239を貫通して一端がチャネルパッド(255U、255L)と接続され、他端が第1及び第2接続部(262、264)にそれぞれ接続される。

第1メモリセル領域CELL1のストリング選択チャネル240Sは、第1接続部262まで延長される1つの貫通孔内に配置され、第2メモリセル領域CELL2のストリング選択チャネル240Sは、第2チャネルパッド255Lまで延長される1つの貫通孔内に配置されるが、これに限定されない。

本明細書において、第1及び第2チャネル(CH1、CH2)という用語を広義に用いる場合には、貫通孔を含む領域までを称するように用いることができる。

ストリング選択チャネル240Sは、多結晶シリコンまたは単結晶シリコンのような半導体物質を含むことができ、上記半導体物質は、ドーピングされていない物質であるか、またはp型またはn型不純物を含む物質であり得る。

10

20

30

40

50

【 0 0 5 2 】

ストリング選択チャンネル 2 4 0 S と上部ゲート電極 2 3 9 との間には、ゲート絶縁層が配置され、ストリング選択チャンネル 2 4 0 S の内部には、貫通孔を埋め込むストリング絶縁層 2 5 0 S が配置される。

但し、実施形態に応じて、ストリング選択チャンネル 2 4 0 S が貫通孔を埋め込むことも可能である。

ストリング絶縁層 2 5 0 S は、シリコン酸化物、シリコン窒化物などの絶縁物質を含み得る。

【 0 0 5 3 】

第 1 接続部 2 6 2 は、第 1 チャンネル C H 1 の下部のストリング選択チャンネル 2 4 0 S と共通ビットライン 2 7 0 を接続するように配置される。

第 2 接続部 2 6 4 は、共通ビットライン 2 7 0 の下部で共通ビットライン 2 7 0 と第 2 チャンネル C H 2 の上部のストリング選択チャンネル 2 4 0 S を接続するように配置される。

第 3 接続部 2 6 6 は、第 2 チャンネル C H 2 の下部で第 2 チャンネル C H 2 と下部導電層 2 0 5 L を接続するように配置される。

第 4 接続部 2 6 8 は、下部導電層 2 0 5 L と第 2 接合パッド 2 8 0 を接続するコンタクトプラグであり得る。

【 0 0 5 4 】

第 1 ～ 第 4 接続部 (2 6 2 、 2 6 4 、 2 6 6 、 2 6 8) はそれぞれ、導電性物質を含み得る。

例えば、第 1 ～ 第 3 接続部 (2 6 2 、 2 6 4 、 2 6 6) は、ドーピングされた多結晶シリコンを含むことができ、第 4 接続部 2 6 8 は、タングステン (W) 、アルミニウム (A l) 、銅 (C u) 、タングステン窒化物 (W N) 、タンタル窒化物 (T a N) 、チタン窒化物 (T i N) 、またはそれらの組み合わせのような金属物質を含むことができる。

【 0 0 5 5 】

共通ビットライン 2 7 0 は、第 1 接続部 2 6 2 の下端で第 1 接続部 2 6 2 と第 2 接続部 2 6 4 との間に配置される。

共通ビットライン 2 7 0 は、第 1 及び第 2 チャンネル (C H 1 、 C H 2) に共通に接続され、図 2 のビットライン (B L 0 ～ B L 2) に該当する。

共通ビットライン 2 7 0 によって、半導体装置 1 0 0 はさらに高密度に集積させることができる。

共通ビットライン 2 7 0 は、多結晶シリコンのような半導体物質、またはタングステン (W) 、アルミニウム (A l) 、銅 (C u) 、タングステン窒化物 (W N) 、タンタル窒化物 (T a N) 、チタン窒化物 (T i N) 、またはそれらの組み合わせのような金属物質を含むことができる。

【 0 0 5 6 】

上部導電層 2 0 5 U は、互いに離隔して配置される第 1 及び第 2 導電層 (2 0 5 a 、 2 0 5 b) を含む。

第 1 及び第 2 導電層 (2 0 5 a 、 2 0 5 b) は、同一の工程段階で形成されて物質が互いに同一であり、互いに同一の高さレベルに同一の厚さを有して位置する。

即ち、第 1 及び第 2 導電層 (2 0 5 a 、 2 0 5 b) は、上面及び下面がそれぞれ互いに同一平面上に位置する。

下部導電層 2 0 5 L は、第 2 チャンネル C H 2 の下部に配置される。

上部及び下部導電層 (2 0 5 U 、 2 0 5 L) は、金属物質を含むことができ、例えば、タングステン (W) 、アルミニウム (A l) 、銅 (C u) 、タングステン窒化物 (W N) 、タンタル窒化物 (T a N) 、チタン窒化物 (T i N) 、またはそれらの組み合わせを含むことができる。

【 0 0 5 7 】

上部導電層 2 0 5 U において、第 1 導電層 2 0 5 a はベース層 2 0 1 の第 1 及び第 2 領域 (I 、 I I) の上部に配置され、平面上でゲート電極 2 3 0 及び第 1 チャンネル C H 1 と

10

20

30

40

50

重なって配置される。

第1導電層205aは、プレート状を有し、半導体装置100において図2の共通ソースラインCSLとしての機能を果たす。

第1導電層205aは、第1コンタクトプラグ260及びベース層201を介して周辺回路領域PERIから電気信号の印加を受け、これにより、ベース層201は、少なくとも一部領域にドーブ元素を含み得る。

または、第1導電層205aは、第1コンタクトプラグ260と直接接続することもできる。

【0058】

第2導電層205bは、第1導電層205aと物理的及び電氣的に分離されて位置し、x方向に沿って並んで位置する。

10

これにより、ベース層201も第1及び第2導電層(205a、205b)と共にベース層201の第1及び第2領域(I、II)と第3領域IIIで互いに分離されて配置される。

第2導電層205bは、平面上でゲート電極230及び第1チャネルCH1と重畳しないように配置される。

第2導電層205bは、ベース層201の第3領域IIIの上部に配置され、平面上で第1コンタクトプラグ260と重畳して配置される。

第2導電層205bは、上面を介して、半導体装置100が実装されるパッケージのような装置の信号伝達媒体のような電氣的接続構造物と接続される。

20

【0059】

即ち、上部に露出した第2導電層205bは、パッド領域PADとしての機能を果たす。半導体装置100の内部では、第2導電層205bが周辺回路領域PERIの入出力回路と電氣的に接続される。

半導体装置100では、共通ソースラインCSLとして用いられる第1導電層205aの形成工程を用いて第2導電層205bを形成し、それを外部との入出力のためのパッド領域PADとして用いることにより、全体厚さを最小化しながら工程を単純化することができる。

第2導電層205bは、一方向における幅が、例えば、50 μ m～200 μ mの範囲を有し得るが、これに限定されない。

30

【0060】

下部導電層205Lは、ベース層201の第1及び第2領域(I、II)において第2チャネルCH2の下部に配置され、平面上でゲート電極230及び第2チャネルCH2と重畳して配置される。

下部導電層205Lは、プレート状を有し、第1導電層205aと共に、半導体装置100において図2の共通ソースラインCSLとしての機能を果たす。

下部導電層205Lは、第4接続部268及び第2接合パッド280を介して周辺回路領域PERIから電気信号の印加を受ける。

【0061】

パッド絶縁層290は、上部導電層205U上に配置される。

40

パッド絶縁層290は、第2導電層205bの一部領域をオープンする開口部を有し、これにより第2導電層205bが上部に露出するようにする。

即ち、パッド絶縁層290は、パッド領域PADを定義する。

例えば、開口部は、複数個が図3のように列をなすように配置され得る。

開口部によって、半導体装置100の上面はリセスした領域を有する。

また、パッド絶縁層290は、半導体装置100を保護するパッシベーション層としての機能を果たすことができる。

【0062】

パッド絶縁層290は、シリコン酸化物、シリコン窒化物、及び炭化窒化物の少なくとも1つを含むことができる。

50

本発明の一実施形態において、パッド絶縁層 290 は、複数の層が積層された形態を有し得る。

この場合、下部層は、相対的に上部導電層 205 U との接合性に優れた物質からなり、上部層は、相対的にシリコン Si との接合性に優れた物質からなる。

例えば、下部層はシリコン酸化物を含み、上部層はシリコン窒化物を含む。

また、本発明の一実施形態において、パッド絶縁層 290 上に半導体装置 100 を保護するためのパッシベーション層がさらに配置させることもできる。

パッシベーション層は、例えば、感光性ポリイミド (photosensitive polyimide: PSPI) のような感光性樹脂物質からなることができるが、これに限定されず、シリコン窒化物、シリコン酸化物などの絶縁物質を含むことができる。

10

【0063】

第1コンタクトプラグ 260 は、上部セル領域絶縁層 285 U を貫通し、一端でベース層 201 または上部導電層 205 U と接続され、他端で接続パッド 275 と接続される。

本発明の一実施形態において、第1コンタクトプラグ 260 は、ベース層 201 を貫通して上部導電層 205 U と直接接続される。

第1コンタクトプラグ 260 は、図に示していない領域において、ゲート電極 230 とも接続され得る。

第2コンタクトプラグ 261 は、下部セル領域絶縁層 (285 La、285 Lb) を貫通して第2接続部 264 と第2接合パッド 280 を接続する。

第2コンタクトプラグ 261 の一部は、ゲート電極 230 を貫通する貫通絶縁層 282 を貫通するように配置される。

20

貫通絶縁層 282 は、絶縁物質を含み、内部に第2コンタクトプラグ 261 を含む配線構造物が形成され得る。

【0064】

第1及び第2コンタクトプラグ (260、261) は、円筒形状を有する。

第1及び第2コンタクトプラグ (260、261) は、縦横比によってベース層 201 に近いほど狭くなる傾斜した側面を有する。

本発明の一実施形態において、第1及び第2コンタクトプラグ (260、261) は、第2領域 II と第3領域 III で互いに異なる直径及び/または高さを有し得る。

実施形態に応じて、第1及び第2コンタクトプラグ (260、261) の一部は、電気的信号が印加されないダミーコンタクトプラグであり得る。

30

【0065】

接続パッド 275 は、共通ビットライン 270 と同一の工程段階で形成されて物質が互いに同一であり、互いに同一の高さレベルに同一の厚さを有して位置する。

即ち、接続パッド 275 及び共通ビットライン 270 は、上面及び下面がそれぞれ互いに同一平面上に位置する。

接続パッド 275 は、共通ビットライン 270 とは異なり、図2のビットライン (BL0 ~ BL2) には該当せず、接続パッド 275 の下面上の第2接続部 264 と共に、第1及び第2コンタクトプラグ (260、261) を接続する接続部としての機能を果たす。

【0066】

40

特に、第3領域 III において、パッド領域 PAD をなす第2導電層 205 b は、順次に第1コンタクトプラグ 260、接続パッド 275、第2接続部 264、第2コンタクトプラグ 261、及び第2接合パッド 280 を介して下部の周辺回路領域 PERI の回路素子 120 と電氣的に接続される。

したがって、セル領域絶縁層 (285 U、285 La、285 Lb) の高さが相対的に高い場合でも、安定的に周辺回路領域 PERI と電氣的に接続され得る。

【0067】

第2接合パッド 280 は、第4接続部 268 の下部に配置され、下面が第2下部セル領域絶縁層 285 Lb を介して第2半導体構造物 S2 の下面に露出する。

第2接合パッド 280 は、第1接合パッド 180 と共に、第1半導体構造物 S1 と第2

50

半導体構造物 S 2 を接合するための接合層としての機能を果たす。

第 2 接合パッド 2 8 0 は、第 1 半導体構造物 S 1 との接合及びそれによる電氣的接続経路を提供するために、他の配線構造に比べて大きい平面積を有し得る。

【 0 0 6 8 】

第 2 接合パッド 2 8 0 は、第 1 ～ 第 3 領域 (I 、 I I 、 I I I) でそれぞれ一定のパターンをなして配列される。

第 2 接合パッド 2 8 0 は、第 1 ～ 第 3 領域 (I 、 I I 、 I I I) で同一の高さレベルに配置され、互いに同一または異なる大きさを有し得る。

第 2 接合パッド 2 8 0 は平面上で、例えば、四角形、円形または楕円形の形状を有することができるが、これに限定されない。

第 2 接合パッド 2 8 0 は導電性物質、例えば、銅 (C u) を含むことができる。

【 0 0 6 9 】

セル領域絶縁層 (2 8 5 U 、 2 8 5 L a 、 2 8 5 L b) は、絶縁物質からなる。

セル領域絶縁層 (2 8 5 U 、 2 8 5 L a 、 2 8 5 L b) はそれぞれ、互いに異なる工程段階で形成された複数の絶縁層を含む。

したがって、セル領域絶縁層 (2 8 5 U 、 2 8 5 L a 、 2 8 5 L b) 間の区分は、例示的なものと理解されることができる。

本発明の一実施形態において、第 2 下部セル領域絶縁層 2 8 5 L b は、第 2 接合パッド 2 8 0 が配置される下端に所定の厚さを有する接合誘電体層を含む。

接合誘電層は、第 1 半導体構造物 S 1 の下面にも配置され、これにより誘電体 - 誘電体接合が行われる。

接合誘電層は、第 2 接合パッド 2 8 0 の拡散防止層としての機能も果たすことができ、例えば、S i O 、 S i N 、 S i C N 、 S i O C 、 S i O N 、及び S i O C N の少なくとも 1 つを含むことができる。

【 0 0 7 0 】

第 1 及び第 2 半導体構造物 (S 1 、 S 2) は、第 1 及び第 2 接合パッド (1 8 0 、 2 8 0) の接合、例えば、銅 (C u) - 銅 (C u) 接合によって接合される。

第 1 及び第 2 接合パッド (1 8 0 、 2 8 0) は、配線構造物の他の構成よりも相対的に広い面積を有するため、第 1 及び第 2 半導体構造物 (S 1 、 S 2) の間の電氣的接続の信頼性が向上することができる。

本発明の一実施形態において、第 1 及び第 2 半導体構造物 (S 1 、 S 2) は、第 1 及び第 2 接合パッド (1 8 0 、 2 8 0) の接合、及び第 1 及び第 2 接合パッド (1 8 0 、 2 8 0) の周囲に配置されたセル領域絶縁層 2 8 5 と周辺領域絶縁層 1 9 0 の誘電体 - 誘電体接合によるハイブリッド接合によって接合される。

【 0 0 7 1 】

図 5 a 及び図 5 b は、本発明の一実施形態による半導体装置の一部構成を示す概略的な断面図である。

図 5 a 及び図 5 b では、図 4 の「 A 」領域に対応する領域を拡大して示す。

図 5 a を参照すると、本実施形態では、図 4 の実施形態とは異なり、パッド領域 P A D と接続される第 1 コンタクトプラグ 2 6 0 a 上に第 1 接続部 2 6 2 a がさらに配置される。

【 0 0 7 2 】

第 1 接続部 2 6 2 a は、第 1 及び第 2 領域 (I 、 I I) における接続部とは異なり、ストリング選択チャンネル 2 4 0 S を形成する貫通孔内に延長されて貫通孔をすべて埋め込む形態を有する。

また、本実施形態では、パッド領域 P A D と電氣的に接続される第 2 コンタクトプラグ 2 6 1 a の上下にそれぞれ貫通部 2 5 6 及び第 4 接続部 2 6 8 がさらに配置される。

貫通部 2 5 6 は、第 1 及び第 2 領域 (I 、 I I) の第 2 チャンネルパッド 2 5 5 L とは異なり、ストリング選択チャンネル 2 4 0 S を形成する貫通孔内に延長されて貫通孔をすべて埋め込む形態を有する。

【 0 0 7 3 】

10

20

30

40

50

したがって、パッド領域PADをなす第2導電層205bは、順次に配置される第1コンタクトプラグ260a、第1接続部262a、接続パッド275、第2接続部264a、貫通部256、第2コンタクトプラグ261a、第4接続部268、及び第2接合パッド280を介して、下部の周辺回路領域PERIと接続される。

本実施形態の場合、第1接続部262a、貫通部256、及び第4接続部268が配置されることにより、第1及び第2コンタクトプラグ(260a、261a)が相対的に短い高さで形成することができ、工程が相対的に容易になることができる。

【0074】

図5bを参照すると、図5aの実施形態とは異なり、接続パッド275aが上部に延長されるプラグ部をさらに含む。

したがって、接続パッド275aは、プラグ部を介して第1接続部262aと接続される。

図に示してはいないが、第1及び第2領域(I、II)でも共通ビットライン270がこのようなプラグ部をそれぞれ含むことができる。

【0075】

図6a及び図6bは、本発明の一実施形態による半導体装置の一部構成を示す概略的な断面図である。

図6a及び図6bでは、図4の「B」領域に対応する領域を拡大して示す。

図6aを参照すると、本実施形態では、図4の実施形態とは異なり、第3接続部266aが第2チャンネルCH2から下部導電層205Lの上面上に延長される形態を有する。

これにより、第3接続部266aは下部導電層205Lのようにプレート状に下部に配置される。

図6bを参照すると、第2チャンネルCH2のチャンネル領域240a及びゲート誘電層245aも、第3接続部266aと共に下部導電層205Lの上面上に延長される形態を有する。

【0076】

図7a及び図7bは、本発明の一実施形態による半導体装置の一部構成を示す概略的な平面図である。

図7a及び図7bを参照すると、図4のパッド領域PADにおける第2導電層205b及び第1コンタクトプラグ260が平面に配置される様子を示している。

特に、第2導電層205bは、図4のパッド絶縁層290の開口部によって露出し、1つのパッド領域PADをなす領域を示す。

【0077】

パッド領域PADにおける第2導電層205bは四角形状を有し、x方向に沿って第1長さL1を有し、y方向に沿って第2長さL2を有する。

第1及び第2長さ(L1、L2)は、同一または異なり、例えば、20 μ m~100 μ mの範囲を有することができる。

但し、実施形態に応じて、開口部を介して露出する第2導電層205bの形状は、四角形に限定されず、円形、楕円形、多角形など様々な形状を有することができる。

【0078】

図7aに示すように、1つのパッド領域PADをなす第2導電層205bの下部には、1つの第1コンタクトプラグ260が接続される。

第1コンタクトプラグ260の第1直径D1または最大幅は、例えば、100nm~10 μ mの範囲を有することができる。

この場合、第1コンタクトプラグ260は、パッド領域PADをなす第2導電層205bの中央に位置することができるが、これに限定されない。

【0079】

図7bに示すように、1つのパッド領域PADをなす第2導電層205bの下部には、複数の第1コンタクトプラグ260が接続される。

この場合、パッド領域PADにワイヤなどが接合されるときに支持力が上昇するため、

10

20

30

40

50

半導体装置に加わるストレスを緩和することができる。

第1コンタクトプラグ260は、行と列をなして配列される。

第1コンタクトプラグ260のそれぞれの第2直径D2または最大幅は、例えば、100nm~500nmの範囲を有することができ、図7aの第1直径D1と同一または小さい。

【0080】

図8a~図8cは、本発明の一実施形態による半導体装置の概略的な断面図である。

図8aを参照すると、半導体装置100aの第2半導体構造物S2は、パッド領域PADの第2導電層205b上に配置される接続層295をさらに含む。

【0081】

接続層295は、パッド絶縁層290の開口部を介して露出した第2導電層205bの上面上に配置され、第2導電層205bの上面上からパッド絶縁層290の側面に沿ってパッド絶縁層290の上面上の一部領域上に延長される。

但し、本発明の一実施形態において、接続層295は、第2導電層205bの露出した上面上のみに配置することもできる。

この場合、接続層295は表面処理層に該当する。

接続層295は、第2導電層205bと異なる物質を含み得、例えば、アルミニウム(Al)のような金属層であることができる。

特に、接続層295は、露出した第2導電層205bに接続される外部電気接続構造物、例えば、ワイヤ物質との相互拡散(interdiffusion)が円滑に行われ結合に優れた金属物質からなることができる。

【0082】

図8bを参照すると、半導体装置100bの接続層295aは、パッド絶縁層290の開口部を充填し、パッド絶縁層290の上面上の一部領域上に配置される。

これにより、接続層295aは、半導体装置100bの上面上から突出した形態を有する。

接続層295aは、単一層または複数層からなることができる。

【0083】

図8cを参照すると、半導体装置100cの第2半導体構造物S2において、パッド領域PADの第2導電層205bは、パッド絶縁層290を貫通するように延長される延長部205Eをさらに含む。

半導体装置100cは、図4の実施形態とは異なり、パッド絶縁層290の開口部によって第2導電層205bの一部が露出するのではなく、第2導電層205bの延長部205Eがパッド絶縁層290を貫通して上部に露出する形態を有する。

第2導電層205bの下面は、延長部205Eに対応する領域に凹部を有することができるが、これに限定されない。

上記凹部は、第2導電層205bを形成する際に、延長部205Eをなす導電物質を充填することにより形成される形状であり得る。

特に、パッド領域PADにおいて第2導電層205bの幅は、図4の実施形態における幅よりも小さい。

本実施形態の場合、パッド絶縁層290の開口部を形成する前に延長部205Eを先に形成するため、工程マージンが図4の実施形態の場合と異なって、相対的に小さく形成することができる。

【0084】

本発明の一実施形態において、第2導電層205bの延長部205Eは、パッド絶縁層290の上面上から所定の高さに突出することもできる。

また、実施形態に応じて、第2導電層205bの延長部205Eは、傾斜した側壁を有することもでき、例えば、上面の幅が下面の幅よりも狭いテーパ状を有することができる。

延長部205Eは、円筒状、テーパ付き円筒状、トレンチなどの形状を有することができるが、これに限定されない。

本発明の一実施形態において、延長部205E上にも図8aの実施形態と同様に、別途

10

20

30

40

50

の接続層がさらに配置することもできる。

【 0 0 8 5 】

図 9 は、本発明の一実施形態による半導体装置の概略的な構成を示す断面図である。

図 9 を参照すると、半導体装置 1 0 0 d の第 2 半導体構造物 S 2 は、第 3 メモリセル領域 C E L L 3 をさらに含む。

【 0 0 8 6 】

第 3 メモリセル領域 C E L L 3 は、第 2 メモリセル領域 C E L L 2 の下部に配置され、下部導電層 2 0 5 L の下面上の下部基板 2 0 1 L、下部基板 2 0 1 L 上の第 3 チャンネル C H 3、第 3 チャンネル C H 3 を囲み、z 方向に互いに離隔して積層されたゲート電極 2 3 0、層間絶縁層 2 2 0、ゲート電極 2 3 0 を貫通するように配置される分離絶縁層 2 1 0、及びゲート電極 2 3 0 を覆う下部セル領域絶縁層 2 8 5 L c を含む。

10

【 0 0 8 7 】

第 3 チャンネル C H 3 は、上部の第 2 チャンネル C H 2 と下部導電層 2 0 5 L として提供される共通ソースライン C S L (図 2 を参照) を共有する構造を有する。

第 3 チャンネル C H 3 は、第 1 及び第 2 チャンネル (C H 1、C H 2) の共通ビットライン 2 7 0 とは分離されたビットライン 2 7 0 ' と下部で接続される。

本発明の一実施形態において、第 2 半導体構造物 S 2 に配置されるメモリセル領域の個数は多様に変更することができる。

メモリセル領域が複数個に配置される場合、上下に隣接して配置されるメモリセル領域の間でビットライン 2 7 0 または共通ソースライン C S L が共有され得る。

20

【 0 0 8 8 】

第 3 メモリセル領域 C E L L 3 は、第 3 チャンネル C H 3 の下面上のストリング選択チャンネル 2 4 0 S、ストリング選択チャンネル 2 4 0 S の下部の第 1 接続部 2 6 2、第 1 接続部 2 6 2 の下部のビットライン 2 7 0 '、ビットライン 2 7 0 ' の下部の第 4 接続部 2 6 8、及び第 4 接続部 2 6 8 の下部の第 2 接合パッド 2 8 0 をさらに含む。

第 3 メモリセル領域 C E L L 3 は、第 3 領域 I I I で下部導電層 2 0 5 L と同一の高さレベルに配置される導電性パッド 2 0 7、下部基板 2 0 1 L と同一の高さレベルに配置される半導体パッド 2 0 2、第 3 コンタクトプラグ 2 6 9、及びビットライン 2 7 0 ' と同一の高さレベルに配置される下部接続パッド 2 7 5 ' をさらに含む。

【 0 0 8 9 】

30

導電性パッド 2 0 7 は、下部導電層 2 0 5 L と同一の工程で形成することができ、半導体パッド 2 0 2 は、下部基板 2 0 1 L と同一の工程段階で形成され得る。

したがって、導電性パッド 2 0 7 及び半導体パッド 2 0 2 はそれぞれ、下部導電層 2 0 5 L 及び下部基板 2 0 1 L と同一の物質からなり、同一の厚さを有する。

第 3 コンタクトプラグ 2 6 9 は、下部セル領域絶縁層 2 8 5 L c を貫通し、半導体パッド 2 0 2 と下部接続パッド 2 7 5 ' を接続する。

パッド領域 P A D である第 3 領域 I I I において、第 2 導電層 2 0 5 b は、順次に第 1 コンタクトプラグ 2 6 0、接続パッド 2 7 5、第 2 接続部 2 6 4、第 2 コンタクトプラグ 2 6 1、導電性パッド 2 0 7、半導体パッド 2 0 2、第 3 コンタクトプラグ 2 6 9、下部接続パッド 2 7 5 '、第 4 接続部 2 6 8、及び第 2 接合パッド 2 8 0 を介して下部の周辺回路領域 P E R I の回路素子 1 2 0 と電氣的に接続される。

40

【 0 0 9 0 】

図 1 0 a ~ 図 1 0 j は、本発明の一実施形態による半導体装置の製造方法を説明するための概略的な断面図である。

図 1 0 a ~ 図 1 0 j は、図 4 に対応する領域を示す。

【 0 0 9 1 】

図 1 0 a を参照すると、まず図 4 の第 2 半導体構造物 S 2 を形成する。

そのために、ベース基板 S U B 上にパッド絶縁層 2 9 0、上部導電層 2 0 5 U、及びベース層 2 0 1 を順次に形成する。

ベース基板 S U B は、後続の工程を介して除去される層であり、シリコン (S i) のよ

50

うな半導体基板であり得る。

図 4 においてベース層 201 上に配置される層を、ベース基板 SUB 上に逆の順序で形成する。

【0092】

上部導電層 205U 及びベース層 201 は、全面的に形成した後にパターニングし、第 1 及び第 2 領域 I、II と第 3 領域 III の間のセル領域絶縁層 285U によって互いに分離されるようにする。

これにより、上部導電層 205U は、互いに離隔して配置される第 1 及び第 2 導電層 (205a、205b) を含む。

セル領域絶縁層 285U は、後続の工程で形成される絶縁層と共に、図 4 の上部セル領域絶縁層 285U をなす層である。

10

図 8c の実施形態の場合、本段階でパッド絶縁層 290 をパターニングして開口部を形成し、上部導電層 205U を形成する際に上記開口部を充填して延長部 205E を形成することにより製造することができる。

【0093】

図 10b を参照すると、ベース層 201 上に犠牲層 225 及び層間絶縁層 220 を交互に積層し、犠牲層 225 が互いに異なる長さで延長されるように犠牲層 225 及び層間絶縁層 220 の一部を除去する。

犠牲層 225 は、後続の工程を介してゲート電極 230 に交替される層である。

犠牲層 225 は、層間絶縁層 220 に対してエッチング選択性を有してエッチングされる物質で形成される。

20

例えば、層間絶縁層 220 は、シリコン酸化物及びシリコン窒化物の少なくとも 1 つからなることができ、犠牲層 225 は、シリコン、シリコン酸化物、シリコンカーバイド、及びシリコン窒化物の中から選択された層間絶縁層 220 と異なる物質からなることができる。

実施形態において、層間絶縁層 220 の厚さはすべて同一でなくてもよい。

【0094】

次に、上部の犠牲層 225 が下部の犠牲層 225 よりも短く延長されるように、犠牲層 225 及び層間絶縁層 220 に対するフォトリソグラフィ工程及びエッチング工程を繰り返して行う。

30

これにより、犠牲層 225 は、階段形状をなす。

本発明の一実施形態において、犠牲層 225 は、端部で相対的に厚い厚さを有するように形成することができ、そのための工程がさらに行うことができる。

次に、犠牲層 225 と層間絶縁層 220 の積層構造物の上部を覆う絶縁物質を蒸着することにより、上部セル領域絶縁層 285U を形成する。

【0095】

図 10c を参照すると、犠牲層 225 及び層間絶縁層 220 の積層構造物を貫通する第 1 チャネル CH1 を形成する。

第 1 チャネル CH1 を形成するために、まず、積層構造物を異方性エッチングしてチャネル孔を形成する。

40

積層構造物の高さのために、チャネル孔の側壁は、ベース層 201 の上面に対して垂直でないことがある。

本発明の一実施形態において、チャネル孔は、ベース層 201 の一部をリセスするように形成される。

但し、チャネル孔は、上部導電層 205U まで延長されないように形成する。

【0096】

次に、チャネル孔内にチャネル領域 240、ゲート誘電層 245、チャネル絶縁層 250、及び第 1 チャネルパッド 255U を形成して第 1 チャネル CH1 を形成する。

ゲート誘電層 245 は、原子層堆積 (Atomic Layer Deposition: ALD)、化学気相蒸着 (Chemical Vapor Deposition: CV

50

D)を用いて均一な厚さを有するように形成する。

本段階では、ゲート誘電層245の少なくとも一部がチャンネル領域240に沿って垂直に延長されて形成される。

チャンネル領域240は、第1チャンネルCH1内のゲート誘電層245上に形成する。

チャンネル絶縁層250は、第1チャンネルCH1を充填するように形成され、絶縁物質である。

但し、実施形態に応じて、チャンネル絶縁層250ではない導電性物質でチャンネル領域240の間の空間を充填することもできる。

第1チャンネルパッド255Uは、導電性物質からなり得、例えば、多結晶シリコンからなる。

【0097】

図10dを参照すると、犠牲層225及び層間絶縁層220の積層構造物を貫通する開口部OPを形成し、開口部OPを介して犠牲層225を除去する。

開口部OPは、第1領域Iに示され、x方向に延長されるトレンチ状に形成される。

犠牲層225は、例えば、湿式エッチングを用いて層間絶縁層220に対して選択的に除去される。

これにより、層間絶縁層220の間で第1チャンネルCH1の側壁が一部露出する。

【0098】

図10eを参照すると、犠牲層225が除去された領域に一部のゲート電極(231~238)を形成する。

ゲート電極(231~238)は、犠牲層225が除去された領域に導電性物質を充填して形成する。

ゲート電極(231~238)は、金属、多結晶シリコン、または金属シリサイド物質を含み得る。

本発明の一実施形態において、ゲート電極(231~238)を形成する前に、ゲート誘電層245のうち、ゲート電極(231~238)に沿ってベース層201上に水平に延長される領域がある場合、上記領域を先に形成する。

次に、図に示していない領域で、開口部OP内に絶縁物質を充填して分離絶縁層210を形成する。

【0099】

図10fを参照すると、上部ゲート電極239、ストリング選択チャンネル240S、ストリング絶縁層250S、第1接続部262、第1コンタクトプラグ260、共通ビットライン270、及び接続パッド275を形成する。

上部ゲート電極239は、第1チャンネルCH1上に導電性物質、例えば、多結晶シリコン層を蒸着して形成する。

次に、上部セル領域絶縁層285U物質をさらに積層し、上部セル領域絶縁層285Uを貫通する第1貫通孔TH1を形成する。

【0100】

第1貫通孔TH1内にストリング選択チャンネル240S及びストリング絶縁層250Sを埋め込み、上端に導電性物質を充填することで第1接続部262を形成する。

次に、上部セル領域絶縁層285Uを貫通するように貫通孔を形成した後、導電性物質を充填して第1コンタクトプラグ260を形成し、第1接続部262及び第1コンタクトプラグ260上にそれぞれ共通ビットライン270及び接続パッド275を形成する。

共通ビットライン270及び接続パッド275は、導電性物質の蒸着、パターニング工程を介して形成し、上部セル領域絶縁層285Uの一部をパターニングし、導電性物質を蒸着することで形成する。

これにより、第1メモリセル領域CELL1が形成される。

【0101】

図10gを参照すると、第2メモリセル領域CELL2の第2接続部264、上部ゲート電極239、ストリング選択チャンネル240S、ストリング絶縁層250S、第2チャ

10

20

30

40

50

ネルパッド 255L、ゲート電極 230、第2チャネルCH2、及び第3接続部 266を形成する。

第1メモリセル領域CELL1と同様の方式で第2メモリセル領域CELL2を形成する。

まず、共通ビットライン 270及び接続パッド 275上に第2接続部 264を形成する。

第2接続部 264は、共通ビットライン 270及び接続パッド 275と共にパターンニングされて形成され得る。

【0102】

次に、第2接続部 264上に下部セル領域絶縁層 285Laの一部を形成した後、上部ゲート電極 239を形成する。

次に、下部セル領域絶縁層 285Laの一部を再び形成した後、それを貫通する第2貫通孔TH2を形成する。

第2貫通孔TH2内にストリング選択チャネル 240S及びストリング絶縁層 250Sを埋め込み、上端に導電性物質を充填して第2チャネルパッド 255Lを形成する。

【0103】

次に、図10b及び図10cを参照して上述したように、ゲート電極 230、第2チャネルCH2、及び第3接続部 266を形成する。

また、ゲート電極 230の外郭領域にゲート電極 (231~238)を貫通する貫通絶縁層 282を形成する。

【0104】

図10hを参照すると、下部導電層 205L、第4接続部 268、第2コンタクトプラグ 261、及び第2接合パッド 280を形成する。

まず、第3接続部 266上に下部導電層 205Lを形成し、下部導電層 205L上に第4接続部 268を形成する。

また、上部セル領域絶縁層 (285La、285Lb)及び貫通絶縁層 282を貫通する貫通孔を形成し、導電性物質を充填して第2コンタクトプラグ 261を形成する。

【0105】

次に、第4接続部 268及び第2コンタクトプラグ 261上に第2接合パッド 280を形成する。

第2接合パッド 280は、例えば、導電性物質の蒸着及びパターンニング工程を介して形成することができる。

第2接合パッド 280は、下部セル領域絶縁層 285Lbを介して上面が露出され得、第2半導体構造物S2の上面の一部をなす。

実施形態に応じて、第2接合パッド 280の上面は、下部セル領域絶縁層 285Lbの上面よりも上部に突出した形態で形成することもできる。

本段階によって、最終的に第2半導体構造物S2が準備され得る。

【0106】

図10iを参照すると、第1半導体構造物S1上に第2半導体構造物S2を接合する。

まず、第1半導体構造物S1は、基板 101上に回路素子 120及び回路配線構造を形成することにより設けられる。

【0107】

回路ゲート誘電層 122と回路ゲート電極 125を基板 101上に順次に形成する。

回路ゲート誘電層 122と回路ゲート電極 125は、ALDまたはCVDを用いて形成し得る。

回路ゲート誘電層 122は、シリコン酸化物で形成され、回路ゲート電極 125は、多結晶シリコンまたは金属シリサイド層の少なくとも1つで形成され得るが、これに限定されない。

その次に、回路ゲート誘電層 122と回路ゲート電極 125の両側壁にスペーサ層 124及びソース/ドレイン領域 105を形成する。

実施形態に応じて、スペーサ層 124は、複数の層からなることもできる。

10

20

30

40

50

次に、イオン注入工程を行ってソース/ドレイン領域 105 を形成する。

【0108】

回路配線構造の内の回路コンタクトプラグ 160 は、周辺領域絶縁層 190 を一部形成した後に一部をエッチングして除去し、導電性物質を充填することにより形成する。

回路配線ライン 170 は、例えば、導電性物質を蒸着した後、それをパターニングすることにより形成することができる。

周辺領域絶縁層 190 は、複数個の絶縁層からなり得る。

周辺領域絶縁層 190 は、回路配線構造を形成する各段階で一部が形成され、第3回路配線ライン 176 の上部に一部を形成することにより、最終的に回路素子 120 及び回路配線構造を覆うように形成される。

10

【0109】

第1半導体構造物 S1 と第2半導体構造物 S2 は、第1接合パッド 180 と第2接合パッド 280 を加圧して接合することにより接続する。

第2半導体構造物 S2 は、第2接合パッド 280 が下部に向かうように上下逆の状態第1半導体構造物 S1 上に接合され得る。

本図面では、理解を助けるために、第2半導体構造物 S2 が、図10hに示した構造のミラーイメージの形態で接合される様子を示した。

第1半導体構造物 S1 と第2半導体構造物 S2 は、別途の接着層のような接着剤を介さずに直接接合 (direct bonding) される。

例えば、第1接合パッド 180 と第2接合パッド 280 は、上記加圧工程によって原子レベルでの結合を形成することができる。

20

実施形態に応じて、接合する前に、接合力を強化するために、第1半導体構造物 S1 の上面及び第2半導体構造物 S2 の下面に対して水素プラズマ処理のような表面処理工程がさらに行うことができる。

【0110】

本発明の一実施形態において、下部セル領域絶縁層 285 Lb は、下部に上述の接合誘電体層を含み、第1半導体構造物 S1 も同一の層を有する場合、第1及び第2接合パッド (180、280) の間の接合だけでなく、接合誘電体層の間の誘電体接合によって接合力がより一層確保される。

【0111】

30

図10jを参照すると、第1及び第2半導体構造物 (S1、S2) の接合構造上において、第2半導体構造物 S2 のベース基板 SUB を除去し、パッド絶縁層 290 をパターニングするためのマスク層 298 を形成する。

ベース基板 SUB を除去することにより、半導体装置の厚さが最小になり、貫通ビアのような配線のための構造物の形成を省略することができる。

【0112】

ベース基板 SUB は、上面から一部がグラインディング (grinding) 工程のような研磨工程によって除去され、残りの一部は、湿式エッチングのようなエッチング工程によって除去される。

これにより、パッド絶縁層 290 が上部に露出する。

40

湿式エッチング工程時に、パッド絶縁層 290 はエッチング停止層として用いることができる。

したがって、パッド絶縁層 290 は、ベース基板 SUB と異なる物質を含むことができ、特定のエッチング条件でエッチング選択性を有することができる物質で形成することができる。

第2半導体構造物 S2 のベース基板 SUB を除去することにより、半導体装置の総厚さが最小になる。

【0113】

次に、マスク層 298 は、フォトリソグラフィ工程によって、図4のパッド領域 PAD を露出させるようにパターニングする。

50

マスク層 298 は、例えば、感光性樹脂層である。

次に、図 4 を共に参照すると、マスク層 298 から露出したパッド絶縁層 290 を除去して図 4 のように開口部を形成する。

これにより、下部の第 2 導電層 205b がパッド領域 PAD の上部に露出する。

パッド絶縁層 290 を除去する際に、第 2 導電層 205b はエッチング停止層として用いることができ、これによりエッチング工程が容易に行われる。

これにより、最終的に図 4 の半導体装置 100 が製造される。

【0114】

図 11 は、本発明の一実施形態による半導体パッケージの概略的な構成を示す断面図である。

10

図 11 を参照すると、半導体パッケージ 1000 は、パッケージ基板 510、パッケージ基板 510 上に積層されるメモリチップ 500 (501 ~ 508)、メモリチップ 500 を付着する接着層 520、メモリチップ 500 とパッケージ基板 510 との間を接続するワイヤ 550、メモリチップ 500 を封止する封止部 560、及びパッケージ基板 510 の下面に配置された接続端子 580 を含む。

【0115】

パッケージ基板 510 は、本体部 511、本体部 511 の上下面に配置される導電性の基板パッド 512、及び基板パッド 512 を覆う絶縁性のパッシベーション層 515 を含む。

20

本体部 511 は、例えば、シリコン (Si)、ガラス (glass)、セラミック (ceramic)、またはプラスチック (plastic) を含む得る。

本体部 511 は、単一層であるか、またはその内部に配線パターンを含む多層構造を有することができる。

【0116】

メモリチップ 500 は、接着層 520 を用いてパッケージ基板 510 及び下部のメモリチップ 500 上に積層される。

メモリチップ 500 は、図 4 ~ 図 9 を参照して上述した半導体装置 (100、100a、100b、100c、100d) を含むことができる。

メモリチップ 500 は、同一の種類のメモリチップからなるか、または他の種類のメモリチップを含むことができる。

30

メモリチップ 500 が他の種類のメモリチップを含む場合、上述の半導体装置 (100、100a、100b、100c、100d) 以外に、DRAM、SRAM、PRAM、ReRAM、FeRAM、またはMRAMを含むことができる。

【0117】

メモリチップ 500 は、互いに同一または異なる大きさを有することができ、メモリチップ 500 の個数は、図に示したものに限定されない。

メモリチップ 500 は、上面にパッド領域 PAD が位置し、パッド領域 PAD は、メモリチップ 500 の端に隣接して位置するが、これに限定されない。

例えば、3D プリンティングを用いてワイヤ 550 に該当する信号伝達媒体を形成する場合、パッド領域 PAD は、端に位置しないことも可能である。

40

メモリチップ 500 は、パッド領域 PAD が露出するように順次にオフセットされて積層される。

【0118】

ワイヤ 550 は、上部のメモリチップ 500 と下部のメモリチップ 500 を電氣的に接続するか、またはメモリチップ 500 の少なくとも一部をパッケージ基板 510 の基板パッド 512 と電氣的に接続する。

但し、ワイヤ 550 は、信号伝達構造物の一例であるため、実施形態に応じて、様々な形態の信号伝達媒体に変更することができる。

【0119】

封止部 560 は、メモリチップ 500、ワイヤ 550、及びパッケージ基板 510 の上

50

面を覆うように配置され、メモリチップ500を保護する役割を果たす。

封止部560は、例えば、シリコン(silicone)系物質、熱硬化性物質、熱可塑性物質、UV処理物質などからなることができる。

封止部560は、樹脂のようなポリマーで形成され得、例えば、EMC(Epoxy Molding Compound)で形成される。

【0120】

接続端子580は、半導体パッケージ1000を半導体パッケージ1000が実装される電子機器のマザーボードなどと接続する。

接続端子580は、導電性物質、例えば、半田(solder)、錫(Sn)、銀(Ag)、銅(Cu)及びアルミニウム(Al)の少なくとも1つを含み得る。

実施形態において、接続端子580は、ランド(land)、ボール(ball)、ピン(pin)など様々な形態に変更することができる。

【0121】

図12は、本発明の一実施形態による半導体装置を含む電子機器の概略構成を示すブロック図である。

図12を参照すると、本発明の一実施形態による電子機器2000は、通信部2010、入力部2020、出力部2030、メモリ2040、及びプロセッサ2050を含む。

【0122】

通信部2010は、有線/無線通信モジュールを含むことができ、無線インターネットモジュール、近距離通信モジュール、GPSモジュール、移動通信モジュールなども含むことができる。

通信部2010に含まれる有線/無線通信モジュールは、様々な通信規格によって外部の通信網と接続されてデータを送受信する。

入力部2020は、ユーザーが電子機器2000の動作を制御するために提供されるモジュールであり、機械式スイッチ、タッチスクリーン、音声認識モジュールなどを含むことができ、その他にも、ユーザーがデータを入力することができる様々なセンサーモジュールをさらに含むこともできる。

【0123】

出力部2030は、電子機器2000で処理される情報を音声または映像の形態で出力し、メモリ2040は、プロセッサ2050を処理及び制御するためのプログラムや、またはデータなどを記憶する。

メモリ2040は、図4～図9を参照して上述したような様々な実施形態による半導体装置を1つ以上含むことができ、電子機器2000に内蔵されるか、または別途のインタフェースを介してプロセッサ2050と通信する。

プロセッサ2050は、電子機器2000に含まれる各部の動作を制御することができる。

プロセッサ2050は、音声通話、ビデオ通話、データ通信などに関する制御及び処理を行うか、またはマルチメディアを再生及び管理するための制御及び処理を行うこともできる。

また、プロセッサ2050は、入力部2020を介してユーザーから伝達される入力を処理し、その結果を出力部2030を介して出力すること、電子機器2000の動作を制御する上で必要なデータをメモリ2040に記憶すること、メモリ2040から引き出すことなどを行うことができる。

【0124】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【符号の説明】

【0125】

10、10A、100、100a～d 半導体装置

20、20A メモリセルアレイ

10

20

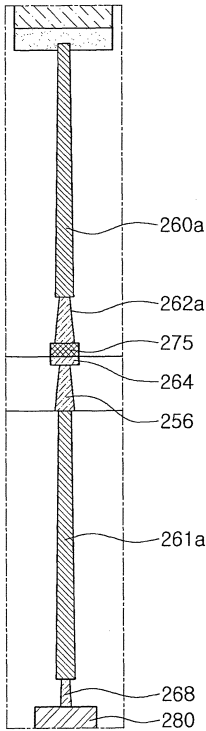
30

40

50

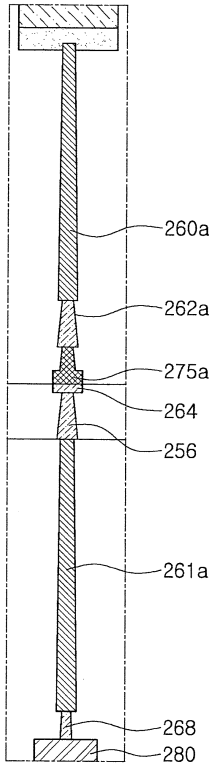
3 0	周辺回路	
3 2	ローデコーダ	
3 4	ページバッファ	
3 5	入出力 (I / O) バッファ	
3 6	制御ロジック	
3 7	電圧発生器	
1 0 1	基板	
1 0 5	ソース / ドレイン領域	
1 2 0	回路素子	
1 2 2	回路ゲート誘電層	10
1 2 4	スペーサ層	
1 2 5	回路ゲート電極	
1 6 0	回路コンタクトプラグ	
1 6 2、1 6 4、1 6 6	第 1 ~ 第 3 回路コンタクトプラグ	
1 7 0	回路配線ライン	
1 7 2、1 7 4、1 7 6	第 1 ~ 第 3 回路配線ライン	
1 8 0	(第 1) 接合パッド	
1 9 0	周辺領域絶縁層	
2 0 1	ベース層	
2 0 5 a、2 0 5 b	(第 1 及、第 2) 導電層	20
2 0 5 L	下部導電層	
2 0 5 U	上部導電層	
2 1 0	分離絶縁層	
2 2 0	層間絶縁層	
2 3 0 (2 3 1 ~ 2 3 9)	(上部、下部) ゲート電極	
2 4 0	チャネル領域	
2 4 0 S	ストリング選択チャネル (領域)	
2 4 5	ゲート誘電層	
2 5 0	チャネル絶縁層	
2 5 0 S	ストリング絶縁層	30
2 5 5 U、2 5 5 L	(第 1、第 2) チャネルパッド	
2 5 6	貫通部	
2 6 0、2 6 0 a	第 1 コンタクトプラグ	
2 6 1、2 6 1 a	第 2 コンタクトプラグ	
2 6 2 (a)、2 6 4 (a)、2 6 6 (a)、2 6 8	(第 1 ~ 第 4) 接続部	
2 7 0	共通ビットライン	
2 7 5、2 7 5 a	接続パッド	
2 8 0	第 2 接合パッド	
2 8 2	貫通絶縁層	
2 8 5 U	上部セル領域絶縁層	40
2 8 5 L a、2 8 5 L b	下部セル領域絶縁層	
2 9 0	パッド絶縁層	
2 9 5、2 9 5 a	接続層	
2 9 8	マスク層	
M C A 1、M C A 2	(第 1、第 2) メモリセルアレイ	
P A D	パッド領域	
P E R I	周辺回路 (領域)	
C H 1、C H 2	(第 1、第 2) チャネル	
C E L L 1、C E L L 2	メモリセル領域	
S 1、S 2	(第 1、第 2) 半導体構造物	50

【図 5 a】



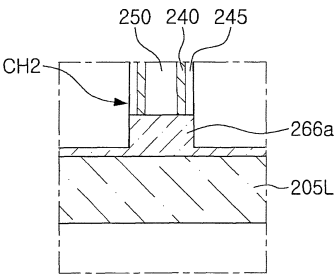
A

【図 5 b】

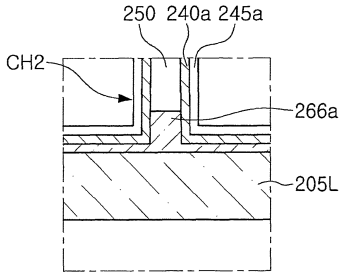


A

【図 6 a】



【図 6 b】



10

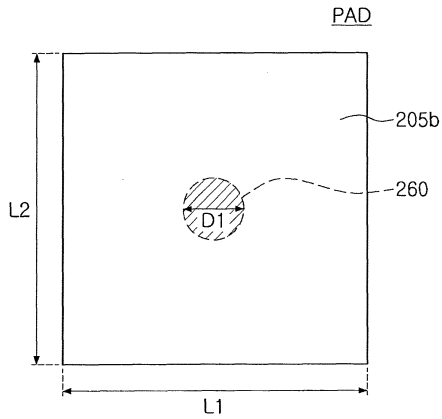
20

30

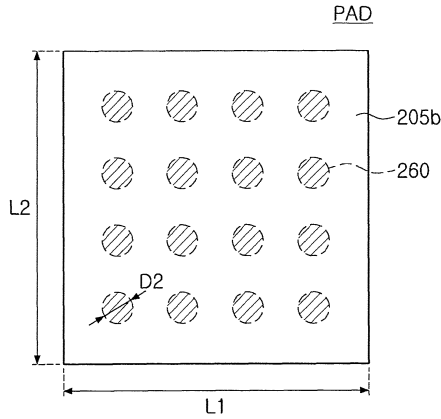
40

50

【図 7 a】

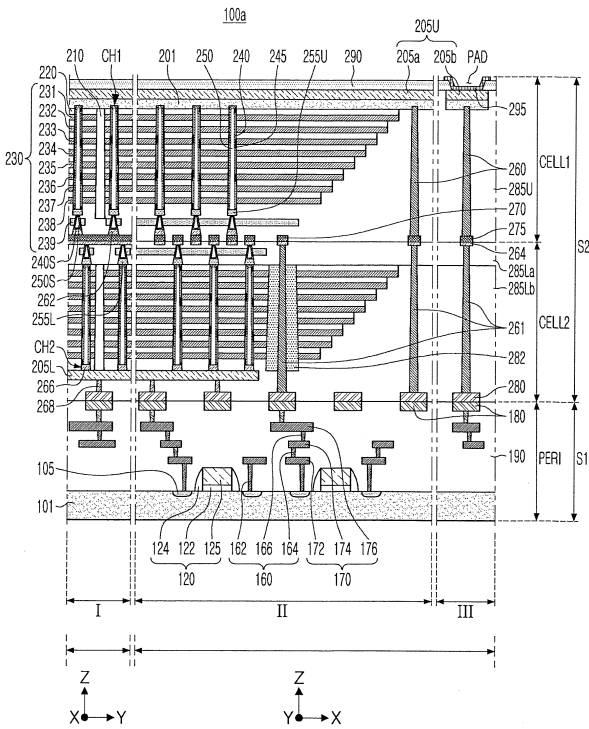


【図 7 b】

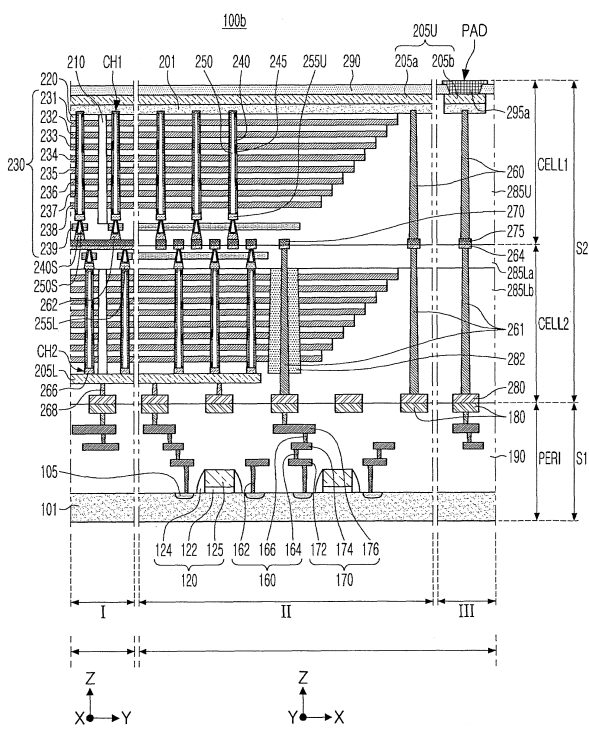


10

【図 8 a】



【図 8 b】



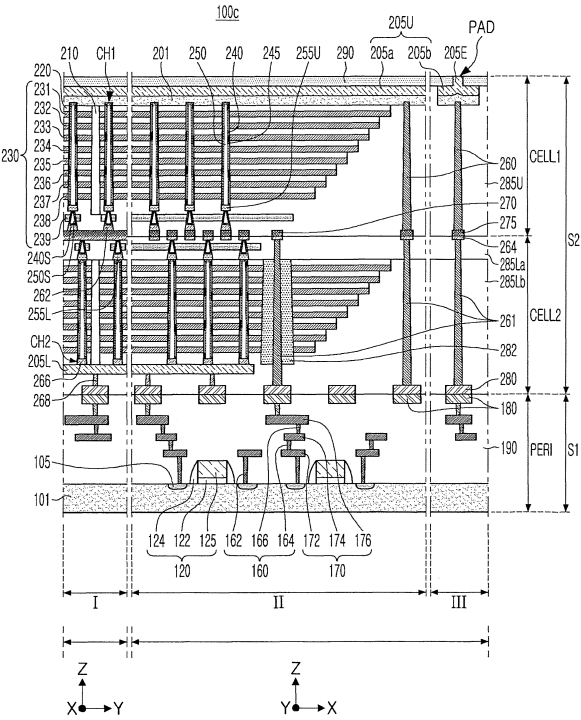
20

30

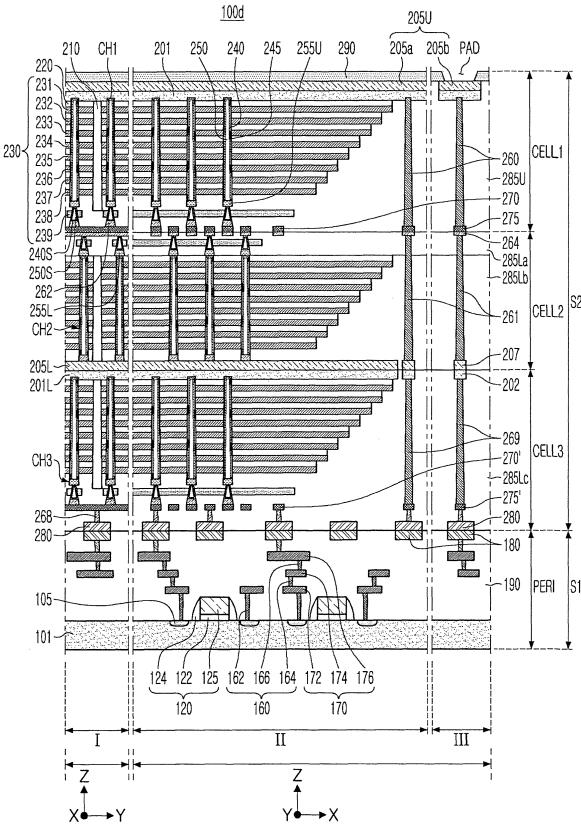
40

50

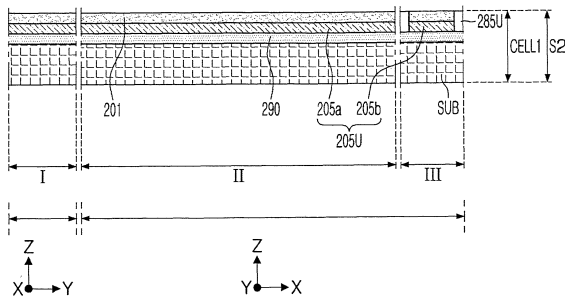
【図 8 c】



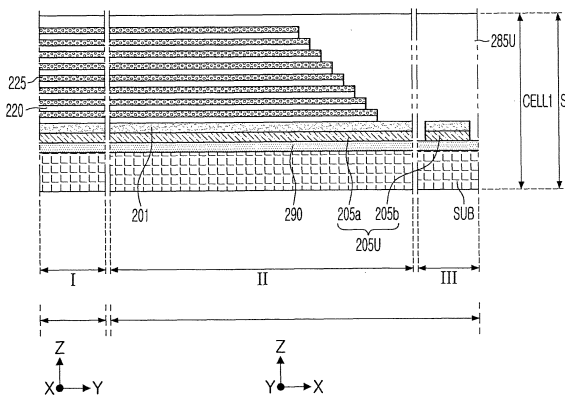
【図 9】



【図 10 a】



【図 10 b】



10

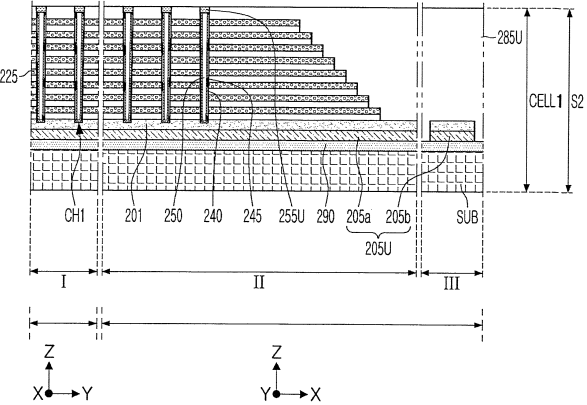
20

30

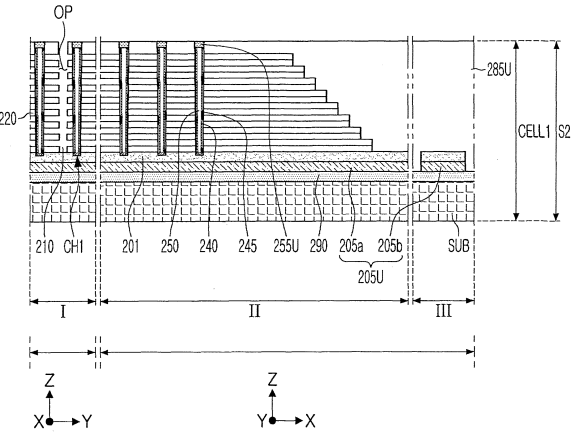
40

50

【図 10 c】

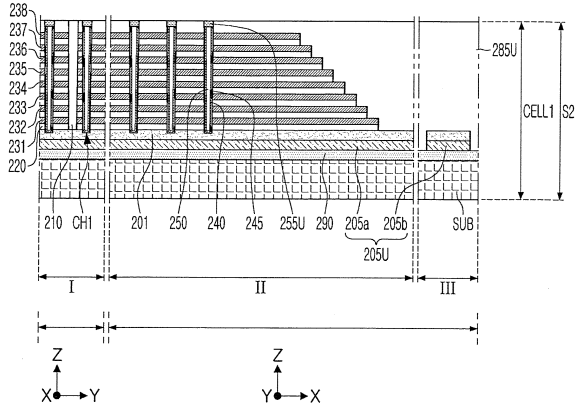


【図 10 d】

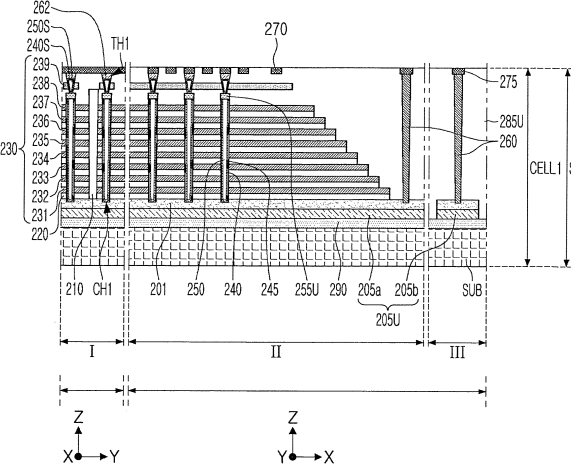


10

【図 10 e】



【図 10 f】



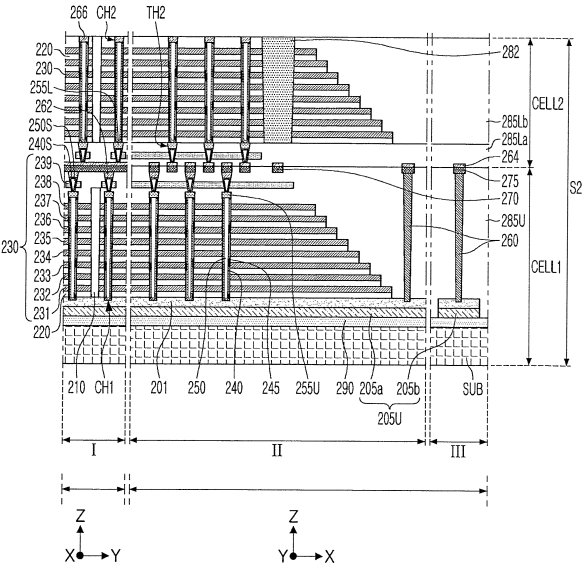
20

30

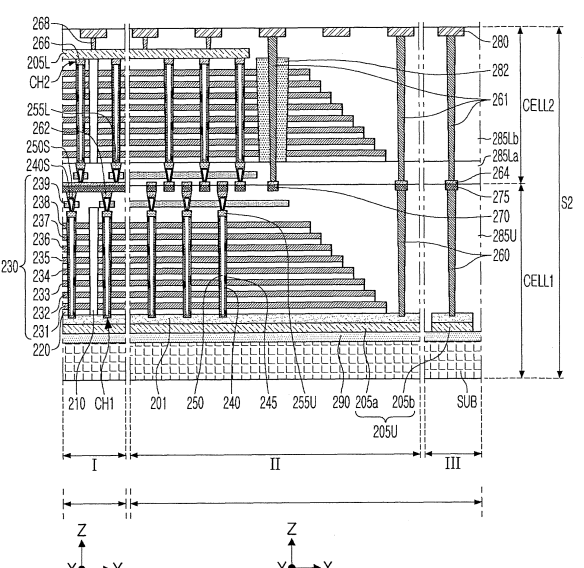
40

50

【図 10 g】

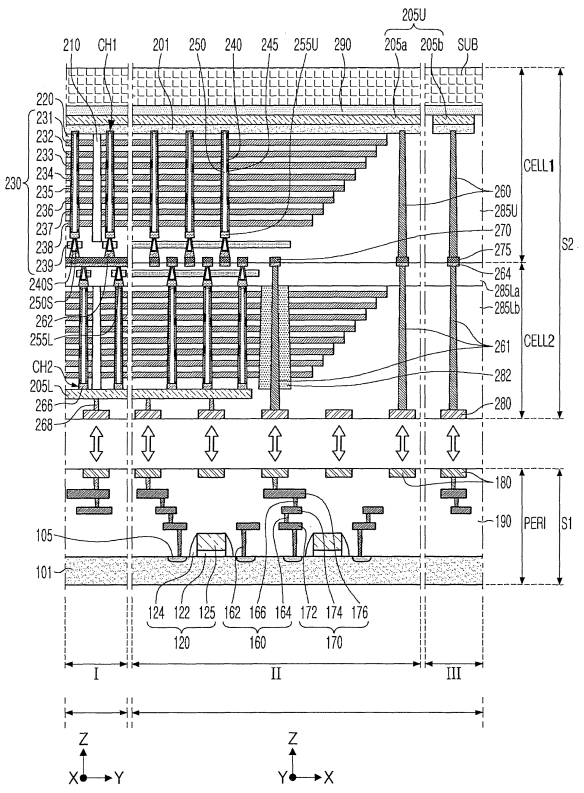


【図 10 h】

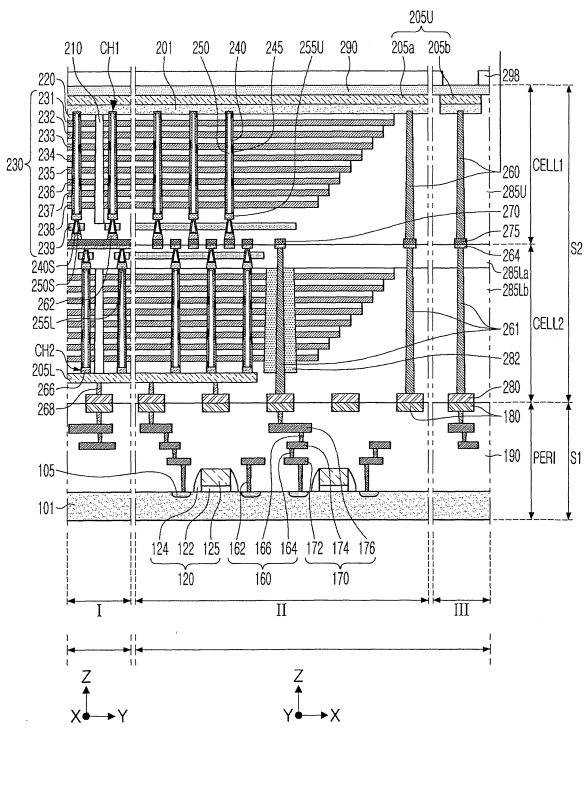


10

【図 10 i】



【図 10 j】



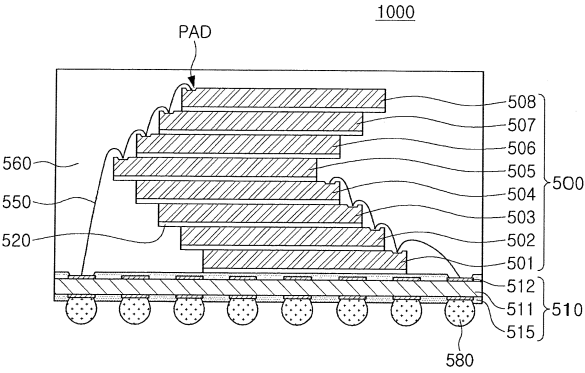
20

30

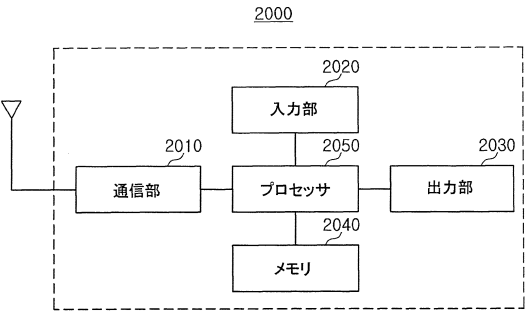
40

50

【図 1 1】



【図 1 2】



10

20

30

40

50

フロントページの続き

(51)国際特許分類	F I		
H 1 0 B 41/40 (2023.01)	H 0 1 L 25/08		B
H 1 0 B 43/40 (2023.01)	H 0 1 L 21/88		A
H 0 1 L 25/07 (2006.01)	H 0 1 L 21/88		T
H 0 1 L 25/065(2023.01)			
H 0 1 L 25/18 (2023.01)			
H 0 1 L 21/3205(2006.01)			
H 0 1 L 21/768(2006.01)			
H 0 1 L 23/522(2006.01)			

- (72)発明者 朴 玄 睦
大韓民国 京畿道 水原市 靈通区 三星路 1 2 9
- (72)発明者 金 容 錫
大韓民国 京畿道 水原市 靈通区 三星路 1 2 9
- (72)発明者 李 ギョン 奂
大韓民国 京畿道 水原市 靈通区 三星路 1 2 9
- (72)発明者 林 濬 熙
大韓民国 京畿道 水原市 靈通区 三星路 1 2 9
- (72)発明者 韓 智 勳
大韓民国 京畿道 水原市 靈通区 三星路 1 2 9

審査官 脇水 佳弘

- (56)参考文献 特開 2 0 1 6 - 0 6 2 9 0 1 (J P , A)
特開 2 0 1 0 - 1 1 8 6 5 9 (J P , A)
米国特許第 0 9 5 0 2 4 7 1 (U S , B 1)
特開 2 0 1 8 - 1 4 8 0 7 1 (J P , A)
米国特許第 0 9 6 9 1 7 8 2 (U S , B 1)
特開 2 0 0 3 - 2 8 2 5 7 3 (J P , A)
中国特許出願公開第 1 0 7 6 5 8 3 1 5 (C N , A)
特開 2 0 1 1 - 1 8 7 7 9 4 (J P , A)

- (58)調査した分野 (Int.Cl. , D B 名)
- H 1 0 B 4 1 / 0 0
H 1 0 B 4 3 / 0 0
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 5 / 0 7
H 0 1 L 2 1 / 3 2 0 5