

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2019年9月26日 (26.09.2019)



(10) 国际公布号  
**WO 2019/179521 A1**

- (51) 国际专利分类号:  
*G09G 3/36* (2006.01)
- (21) 国际申请号: PCT/CN2019/079276
- (22) 国际申请日: 2019年3月22日 (22.03.2019)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201810249611.8 2018年3月23日 (23.03.2018) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。重庆京东方光电科技有限公司 (CHONGQING BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国重庆市北碚区水土高新技术产业园云汉大道7号, Chongqing 400714 (CN)。
- (72) 发明人: 许卓 (XU, Zhuo); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。张

元波 (ZHANG, Yuanbo); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。白雅杰 (BAI, Yajie); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。朱海鹏 (ZHU, Haipeng); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。周焱 (ZHOU, Yan); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。吴海龙 (WU, Hailong); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。金熙哲 (KIM, Heecheol); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。冉敏 (RAN, Min); 中国北京市北京经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京中博世达专利商标代理有限公司 (BEIJING ZBSD PATENT & TRADEMARK AGENT LTD.); 中国北京市海淀区交大东路31号11号楼8层, Beijing 100044 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) Title: SHIFT REGISTER CIRCUIT AND DRIVING METHOD THEREFOR, AND GATE DRIVE CIRCUIT AND DISPLAY DEVICE

(54) 发明名称: 移位寄存器电路及驱动方法、栅极驱动电路、显示装置

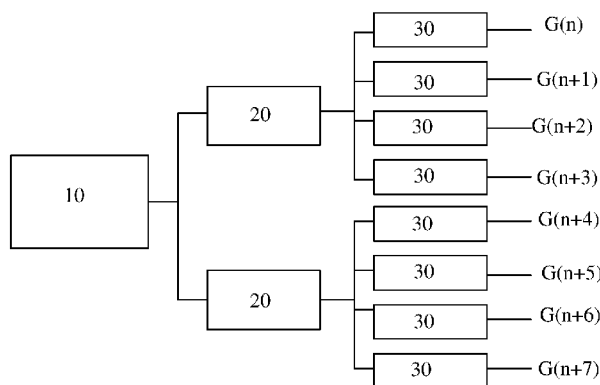


图 1

(57) Abstract: A shift register circuit, comprising a first circuit 10, M second circuits 20, and N third circuits 30. A first signal output end OUTPUT1 of the first circuit 10 is connected to a second signal input end INPUT2 of each second circuit 20; each second signal output end OUTPUT2 is connected to third signal input ends INPUT3 of the N/M third circuits 30, and different second signal output ends OUTPUT2 are connected to different third signal input ends INPUT3; and different second circuits 20 are connected to different control clock signal ends CLKm, and different third circuits 30 are connected to different output clock signal ends CLKn.

(57) 摘要: 一种移位寄存器电路, 包括第一电路10、M个第二电路20和N个第三电路30; 第一电路10的第一信号输出端OUTPUT1连接每个第二电路20的第二信号输入端INPUT2; 每个第二信号输出端OUTPUT2连接N/M个第三电路30的第三信号输入端INPUT3, 不同的第二信号输出端OUTPUT2连接不同的第三信号输入端INPUT3; 不同的第二电路20连接不同的控制时钟信号端CLKm, 不同的第三电路30连接不同的输出时钟信号端CLKn。



CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

**(84)** 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

## 移位寄存器电路及驱动方法、栅极驱动电路、显示装置

[0001] 本申请要求于 2018 年 03 月 23 日提交中国专利局、申请号为 201810249611.8、名称为“移位寄存器单元及驱动方法、栅极驱动电路、显示装置”的中国专利申请的优先权和权益，其全部内容通过引用结合在本申请中。

### 技术领域

[0002] 本公开涉及显示技术领域，尤其涉及一种移位寄存器电路及驱动方法、栅极驱动电路、显示装置。

### 10 背景技术

[0003] TFT-LCD (Thin Film Transistor Liquid Crystal Display, 薄膜晶体管-液晶显示器) 以及 OLED (Organic Light-Emitting Diode, 有机发光二极管) 越来越多地被应用于高性能显示领域当中，为了尽可能的提高显示装置的屏占比，栅极驱动电路通常设置为 GOA (Gate Driver on Array, 阵列基板行驱动) 电路。

### 发明内容

[0004] 第一方面，提供一种移位寄存器电路。所述移位寄存器电路包括一个第一电路、M 个第二电路、N 个第三电路，M 和 N 均为正整数，且 N 为 M 的整数倍，M 大于或等于 2，N/M 大于或等于 2；所述第一电路包括第一信号输入端、第一时钟信号端、第二时钟信号端、第一电压端、第一复位信号端和第一信号输出端，所述第一电路被配置为在所述第一信号输入端的控制下，将所述第一时钟信号端的电压作为工作电压输出至所述第一信号输出端，或者在所述第一复位信号端和所述第二时钟信号端的控制下，将所述

20 所述第一电压端的电压作为关闭电压输出至所述第一信号输出端；所述第二

25 电路包括第二信号输入端、第二信号输出端和控制时钟信号端，所述第二电路被配置为在所述第二信号输入端的控制下，将所述控制时钟信号端的

- 电压作为工作电压输出至所述第二信号输出端；所述第三电路包括输出时钟信号端、第三信号输入端和第三信号输出端，所述第三电路被配置为在所述第三信号输入端的控制下，将所述输出时钟信号端的电压作为工作电压输出至所述第三信号输出端；所述移位寄存器电路中：所述第一电路的所述第一信号输出端与每个所述第二电路的所述第二信号输入端连接；每一所述第二电路的所述第二信号输出端分别与  $N/M$  个所述第三电路的所述第三信号输入端连接，不同的所述第二信号输出端连接不同的所述第三信号输入端；不同的所述第二电路与不同的所述控制时钟信号端连接，不同的所述第三电路与不同的所述输出时钟信号端连接。
- 5 [0005] 在本公开一些实施例中，所述第一电路包括：输入子电路、储能子电路、第一输出子电路、第一复位子电路、下拉控制子电路和下拉子电路；所述输入子电路与所述第一信号输入端和上拉节点连接，所述输入子电路被配置为在所述第一信号输入端的控制下，将所述第一信号输入端的电压输出至所述上拉节点；所述储能子电路与所述上拉节点和所述第一信号输出端连接，所述储能子电路被配置为对所述上拉节点的电压进行存储，或者对所述上拉节点进行充电；所述第一输出子电路与所述上拉节点、所述第一时钟信号端和所述第一信号输出端连接，所述第一输出子电路被配置为在所述上拉节点的控制下将所述第一时钟信号端的电压输出至所述第一信号输出端；所述第一复位子电路与所述第一复位信号端、所述第一电压端和
- 10 所述上拉节点连接，所述第一复位子电路被配置为在所述第一复位信号端的控制下，将所述第一电压端的电压输出至所述上拉节点；所述下拉控制子电路与所述第二时钟信号端、所述第一电压端、所述上拉节点和下拉节点连接，所述下拉控制子电路被配置为在所述第二时钟信号端的控制下，将所述第二时钟信号端的电压输出至所述下拉节点，或者在所述上拉节点的控制下，将所述第一电压端的电压输出至所述下拉节点；所述下拉子电路与所述下拉节点、所述第一电压端和所述第一信号输出端连接，所述下拉子电路被配置为在所述下拉节点的控制下将所述第一电压端的电压输出
- 15
- 20
- 25

至所述第一信号输出端。

[0006] 在本公开一些实施例中，所述第一电路还包括降噪信号输出端，所述降噪信号输出端被配置为在所述第二时钟信号端的控制下，将所述第二时钟信号端的电压作为降噪电压输出至所述降噪信号输出端；所述第二电  
5 路包括中间降噪子电路，所述中间降噪子电路与所述降噪信号输出端、所述第一电压端和所述第二信号输出端连接，所述中间降噪子电路被配置为在所述降噪信号输出端的控制下，将所述第一电压端的电压输出至所述第二信  
10 号输出端，对所述第二电路进行降噪；所述第三电路包括输出降噪子电路，所述输出降噪子电路与所述降噪信号输出端、所述第一电压端和所述第三信  
15 号输出端连接，所述输出降噪子电路被配置为在所述降噪信号输出端的控制下，将所述第一电压端的电压输出至所述第三信号输出端，对所述第三电  
20 路进行降噪。

[0007] 在本公开一些实施例中，所述输入子电路包括第一晶体管，所述第一晶体管的栅极和第一极与所述第一信号输入端连接，所述第一晶体管的  
15 第二极与所述上拉节点连接；和/或，所述储能子电路包括第一电容，所述第一电容的一端与所述上拉节点连接，所述第一电容的另一端与所述第一  
20 信号输出端连接；和/或，所述第一输出子电路包括第二晶体管，所述第二晶体管的栅极与所述上拉节点连接，所述第二晶体管的第一极与所述第  
25 一时钟信号端连接，所述第二晶体管的第二极与所述第一信号输出端连接；  
和/或，所述第一复位子电路包括第三晶体管，所述第三晶体管的栅极与所述第一复位信号端连接，所述第三晶体管的第一极与所述上拉节点连接，  
所述第三晶体管的第二极与所述第一电压端连接；和/或，所述下拉控制  
子电路包括第四晶体管和第五晶体管，所述第四晶体管的栅极和第一极与所述第二时钟信号端连接，所述第四晶体管的第二极与所述下拉节点连接；  
所述第五晶体管的栅极与所述上拉节点连接，所述第五晶体管的第一极与所述  
25 下拉节点连接，所述第五晶体管的第二极与所述第一电压端连接；和/或，所述下拉子电路包括第六晶体管，所述第六晶体管的栅极与所述下拉节

点连接, 所述第六晶体管的第一极与所述第一信号输出端连接, 所述第六晶体管的第二极与所述第一电压端连接; 和/或, 所述第二电路包括第七晶体管, 所述第七晶体管的栅极与所述第二信号输入端连接, 所述第七晶体管的第一极与所述控制时钟信号端连接, 所述第七晶体管的第二极与所述第二信号输出端连接; 和/或, 所述第三电路包括第八晶体管, 所述第八晶体管的栅极与所述第三信号输入端连接, 所述第八晶体管的第一极与所述输出时钟信号端连接, 所述第八晶体管的第二极与所述第三信号输出端连接。

[0008] 在本公开一些实施例中, 在所述第一电路还包括降噪信号输出端, 所述第二电路包括中间降噪子电路, 所述第三电路包括输出降噪子电路的情况下, 所述降噪信号输出端与所述下拉节点连接; 所述中间降噪子电路包括第九晶体管, 所述第九晶体管的栅极与所述降噪信号输出端连接, 所述第九晶体管的第一极与所述第二信号输出端连接, 所述第九晶体管的第二极所述第一电压端连接; 所述输出降噪子电路包括第十晶体管, 所述第十晶体管的栅极与所述降噪信号输出端连接, 所述第十晶体管的第一极与所述第三信号输出端连接, 所述第十晶体管的第二极与所述第一电压端连接。

[0009] 在本公开一些实施例中,  $M$  小于或等于 4,  $N/M$  小于或等于 6。

[0010] 在本公开一些实施例中,  $M$  等于 2,  $N$  等于 8。

[0011] 第二方面, 提供一种栅极驱动电路, 所述栅极驱动电路包括两个栅极驱动子电路; 每个所述栅极驱动子电路包括至少两级级联的如前述的移位寄存器电路; 所述栅极驱动子电路中的第三信号输出端被配置为与依次排布的栅线连接; 所述栅线按照  $N$  个一组划分为不同的栅线组, 两个所述栅极驱动子电路中, 一个栅极驱动子电路与依次排布的奇数栅线组中的多个栅线连接, 另一个栅极驱动子电路与依次排布的偶数栅线组中的多个栅线连接; 每个所述栅极驱动子电路中: 第一级移位寄存器电路的第一信号输入端与起始信号端相连接; 除了所述第一级移位寄存器电路以外, 任一级移位寄存器电路的第一信号输入端与该级所述移位寄存器电路的上一级所述移位

寄存器电路的第一信号输出端相连接；除了最后一级移位寄存器电路以外，任一级移位寄存器电路的第一复位信号端与该级所述移位寄存器电路的下一级所述移位寄存器电路的第一信号输出端相连接。

[0012] 第三方面，提供一种显示装置。所述显示装置包括如前述的栅极驱动电路。

[0013] 第四方面，提供一种用于驱动如前述的移位寄存器电路的驱动方法。所述驱动方法包括：向第一电路的第一信号输入端输入第一输入信号，向第一时钟信号端输入第一时钟信号，在所述第一输入信号的控制下，将所述第一时钟信号作为工作电压输出至第一信号输出端；向 M 个第二电路的控制时钟信号端一一对应的输入 M 个不同的控制时钟信号，在所述第一信号输出端输出的工作电压的控制下，将 M 个不同的控制时钟信号作为工作电压一一对应的输出至 M 个第二信号输出端；向 N 个第三电路的输出时钟信号端一一对应的输入 N 个不同的输出时钟信号，在所述第二信号输出端输出的工作电压的控制下，将 N 个不同的输出时钟信号作为工作电压一一对应的输出至 N 个第三信号输出端；向与同一所述第二电路连接的 N/M 个所述第三电路输入的 N/M 个输出时钟信号对应的工作电压时段，位于向所述第二电路输入的控制时钟信号对应的工作电压时段内；向与第一电路连接的 M 个第二电路输入的 M 个控制时钟信号对应的工作电压时段，位于向所述第一电路输入的第一时钟信号对应的工作电压时段内；所述驱动方法还包括：向第一电路的第一复位信号端输入第一复位信号，向第二时钟信号端输入第二时钟信号，在所述第一复位信号和第二时钟信号的控制下，将第一电压端的电压作为关闭电压输出至第一信号输出端；所述第二时钟信号与所述第一时钟信号为相反的一组时钟信号。

[0014] 在本公开一些实施例中，在所述第一电路还包括降噪信号输出端，所述第二电路包括中间降噪子电路，所述第三电路包括输出降噪子电路的情况下，所述向第二时钟信号端输入第二时钟信号的同时，在所述第二时钟信号的控制下，将所述第二时钟信号通过降噪信号输出端输出至第二电路的

中间降噪子电路和第三电路的输出降噪子电路，以对所述第二电路和所述第三电路进行降噪。

[0015] 在本公开一些实施例中，所述工作电压为高电平电压。

[0016] 在本公开一些实施例中，所述移位寄存器电路通过 N 个第三电路  
5 分别与 N 条依次设置的栅线连接；N 个第三电路的 N 个输出时钟信号端输入的输出时钟信号依次至少延迟像素电压的最小写入脉宽。

[0017] 在本公开一些实施例中，所述第一时钟信号和所述第二时钟信号的脉宽为 16H，占空比为 50%；所述控制时钟信号的脉宽为 8H，占空比为 50%；所述输出时钟信号的脉宽为 4H，占空比小于或等于 50%；H 为像素  
10 电压的写入脉宽。

[0018] 在本公开一些实施例中，所述输出时钟信号的高电平为有效显示区中薄膜晶体管的开启电压，所述输出时钟信号的低电平小于有效显示区中薄膜晶体管的关闭电压；和/或，所述控制时钟信号中的高电平大于有效显示区中薄膜晶体管的开启电压；和/或，所述第一时钟信号和所述第二时  
15 钟信号中的高电平小于有效显示区中薄膜晶体管的开启电压。

## 附图说明

[0019] 为了更清楚地说明本公开实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本公开的一些实施例，对于本领域普通技术人员来讲，在不付出创造性  
20 劳动的前提下，还可以根据这些附图获得其他的附图。

[0020] 图 1 为本公开一些实施例提供的一种移位寄存器电路的结构示意图；

[0021] 图 2 为本公开一些实施例提供的一种移位寄存器电路的详细结构示意图；

[0022] 图 3 为本公开一些实施例提供的一种移位寄存器电路的第一电路的电路结构图；

[0023] 图 4 为本公开一些实施例提供的另一种移位寄存器电路的详细结

构示意图;

[0024] 图 5 为本公开一些实施例提供的一种栅极驱动电路的结构示意图;

5 [0025] 图 6 为本公开一些实施例提供的一种移位寄存器电路的信号时序图;

[0026] 图 7 为本公开一些实施例提供的一种移位寄存器电路的输出信号模拟图;

[0027] 图 8 为本公开一些实施例提供的一种移位寄存器电路的部分输出信号模拟图。

## 10 具体实施方式

[0028] 下面将结合本公开实施例中的附图, 对本公开实施例中的技术方案进行清楚、完整地描述, 显然, 所描述的实施例仅仅是本公开一部分实施例, 而不是全部的实施例。基于本公开中的实施例, 本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例, 都属于本公开保护的  
15 范围。

[0029] 本公开一些实施例提供一种移位寄存器电路, 参考图 1, 包括一个第一电路 10、M 个第二电路 20、N 个第三电路 30, 其中, M、N 为正整数, 且 N 为 M 的整数倍, M 大于或等于 2, N/M 大于或等于 2。

[0030] 在本公开的一些实施例中, 考虑到实际的布线以及移位寄存器电  
20 路的信号控制,  $M \leq 4$ ,  $N/M \leq 6$ ; 根据实际的经验以及信号选取, 如图 1 所示,  $M=2$ ,  $N=8$ , 也即  $N/M=4$ ; 以下实施例均是以  $M=2$ ,  $N=8$  为例进行的说明。

[0031] 在本公开的一些实施例中, 如图 2 所示, 第一电路 10 包括第一信号输入端 INPUT1、第一时钟信号端 CLK1、第二时钟信号端 CLK2、第一电压端 VGL、第一复位信号端 Reset1 和第一信号输出端 OUTPUT1, 第一电  
25 路 10 被配置为在第一信号输入端 INPUT1 的控制下, 将第一时钟信号端 CLK1 的电压作为工作电压输出至第一信号输出端 OUTPUT1, 或者在第一复位信号端 Reset1 和第二时钟信号端 CLK2 的控制下将第一电压端 VGL 的电压作

为关闭电压输出至第一信号输出端 OUTPUT1。

[0032] 第二电路 20 包括第二信号输入端 INPUT2、第二信号输出端 OUTPUT2 和控制时钟信号端 CLK<sub>m</sub>，第二电路 20 被配置为在第二信号输入端 INPUT2 的控制下，将控制时钟信号端 CLK<sub>m</sub> 的电压作为工作电压输出至第二信号输出端 OUTPUT2。不同的第二电路 20 与不同的控制时钟信号端 CLK<sub>m</sub> 连接，即 M 个第二电路 20 一一对应地与 M 个控制时钟信号端连接；示例的，M 个控制时钟信号端可以为 CLK<sub>m1</sub>、CLK<sub>m2</sub>、CLK<sub>m3</sub>、... ..。

[0033] 第三电路 30 包括输出时钟信号端 CLK<sub>n</sub>、第三信号输入端 INPUT3 和第三信号输出端 OUTPUT3，第三电路 30 被配置为在第三信号输入端 INPUT3 的控制下，将输出时钟信号端 CLK<sub>n</sub> 的电压作为工作电压输出至第三信号输出端 OUTPUT3。不同的第三电路 30 与不同的输出时钟信号端 CLK<sub>n</sub> 连接，即 N 个第三电路 30 一一对应地与 N 个输出时钟信号端连接；示例的，N 个输出时钟信号端可以为 CLK<sub>n1</sub>、CLK<sub>n2</sub>、CLK<sub>n3</sub>、... ..。

[0034] 在本公开的一些实施例中，参考图 1 和图 2，上述移位寄存器电路中：第一电路 10 的第一信号输出端 OUTPUT1 与 2 个第二电路 20（此时，M=2）的第二信号输入端 INPUT2 连接（不同的第二电路设置不同的第二信号输入端）。

[0035] 每一第二电路 20 的第二信号输出端 OUTPUT2 分别与 4 个第三电路 30（此时，N=8，即 N/M=4）的第三信号输入端 INPUT3 连接，不同的第二信号输出端 OUTPUT2 连接不同的第三信号输入端 INPUT3。

[0036] 在本公开的一些实施例中，图 2 仅示出了一个第一电路 10、一个第二电路 20 和一个第三电路 30 之间的连接关系，对于其他的第二电路 20 和第三电路 30 可以参考图 2 中相应电路之间的连接关系。

[0037] 应当理解的是，本公开一些实施例中的工作电压是指，有效控制某个电路进行工作（或者开启）状态时的电压，根据电路的设置结构，该工作电压可能存在差异，对此不作限定。

[0038] 综上所述，本公开一些实施例提供的移位寄存器电路中，独立设

置了多个第三电路，在配置于栅极驱动电路时，通过独立设置的多个第三电路中的各个第三信号输出端与对应的栅线连接，使得相邻的栅线之间为独立的关系，相比于一些栅极驱动电路中一条栅线与相邻两个级联的移位寄存器电路连接而言，本公开一些实施例提供的移位寄存器电路通过多个并列独立设置的第三电路分别与对应的栅线单独连接，能够从很大程度上降低信号发生不良传递的概率。

[0039] 示意的，本公开的一些实施例中提供了一种第一电路 10、第二电路 20、第三电路 30 的设置结构。

[0040] 在本公开一些实施例中，如图 3 所示，第一电路 10 包括：输入子电路 101、储能子电路 102、第一输出子电路 103、第一复位子电路 104、下拉控制子电路 105 和下拉子电路 106。

[0041] 输入子电路 101 与第一信号输入端 INPUT1 和上拉节点 PU 连接，输入子电路 101 被配置为在第一信号输入端 INPUT1 的控制下，将第一信号输入端 INPUT1 的电压输出至上拉节点 PU。

[0042] 在本公开一些实施例中，如图 3 所示，输入子电路 101 包括第一晶体管 M1，第一晶体管 M1 的栅极和第一极与第一信号输入端 INPUT1 连接，第一晶体管 M1 的第二极与上拉节点 PU 连接。

[0043] 储能子电路 102 与上拉节点 PU 和第一信号输出端 OUTPUT1 连接，储能子电路 102 被配置为对上拉节点 PU 的电压进行存储，或者对上拉节点 PU 进行充电。

[0044] 参考图 3，储能子电路 102 包括第一电容 C1，第一电容 C1 的一端与上拉节点 PU 连接，第一电容 C1 的另一端与第一信号输出端 OUTPUT1 连接。

[0045] 第一输出子电路 103 与上拉节点 PU、第一时钟信号端 CLK1 和第一信号输出端 OUTPUT1 连接，第一输出子电路 103 被配置为在上拉节点 PU 的控制下将第一时钟信号端 CLK1 的电压输出至第一信号输出端 OUTPUT1。

[0046] 参考图 3, 第一输出子电路 103 包括第二晶体管 M2, 第二晶体管 M2 的栅极与上拉节点 PU 连接, 第二晶体管 M2 的第一极与第一时钟信号端 CLK1 连接, 第二晶体管 M2 的第二极与第一信号输出端 OUTPUT1 连接。

[0047] 第一复位子电路 104 与第一复位信号端 Reset1、第一电压端 VGL 和上拉节点 PU 连接, 第一复位子电路 104 被配置为在第一复位信号端 Reset1 的控制下将第一电压端 VGL 的电压输出至上拉节点 PU。

[0048] 如图 3 所示, 第一复位子电路 104 包括第三晶体管 M3, 第三晶体管 M3 的栅极与第一复位信号端 Reset1 连接, 第三晶体管 M3 的第一极与第一电压端 VGL 连接, 第三晶体管 M3 的第二极与上拉节点 PU 连接。

[0049] 下拉控制子电路 105 与第二时钟信号端 CLK2、第一电压端 VGL、上拉节点 PU 和下拉节点 PD 连接, 下拉控制子电路 105 被配置为在第二时钟信号端 CLK2 的控制下, 将第二时钟信号端 CLK2 的电压输出至下拉节点 PD, 或者在上拉节点 PU 的控制下, 将第一电压端 VGL 的电压输出至下拉节点 PD。

[0050] 如图 3 所示, 下拉控制子电路 105 可以包括第四晶体管 M4 和第五晶体管 M5, 第四晶体管 M4 的栅极和第一极与第二时钟信号端 CLK2 连接, 第四晶体管 M4 的第二极与下拉节点 PD 连接; 第五晶体管 M5 的栅极与上拉节点 PU 连接, 第五晶体管 M5 的第一极与第一电压端 VGL 连接, 第五晶体管 M5 的第二极与下拉节点 PD 连接。

[0051] 下拉子电路 106 与下拉节点 PD、第一电压端 VGL 和第一信号输出端 OUTPUT1 连接, 下拉子电路 106 被配置为在下拉节点 PD 的控制下将第一电压端 VGL 的电压输出至第一信号输出端 OUTPUT1。

[0052] 参考图 3, 下拉子电路 106 包括第六晶体管 M6, 第六晶体管 M6 的栅极与下拉节点 PD 连接, 第六晶体管 M6 的第一极与第一电压端 VGL 连接, 第六晶体管 M6 的第二极与第一信号输出端 OUTPUT1 连接。

[0053] 在此基础上, 参考图 2, 第二电路 20 可以包括第七晶体管 M7, 第七晶体管 M7 的栅极与第二信号输入端 INPUT2 连接 (也即与第一信号输

出端 OUTPUT1 连接)，第七晶体管 M7 的第一极与控制时钟信号端 CLKm 连接，第七晶体管 M7 的第二极与第二信号输出端 OUTPUT2 连接。

[0054] 第三电路 30 可以包括第八晶体管 M8，第八晶体管 M8 的栅极与第三信号输入端 INPUT3 连接（也即与第二信号输出端 OUTPUT2 连接），  
5 第八晶体管 M8 的第一极与输出时钟信号端 CLKn 连接，第八晶体管 M8 的第二极与第三信号输出端 OUTPUT3 连接，该第三信号输出端 OUTPUT3 在实际的应用时，与栅线 G 连接。

[0055] 在本公开一些实施例中，为了降低该移位寄存器在应用时输出信号的噪音，参考图 4，第一电路 10 还包括降噪信号输出端 OUTPUT'，降噪  
10 信号输出端 OUTPUT' 被配置为在第二时钟信号端 CLK2 的控制下，将第二时钟信号端 CLK2 的电压作为降噪电压输出至该降噪信号输出端 OUTPUT'。

[0056] 在此情况下，参考图 4，第二电路 20 还包括中间降噪子电路 201，该中间降噪子电路 201 与降噪信号输出端 OUTPUT'、第一电压端 VGL 和第二信号输出端 OUTPUT2 连接，中间降噪子电路 201 被配置为在降噪信号输出端 OUTPUT' 的控制下，将第一电压端 VGL 的电压输出至第二信号输出端  
15 OUTPUT2，以对第二电路 20 进行降噪；需要说明的是，在本公开的一些实施例中还可以在第二电路 20 中第七晶体管 M7 的栅极和第二信号输出端 OUTPUT2 之间设置存储电容（图 4 中以虚线示出），以降低第七晶体管 M7 因自身的寄生电容产生的噪音，从而进一步的降低输出信号的噪音，当然  
20 不设置该存储电容也不会影响正常工作。

[0057] 同时，参考图 4，第三电路 30 还可以包括输出降噪子电路 301，该输出降噪子电路 301 与降噪信号输出端 OUTPUT'、第一电压端 VGL 和第三信号输出端 OUTPUT3 连接，输出降噪子电路 301 被配置为在降噪信号输出端 OUTPUT' 的控制下，将第一电压端 VGL 的电压输出至第三信号输出端  
25 OUTPUT3，以对第三电路 30 进行降噪。如上所述，在本公开一些实施例中还可以在第三电路 30 中第八晶体管 M8 的栅极和第三信号输出端 OUTPUT3 之间设置存储电容（图 4 中以虚线示出），以降低第八晶体管 M8 因自身的

寄生电容产生的噪音，从而进一步的降低输出信号的噪音，当然不设置该存储电容也不会影响正常工作。

[0058] 在本公开一些实施例中，在第一电路 10 采用上述图 3 的电路的基础上，可以直接设置降噪信号输出端 OUTPUT'与下拉节点 PD 连接（参考图 4），以实现在下拉节点 PD 的控制下，将第二时钟信号端 CLK2 的电压作为降噪电压输出至降噪信号输出端 OUTPUT'，并通过降噪信号输出端 OUTPUT'控制中间降噪子电路 201 和输出降噪子电路 301，以对第二电路 20 和第三电路 30 进行逐级降噪。

[0059] 在本公开一些实施例中，参考图 4，中间降噪子电路 201 可以包括第九晶体管 M9，第九晶体管 M9 的栅极与降噪信号输出端 OUTPUT'连接，第九晶体管 M9 的第一极与第一电压端 VGL 连接，第九晶体管 M9 的第二极与第二信号输出端 OUTPUT2 连接。

[0060] 输出降噪子电路 301 可以包括第十晶体管 M10，第十晶体管 M10 的栅极与降噪信号输出端 OUTPUT'连接，第十晶体管 M10 的第一极与第一电压端 VGL 连接，第十晶体管 M10 的第二极与第三信号输出端 OUTPUT3 连接。

[0061] 综上所述，一方面，参考图 4，可以理解到，在下拉节点 PD 的控制下，将第二时钟信号端 CLK2 的电压作为降噪电压输出至降噪信号输出端 OUTPUT'，而且该降噪信号输出端 OUTPUT'输出的信号（也即第二时钟信号端 CLK2 的信号）能够分别对第二电路 20 和第三电路 30（通过第一电压端 VGL）进行横向逐级降噪，也即在该移位寄存器电路用于栅极驱动电路时，栅极驱动电路内部的噪音能够横向逐级衰减（可参考图 7 的输出信号模拟图），并且不会发生纵向传递，从而有利于实际显示的稳定性，满足了产品低风险和高可控性的要求。

[0062] 另一方面，对于本公开一些实施例中提供的移位寄存器电路而言，以图 4 中提供的电路为例，第一电路 10 为 6T1C 的电路结构（即 6 个晶体管 1 个电容），第二电路 20 为 2T0C 的电路结构（当然，也可以为 2T1C），

第三电路 30 为 2T0C 的电路结构（当然，也可以为 2T1C）。应当理解到，所述移位寄存器电路输出的信号的信噪比（参考图 8 的输出信号模拟图）基本上可以达到与逐级驱动的栅极驱动电路中 12T1C 的移位寄存器电路同样的输出水平。需要说明的是，本公开一些实施例中的每一移位寄存器电路采用 26 个晶体管（第一电路中 6 个晶体管，2 个第二电路各 2 个晶体管即 4 个晶体管，8 个第三电路中每个第三电路 2 个晶体管即 16 个晶体管，共计 26 个晶体管），最多采用 11 个电容（可以为第一电路中的 1 个电容）控制 8 条栅线，即 26T11C，也即平均对于每一栅线而言，基本上达到 3.25T1C。

[0063] 也就是说，本公开一些实施例中的移位寄存器电路在满足 12T1C 的移位寄存器电路的同样的输出水平的同时，能够大幅降低晶体管的使用数量，从而简化了制作工艺，降低了制作成本；同时还减小了栅极驱动电路的分布空间（栅极驱动电路一般设置在产品的边框位置），从而降低了产品的边框宽度（也即提高显示装置的屏占比），进而有利于产品的窄边框设计。

[0064] 本公开一些实施例还提供了一种栅极驱动电路，参考图 5 所示，该栅极驱动电路包括两个栅极驱动子电路（S 和 S'）；每个栅极驱动子电路包括至少两级级联的如前述的移位寄存器电路。其中图 5 中的两个栅极驱动子电路中分别仅示出了一个移位寄存器电路，图 5 中，位于栅极驱动子电路 S 中采用实线示出的移位寄存器电路 A，以及位于栅极驱动子电路 S' 中采用虚线示出的移位寄存器电路 B。该栅极驱动电路与前述的移位寄存器电路具有相同的有益效果，此处不再赘述。

[0065] 在本公开一些实施例中，上述栅极驱动电路的各个第三信号输出端 OUTPUT3（也即移位寄存器电路中第三电路的各个第三信号输出端）被配置为与依次排布的多条栅线一一对应地连接，可参考图 5 中栅线 G(n)~G(n+15)。

[0066] 对于本公开一些实施例中的栅极驱动电路而言，其内部设置有两组分别由前述的移位寄存器电路级联的两个栅极驱动子电路（S 和 S'），考虑到实际的控制以及驱动信号的设计，上述两个不同的栅极驱动子电路（S

和 S') 中, 一个栅极驱动子电路 S 与依次排布的奇数栅线组中的多个栅线连接, 另一个栅极驱动子电路 S' 与依次排布的偶数栅线组中的多个栅线连接; 其中, 栅线组为: 将依次排布的多个栅线按照  $8(N)$  个一组划分为不同的栅线组 (当然, 不同的栅线组由不同的栅线构成), 例如图 5 中前 8 个实线的栅线  $G(n)\sim G(n+7)$  为一组, 与栅极驱动子电路 S 连接; 后 8 个虚线的栅线  $G(n+8)\sim G(n+15)$  为一组, 与栅极驱动子电路 S' 连接; 应当理解, 栅线组  $G(n+8)\sim G(n+15)$  的下一栅线组为实线, 与栅极驱动子电路 S 连接; 再下一栅线组为虚线, 与栅极驱动子电路 S' 连接。

[0067] 此处还应当理解到, 依次排布的多个偶数栅线组中的多个栅线, 应依次按照级联次序与栅极驱动子电路中对应的移位寄存器电路一一对应连接 (也即依次排列的多个偶数栅线组与依次级联的多个移位寄存器电路一一对应连接), 例如, 第一个偶数栅线组中的多个栅线与栅极驱动子电路中第  $i$  级寄存器电路的多个第三信号输出端一一对应连接, 则第二个偶数栅线组中的多个栅线应与该栅极驱动子电路中第  $i+1$  级寄存器电路的多个第三信号输出端一一对应连接; 对于奇数栅线组中的多个栅线的连接与此类似, 此处不再赘述。

[0068] 还需要说明的是, 图 5 中是以两个栅极驱动子电路中的两个移位寄存器电路按照偶数栅线组和奇数栅线组的依次交替排序关系, 进行同样的交替排序, 此处应当理解到, 图 5 仅是为了清楚地对连接关系进行示意, 并不应看作是对本公开的限定, 在实际的加工制作中, 需要依据实际的布线需求, 各移位寄存器电路之间相对的设置位置可能会发生改变, 但只要保证其连接关系与图 5 中一致即可。

[0069] 另外, 以下对每个栅极驱动子电路中各移位寄存器电路的级联情况做进一步的说明:

[0070] 第一级移位寄存器电路的第一信号输入端 INPUT1 与起始信号端 STV 相连接, 当然, 本公开一些实施例中具有两个栅极驱动子电路则应设置两个起始信号端, 例如图 6 中的 STV (A) 和 STV (B), 分别与两个栅极

驱动子电路中第一级移位寄存器电路的第一信号输入端 INPUT1 连接。

[0071] 除了第一级移位寄存器电路以外，任一级移位寄存器电路的第一信号输入端 INPUT1 与该级移位寄存器电路的上一级移位寄存器电路的第一信号输出端 OUTPUT1 相连接；也即本级移位寄存器电路的第一信号输出端  
5 OUTPUT1 的输出信号作为下一级移位寄存器电路的第一信号输入端 INPUT1 的输入信号。

[0072] 除了最后一级移位寄存器电路以外，任一级移位寄存器电路的第一复位信号端 Reset1 与该级移位寄存器电路的下一级移位寄存器电路的第一信号输出端 OUTPUT1 相连接；也即本级移位寄存器电路的第一信号输出  
10 端 OUTPUT1 的输出信号作为上一级移位寄存器电路的第一复位信号端 Reset1 的输入信号。

[0073] 在本公开一些实施例中，对于第一级移位寄存器电路的第一信号输入端 INPUT1 一般均单独设置起始信号端 STV，但本公开并不限制于此，也可以将最后一级移位寄存器电路的第一信号输出端 OUTPUT1 与第一级移  
15 位寄存器电路的第一信号输入端 INPUT1 连接，也即将最后一级移位寄存器电路的第一信号输出端 OUTPUT1 的输出信号作为第一级移位寄存器电路的第一信号输入端 INPUT1 的起始信号。

[0074] 同样，对于最后一级移位寄存器电路的第一复位信号端 Reset1 而言，可以单独设置第一复位信号端 Reset1，也可以第一级移位寄存器电路的第一信号输出端 OUTPUT1 与最后一级移位寄存器电路的第一复位信号端  
20 Reset1 连接，本公开对此均不作限定。

[0075] 另外，需要说明的是，对于两个栅极驱动子电路一般需要设置不同的信号线，以图 5 中示出的栅极驱动子电路 S 中的移位寄存器电路 A 和栅极驱动子电路 S' 中的移位寄存器电路 B 为例：

[0076] 例如，图 5 中栅极驱动子电路 S（第一电路 10）中的第一时钟信号连接信号线 1（对应图 6 中 CLK1(A)信号）和第二时钟信号连接信号线 3  
25 （对应图 6 中 CLK2(A)信号）；而栅极驱动子电路 S'（第一电路 10）中第

一时钟信号连接信号线 2（对应图 6 中 CLK1(B)信号）和第二时钟信号连接信号线 4（对应图 6 中 CLK2(B)信号）。

[0077] 同样对于不同的栅极驱动子电路（第二电路 20）中控制时钟信号端 CLK<sub>m</sub>'连接不同的信号线，例如图 5 中的信号线 9、10、11、12；栅极驱动子电路 S 中移位寄存器电路 A 的两个控制时钟信号端分别连接信号线 9 和信号线 10，栅极驱动子电路 S'中移位寄存器电路 B 的两个控制时钟信号端分别连接信号线 11 和信号线 12。

[0078] 而在同一栅极驱动子电路中：同一移位寄存器电路中不同的第二电路 20 的控制时钟信号端连接不同的信号线，不同级移位寄存器电路中的第二电路的控制时钟信号端可以相应的进行共用，例如，图 5 中第一级移位寄存器电路 A 中两个第二电路对应的两个控制时钟信号端分别连接信号线 9 和信号线 10，而该栅极驱动子电路 S 中的下一级移位寄存器电路（图中未示出）中第二电路的两个控制时钟信号端同样分别对应连接信号线 9 和信号线 10。

[0079] 但是，对于两个栅极驱动子电路中输出时钟信号端连接的信号线而言，可以同上述与控制时钟信号端连接的信号线一样，对不同栅极驱动子电路的输出时钟信号端设置不同的信号线；不同之处在于，可以根据实际的信号设计，两个栅极驱动子电路中输出时钟信号端连接可以选择共用信号线；当然，本公开一些实施例中选用共用信号线的设计方案。

[0080] 对于上述两个栅极驱动子电路中输出时钟信号端共用信号线，示意的，可以参考图 5，栅极驱动子电路 S 中移位寄存器电路 A 的 8 个输出时钟信号端（CLK<sub>n1</sub>、CLK<sub>n2</sub>、CLK<sub>n3</sub>、CLK<sub>n4</sub>、CLK<sub>n5</sub>、CLK<sub>n6</sub>、CLK<sub>n7</sub>、CLK<sub>n8</sub>）分别连接不同的 8 个信号线（信号线 17-24），同样栅极驱动子电路 S'中移位寄存器电路 B 的 8 个输出时钟信号端也可以分别连接该 8 个信号线（信号线 17-24），当然，应保证该 8 个信号线（信号线 17-24）上加载的时钟信号的时序关系，以保证电路的正常驱动。

[0081] 在此基础上，同样以图 5 中示出的栅极驱动子电路 S 中的移位寄

寄存器电路 A 和栅极驱动子电路 S'中的移位寄存器电路 B 为例，以下对图 5 中的其他信号线进行简要的说明。

[0082] 信号线 5 为移位寄存器电路 B 中第一电路 10 的第一信号输入端 INPUT1 连接的信号线，当然该信号线还与栅极驱动子电路 S'中移位寄存器电路 B 上一级的移位寄存器电路中第一电路 10 的第一信号输出端 OUTPUT1 连接。

[0083] 信号线 6 为移位寄存器电路 A 中第一电路 10 的第一信号输入端 INPUT1 连接的信号线；当然，该信号线还与栅极驱动子电路 S 中移位寄存器电路 A 上一级的移位寄存器电路中第一电路 10 的第一信号输出端 OUTPUT1 连接。

[0084] 信号线 7 为移位寄存器电路 A 中第一电路 10 的第一信号输出端 OUTPUT1 连接的信号线，当然该信号线还与栅极驱动子电路 S 中该移位寄存器电路 A 上一级的移位寄存器电路中第一电路 10 的第一复位信号端 Reset1 连接，与下一级移位寄存器电路中第一电路 10 的第一信号输入端 INPUT1 连接；同时该信号线还与该移位寄存器电路 A 中第二电路 20 的第二信号输入端 INPUT2（通过图 5 中的线 13）连接。

[0085] 信号线 8 为移位寄存器电路 B 中第一电路 10 的第一信号输出端 OUTPUT1 连接的信号线，当然该信号线还与栅极驱动子电路 S'中该移位寄存器电路 B 上一级的移位寄存器电路中第一电路 10 的第一复位信号端 Reset1 连接，与下一级移位寄存器电路中第一电路 10 的第一信号输入端 INPUT1 连接；同时该信号线还与该移位寄存器电路 B 中第二电路 20 的第二信号输入端 INPUT2 连接。

[0086] 移位寄存器电路中第一电路 10 的降噪信号输出端 OUTPUT'分别通过信号线 27 和信号线 14 对第二电路 20 和第三电路 30 进行降噪。

[0087] 信号线 16 为向第一至第三电路中各电路中第一电压端 VGL 提供电压的信号线。

[0088] 信号线 26 为移位寄存器电路中第二电路 20 的第二信号输出端

OUTPUT2 与该移位寄存器电路中第三电路 30 的第三信号输入端 INPUT3 之间的连接信号线。

[0089] 其他信号线此处不再一一赘述，可以参考图 2-图 4 中相关的连接信号线。

5 [0090] 本公开一些实施例还提供一种显示装置，包括前述的栅极驱动电路，该显示装置具有与前述移位寄存器电路相同的结构和有益效果。由于已经对移位寄存器电路的结构和有益效果进行了详细的描述，此处不再赘述。

[0091] 需要说明的是，在本公开一些实施例中，显示装置至少可以包括液晶显示面板和有机发光二极管显示面板，例如该显示面板可以应用至液晶  
10 显示器、液晶电视、数码相框、手机或平板电脑等任何具有显示功能的产品或者部件中。

[0092] 本公开一些实施例还提供了一种前述移位寄存器电路的驱动方法，参考图 4，并结合图 5 和图 6 对所述驱动方法进行说明，其中，图 6 中实线的时序信号与图 5 中移位寄存器电路 A 对应，虚线的时序信号与图 5  
15 中移位寄存器电路 B 对应。

[0093] 该驱动方法包括：

[0094] 向第一电路 10 的第一信号输入端 INPUT1 输入第一输入信号，向第一时钟信号端 CKL1 输入第一时钟信号，在第一输入信号的控制下，将该第一时钟信号作为工作电压输出至第一信号输出端 OUTPUT1。

20 [0095] 向 2 个第二电路(即,  $M=2$ )的控制时钟信号端(CLK<sub>m1</sub> 和 CLK<sub>m2</sub>) 分别输入不同的控制时钟信号，并在第一信号输出端 OUTPUT1 输出的工作电压的控制下，将 2 个不同的控制时钟信号作为工作电压分别输出至 2 个第二信号输出端 OUTPUT2。

[0096] 向 8 个第三电路 30(即,  $N=8$ )的输出时钟信号端(CLK<sub>n1</sub>~CLK<sub>n8</sub>) 一一对应的输入 8 个不同的输出时钟信号，并在第二信号输出端 OUTPUT2 输出的工作电压的控制下，将 8 个不同的输出时钟信号作为工作电压分别输出至 8 个第三信号输出端 OUTPUT3。  
25

[0097] 向与同一第二电路 20 连接的 4 ( $N/M=4$ ) 个第三电路 30 输入的 4 个输出时钟信号对应的工作电压时段(也即 4 个输出时钟信号作为工作电压的输出时段), 位于向该第二电路 20 输入的控制时钟信号对应的工作电压时段(也即控制时钟信号作为工作电压的输出时段)内。

5 [0098] 在本公开一些实施例中, 如图 5 和图 6 所示, 以移位寄存器电路 A 对应的时序信号(实线)为例, 与一个第二电路 20 连接的 4 个第三电路 30 输入的 10 输出时钟信号  $CLKn1\sim CLKn4$  对应的工作电压时段  $t1$ , 位于该第二电路 20 输入的控制时钟信号  $CLKm1(A)$  对应的工作电压时段  $T1\sim T3$  内, 其中,  $t1$  为: 在同一信号周期内, 由输出时钟信号  $CLKn1$  对应的工作电压的起始时间至输出时钟信号  $CLKn4$  对应的工作电压的终止时间的时间段; 而  $T1$  为控制时钟信号  $CLKm1(A)$  对应的工作电压的起始时间点,  $T3$  为控制时钟信号  $CLKm1(A)$  对应的工作电压的终止时间点, 即  $T1\sim T3$  为控制时钟信号  $CLKm1(A)$  对应的一个信号周期内的工作电压时间段, 该工作电压时段 ( $T1\sim T3$ ) 也即第二电路 20 中控制时钟信号端  $CLKm1(A)$  作为 15 工作电压的输出时段。同理, 与另一个第二电路 20 连接的 4 个第三电路 30 输入的  $CLKn5\sim CLKn8$  对应的工作电压时段  $t2$ , 位于该第二电路 20 输入的控制时钟信号  $CLKm2(A)$  对应的工作电压时段  $T2\sim T4$  内, 其中  $t2$  所表示含义与  $t1$  相同,  $T2\sim T4$  表示含义与  $T1\sim T3$  相同, 在此不做赘述, 该工作电压时段 ( $T2\sim T4$ ) 也即第二电路 20 中控制时钟信号端  $CLKm2(A)$  作为工 20 作电压的输出时段。

[0099] 在本公开一些实施例中, 如图 5 和图 6 所示, 向与第一电路 10 连接的 2 个第二电路 20 输入的 2 个控制时钟信号对应的工作电压时段(也即 2 个控制时钟信号作为工作电压的输出时段), 位于向第一电路 10 输入的第一时钟信号对应的工作电压时段(也即第一时钟信号作为工作电压的输出 25 时段)内。

[0100] 以移位寄存器电路 A 对应的时序信号(实线)为例, 两个第二电路 20 分别输入的 2 个控制时钟信号  $CLKm1(A)$  和  $CLKm2(A)$  对应的工

作电压时段  $t_3$ ，位于第一电路 10 输入的第一时钟信号 CLK1 (A) 对应的工作电压时段 T1~T5 内，其中， $t_3$  为：在同一信号周期内，由控制时钟信号 CLKm1 (A) 对应的工作电压的起始时间至控制时钟信号 CLKm2 (A) 对应的工作电压的终止时间的时间段；而 T1 为第一时钟信号 CLK1 (A) 对应的工作电压的起始时间点（T1 同样也为控制时钟信号 CLKm1 (A) 对应的工作电压的起始时间点），T5 为第一时钟信号 CLK1 (A) 对应的工作电压的终止时间点，即 T1~T5 为第一时钟信号 CLK1 (A) 对应的一个信号周期内的工作电压时间段，该工作电压时段（T1~T5）也即第一电路 10 中控制时钟信号端 CLK1 (A) 作为工作电压的输出时段。

10 [0101] 在本公开一些实施例中，上述驱动方法还包括：

[0102] 向第一电路 10 的第一复位信号端 Reset1 输入第一复位信号，向第二时钟信号端 CLK2 输入第二时钟信号，并在第一复位信号和第二时钟信号的控制下，将第一电压端 VGL 的电压作为关闭电压输出至第一信号输出端 OUTPUT1；其中，第二时钟信号与第一时钟信号为相反的一组时钟信号，例如，参考图 6 中的 CLK1 (A) 和 CLK2 (A)，也即 CLK1 (A) 为高电平时，CLK2 (A) 为低电平；CLK1 (A) 为低电平时，CLK2 (A) 为高电平。

[0103] 如前述，为了降低该移位寄存器在应用时输出信号的噪音，在本公开一些实施例中，移位寄存器电路采用图 4 中的设计方式，也即第一电路 10 还包括降噪信号输出端 OUTPUT'，第二电路 20 包括中间降噪子电路 201，第三电路 30 包括输出降噪子电路 301，通过该降噪信号输出端 OUTPUT' 横向逐级对第二电路和第三电路进行降噪。

[0104] 在此情况下，在上述向第一电路 10 的第一复位信号端 Reset1 输入第一复位信号，向第二时钟信号端 CLK2 输入第二时钟信号，并在第一复位信号的控制下，将第一电压端 VGL 的电压作为关闭电压输出至第一信号输出端 OUTPUT1，同时，在第一复位信号和第二时钟信号的控制下，该第二时钟信号通过降噪信号输出端 OUTPUT' 输出至第二电路 20 的中间降噪子

电路 201, 以及第三电路 30 的输出降噪子电路 301, 以对第二电路 20 和第三电路 30 进行降噪。

[0105] 以下以图 4 中给出的移位寄存器电路 (对应图 5 中的移位寄存器电路 A) 的电路为例, 结合电路中晶体管的通断 (结合图 6 的时序信号) 对整个驱动过程做进一步的说明。

[0106] 需要说明的是, 以下关于图 4 中的晶体管通、断过程均是以所有晶体管为 N 型晶体管为例进行的说明, 但本公开并不限制于此, 图 4 中的所有晶体管也可以为 P 型晶体管, 当上述晶体管均为 P 型晶体管时, 其第一极为源极, 第二极为漏极。当上述晶体管均为 N 型晶体管时, 其第一极为漏极, 第二极为源极。以下实施例均是以各晶体管为 N 型晶体管, 也即前述的工作电压也均高电平电压为例进行说明的。

[0107] 第一阶段: (参考图 4)

[0108] 第一信号输入端 INPUT1 输入的第一输入信号为高电平 (对于第一级移位寄存器电路, 即输入初始信号 STV 为高电平, 可参考图 6 中的 STV (A)), 第一晶体管 M1 导通, 并将该高电平充入至第一电容 C1。

[0109] 第二阶段:

[0110] 第一电容 C1 中与上拉节点 PU 连接的极板, 在上一阶段的存储电容下处于高电位 (也可以认为, 第一电容 C1 对上拉节点 PU 进行放电, 使得上拉节点 PU 处于高电位), 并且此时第一时钟信号端 CLK1 由低电位上升到高电位, 通过第二晶体管 M2 的栅源极电容耦合进一步抬高第二晶体管 M2 的栅极电位 (即 PU 点的电位进一步抬升), 第二晶体管 M2 导通, 并将第一时钟信号端 CLK1 的高电位 (参考图 6 中的 CLK1(A) 中 T1~T5 时段) 输出至第一信号输出端 OUTPUT1。

[0111] 第一信号输出端 OUTPUT1 将第一时钟信号端 CLK1 的高电位传输至第七晶体管 M7 的栅极, 第七晶体管 M7 导通, 将控制时钟信号端 CLKm (参考图 6 中针对同一移位寄存器电路中的两个控制时钟信号端 CLKm1 (A) 和 CLKm2 (A)) 的信号输出至第二信号输出端 OUTPUT2。应该理

解到，在此情况下，必然有第一时钟信号的脉宽大于两个控制时钟信号的脉宽，并且 CLKm1 (A) 和 CLKm2 (A) 的整体脉宽时段 t3 均处于 CLK1(A) 的脉宽 (T1~T5) 内，这样就能够保证在第一时钟信号端 CLK1 的高电位控制第七晶体管 M7 导通的过程中，两个控制时钟信号端 CLKm1(A) 和 CLKm2 (A) 的信号可以完全输出至第二信号输出端 OUTPUT2，从而避免了第七晶体管 M7 闭合时，两个控制时钟信号端 CLKm1 (A) 和 CLKm2 (A) 的信号尚未完全输出至第二信号输出端 OUTPUT2，致使部分信号无法传输的问题。

[0112] 并且，在两个第二信号输出端 OUTPUT2 输出的信号(也即 CLKm1 (A) 和 CLKm2 (A) 的信号) 控制下，第三电路中第八晶体管 M8 导通，将输出时钟信号端 CLKn (参考图 6 中针对同一移位寄存器电路中的 8 个控制时钟信号端 CLKn1~CLKn4、CLKn5~CLKn8) 的信号输出至第三信号输出端 OUTPUT3。应该理解到，在此情况下，必然有，控制时钟信号的脉宽大于输出时钟信号的脉宽，并且 CLKn1~CLKn4 的整体脉宽时段 t1 处于 CLKm1 (A) 的脉宽 (T1~T3) 内，CLKn5~CLKn8 整体脉宽时段 t2 处于 CLKm2 (A) 的脉宽 (T2~T4) 内，其原因和 CLKm1 (A) 和 CLKm2 (A) 的整体脉宽时段 t3 均处于 CLK1(A) 的脉宽 (T1~T5) 内相同，本公开实施例在此不做赘述。

[0113] 同时，在该阶段中，在上拉节点 PU 的高电位控制下，第五晶体管 M5 导通，从而能够通过第一电压端 VGL 的低电平保证下拉节点 PD 维持在低电位。

[0114] 第三阶段:

[0115] 第一复位信号端 Reset1 输入高电平，第三晶体管 M3 导通，第一电压端 VGL 的低电平将上拉节点 PU 的高电位拉低，第五晶体管 M5 截止；同时在该阶段，第二时钟信号端 CLK2 输出高电位(参考图 6 中的 CLK2(A) 中 T5~T7 时段)，第四晶体管 M4 导通，并将该第二时钟信号的高电平输出至下拉节点 PD，在下拉节点 PD 的高电位控制下，第六晶体管 M6 导通，以

通过第一电压端 VGL (也即关闭电压) 对第一信号输出端 OUTPUT1 进行复位, 同时第二时钟信号端 CLK2 的信号会通过降噪信号输出端 OUTPUT' 将第九晶体管 M9 和第十晶体管 M10 导通, 对第二电路 20 和第三电路 30 进行逐级降噪。

5 [0116] 在此基础上, 在本公开一些实施例中提供了一种上述时钟信号的脉宽数值, 以及相应的占空比; 其中, H 为像素电压的写入脉宽。

[0117] 在本公开一些实施例中, 第一时钟信号和第二时钟信号的脉宽为 16H, 占空比为 50%; 其中, 对于栅极驱动电路来说, 两个栅极驱动子电路中第一时钟信号和第二时钟信号分别相对均延迟 8H (即其脉宽的一半),  
10 可参考图 6 中的 CLK1 (B) 相对于 CLK1 (A) 延迟其脉宽的一半, CLK2 (B) 相对于 CLK2 (A) 延迟其脉宽的一半。

[0118] 控制时钟信号的脉宽为 8H (也即为第一时钟信号和第二时钟信号脉宽的一半), 占空比为 50%; 其中, 同一移位寄存器电路的两个控制时钟信号 CLKm1 和 CLKm2 相对均延迟 4H (即其脉宽的一半), 参考图 6 中  
15 CLKm2 (A) 相对 CLKm1 (A) 延迟其脉宽的一半, CLKm2 (B) 相对 CLKm1 (B) 延迟其脉宽的一半; 对于两个栅极驱动子电路中连接相邻栅线组的移位寄存器电路而言, 当前栅线组对应的移位寄存器电路的 CLKm1 (B) 相对于前一栅线组对应的移位寄存器电路的 CLKm2 (A) 延迟其脉宽的一半。

[0119] 输出时钟信号的脉宽为 4H (也即为控制时钟信号脉宽的一半),  
20 占空比小于或等于 50%; 其中, 与依次相邻的 8 条栅线连接的 8 个第三电路上的 8 个输出时钟信号依次延迟 1H, 可以参考图 6 中 CLKn1~CLKn8 依次延迟 1H。

[0120] 需要说明的是, 设置与依次相邻的 8 条栅线连接的 8 个第三电路上的 8 个输出时钟信号依次延迟 1H, 并且保证 H 为像素电压的最小写入脉宽, 其目的是为了在通过栅极驱动电路驱动栅线时, 在不改变显示面板中数据  
25 线设置方式的基础上, 通过数据线能够逐行的对相应开启行的亚像素写入像素数据。

[0121] 当然，也可以设置 H 大于像素电压的最小写入脉宽；但是，如果设置 H 小于像素电压的最小写入脉宽，此时的数据线设计方式则不能保证像素数据的正常写入，在此情况下，如果需要采用本公开中的栅极驱动电路进行栅线驱动，则需要针对一列亚像素设置多条数据线，当然，同时需要对上述各信号进行适应性的调整，本公开对此不作限定，此处不再一一赘述。

[0122] 另外，本领域的技术人员应当理解到，采用本公开中栅极驱动电路在实际的显示时，是通过驱动栅线对显示面板的有效显示区中的亚像素中的薄膜晶体管 T 进行驱动，同样采用高电平为工作电压，也即该薄膜晶体管 T 为 N 型晶体管，则该晶体管具有一开启电压  $V(H)$ ，和一关闭电压  $V(L)$ （一般的，该关闭电压为前述第一电压端 VGL 的低电平电压），基于此，关于上述时钟信号，以下提供一种时钟信号设计方案来实现电路的高低电平控制，并结合采用该时钟信号设计方案下的第一至第三电路中各电路的输出模拟信号图（图 7），对相关的信号控制做进一步的解释说明。

[0123] 在本公开一些实施例中，输出时钟信号（对应 CKLn）的高电平为有效显示区中薄膜晶体管 T 的开启电压  $V(H)$ ，其低电平（LVGL）小于有效显示区中薄膜晶体管的关闭电压  $V(L)$ 。这样一来，通过第三信号输出端 OUTPUT3 输出的信号在关闭薄膜晶体管 T 时，能够减小薄膜晶体管 T 从开启电压  $V(H)$  到关闭电压  $V(L)$  的下降延时间（Falling Time）。

[0124] 参考图 7 和图 8（图 7 中部分输出信号的放大模拟图），在一个第二信号输出端 OUTPUT2 输出工作电压的时段内，例如 T1~T3 的时段内，则由该第二信号输出端 OUTPUT2 控制的 4 个第三电路的中第八晶体管 M8 全部打开，且 4 个第三电路的第三信号输出端 OUTPUT3 在 T1~T3 的时段内（参考图 7），依次输出 CKLn1~CKLn4 的信号；参考图 8，由于 CKLn1~CKLn4 的信号中高电平为有效显示区中薄膜晶体管 T 的开启电压  $V(H)$ ，低电平 LVGL（例如，-12v）小于有效显示区中薄膜晶体管的关闭电压  $V(L)$ （例如，-8V），此时第三信号输出端 OUTPUT3 连接的栅线（Gate）对应的实际有效的 Gate Falling Time 从  $V(H)$  下降到  $V(L)$  的时间减小（即减小下

降延时间)；另外，参考图 8，以 T3 时刻为例，一个第二电路中的第二信号输出端 OUTPUT2 停止输出工作电压，此时，与该第二电路连接的第三电路的中第八晶体管 M8 关闭，第三电路的第三信号输出端 OUTPUT3 在降噪输出端 OUTPUT' 的控制下，电位逐渐复位到第一电压端 VGL 的电压 (-8v)，  
5 从而保证了显示区在保持阶段的正常低电位水平 (-8v)，减小漏电流。

[0125] 此处需要说明的是，参考图 8，受第三电路中第三信号输出端 OUTPUT3 输出信号 (对应依次输入的 CKLn1~CKLn4 的信号) 的耦合影响，第二电路的第二信号输出端 OUTPUT2 输出的信号不再是标准方波，根据 CKLn1~CKLn4 的依次输入，先上升沿耦合再下降沿耦合，整体呈阶梯状峰  
10 型脉冲，这种波形由于被耦合以后被抬到较高的电压水平，能保证第三电路中第八晶体管 M8 具有较高的开启电流，对第三信号输出端 OUTPUT3 的输出 (也即 Gate Output) 影响程度较小，尤其对 Falling Time 的影响小。

[0126] 在本公开一些实施例中，第二电路 20 的控制时钟信号 (对应 CLKm) 中的高电平大于有效显示区中薄膜晶体管的开启电压 V(H)，这  
15 样一来，能够提高第三电路中第八晶体管 M8 的开启电流。

[0127] 此处需要说明的是，本公开中设置第二电路 20 的控制时钟信号的高电平大于有效显示区中薄膜晶体管的开启电压 V(H)，但本领域的技术人员应当理解到，即使设置第二电路 20 的控制时钟信号的高电平较低时，可能会因第三电路中第八晶体管 M8 的开启电流差异，造成第三信号输出端  
20 OUTPUT3 的输出 (也即 Gate Output) 的上升时间 (Rising Time) 的差异，但是本公开中设计输出时钟信号的脉宽为 4H，其中前 3H 为预充电时间，因而能够保证 Gate Output 的 Rising Time 差异并不会对像素实际充电造成影响。

[0128] 在本公开一些实施例中，第一电路 10 中第一时钟信号 (对应  
25 CLK1) 和第二时钟信号 (对应 CLK2) 中的高电平小于有效显示区中薄膜晶体管的开启电压 V(H)，这样一来，参考图 4，能够降低第一电路 10 中第六晶体管 M6、第二电路 20 中的第九晶体管 M9 以及第三电路 30 中的第

十晶体管 M10 的偏压（电压越大，偏压则越大），从而提高晶体管的寿命，同时不会影响第三电路中第八晶体管 M8 的开启电流。

[0129] 另外，在采用上述时钟信号设计方案的基础上，参考图 7 对应的第一至第三电路中各电路的输出模拟信号，第一信号输出端 OUTPUT1 输出的信号（包括初始阶段和保持阶段，也即输出脉冲前、后）具有较大的噪音，采用本公开中的电路以及信号设计，通过第一电路对第二电路和第三电路进行逐级降噪，如图 7 所示，可以看出，第二信号输出端 OUTPUT2 输出的信号（包括初始阶段和保持阶段，也即输出脉冲前、后）的噪音明显减小，第三信号输出端 OUTPUT3 输出的信号（包括初始阶段和保持阶段，也即输出脉冲前、后）基本上达到无噪音的效果；也即采用本公开中栅极驱动电路基本（平均为 3.25T1C）输出的信号的信噪比基本上可以达到与 12T1C 的栅极驱动电路同样的水平，不仅降低了晶体管的实用数量，降低了制作成本，同时还保证了产品的窄边框设计。

[0130] 以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

1、一种移位寄存器电路，包括一个第一电路、M个第二电路、N个第三电路，M和N均为正整数，且N为M的整数倍，M大于或等于2，N/M大于或等于2；

所述第一电路连接第一信号输入端、第一时钟信号端、第二时钟信号端、第一电压端、第一复位信号端和第一信号输出端，所述第一电路被配置为在所述第一信号输入端的控制下，将所述第一时钟信号端的电压作为工作电压输出至所述第一信号输出端，或者在所述第一复位信号端和所述第二时钟信号端的控制下，将所述第一电压端的电压作为关闭电压输出至所述第一信号输出端；

所述第二电路连接第二信号输入端、第二信号输出端和控制时钟信号端，所述第二电路被配置为在所述第二信号输入端的控制下，将所述控制时钟信号端的电压作为工作电压输出至所述第二信号输出端；

所述第三电路连接输出时钟信号端、第三信号输入端和第三信号输出端，所述第三电路被配置为在所述第三信号输入端的控制下，将所述输出时钟信号端的电压作为工作电压输出至所述第三信号输出端；

所述移位寄存器电路中：

所述第一电路的所述第一信号输出端与M个所述第二电路中每个所述第二电路的所述第二信号输入端连接；

每一所述第二电路的所述第二信号输出端分别与N/M个所述第三电路中每个所述第三电路的所述第三信号输入端连接，不同的所述第二信号输出端连接不同的所述第三信号输入端；

不同的所述第二电路与不同的所述控制时钟信号端连接，不同的所述第三电路与不同的所述输出时钟信号端连接。

2、根据权利要求1所述的移位寄存器电路，其中，

所述第一电路包括：输入子电路、储能子电路、第一输出子电路、第一复位子电路、下拉控制子电路和下拉子电路；

所述输入子电路与所述第一信号输入端和上拉节点连接，所述输入

子电路被配置为在所述第一信号输入端的控制下,将所述第一信号输入端的电压输出至所述上拉节点;

所述储能子电路与所述上拉节点和所述第一信号输出端连接,所述储能子电路被配置为对所述上拉节点的电压进行存储,或者对所述上拉节点进行充电;

所述第一输出子电路与所述上拉节点、所述第一时钟信号端和所述第一信号输出端连接,所述第一输出子电路被配置为在所述上拉节点的控制下将所述第一时钟信号端的电压输出至所述第一信号输出端;

所述第一复位子电路与所述第一复位信号端、所述第一电压端和所述上拉节点连接,所述第一复位子电路被配置为在所述第一复位信号端的控制下,将所述第一电压端的电压输出至所述上拉节点;

所述下拉控制子电路与所述第二时钟信号端、所述第一电压端、所述上拉节点和下拉节点连接,所述下拉控制子电路被配置为在所述第二时钟信号端的控制下,将所述第二时钟信号端的电压输出至所述下拉节点,或者在所述上拉节点的控制下,将所述第一电压端的电压输出至所述下拉节点;

所述下拉子电路与所述下拉节点、所述第一电压端和所述第一信号输出端连接,所述下拉子电路被配置为在所述下拉节点的控制下将所述第一电压端的电压输出至所述第一信号输出端。

3、根据权利要求1所述的移位寄存器电路,其中,所述第一电路还包括降噪信号输出端,所述降噪信号输出端被配置为在所述第二时钟信号端的控制下,将所述第二时钟信号端的电压作为降噪电压输出至所述降噪信号输出端;

所述第二电路包括中间降噪子电路,所述中间降噪子电路与所述降噪信号输出端、所述第一电压端和所述第二信号输出端连接,所述中间降噪子电路被配置为在所述降噪信号输出端的控制下,将所述第一电压端的电压输出至所述第二信号输出端,对所述第二电路进行降噪;

所述第三电路包括输出降噪子电路,所述输出降噪子电路与所述降噪信号输出端、所述第一电压端和所述第三信号输出端连接,所述输出降噪子电路被配置为在所述降噪信号输出端的控制下,将所述第一电压端的电压输出至所述第三信号输出端,对所述第三电路进行降噪。

4、根据权利要求2或3所述的移位寄存器电路,其中,

所述输入子电路包括第一晶体管,所述第一晶体管的栅极和第一极与所述第一信号输入端连接,所述第一晶体管的第二极与所述上拉节点连接;

和/或,所述储能子电路包括第一电容,所述第一电容的一端与所述上拉节点连接,所述第一电容的另一端与所述第一信号输出端连接;

和/或,所述第一输出子电路包括第二晶体管,所述第二晶体管的栅极与所述上拉节点连接,所述第二晶体管的第一极与所述第一时钟信号端连接,所述第二晶体管的第二极与所述第一信号输出端连接;

和/或,所述第一复位子电路包括第三晶体管,所述第三晶体管的栅极与所述第一复位信号端连接,所述第三晶体管的第一极与所述上拉节点连接,所述第三晶体管的第二极与所述第一电压端连接;

和/或,所述下拉控制子电路包括第四晶体管和第五晶体管,所述第四晶体管的栅极和第一极与所述第二时钟信号端连接,所述第四晶体管的第二极与所述下拉节点连接;所述第五晶体管的栅极与所述上拉节点连接,所述第五晶体管的第一极与所述下拉节点连接,所述第五晶体管的第二极与所述第一电压端连接;

和/或,所述下拉子电路包括第六晶体管,所述第六晶体管的栅极与所述下拉节点连接,所述第六晶体管的第一极与所述第一信号输出端连接,所述第六晶体管的第二极与所述第一电压端连接;

和/或,所述第二电路包括第七晶体管,所述第七晶体管的栅极与所述第二信号输入端连接,所述第七晶体管的第一极与所述控制时钟信号端连接,所述第七晶体管的第二极与所述第二信号输出端连接;

和/或，所述第三电路包括第八晶体管，所述第八晶体管的栅极与所述第三信号输入端连接，所述第八晶体管的第一极与所述输出时钟信号端连接，所述第八晶体管的第二极与所述第三信号输出端连接。

5、根据权利要求4所述的移位寄存器电路，其中，在所述第一电路还包括降噪信号输出端，所述第二电路包括中间降噪子电路，所述第三电路包括输出降噪子电路的情况下，

所述降噪信号输出端与所述下拉节点连接；

所述中间降噪子电路包括第九晶体管，所述第九晶体管的栅极与所述降噪信号输出端连接，所述第九晶体管的第一极与所述第二信号输出端连接，所述第九晶体管的第二极与所述第一电压端连接；

所述输出降噪子电路包括第十晶体管，所述第十晶体管的栅极与所述降噪信号输出端连接，所述第十晶体管的第一极与所述第三信号输出端连接，所述第十晶体管的第二极与所述第一电压端连接。

6、根据权利要求1所述的移位寄存器电路，其中， $M$ 小于或等于4， $N/M$ 小于或等于6。

7、根据权利要求1所述的移位寄存器电路，其中， $M$ 等于2， $N$ 等于8。

8、一种栅极驱动电路，包括两个栅极驱动子电路；每个所述栅极驱动子电路包括至少两级级联的如权利要求1-7任一项所述的移位寄存器电路；

所述栅极驱动子电路中的第三信号输出端被配置为与依次排布的栅线连接；所述栅线按照 $N$ 个一组划分为不同的栅线组，两个所述栅极驱动子电路中，一个栅极驱动子电路与依次排布的奇数栅线组中的多个栅线连接，另一个栅极驱动子电路与依次排布的偶数栅线组中的多个栅线连接；

每个所述栅极驱动子电路中：

第一级移位寄存器电路的第一信号输入端与起始信号端相连接；

除了所述第一级移位寄存器电路以外,任一级移位寄存器电路的第一信号输入端与该级所述移位寄存器电路的上一级所述移位寄存器电路的第一信号输出端相连接;

除了最后一级所述移位寄存器电路以外,任一级所述移位寄存器电路的第一复位信号端与该级所述移位寄存器电路的下一级所述移位寄存器电路的第一信号输出端相连接。

9、一种显示装置,包括如权利要求8所述的栅极驱动电路。

10、一种用于驱动如权利要求1-7任一项所述的移位寄存器电路的驱动方法,所述驱动方法包括:

向第一电路的第一信号输入端输入第一输入信号,向第一时钟信号端输入第一时钟信号,在所述第一输入信号的控制下,将所述第一时钟信号作为工作电压输出至第一信号输出端;

向M个第二电路的控制时钟信号端一一对应的输入M个不同的控制时钟信号,在所述第一信号输出端输出的工作电压的控制下,将M个不同的控制时钟信号作为工作电压一一对应的输出至M个第二信号输出端;

向N个第三电路的输出时钟信号端一一对应的输入N个不同的输出时钟信号,在所述第二信号输出端输出的工作电压的控制下,将N个不同的输出时钟信号作为工作电压一一对应的输出至N个第三信号输出端;

向与同一所述第二电路连接的N/M个所述第三电路输入的N/M个输出时钟信号对应的工作电压时段,位于向所述第二电路输入的控制时钟信号对应的工作电压时段内;

向与第一电路连接的M个第二电路输入的M个控制时钟信号对应的工作电压时段,位于向所述第一电路输入的第一时钟信号对应的工作电压时段内;

所述驱动方法还包括:

向第一电路的第一复位信号端输入第一复位信号,向第二时钟信号端输入第二时钟信号,在所述第一复位信号和第二时钟信号的控制下,将第一电压端的电压作为关闭电压输出至第一信号输出端;所述第二时钟信号与所述第一时钟信号为相反的一组时钟信号。

11、根据权利要求 10 所述的驱动方法,其中,在所述第一电路还包括降噪信号输出端,所述第二电路包括中间降噪子电路,所述第三电路包括输出降噪子电路的情况下,

所述向第二时钟信号端输入第二时钟信号的同时,在所述第二时钟信号的控制下,将所述第二时钟信号通过降噪信号输出端输出至第二电路的中间降噪子电路和第三电路的输出降噪子电路,以对所述第二电路和所述第三电路进行降噪。

12、根据权利要求 10 所述的驱动方法,其中,所述工作电压为高电平电压。

13、根据权利要求 12 所述的驱动方法,其中,

所述移位寄存器电路通过 N 个第三电路分别与 N 条依次设置的栅线一一对应地连接;

N 个第三电路的 N 个输出时钟信号端输入的输出时钟信号依次至少延迟像素电压的最小写入脉宽。

14、根据权利要求 12 所述的驱动方法,其中,所述第一时钟信号和所述第二时钟信号的脉宽为 16H,占空比为 50%;

所述控制时钟信号的脉宽为 8H,占空比为 50%;

所述输出时钟信号的脉宽为 4H,占空比小于或等于 50%;

H 为像素电压的写入脉宽。

15、根据权利要求 12 所述的驱动方法,其中,

所述输出时钟信号的高电平为有效显示区中薄膜晶体管的开启电压,所述输出时钟信号的低电平小于有效显示区中薄膜晶体管的关闭电压;

和/或，所述控制时钟信号中的高电平大于有效显示区中薄膜晶体管的开启电压；

和/或，所述第一时钟信号和所述第二时钟信号中的高电平小于有效显示区中薄膜晶体管的开启电压。

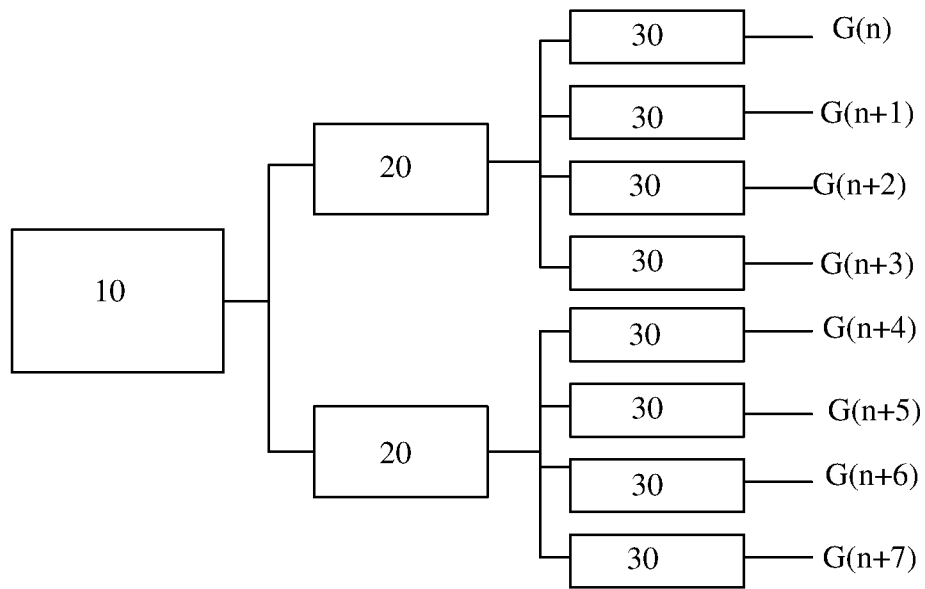


图 1

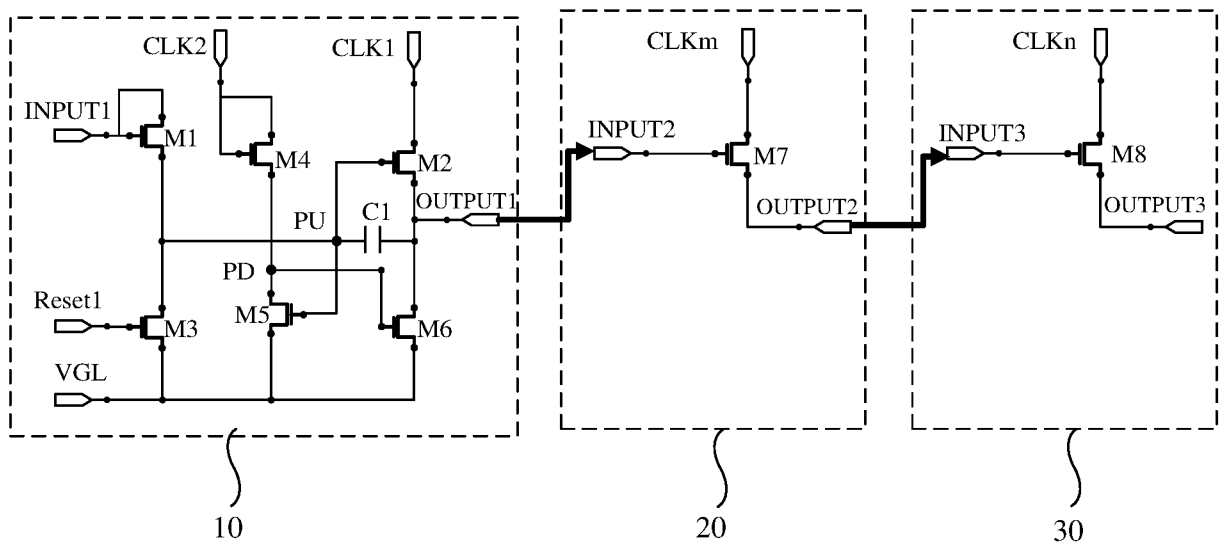


图 2

10 ↘

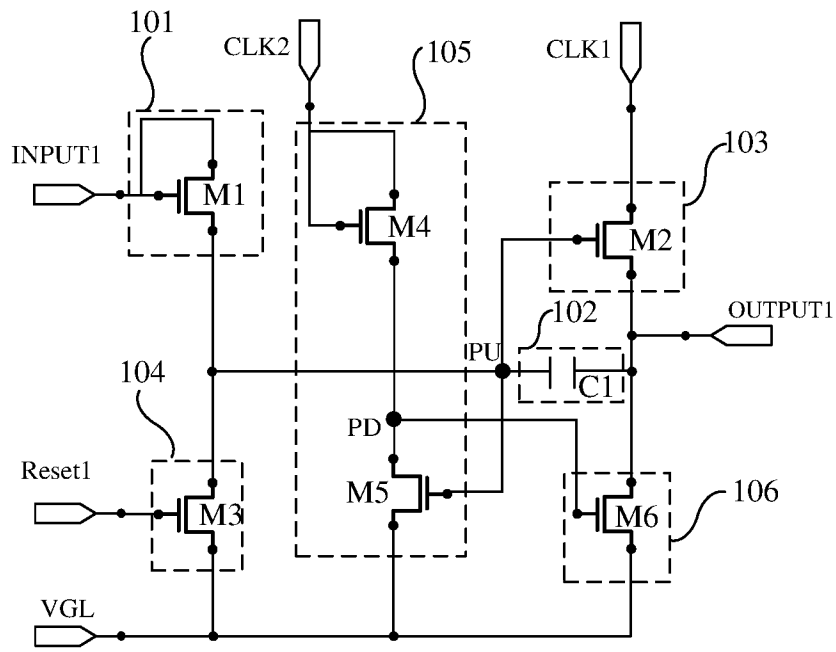


图 3

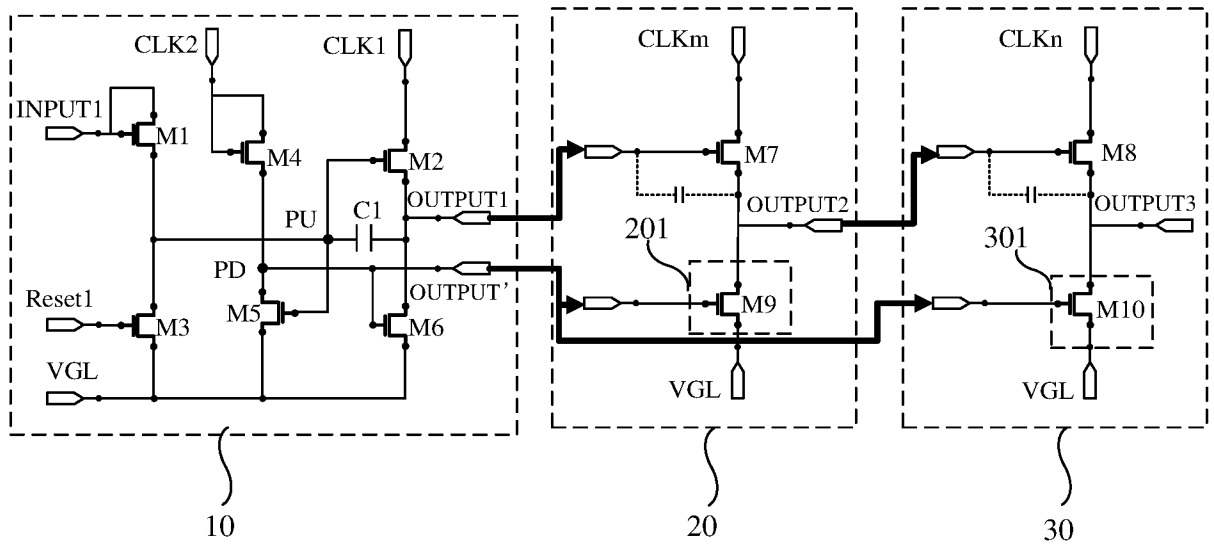


图 4

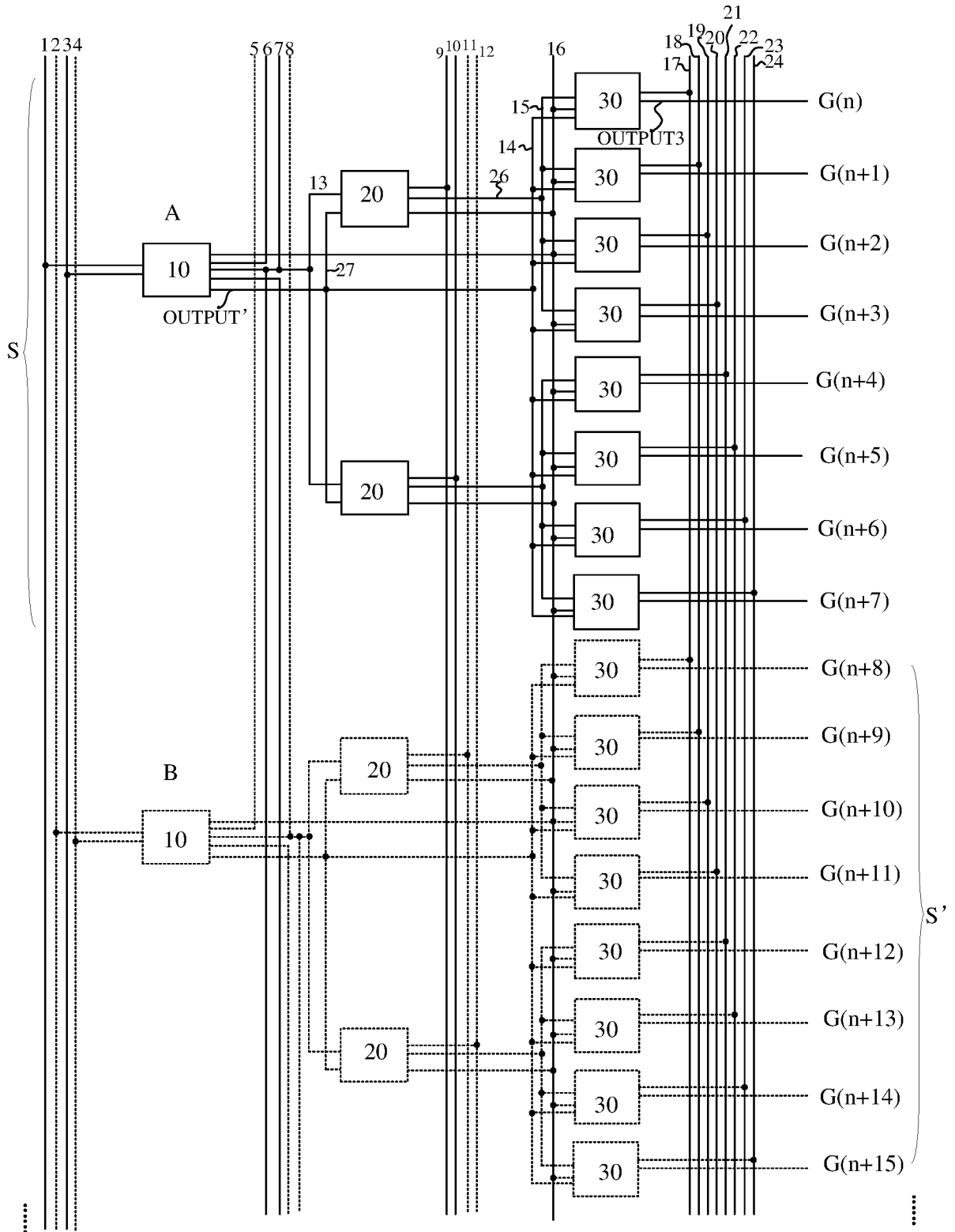


图 5

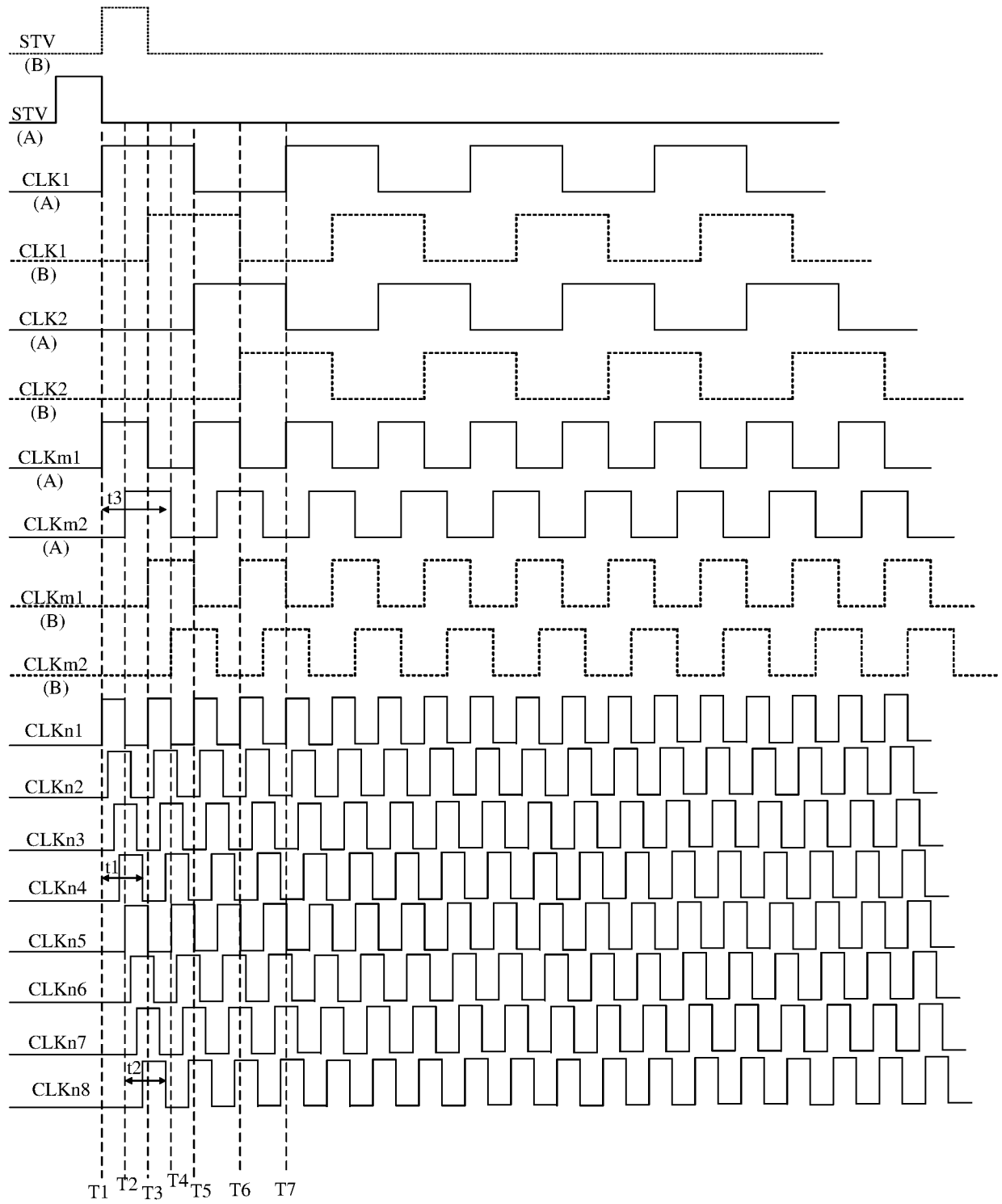


图 6

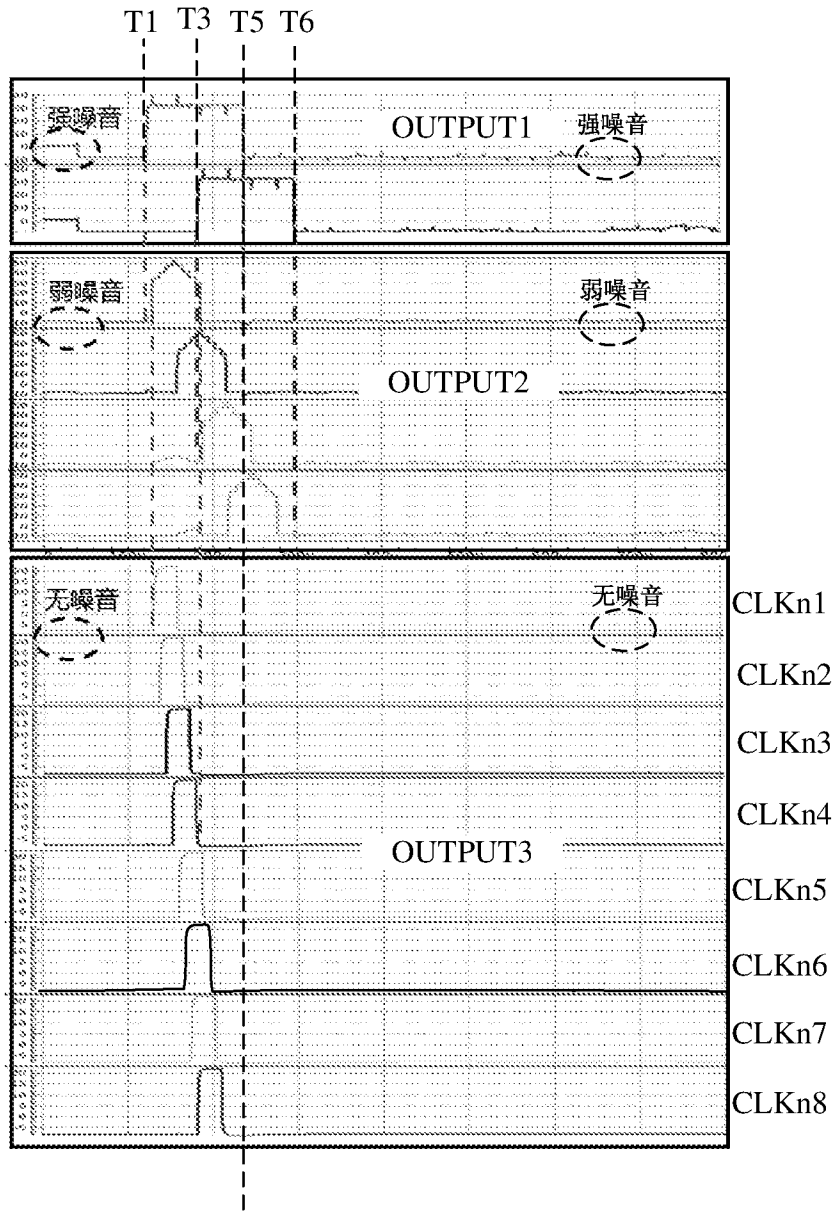


图 7

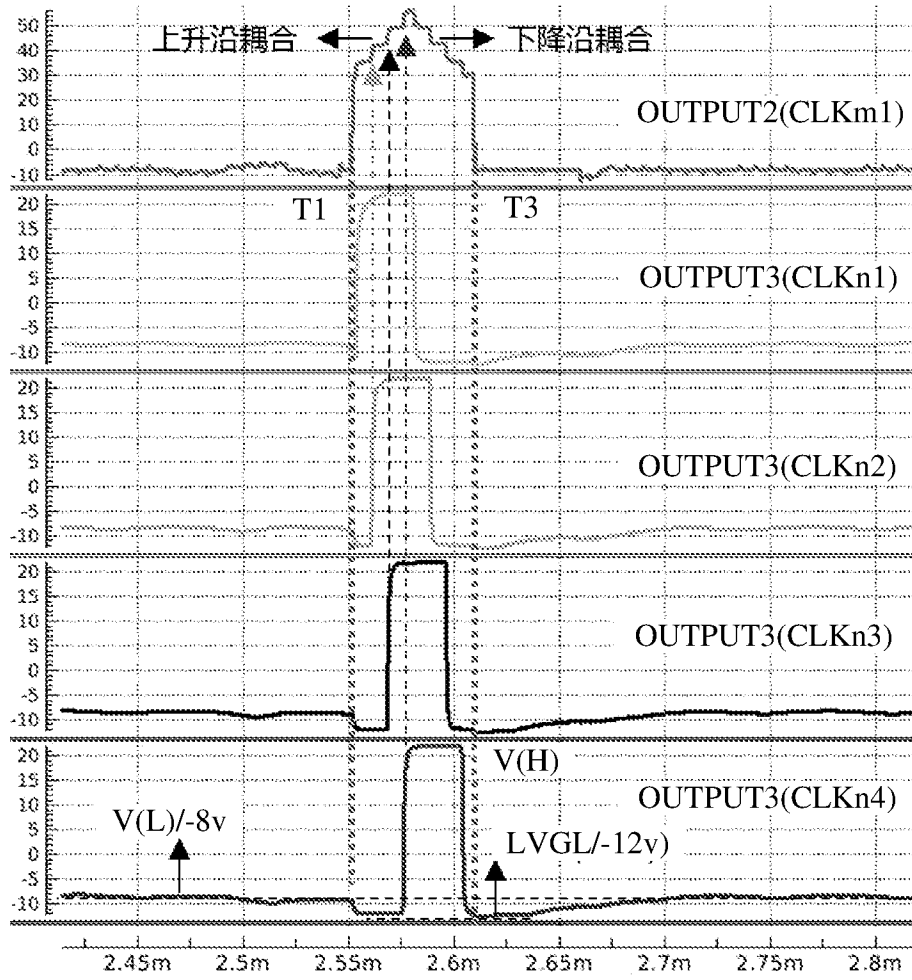


图 8

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2019/079276

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> G09G 3/36(2006.01)i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) G09G3/--  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) CNABS; CNTXT; DWPI; VEN: G09G3; 逐级, 降噪, 传递, 噪音, 窄边, 移位寄存器, 降噪, 放大, 比例, 信噪比, 多级, 降低, 减少, 晶体管, 数目, 数量, 级联, 京东方, noise, SNR, SN, amplif+, trans, signal, transistor, number, gradually, by degress, proportion, shift register, reduce, decrease, BOE		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 103208251 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 17 July 2013 (2013-07-17) description, embodiments, and figures 1 and 2	1-15
A	CN 107464521 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 12 December 2017 (2017-12-12) entire document	1-15
A	CN 107507556 A (BOE TECHNOLOGY GROUP CO., LTD. ET AL.) 22 December 2017 (2017-12-22) entire document	1-15
A	US 2016189796 A1 (SHANGHAI TIANMA AM OLED CO., LTD. ET AL.) 30 June 2016 (2016-06-30) entire document	1-15
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p> <p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>		
Date of the actual completion of the international search <b>21 June 2019</b>		Date of mailing of the international search report <b>27 June 2019</b>
Name and mailing address of the ISA/CN <b>State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088 China</b> Facsimile No. (86-10)62019451		Authorized officer   Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/CN2019/079276**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	103208251	A	17 July 2013	WO	2014169626	A1	23 October 2014
				US	9305509	B2	05 April 2016
				US	2015243237	A1	27 August 2015
				CN	103208251	B	29 July 2015
				EP	2988306	A4	28 December 2016
				EP	2988306	A1	24 February 2016
<hr/>							
CN	107464521	A	12 December 2017	WO	2019062265	A1	04 April 2019
<hr/>							
CN	107507556	A	22 December 2017	US	2019103166	A1	04 April 2019
<hr/>							
US	2016189796	A1	30 June 2016	DE	102015117758	A1	30 June 2016
				US	9653179	B2	16 May 2017
				CN	104485065	A	01 April 2015
				CN	104485065	B	22 February 2017
<hr/>							

<p><b>A. 主题的分类</b> G09G 3/36 (2006.01) i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																	
<p><b>B. 检索领域</b></p> <p>检索的最低限度文献(标明分类系统和分类号) G09G3/—</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNABS;CNTXT;DWPI;VEN:G09G3;逐级, 降噪, 传递, 噪音, 窄边, 移位寄存器, 降噪, 放大, 比例, 信噪比, 多级, 降低, 减少, 晶体管, 数目, 数量, 级联, 京东方, noise, SNR, SN, amplif+, trans, signal, transistor, number, gradually, by degress, proportion, shift register, reduce, decrease, BOE</p>																	
<p><b>C. 相关文件</b></p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 103208251 A (京东方科技集团股份有限公司等) 2013年 7月 17日 (2013 - 07 - 17) 说明书实施例部分, 附图1, 2</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 107464521 A (京东方科技集团股份有限公司等) 2017年 12月 12日 (2017 - 12 - 12) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>CN 107507556 A (京东方科技集团股份有限公司等) 2017年 12月 22日 (2017 - 12 - 22) 全文</td> <td>1-15</td> </tr> <tr> <td>A</td> <td>US 2016189796 A1 (SHANGHAI TIANMA AM OLED CO LTD等) 2016年 6月 30日 (2016 - 06 - 30) 全文</td> <td>1-15</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 103208251 A (京东方科技集团股份有限公司等) 2013年 7月 17日 (2013 - 07 - 17) 说明书实施例部分, 附图1, 2	1-15	A	CN 107464521 A (京东方科技集团股份有限公司等) 2017年 12月 12日 (2017 - 12 - 12) 全文	1-15	A	CN 107507556 A (京东方科技集团股份有限公司等) 2017年 12月 22日 (2017 - 12 - 22) 全文	1-15	A	US 2016189796 A1 (SHANGHAI TIANMA AM OLED CO LTD等) 2016年 6月 30日 (2016 - 06 - 30) 全文	1-15
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
A	CN 103208251 A (京东方科技集团股份有限公司等) 2013年 7月 17日 (2013 - 07 - 17) 说明书实施例部分, 附图1, 2	1-15															
A	CN 107464521 A (京东方科技集团股份有限公司等) 2017年 12月 12日 (2017 - 12 - 12) 全文	1-15															
A	CN 107507556 A (京东方科技集团股份有限公司等) 2017年 12月 22日 (2017 - 12 - 22) 全文	1-15															
A	US 2016189796 A1 (SHANGHAI TIANMA AM OLED CO LTD等) 2016年 6月 30日 (2016 - 06 - 30) 全文	1-15															
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p>																	
<p>* 引用文件的具体类型:                  “A” 认为不特别相关的表示了现有技术一般状态的文件                  “E” 在国际申请日的当天或之后公布的在先申请或专利                  “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)                  “O” 涉及口头公开、使用、展览或其他方式公开的文件                  “P” 公布日先于国际申请日但迟于所要求的优先权日的文件                  “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件                  “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性                  “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性                  “&amp;” 同族专利的文件</p>																	
国际检索实际完成的日期	国际检索报告邮寄日期																
2019年 6月 21日	2019年 6月 27日																
ISA/CN的名称和邮寄地址	授权官员																
中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	刘锋																
传真号 (86-10)62019451	电话号码 5776																

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2019/079276

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	103208251	A	2013年 7月 17日	WO	2014169626	A1	2014年 10月 23日
				US	9305509	B2	2016年 4月 5日
				US	2015243237	A1	2015年 8月 27日
				CN	103208251	B	2015年 7月 29日
				EP	2988306	A4	2016年 12月 28日
				EP	2988306	A1	2016年 2月 24日
CN	107464521	A	2017年 12月 12日	WO	2019062265	A1	2019年 4月 4日
CN	107507556	A	2017年 12月 22日	US	2019103166	A1	2019年 4月 4日
US	2016189796	A1	2016年 6月 30日	DE	102015117758	A1	2016年 6月 30日
				US	9653179	B2	2017年 5月 16日
				CN	104485065	A	2015年 4月 1日
				CN	104485065	B	2017年 2月 22日