ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA
(19)

ÚŘAD PRO VYNÁLEZY A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVEDČENIU

257355
(11) (B1)

(51) Int. Cl.[4]
G 06 F 15/32
G 06 F 7/00

(22) Prihlásené 06 08 86
(21) (PV 5867-86.N)

(40) Zverejnené **14 05 87**

(45) Vydané 15 12 88

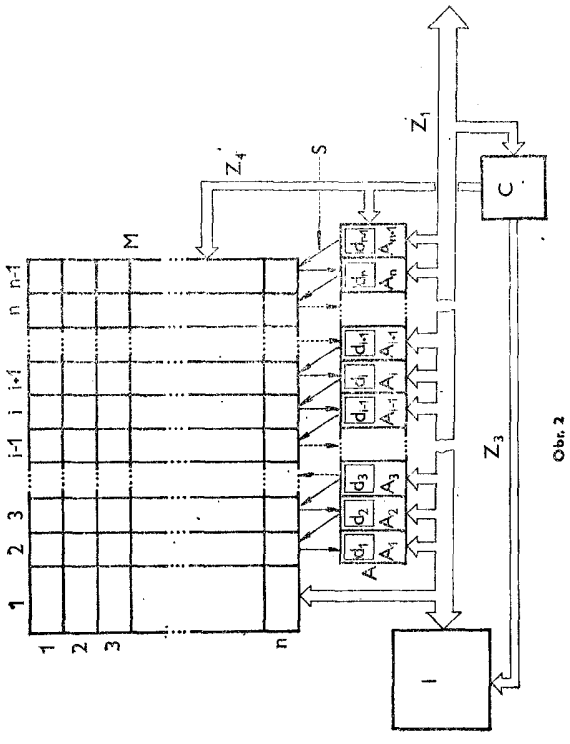
(75)
Autor vynálezu MORHÁČ MIROSLAV ing. CSc., LŐRENCZ RÓBERT ing., BRATISLAVA

(54) Zapojenie procesorovej jednotky

1

Účelom zapojenia procesorovej jednotky je presné riešenie sústavy lineárnych rovníc v oblasti zvolenej zvyškovej triedy. Uvedeného účelu sa dosiahne výpočtom inverznej matice v modulovej aritmetike, ktorý sa vykonáva v aritmetickej jednotke (A) v spolupráci s pamäťovým maticovým poľom (M), blokom (I) tvorby modulových inverzných a negovaných čísel a blokom (C) riadiacej logiky. K riešeniu sústavy lineárnych rovníc v obore reálnych čísel je potrebných viacero procesorových jednotiek (P_1 až P_m), ktoré pracujú synchrónne v súčinnosti s riadiacou jednotkou (R) a hostiteľským počítačom (H). Zapojenie procesorovej jednotky môže nájsť široké uplatnenie pri riešení sústav lineárnych rovníc vo všetkých oblastiach vedy a techniky.

2



Obr. 2

Vynález sa týka zapojenia procesorovej jednotky vhodnej na riešenie sústav lineárnych rovníc v oblasti zvyškových tried na báze modulovej aritmetiky.

Doteraz známe zapojenie procesorových jednotiek riešia sústavy lineárnych rovníc len v oblasti reálnych čísel. Sú známe architektúry procesorových jednotiek s distribuovaným poľom procesorov, ktoré umožňujú riešiť sústavy lineárnych rovníc, kde každý procesor rieši výpočet z hľadiska prvku maticového poľa. Ich spoločnou nevýhodou ostáva nepriaznivý vplyv zaokrúhľovacích chýb, pretože pracujú v oblasti reálnych čísel.

Uvedenú nevýhodu odstraňuje zapojenie procesorovej jednotky podľa vynálezu, ktorého podstata spočíva v tom, že pamäťové maticové pole je spojené prvým stĺpcom so zbernicou a ostatnými stĺpcami cez sériovú zbernicu s aritmetickou jednotkou. Aritmetická jednotka pozostáva z n + 1 identických blokov modulových lineárnych operácií. Sériový vstup prvého až predposledného bloku modulových lineárnych operácií je spojený s druhým až posledným stĺpcom pamäťového maticového poľa. Sériový výstup druhého až posledného bloku modulových lineárnych operácií je spojený s druhým až posledným stĺpcom pamäťového maticového poľa. Všetky bloky modulových lineárnych operácií sú spojené so zbernicou s ktorou je spojený blok tvorby modulových inverzných a negovaných čísel a blok riadiacej logiky. Blok riadiacej logiky je spojený jednou riadiacou zbernicou s blokom tvorby modulových inverzných a negovaných čísel a druhou riadiacou zbernicou je spojený s aritmetickou jednotkou a pamäťovým maticovým poľom.

Výhoda systému na riešenie sústav lineárnych rovníc, ktorého základným prvkom je procesorová jednotka, spočíva v odstraňovaní zaokrúhľovacích chýb pri výpočte.

Na pripojených výkresoch a to na obr. 1 je schematicky znázornené blokové zapojenie systému na riešenie sústav lineárnych rovníc a na obr. 2 je znázornené zapojenie procesorovej jednotky.

Zapojenie systému na riešenie sústav lineárnych rovníc pozostáva z riadiacej jednotky **R**, ktorá je cez zbernicu $\mathbf{Z}_2$ spojená s hostiteľským počítačom **H** a cez zbernicu $\mathbf{Z}_1$ a paralelne spojeným procesorovými jednotkami $\mathbf{P}_1$ až $\mathbf{P}_m$.

Zapojenie procesorovej jednotky pozostáva z pamäťového maticového poľa **M**, ktoré obsahuje n + 1 stĺpcov a n riadkov. Druhý až n + 1 stĺpec pamäťového maticového poľa **M** je spojený cez sériovú zbernicu **S** s aritmetickou jednotkou **A**. Prvý stĺpec pamäťového maticového poľa **M** je spojený so zbernicou $\mathbf{Z}_1$. Aritmetická jednotka **A** pozostáva z n + 1 identických blokov $\mathbf{A}_1$ až $\mathbf{A}_{n+1}$ modulových lineárnych operácií. Každý blok $\mathbf{A}_i$ modulových lineárnych operácií obsahuje klopný obvod $\mathbf{d}_i$, kde i = 1, 2, . . . n + 1. Klopné obvody $\mathbf{d}_1$ až $\mathbf{d}_{n+1}$ tvoria adresný posuvný register. Zbernica $\mathbf{Z}_1$ je spojená s blokom **I** tvorby modulových inverzných a negovaných čísel a s blokom **C** riadiacej logiky. Zbernica $\mathbf{Z}_1$ je spojená s blokmi $\mathbf{A}_1$ až $\mathbf{A}_{n+1}$ modulových lineárnych operácií. Blok **C** riadiacej logiky je riadiacou zbernicou $\mathbf{Z}_3$ spojený s blokom **I** tvorby modulových inverzných a negovaných čísel a riadiacou zbernicou $\mathbf{Z}_4$ je spojený s aritmetickou jednotkou **A** a s pamäťovým maticovým poľom **M**.

Hostiteľský počítač **H** vysiela v prvom kroku hodnoty matice B a vektora pravej strany y sústavy lineárnych rovníc

$$B\bar{x} = \bar{y}$$

do riadiacej jednotky **R**. Súčasne v tomto kroku vysiela riadiaca jednotka **R** do všetkých procesorových jednotiek $\mathbf{P}_1$ až $\mathbf{P}_m$ najprv hodnoty prvého riadku transportovanej matice B. V ďalšom kroku sa uskutoční paralelne vo všetkých procesorových jednotkách $\mathbf{P}_1$ až $\mathbf{P}_m$ prevod čísel riadku do kódu riadku pamäťového maticového poľa **M** na zvyškových tried a ich zápis do prvého obr. 2. To sa opakuje pre ďalšie riadky až do úplného načítania matice. Zároveň sa do n + 1 stĺpca pamäťového maticového poľa **M** zapisujú v kóde zvyškových tried hodnoty vektora $\bar{y}$. Prevod sa uskutočňuje v blokoch $\mathbf{A}_1$ až $\mathbf{A}_{n+1}$ modulových lineárnych operácií, ktoré sa pri zápise zo zbernice $\mathbf{Z}_1$ inicializujú postupne pomocou posuvného adresného registra zloženého z klopných obvodov $\mathbf{d}_1$ až $\mathbf{d}_{n+1}$. V druhom kroku sa počíta inverzná matica v zmysle modulovej aritmetiky. To znamená, že pre hľadanú maticu B^{-1} musí platiť

$$B^{-1} . B(\mathrm{mod}\ M_k) = E$$

kde E je jednotková matica a M_k je modul použitý v procesorovej jednotke $\mathbf{P}_k$. Výpočet je založený na Gaussovej eliminačnej metóde v zmysle modulovej aritmetiky. Z pamäťového maticového poľa **M** sa prečíta prvok M(1,1) a v bloku **I** tvorby modulových inverzných a negovaných čísel sa vyhľadá k nemu inverzný prvok, ktorý spĺňa podmienku

$$M^{-1}(1,1) . M(1,1)\ (\mathrm{mod}\ M_k) = 1$$

Prvok $M^{-1}(1,1)$ sa vystaví na zbernicu $\mathbf{Z}_1$ danej procesorovej jednotky $\mathbf{P}_k$ a v blokoch $\mathbf{A}_1$ až $\mathbf{A}_{n+1}$ modulových lineárnych operácií sa vykoná násobenie s prvkami M(1,2) až M(1,n), ktoré sa vystavujú po sériovej zbernici **S**. Prvok M(1,n + 1) v bloku $\mathbf{A}_{n+1}$ sa nastaví na hodnotu 1. Násobenie sa potom redukuje na pripočítavanie alebo prázdnu operáciu podľa hodnoty vystavených bitov na sériovej zbernici **S**. Výsledná hodno-

ta sa prevádza do hodnoty modula M_k a súčasne sa zapisuje po sériovej zbernici **S** do pamäťového maticového poľa **M**. Z obrázku 2 je vidieť, že zápisom sa previedol posun riadku pamäťového maticového poľa **M** o jednu hodnotu doľava. V ďalšom kroku sa k prvku M(2,1) nájde v bloku **I** tvorby modulových inverzných a negovaných čísel hodnota

$$-M(2,1) \pmod{M_k}$$

Hodnoty prvého riadku, ktoré sú uchované aj v blokoch $\mathbf{A_1}$ až $\mathbf{A_n}$, modulových lineárnych operácií sa vynásobené hodnotou $-M(2,1) \pmod{M_k}$ pripočítajú k hodnotám druhého riadku. Proces je opäť paralelný. Výsledná hodnota $[M(2,i) - M(1,i) \cdot M(2,1)]$, kde i označuje pozíciu prvku v riadku, sa tvorí postupným načítavaním hodnôt M(2,1) po sériovej zbernici **S** a súčasným jej pripočítavaním k súčinu $-M(1,i) \cdot M(2,1)$, kde hodnota $-M(2,1)$ je vystavená na zbernicu $\mathbf{Z_1}$ procesorovej jednotky $\mathbf{P_k}$ a M(1,i) sú uchované hodnoty prvého riadku v interných registroch blokov $\mathbf{A_1}$ až $\mathbf{A_n}$ modulových lineárnych operácií. Hodnota $M(2,n+1)$ v $\mathbf{A_{n+1}}$ sa nastaví na nulu. Spätný prevod a zápis do pamäťového maticového poľa **M** s posunom o jednu hodnotu doľava je opäť paralelizovaný. Tento proces sa opakuje pre riadky 3 až n. Výpočet inverznej matice pokračuje nájdením inverzného čísla k prvku B_{22} matice B sústavy lineárnych rovníc, ktorý sa dostal na pozíciu M(2,1) pamäťového maticového poľa **M**. Takto postupujeme až po prvok B_{nn}. Na začiatku celého procesu výpočtu matice $B^{-1} \pmod{M_k}$ bol vektor $\bar{y}$ uchovaný v stĺpci $n+1$ pamäťového maticového poľa M. Postupne sa prepismi s posunom dostal až na pozíciu stĺpca 1. Aby jeho hodnoty ostali uchované, nesmú sa s ním vykonávať počas výpočtu inverznej matice operácie, tak ako s ostatnými prvkami matice. Preto adresný posuvný register zložený z klopných obvodov $\mathbf{d_1}$ až $\mathbf{d_{n+1}}$ plní v procese výpočtu $B^{-1} \pmod{M_k}$ postupne funkciu dekodéra pasivity bloku $\mathbf{A_{n+1}}$ až $\mathbf{A_1}$ modulových lineárnych operácií. Blok $\mathbf{A_i}$ modulových lineárnych operácií prislúchajúci polohe vektora $\bar{y}$ je pasívny a okrem prepisu a tým posunu vektora doľava nevykonáva žiadnu operáciu. Týmto je pripravený vektor $\bar{y}$ v prvom stĺpci a inverzná matica $B^{-1} \pmod{M_k}$ v stĺpcoch 2 až $n+1$ maticového poľa **M** k vzájomnému vynásobeniu. To sa uskutoční postupným čítaním hodnôt vektora $\bar{y}$ na zbernicu $\mathbf{Z_1}$ procesorovej jednotky $\mathbf{P_k}$, násobením odpovedajúcich riadkov pamäťového maticového poľa **M** danými hodnotami a pripočítaním k výslednej hodnote vektora $\bar{x} \pmod{M_k}$.

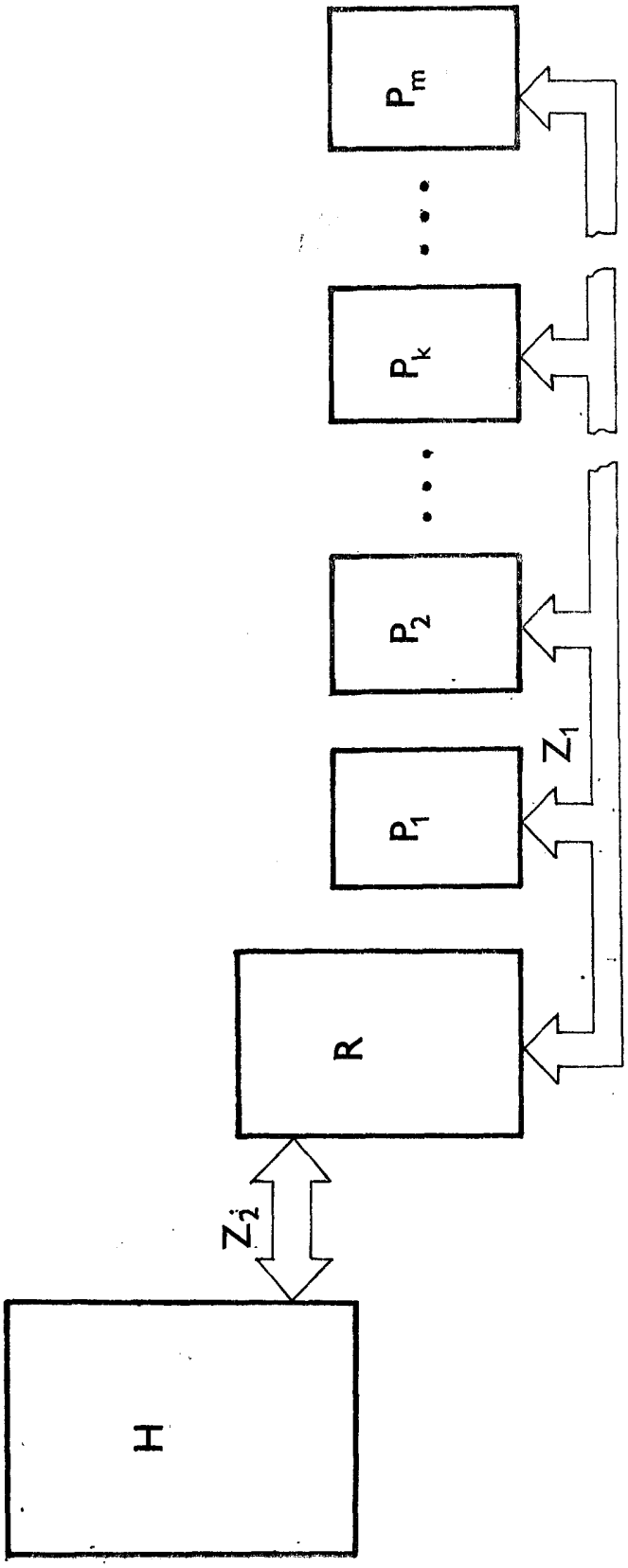
Výpočet končí prevodom výsledného vektora $\bar{x}$ z kódu zvyškových tried. Prevod sa uskutočňuje modifikovaným Euklidovým algoritmom, pričom sa na ňom zúčastňujú všetky procesorové jednotky $\mathbf{P_1}$ až $\mathbf{P_m}$. Výsledné hodnoty sa zaznamenávajú v riadiacej jednotke **R** a vysielajú po zbernici $\mathbf{Z_2}$ späť do hostiteľského počítača **H**.

Vynález môže nájsť široké využitie pri riešení sústav lineárnych rovníc vo všetkých oblastiach vedy a techniky.

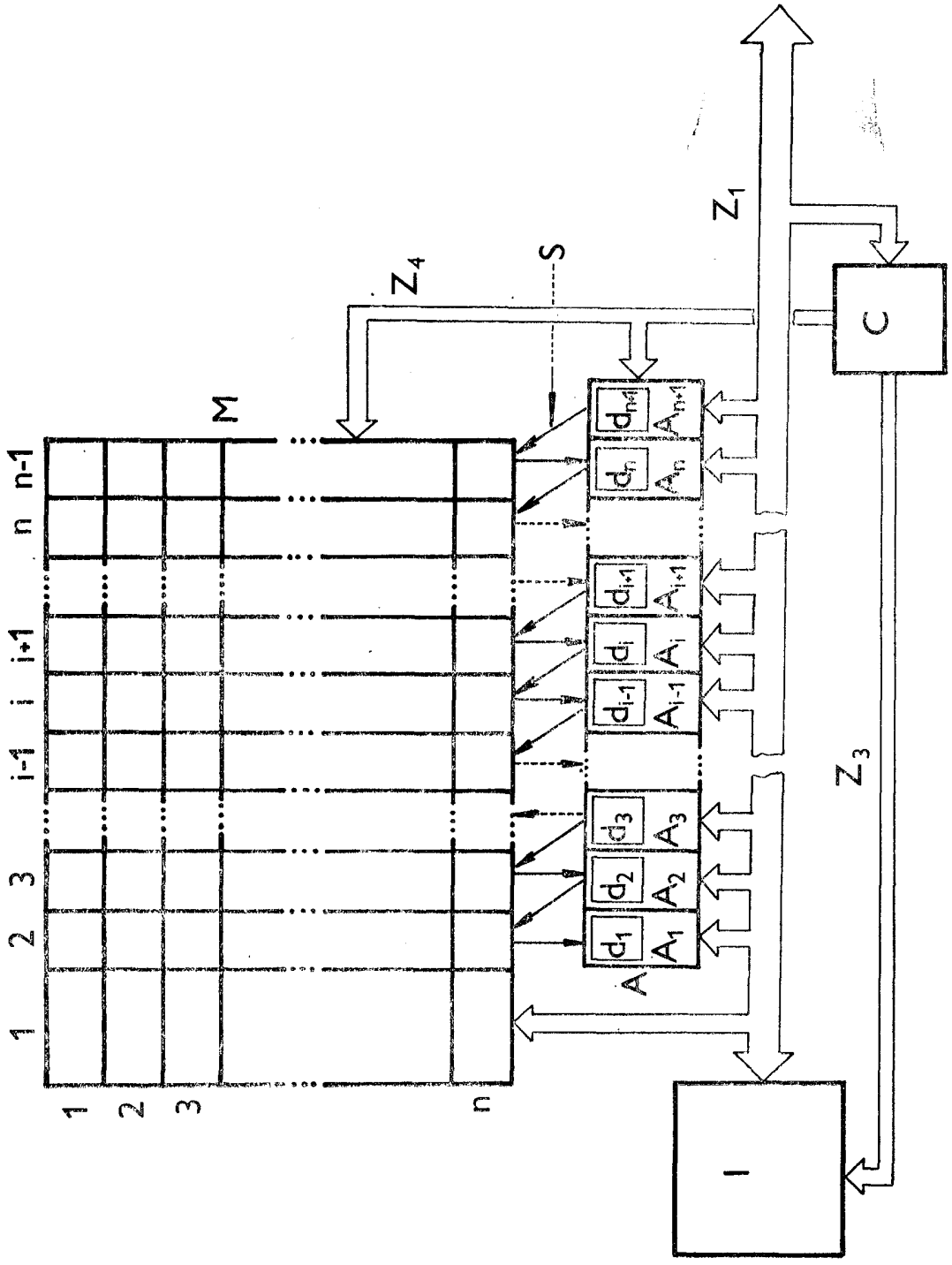
PREDMET VYNÁLEZU

Zapojenie procesorovej jednotky vyznačujúce sa tým, že pamäťové maticové pole (M) je spojené prvým stĺpcom (1) so zbernicou (Z_1) a ostatnými stĺpcami (2 až $n+1$) je spojené cez sériovú zbernicu (S) s aritmetickou jednotkou (A), ktorá pozostáva z $n+1$ identických blokov (A_1 až A_{n+1}) modulových lineárnych operácií, pričom sériový vstup bloku (A_i) pre $i = 1, 2, \ldots n$ modulových lineárnych operácií je spojený so stĺpcom $(i+1)$ pamäťového maticového poľa (M) a sériový výstup bloku (A_i) pre $i = 2, 3, \ldots n+1$ modulových lineárnych operácií je spojený so stĺpcom (i) pamäťového maticového poľa (M) a bloky (A_1 až A_{n+1}) modulových lineárnych operácií sú spojené so zbernicou (Z_1) s ktorou je spojený blok (I) tvorby modulových inverzných a negovaných čísiel a blok (C) riadiacej logiky, ktorý je spojený cez riadiacu zbernicu (Z_3) s blokom (I) tvorby modulových inverzných a negovaných čísiel a cez riadiacu zbernicu (Z_4) s aritmetickou jednotkou (A) a pamäťovým maticovým poľom (M).

2 listy výkresov



Obr. 1


M
n n-1
i+1 i
i-1
3 2
1
1 2 3
n
A
d_{n-1} A_{n-1}
d_n A_n
d_{i+1} A_{i+1}
d_i A_i
d_{i-1} A_{i-1}
d_3 A_3
d_2 A_2
d_1 A_1
Z_1
Z_2
Z_3
Z_4
S
C
I

Obr. 2