

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 21/336 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200580031541.X

[43] 公开日 2009年5月13日

[11] 公开号 CN 101432858A

[22] 申请日 2005.8.15

[21] 申请号 200580031541.X

[30] 优先权

[32] 2004.9.17 [33] US [31] 10/944,244

[86] 国际申请 PCT/US2005/028828 2005.8.15

[87] 国际公布 WO2006/036334 英 2006.4.6

[85] 进入国家阶段日期 2007.3.19

[71] 申请人 飞思卡尔半导体公司

地址 美国得克萨斯

[72] 发明人 高里尚卡尔·L·真达洛雷

克雷格·T·斯维夫特

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 黄启行 穆德骏

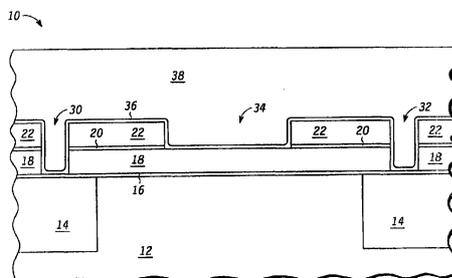
权利要求书5页 说明书11页 附图16页

[54] 发明名称

用于浮置栅极存储单元的编程和擦除结构以及制造方法

[57] 摘要

一种浮置栅极存储单元(10)具有浮置栅极,在该浮置栅极中有两个浮置栅极层(18、22)。蚀刻上层(22)以在上层(22)中提供轮廓,同时留下下层(18)未改变。控制栅极(38)沿着浮置栅极(22)的轮廓以增加它们之间的电容。浮置栅极的两个层(18、22)可以由很薄的蚀刻停止层(20)隔开的多晶硅。该蚀刻停止层(20)足够厚以在多晶硅蚀刻期间提供蚀刻停止但优选足够薄以电透明。电子能够在两个层(22、18)之间容易移动。由此上层(22)的蚀刻没有延伸到下层(18)中,但为了浮置栅极是连续的导电层,第一(18)和第二层(22)具有电性效应。



1. 一种用于形成浮置栅极器件的方法，该方法包括：
提供半导体衬底；
在所述半导体衬底上方形成栅极电介质层；
在所述栅极电介质层上方形成第一浮置栅极层；
在所述第一浮置栅极层上方形成第二浮置栅极层；
在所述第二浮置栅极层上方形成图案化的掩模层；
利用所述图案化的掩模层移除一部分所述第二浮置栅极层；
在所述第二浮置栅极层和所述第一浮置栅极层上方形成层间电介质层；和
在所述层间电介质层上方形成控制栅极层。
2. 如权利要求 1 所述的方法，进一步包括：
在所述第一浮置栅极层上方形成蚀刻停止层，其中在所述蚀刻停止层上方形成所述第二浮置栅极层。
3. 如权利要求 2 所述的方法，其中所述蚀刻停止层具有约 15 至 20 埃范围的厚度。
4. 如权利要求 2 所述的方法，其中所述蚀刻停止层在所述第一和第二浮置栅极层之间基本电透明。
5. 如权利要求 2 所述的方法，其中所述蚀刻停止层包括氮化物或氧化物中之一。
6. 如权利要求 1 所述的方法，其中利用图案化的掩模层移除一部分所述第二浮置栅极层在所述第一浮置栅极层上方留下所述第二浮置栅极层的多个分离部分。

7. 如权利要求 1 所述的方法，其中所述浮置栅极器件是自对准浮置栅极器件。

8. 如权利要求 1 所述的方法，其中所述第一浮置栅极层和第二浮置栅极层具有基本不同的蚀刻选择性。

9. 如权利要求 1 所述的方法，其中所述第一浮置栅极层包括多晶硅，并且所述第二浮置栅极层包括金属。

10. 如权利要求 1 所述的方法，其中利用图案化的掩模层移除该部分的第二浮置栅极层导致所述浮置栅极和所述控制栅极之间的耦合增加。

11. 如权利要求 1 所述的方法，其中所述衬底包括隔离区，以及其中该方法进一步包括在所述隔离区上方形成通过所述第一和第二栅极电介质层的开口。

12. 如权利要求 1 所述的方法，其中形成图案化的掩模层包括：
在所述第二浮置栅极层上方形成掩模层；
在所述掩模层中形成开口；
在所述掩模层中的开口内形成间隔物，其中所述开口对应于亚光刻特征。

13. 如权利要求 12 所述的方法，其中利用所述图案化的掩模层移除该部分的第二浮置栅极层包括移除由所述掩模层中的所述开口限定的所述第二浮置栅极层的亚光刻部分。

14. 一种用于形成浮置栅极器件的方法，该方法包括：
提供半导体衬底；
在所述半导体衬底上方形成栅极电介质层；

在栅极电介质层上方形成第一浮置栅极层；
在所述第一浮置栅极层上方形成蚀刻停止层；
在所述蚀刻停止层上方形成第二浮置栅极层；
在所述第二浮置栅极层中形成开口，该开口延伸到蚀刻停止层；
在所述第二浮置栅极层上方和所述第一浮置栅极层上方的开口内形成层间电介质层；和
在所述层间电介质层上方形成控制栅极层。

15. 如权利要求 14 所述的方法，其中在所述第二浮置栅极层中形成所述开口包括延伸所述开口通过所述蚀刻停止层以暴露出一部分所述第一浮置栅极层。

16. 如权利要求 14 所述的方法，其中在所述第二浮置栅极层中形成所述开口包括形成多个开口，以及其中在所述多个开口内形成所述层间电介质层。

17. 如权利要求 14 所述的方法，其中所述蚀刻停止层具有约 15 至 20 埃范围内的厚度。

18. 如权利要求 14 所述的方法，其中所述蚀刻停止层在所述第一和第二浮置栅极层之间基本电透明。

19. 如权利要求 14 所述的方法，其中所述蚀刻停止层包括氮化物或氧化物中之一。

20. 如权利要求 14 所述的方法，其中所述浮置栅极器件是自对准浮置栅极器件。

21. 如权利要求 20 所述的方法，其中所述自对准浮置栅极器件包括隔离区，其中在两个隔离区之间形成所述第二浮置栅极层中的开口。

22. 如权利要求 14 所述的方法，其中所述衬底包括隔离区，以及其中该方法进一步包括在所述隔离区上方形成通过所述第一和第二栅极电介质层的开口。

23. 一种用于形成浮置栅极器件的方法，该方法包括：

提供具有隔离沟槽的半导体衬底、在所述隔离区之间的所述半导体衬底上方的栅极电介质层、和在所述隔离区之间的栅极电介质层上方的第一浮置栅极层；

在所述第一浮置栅极层上方形成蚀刻停止层；

在所述蚀刻停止层上方形成第二浮置栅极层；

移除一部分所述第二浮置栅极层，以暴露出所述第一浮置栅极层上方的一部分所述蚀刻停止层；

在所述第二浮置栅极层和第一浮置栅极层上方形成层间电介质层；和

形成覆盖所述层间电介质层的控制栅极层。

24. 如权利要求 23 所述的方法，其中所述隔离区在所述第一浮置栅极层的顶表面的上方延伸。

25. 如权利要求 24 所述的方法，其中移除所述部分第二浮置栅极层包括所述第二浮置栅极层的各向异性蚀刻。

26. 如权利要求 25 所述的方法，其中所述各向异性蚀刻导致邻接隔离区侧壁的所述第二浮置栅极层的间隔物部分。

27. 如权利要求 25 所述的方法，其中所述各向异性蚀刻导致邻接所述隔离区侧壁的第二浮置栅极层的间隔物部分和在所述间隔物部分之间的所述第二浮置栅极层的剩余部分。

28. 如权利要求 24 所述的方法，其中移除所述部分第二浮置栅极层导致在所述隔离区之间的所述第二浮置栅极层的剩余部分。

29. 如权利要求 24 所述的方法，其中所述蚀刻停止层在所述第一和第二浮置栅极层之间基本电透明。

30. 一种浮置栅极器件，包括：

衬底；

覆盖所述衬底的栅极电介质；

覆盖所述栅极电介质的第一浮置栅极；

覆盖所述第一浮置栅极的第二浮置栅极，其中所述第二浮置栅极包括在所述第一浮置栅极上方的多个分离部分；

在所述第二浮置栅极的多个分离部分中的每一个和所述第一浮置栅极之间的蚀刻停止层；

覆盖所述第一浮置栅极的分离部分和所述第一浮置栅极的层间电介质；和

覆盖所述层间电介质的控制栅极。

31. 如权利要求 30 所述的浮置栅极器件，其中所述衬底进一步包括隔离区，并且其中所述第一浮置栅极的多个分离部分位于所述隔离区之间。

32. 如权利要求 31 所述的浮置栅极器件，其中所述第一浮置栅极的多个分离部分中的至少一个与隔离区的侧壁相邻。

33. 如权利要求 30 所述的浮置栅极器件，其中所述蚀刻停止层在所述第二浮置栅极的多个分离部分中的每一个和所述第一浮置栅极之间基本电透明。

34. 如权利要求 30 所述的浮置栅极器件，其中所述蚀刻停止层具有约 15 至 20 埃范围内的厚度。

用于浮置栅极存储单元的编程和擦除结构以及制造方法

相关申请

专利申请文案号SC13687TP，标题为“Programming and Erasing Structure for a Floating Gate Memory Cell and Method of Making”，转让给本申请中的受让人，并与本申请一并提交。

技术领域

本发明涉及半导体器件，更具体地，涉及可用于浮置栅极存储单元的半导体器件结构。

背景技术

浮置栅极存储器的一个期望特性是在控制栅极和浮置栅极之间具有相对大量的电容耦合。在编程和擦除期间，对于给定的控制栅极偏压，这导致更大的电压从控制栅极转移到浮置栅极。由此，更大的浮置栅极与控制栅极电容导致需要更低的电压来实现编程和擦除和/或提高编程和擦除速度。另一个期望的特性是该浮置栅极与控制栅极电容变化小。如果该电容变化，则阈值电压的范围增加到擦除状态。擦除阈值电压的宽分布会由于泄露导致读取擦除位和编程擦除位的困难。一种用来增加控制栅极与浮置栅极电容同时最小化其变化的技术，在隔离区上利用蚀刻进入浮置栅极。这确实使得电容增加，但是仍然希望进一步的改善。这种方法的缺点是随着技术尺寸越来越小而很难按比例缩小。

由此，需要改善了编程和擦除和/或降低了用于编程和擦除的电压的器件结构。

附图说明

本发明以实例的方式示例并不限于附图，在这些图中相同的附图标记表示类似的元件，并且其中：

图1是在可用于制造根据本发明第一实施例的器件结构的处理阶段的器件结构的横截面；

图2是在图1所示的处理阶段之后的图1的器件结构的横截面；

图3是在图2所示的处理阶段之后的图2的器件结构的横截面；

图4是在图3所示的处理阶段之后的图3的器件结构的横截面；

图5是在图4所示的处理阶段之后的图4的器件结构的横截面；

图6是在图5所示的处理阶段之后的图5的器件结构的横截面；

图7是在图6所示的处理阶段之后的图6的器件结构的横截面；

图8是在图7所示的处理阶段之后的图7的器件结构的横截面；

图9是处理阶段的本发明的第二实施例的器件结构的横截面；

图10是在图9所示的处理阶段之后的图9的器件结构的横截面；

图11是在图10所示的处理阶段之后的图10的器件结构的横截面；

图12是在图11所示的处理阶段之后的图11的器件结构的横截面；

图13是在图10所示的处理阶段之后的图10的器件结构的横截面并作为本发明的第三实施例；和

图14是在图13所示的处理阶段之后的图13的器件结构的横截面；

图15是处理阶段的作为本发明第四实施例的器件结构的横截面；

图16是在图15所示的处理阶段之后的图15的器件结构的横截面；

图17是在图16所示的处理阶段之后的图16的器件结构的横截面；

图18是在图17所示的处理阶段之后的图17的器件结构的横截面；

图19是在图18所示的处理阶段之后的图18的器件结构的横截面；

图20是在图19所示的处理阶段之后的图19的器件结构的横截面；

图21是在图20所示的处理阶段之后的图20的器件结构的横截面；

图22是在图21所示的处理阶段之后的图21的器件结构的横截面；

图23是处理阶段的作为本发明第五实施例的器件结构的横截面；

图24是在图23所示的处理阶段之后的图23的器件结构的横截面；

图25是在图24所示的处理阶段之后的图24的器件结构的横截面；

图26是在图25所示的处理阶段之后的图25的器件结构的横截面；

图27是在图26所示的处理阶段之后的图26的器件结构的横截面；
图28是在图27所示的处理阶段之后的图27的器件结构的横截面；
图29是在图28所示的处理阶段之后的图28的器件结构的横截面；
图30是处理阶段的作为本发明第六实施例的器件结构的横截面；
图31是在图30所示的处理阶段之后的图30的器件结构的横截面；
图32是在图31所示的处理阶段之后的图31的器件结构的横截面；
和
图33是在图32所示的处理阶段之后的图32的器件结构的横截面。

技术人员意识到，为了简单和清楚示例了图中的元件，且没有必要按尺寸绘制。例如，图中一些元件的尺寸可以相对于其它元素放大，以帮助提高本发明实施例的理解。

具体实施方式

一方面，浮置栅极存储单元具有浮置电极，该浮置电极中有两个浮置栅极层。蚀刻上层以在上层中提供轮廓线，同时保留下层不变。控制栅极沿着浮置栅极的轮廓，以增大控制栅极和浮置栅极之间的电容。两层的浮置栅极可以通过非常薄的蚀刻停止层隔开的多晶硅。该蚀刻停止层足够厚以能在多晶硅蚀刻期间提供蚀刻停止，但是又足够薄以被电耦合。因为蚀刻停止层薄，电子能够在两层之间移动。由此上层的蚀刻没有延伸到下层，但是为了达到连续导电层浮置栅极的目的，第一和第二层具有电场效应。参考图和随后的描述可以更好地理解这一点。

图1示出了结构器件10，包括衬底12、隔离区14、遂穿电介质16和浮置栅极层18，优选为多晶硅。除了浮置栅极层18的相对厚度比用于常规多晶硅浮置栅极层的厚度小之外，这是常规的结构。在该实例中厚度优选大约为500埃，这小于用于常规浮置栅极层的厚度。衬底12优选为体硅衬底，但是也可以是SOI衬底和/或与只有硅不同的半导体材料。利用形成沟槽的普通技术制造隔离区14并用电介质填充它，该电

介质优选为氧化物，但也可以是其它电介质材料例如氮化物。

图2示出了在浮置栅极层18上形成优选为氧化物的蚀刻停止层20之后的器件结构10。层20优选为大约15埃的生长氧化物。层20也可以被沉积，并且可以是其它材料，例如氮化物。

图3示出了形成优选为硅的浮置栅极层22之后的器件结构10。浮置栅极层22优选与浮置栅极层18的厚度大约相同。

图4示出了在隔离区14上方形成具有开口30和32的图案化光刻胶层26之后的器件结构10。这些开口30和32位于隔离区14的相对侧。

图5示出了通过开口30和32蚀刻了层22、20和18之后的器件结构10。该蚀刻首先通过优选为多晶硅的层22。化学药剂改变，然后蚀刻通过层20。然后蚀刻化学药剂恢复到用来蚀刻通过层22的化学药剂。这将开口30和32延伸通过浮置栅极层18和22以及蚀刻停止层20。

图6示出了形成在开口30和32之间具有开口34的图案化光刻胶层33之后的器件结构10。在该横截面图中开口34在隔离区14之间基本居中。

图7示出了将通孔34刻蚀穿过停止在层20上的层22之后的器件结构10。蚀刻化学药剂的变化导致开口34还延伸通过层20。如果想要将开口34定义为亚光刻特征，则代替利用图案化的光刻胶33，可以图案化例如氮化物的硬掩模，且具有用侧壁间隔物部分填充的开口。在本领域，用侧壁间隔物部分填充开口以制成更小开口的技术是很好理解的。

图8示出了形成电介质层36和控制栅极层38之后的器件结构10。电介质层36优选为常规的三层电介质氧化物-氮化物-氧化物层，其厚度大

约为125到150埃。电介质层36用作浮置栅极存储单元的控制栅极和浮置栅极之间的层间电介质。控制栅极38优选为大约1000到2000埃厚的多晶硅层。在形成该控制栅极层38之后，蚀刻其以形成实际的控制栅极。形成实际控制栅极的该蚀刻没有改变图8示出的横截面。由此，图8的所得结构是浮置晶体管的最终结构，其用作也是非易失存储单元的浮置栅极存储单元。

该器件结构示出了控制栅极38增大了邻近开口34中浮置栅极层22的表面积，同时保留邻接开口30和32中浮置栅极层18和22的表面积。该层22的剩余部分的侧壁不仅提供了增大的电容，还提供了非常可重复的增大电容。层22的厚度相对容易控制。层20很薄以使电子很容易地穿过该结构。该氧化物与用作栅极电介质的氧化物具有不同的质量，因此尤其是在通常使用的编程和擦除电压下没有阻挡电子。即使高质量的氧化物在15埃也具有渗漏。由此以比用于具有薄栅极氧化物的晶体管更高的电压，有大量的电子流过该氧化物。由此，在编程操作期间积聚在浮置栅极层22中的电子可以自由地到达浮置栅极层18，为了该目的，层20可以认为电透明。为了进一步增强，在图5和图6之间的工艺中可以执行一个以上例如开口34的开口。更多例如开口34的开口是有利的，因为这能进一步增加控制栅极与浮置栅极层的电容。

图9示出了器件结构50，包括类似于衬底12的衬底52、类似于沟槽14的沟槽54、类似于隧穿电介质16的隧穿电介质58和隧穿电介质58上的类似于浮置栅极层18的浮置栅极层60。图9描绘了一种常规结构，除了浮置栅极层60与常规结构不一样厚之外。浮置栅极层60优选为大约500埃的厚度。在器件结构50中，隔离区54围绕浮置栅极层60并在其上延伸。

图10示出了在浮置栅极层60上形成类似于蚀刻停止层20的蚀刻停止层62和在蚀刻停止层62上形成类似于浮置栅极层22的浮置栅极层64之后的器件结构50。示出了蚀刻停止层62在隔离区54的侧壁上并在隔

离区54上延伸。当作为氧化物生长时，蚀刻停止层不可能在沟槽54上看到，但是对于沉积蚀刻停止层62例如沉积氮化物的情况示出了该蚀刻停止层。

图11示出了形成图案化的光刻胶部分66和利用图案化的光刻胶部分66作为掩模蚀刻浮置栅极层64之后的器件结构50。这在浮置栅极层64的剩余部分和沟槽54之间留下了开口67和68。在从图10到图11的工艺中，除被光刻胶66保护的部分外，层64的全部都移除了。

图12示出了在移除了不在图案化的光刻胶部分66之下的蚀刻停止层62的部分，移除图案化的光刻胶部分66，在浮置栅极层60上、在层64的剩余部分上方和在沟槽54的暴露部分上形成类似于层36的电介质层69，以及在电质层69上形成类似于控制栅极层38的控制栅极层70之后的器件结构50。随后的蚀刻通过层70、69、64、62和60，导致形成类似于图8结构的浮置栅极存储单元结构。由此，图12的器件结构是用于存储单元的最终器件结构。这示出了由于层64的刻蚀优先于形成控制栅极层70，控制栅极层70具有邻近浮置栅极层64的增大的表面。该层64的剩余部分的侧壁不仅提供增加的电容，还提供非常可重复的增加电容。层64的厚度相对容易控制。

图13示出了在图10之后形成的对于图11的器件结构50的可选器件结构71。通过进行图10的浮置栅极层64上的各向异性蚀刻从隔离区54侧壁上的浮置栅极层64形成侧壁间隔物72和73，器件结构71与图11的器件结构50不同。在蚀刻层64期间，自然地形成侧壁间隔物72和73。在图13的器件结构71的情况下，在该蚀刻到达层62之后但是在移除这些侧壁间隔物72和73之前，停止蚀刻层64。在图11的器件结构50的情况下，继续该蚀刻，从而侧壁间隔物被移除。

图14示出了在侧壁间隔物72和73上形成类似于电介质层36的电介质层76以及电介质层76上的浮置栅极层64和类似于控制栅极层38的控

制栅极层74的剩余部分之后的器件结构71。在该横截面图中，图14示出了完成的存储器件。在这种情况下，侧壁间隔物72和74成为存储器件的浮置栅极层的部分。这些侧壁间隔物具有比水平尺寸大的垂直尺寸，以便它们的存在具有增大控制栅极与浮置栅极层电容的优点。可能的不利是难以控制这些侧壁间隔物垂直尺寸，使得能够增大控制栅极与浮置栅极层电容的变化。

图15示出了器件结构100，包括类似于衬底12的衬底112、类似于隔离区114的隔离区114、类似于栅极电介质层16的栅极电介质层116、类似于浮置栅极层18的浮置栅极层118、类似于蚀刻停止层20的薄蚀刻停止层120和蚀刻停止层20上的牺牲层122。牺牲层122可以是氧化物或氮化物或其它材料，但是是可以被选择性蚀刻到蚀刻停止层120的材料。在该实例中牺牲层具有与浮置栅极层118大约相同的厚度。其它厚度也可以是有用的。

图16示出了在牺牲层122上方并且在隔离区114之间的示出尺寸上基本居中地形成图案化的光刻胶部分123之后的器件结构100。

图17示出了在利用图案化的光刻胶部分123作为掩模蚀刻牺牲层122之后的器件结构100。该蚀刻通过蚀刻停止层120停止。

图18示出了在移除光刻胶部分124和形成共形的、优选为多晶硅的浮置栅极层124之后的器件结构100。浮置栅极层124与浮置栅极层118厚度大约一样。

图19示出了各向异性蚀刻之后的器件结构100，该各向异性蚀刻在牺牲层122剩余部分的侧壁上从浮置栅极层124形成侧壁间隔物126和128。

图20示出了在移除牺牲层122的剩余部分使得侧壁间隔物126和

128自由地固定在蚀刻停止层120上之后的器件结构100。侧壁间隔物126和128的宽度主要由浮置栅极层124的厚度确定，其可以根据需要变化。浮置栅极层124应该足够厚，以便侧壁间隔物126和128可以重复地自由固定。

图21示出了形成图案化的光刻胶层129和浮置栅极层118之后的器件结构100，图案化的光刻胶层129在隔离区114上开口并蚀刻通过蚀刻停止层120。

图22示出了在移除图案化的光刻胶层129、在蚀刻停止层120上方和在隔离区114上方的开口中形成类似于电介质层36的电介质层130、以及在电介质层130上方形成类似于控制层38的控制栅极层132之后的器件结构100。图22的该横截面描绘了完成的浮置栅极存储器单元结构。形成存储单元的浮置栅极材料部分的侧壁间隔物126和128，由此提供了用于增加控制栅极与浮置栅极层电容的结构，该结构同时还在隔离区上的区域中沿着浮置栅极层的侧壁保持增加的电容。如果光刻能力允许，通过在隔离区114之间的蚀刻停止层120上留下一个以上的浮置栅极层123的部分，可以形成类似于侧壁间隔物126和128的另外侧壁间隔物。

图23示出了器件结构140，其具有类似于衬底12的衬底142、类似于隔离区14的隔离区144、类似于栅极电介质层16的栅极电介质层146、类似于浮置栅极层18的浮置栅极层148、和浮置栅极层148上的牺牲层150。牺牲层150优选为氧化物，但是也可以是其它材料，例如氮化物。牺牲层150可以被选择性地蚀刻到浮置栅极层148。在浮置栅极层148为多晶硅的优选情况下，氧化物或氮化物作为牺牲层150都是有效的。牺牲层优选与浮置栅极层148的厚度大约相同。

图24示出了形成图案化的光刻胶部分152以及利用图案化的光刻胶部分152作为掩模蚀刻通过牺牲层150以留下隔离区144之间的部分

牺牲层150之后的器件结构140。该牺牲层150的剩余部分在图24的横截面中示出的尺寸中基本在隔离区144内部之间。

图25示出了在移除图案化的光刻胶部分152以及在浮置栅极层148和牺牲层150的剩余部分上形成浮置栅极层154之后的器件结构140。在浮置栅极层154为多晶硅的优选情况下，浮置栅极层154是共形的，以便在剩余部分牺牲层150上方浮置栅极层154的部分更高。

图26示出了在应用化学机械抛光（CMP）工艺以留下浮置栅极层154具有其上表面与剩余部分牺牲层150的上表面相平之后的器件结构140。用这种方式进行的CMP工艺导致牺牲层150剩余部分的上表面露出。

图27示出了移除牺牲层150的剩余部分之后的器件结构140。这在浮置栅极层154中留下了开口155。在该横截面示出的方向上开口155在隔离区144之间基本居于中间。

图28示出了在隔离区144上方形成具有开口的图案化光刻胶层156以及在那些开口中蚀刻通过浮置栅极层154和浮置栅极层148之后的器件结构140。

图29示出了在隔离区144上方的开口中和在开口155中形成电介质层158以及形成控制栅极层156、160之后的器件结构140。电介质层158类似于电介质层36。作为横截面，图29描绘了完整的存储器件，该器件由于开口155的原因具有增大的控制栅极与浮置栅极层电容，同时在隔离区144上方的开口中保持增大的电容。

图30示出了器件结构170，包括类似于衬底12的衬底172、类似于隔离区54的隔离区174、类似于栅极电介质层58的栅极电介质层176、类似于浮置栅极层60的浮置栅极层178、浮置栅极层178上的牺牲层180

和牺牲层180上的图案化光刻胶部分182。光刻胶部分182在隔离区174之间，并且在横截面图中基本居中。牺牲层180优选为氧化物，但也可以是其它材料例如氮化物。牺牲层180应该能够相对于浮置栅极层178被选择性蚀刻。

图31示出了利用光刻胶部分182作为掩模蚀刻牺牲层180以及在隔离区174、浮置栅极层178和牺牲层180的剩余部分上方形成浮置栅极层184之后的器件结构170。优选浮置栅极层184为多晶硅，该多晶硅共形沉积但是示出为平面的。这是因为牺牲层180的剩余部分和隔离区174的边的接近具有致使共形沉积层显现出平面状的效果。如果该接近更大，那么浮置栅极层184可以显示为共形，只要其足够厚这不是问题。优选与牺牲层180的剩余部分的高度一样厚。

图32示出了应用CMP工艺之后的器件结构170。这导致相对平坦的表面，以便浮置栅极层184的高度与牺牲层180的剩余部分的高度一样，并且与隔离区174的上表面相平。这使得牺牲层180的剩余部分的上表面露出。

图33示出了移除牺牲层180的剩余部分以形成开口186、在开口186中和在浮置栅极层184上形成类似于电介质层36的电介质层188、以及在电介质188上形成类似于控制栅极层38的控制栅极190之后的器件结构170。在该横截面图中描绘了完整的存储单元。由于控制栅极190在开口186中，所以该存储单元具有增大的电容。

图33的开口186和图29的开口155的侧壁基本垂直，这更有利于利用开口增大电容。如果开口186和155的侧壁的斜面导致开口186和155在上面比在下面更大，那么由于用控制栅极填充开口186和155，将几乎不增加电容。

在上文的说明中，已参考具体实施例描述了本发明。然而，本领域

域的普通人员就可意识到，在不偏离如在下面权利要求中提出的的本发明的范围的情况下，可以做不同的修改和变化。例如，描述了某些材料和厚度，这些也可以改变。此外，在许多情况下，在隔离区内部，可以增加造成提供增加的电容的特征的数目。从而，该说明和图认为是说明性的而不是限制性的意思，并且所有这些修改意指包含在本发明的范围之内。

上面已关于具体实施例描述了益处、其它优点和问题的解决方案。然而，该益处、优点、问题的解决方案和其它可以导致任何益处、优点或来产生或成为更显著的解决方案的任何要素（多个），不可以解释为一些或全部权利要求的关键的、必须的或本质的特征或要素。如这里使用的，术语“包括”或其任何其它的变化，意指覆盖非唯一包括，以便包括一系列要素的工艺、方法、产品或设备不是仅包括那些要素，而是可以包括未明确列出的或上述工艺、方法、产品或设备所固有的其它要素。

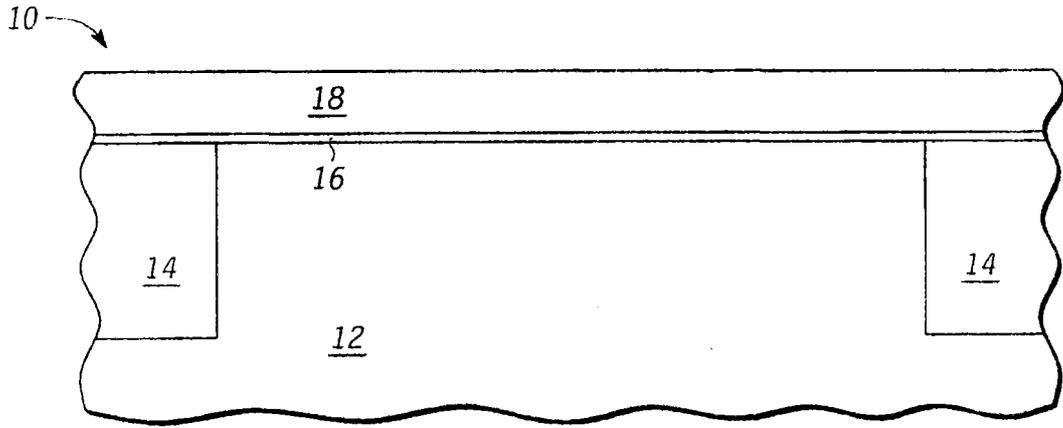


图1

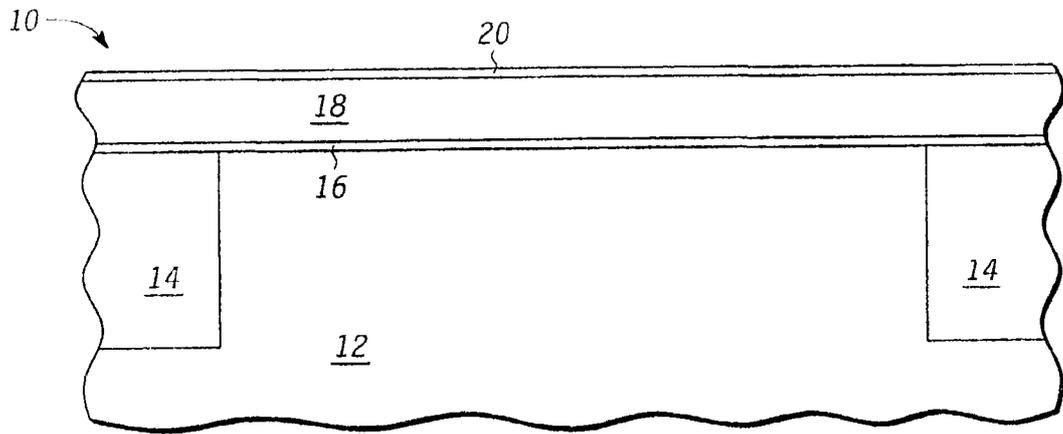


图2

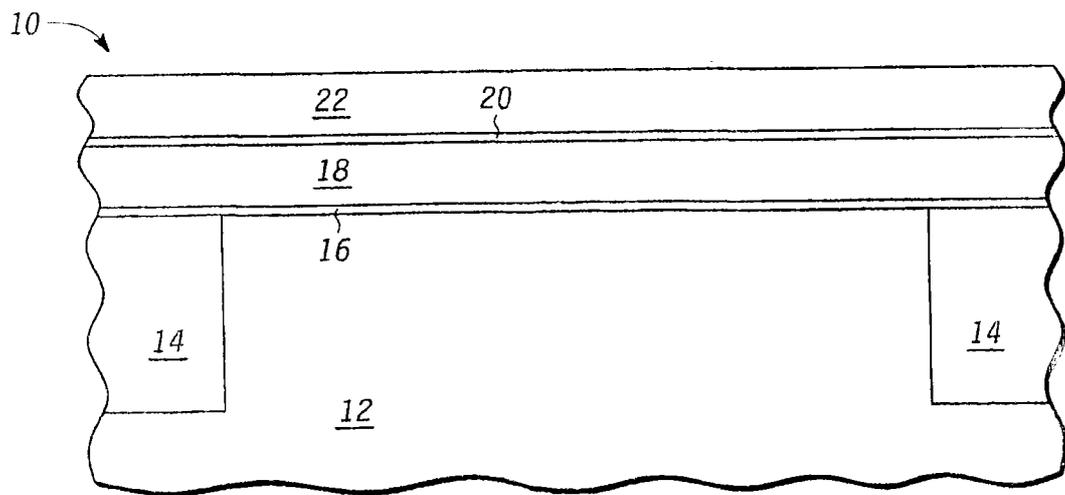


图3

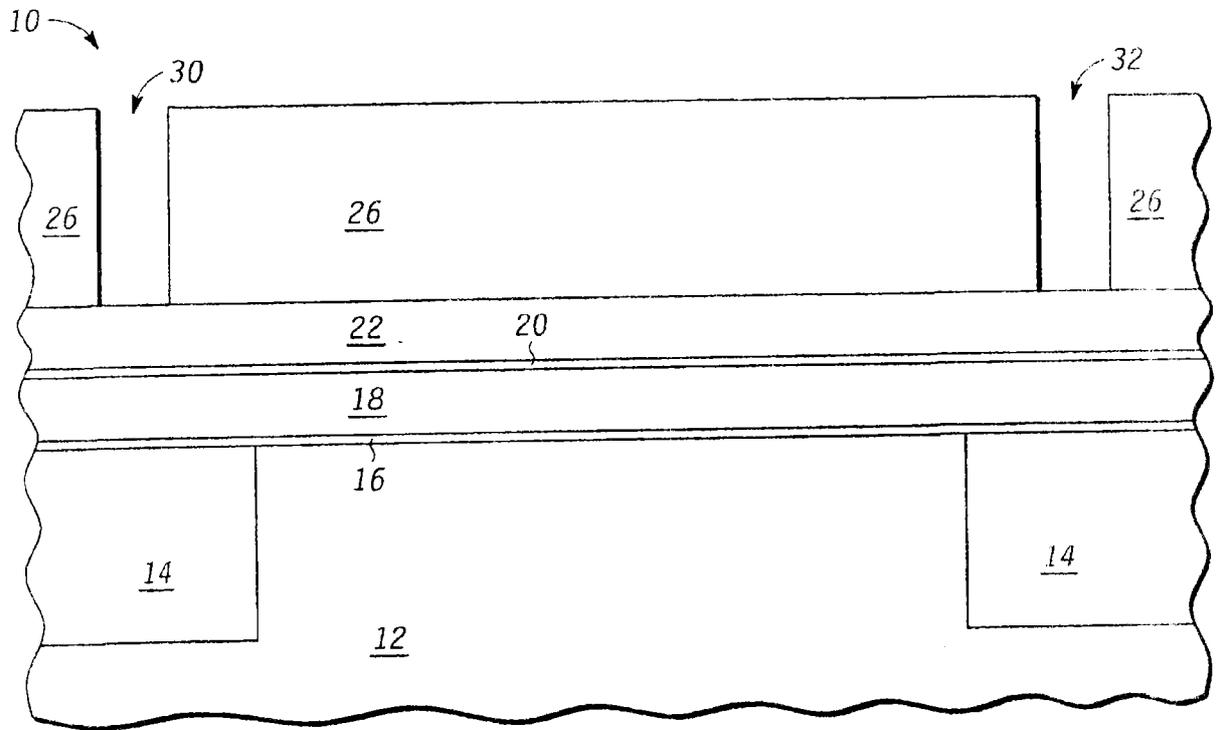


图4

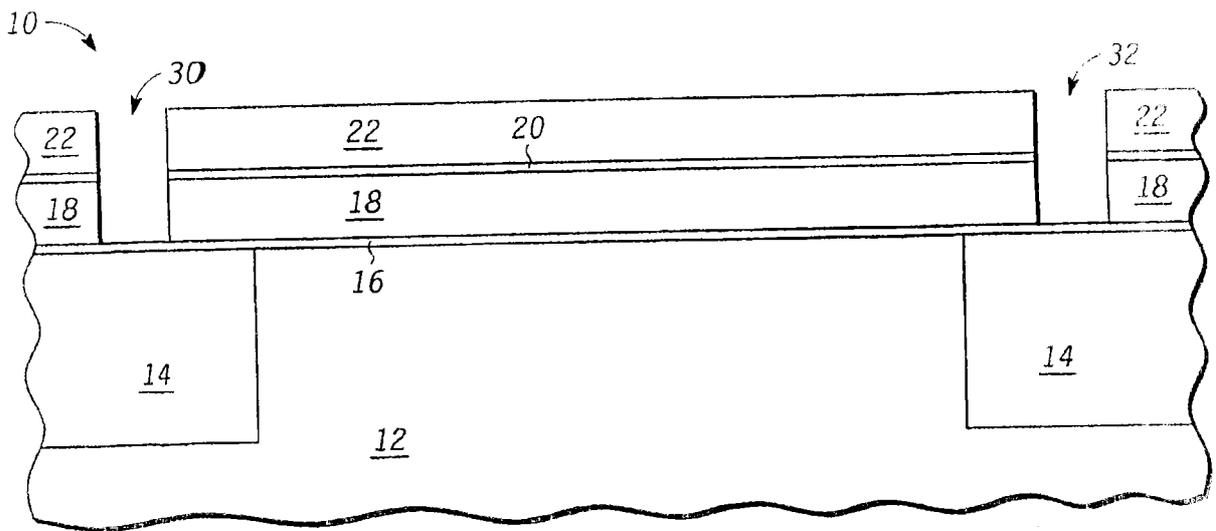


图5

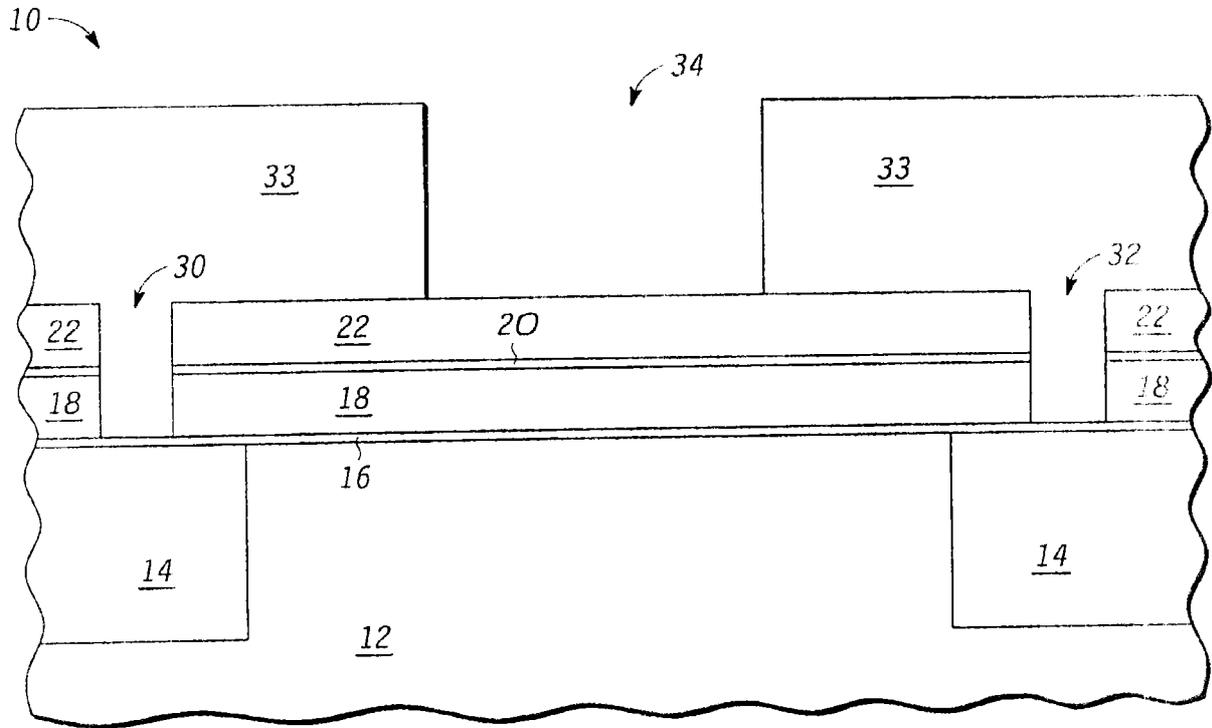


图6

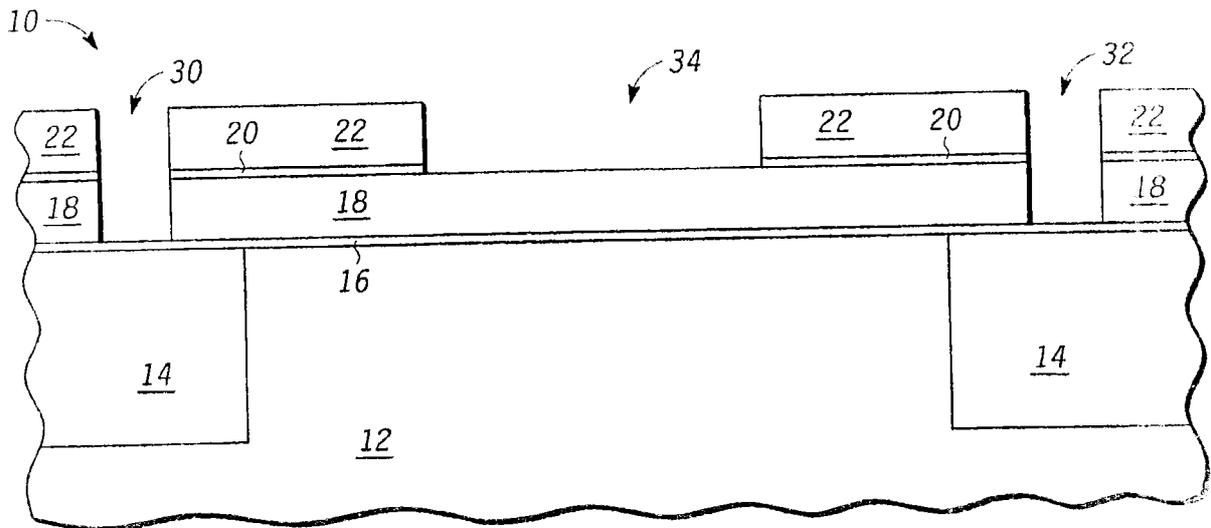


图7

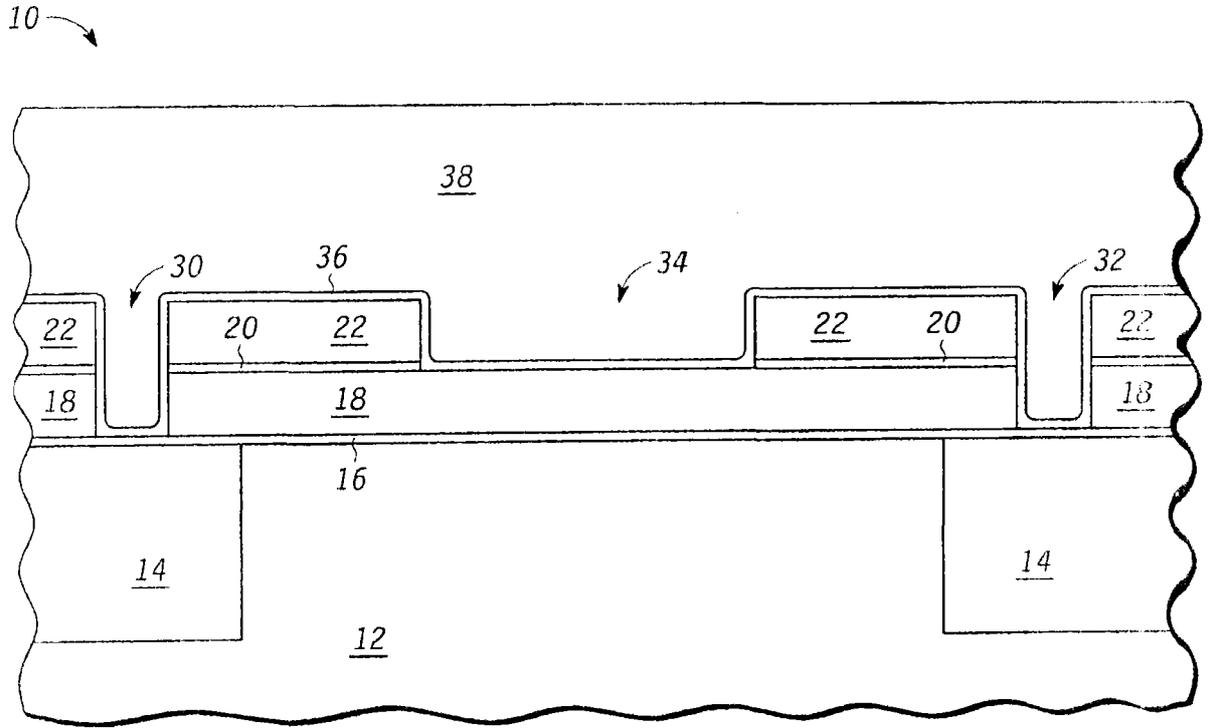


图8

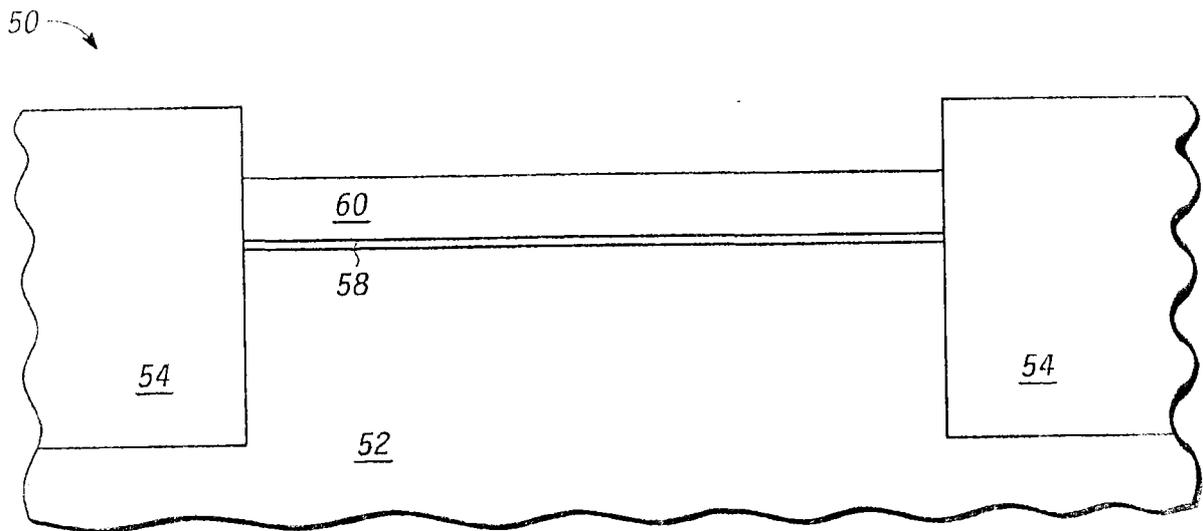


图9

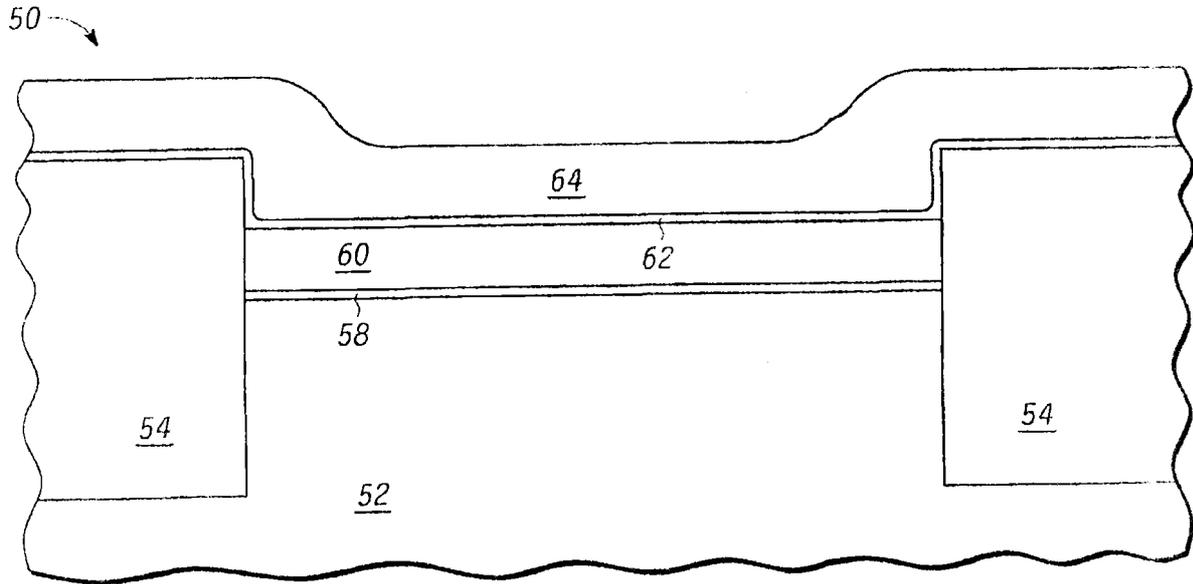


图10

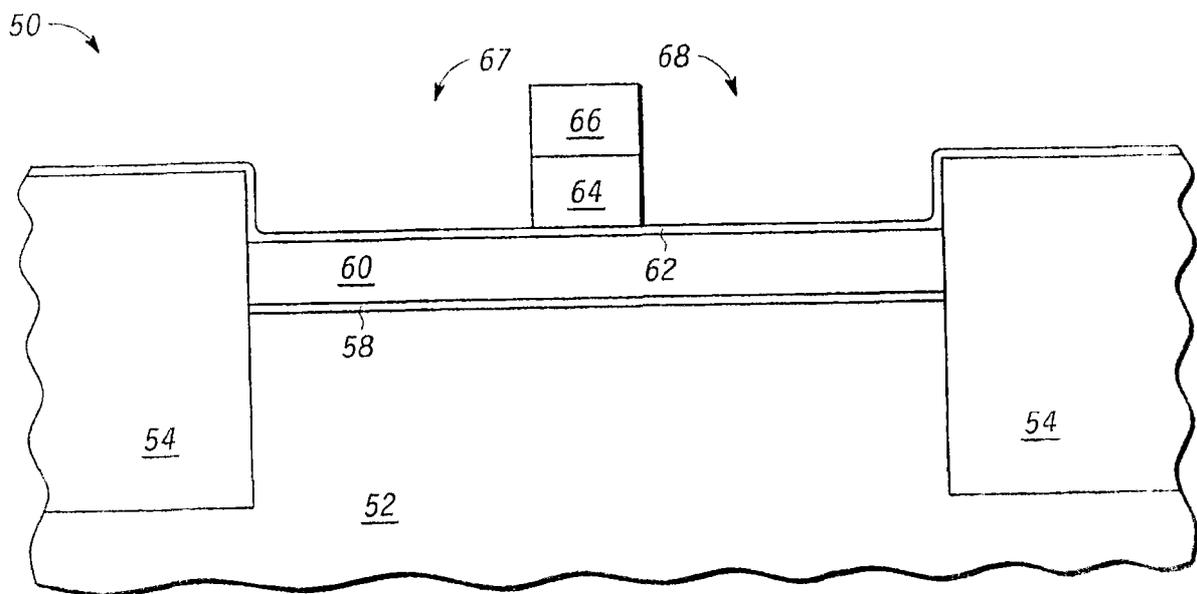


图11

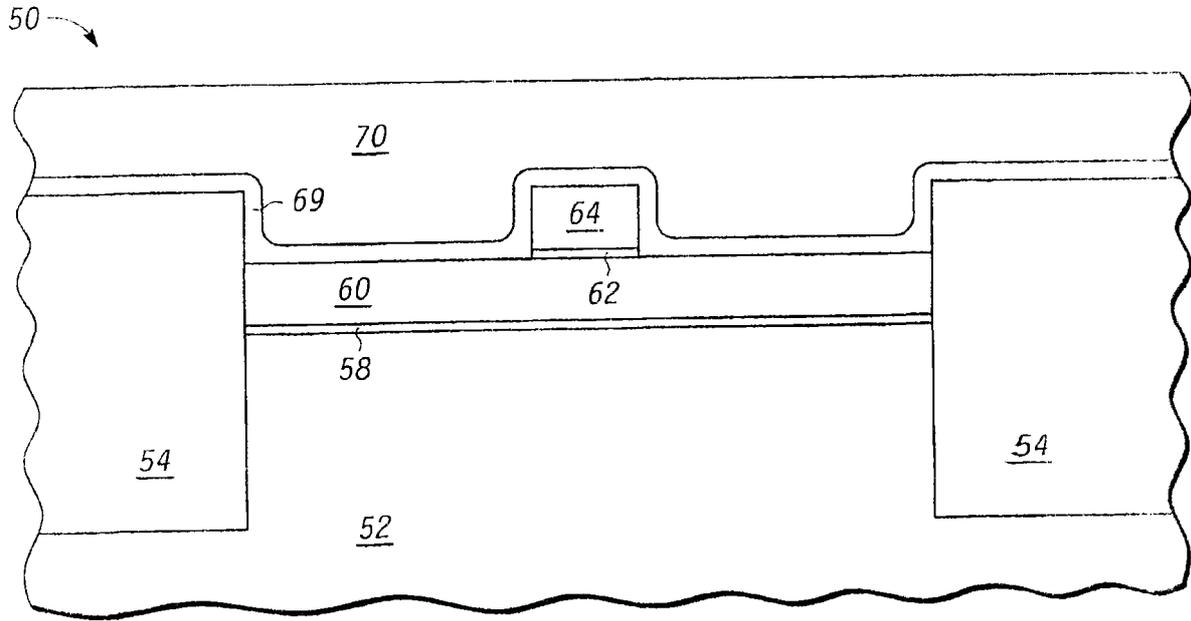


图12

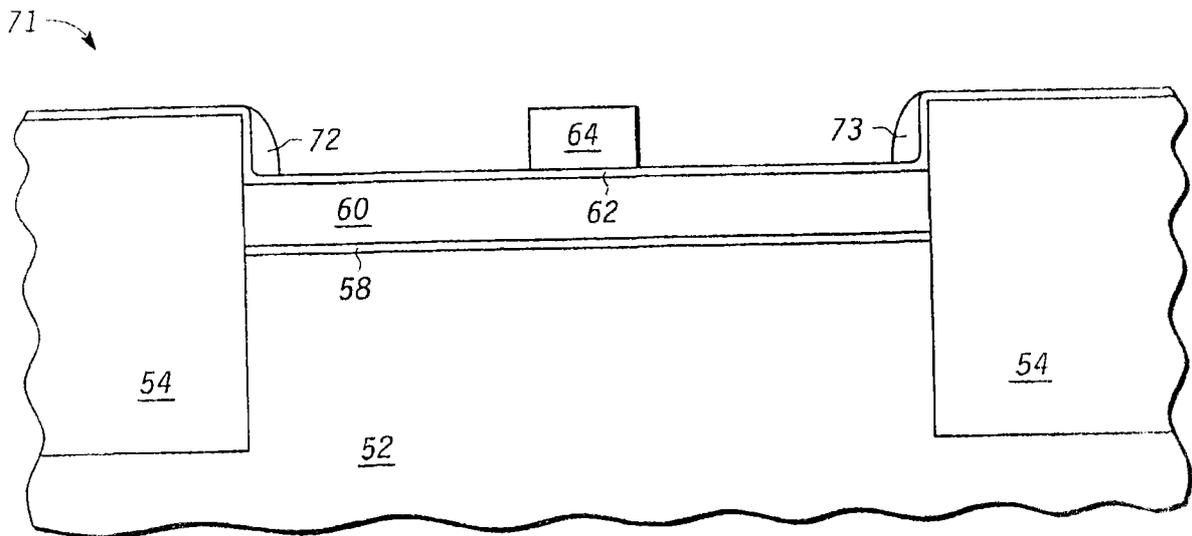


图13

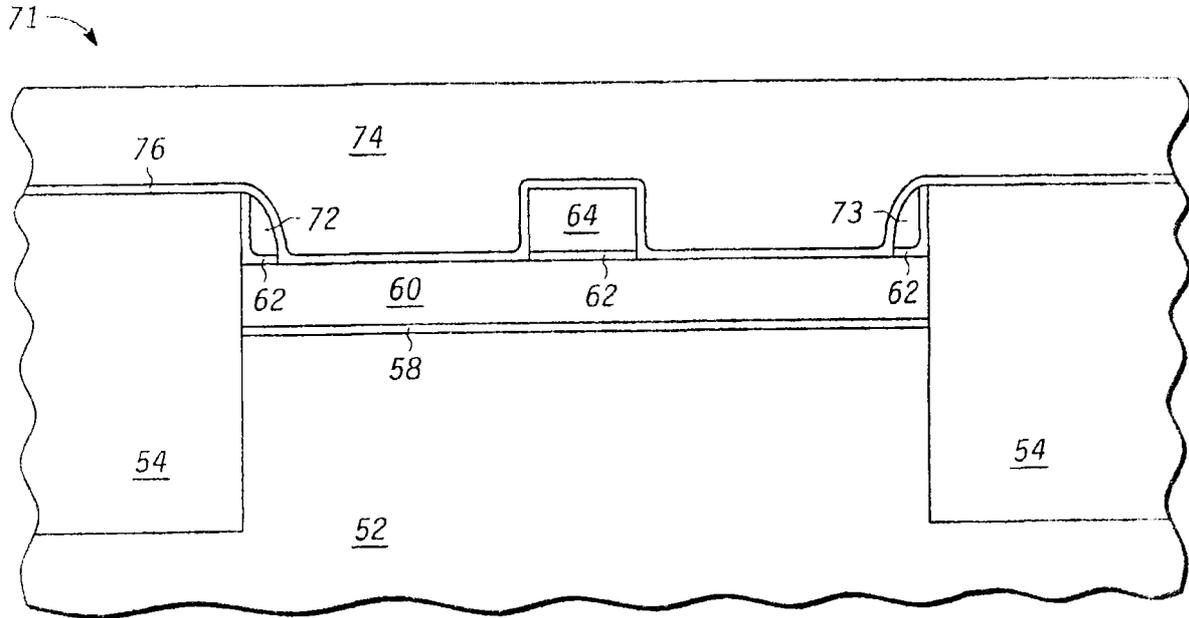


图14

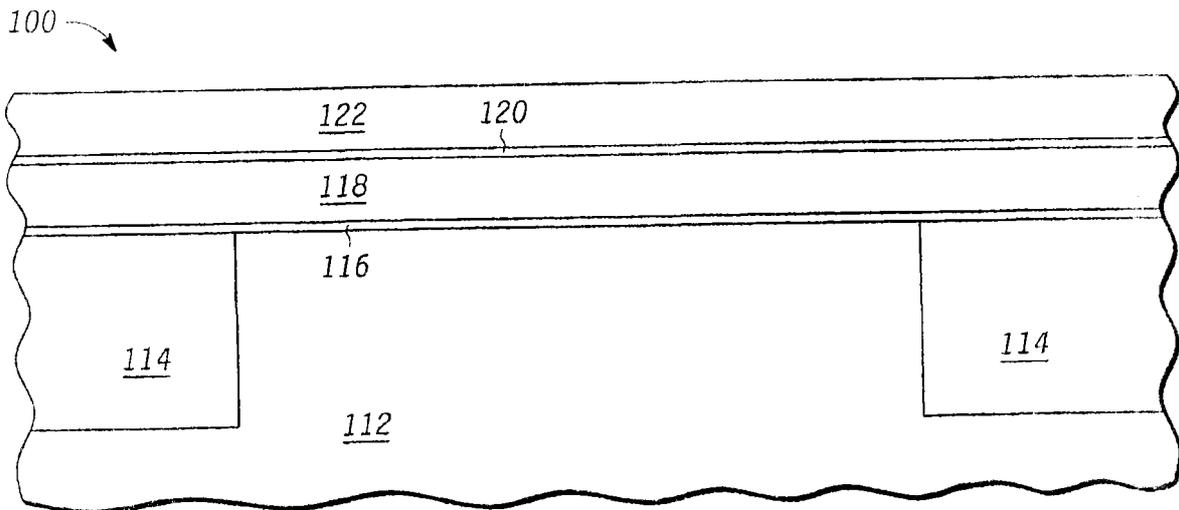


图15

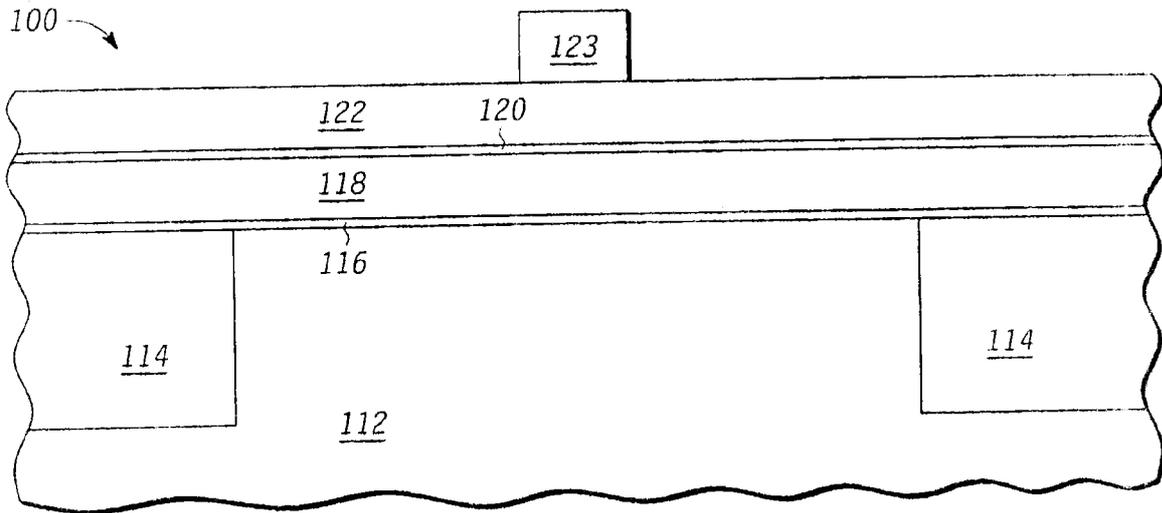


图16

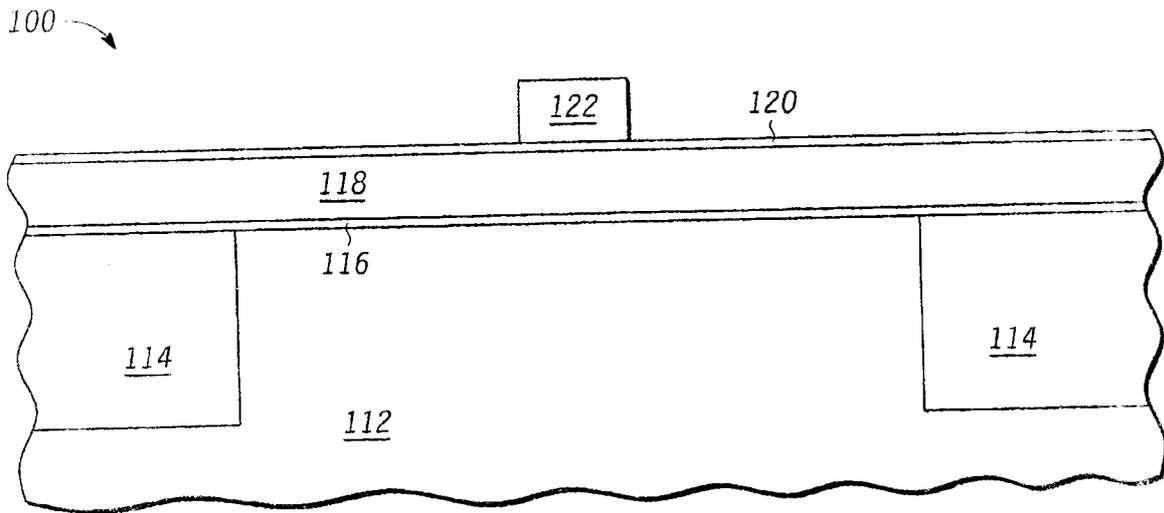


图17

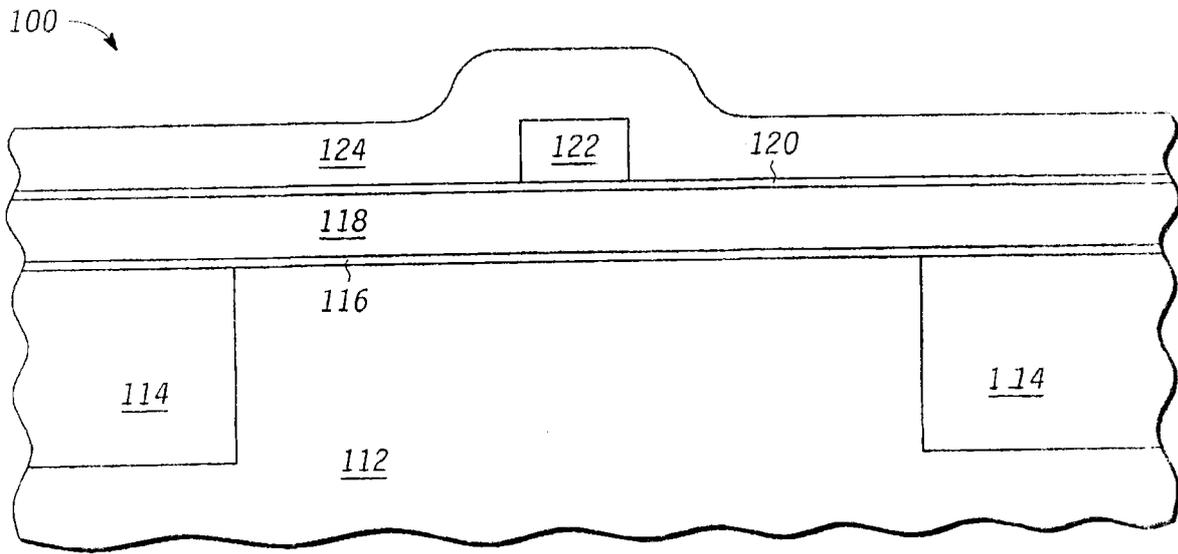


图18

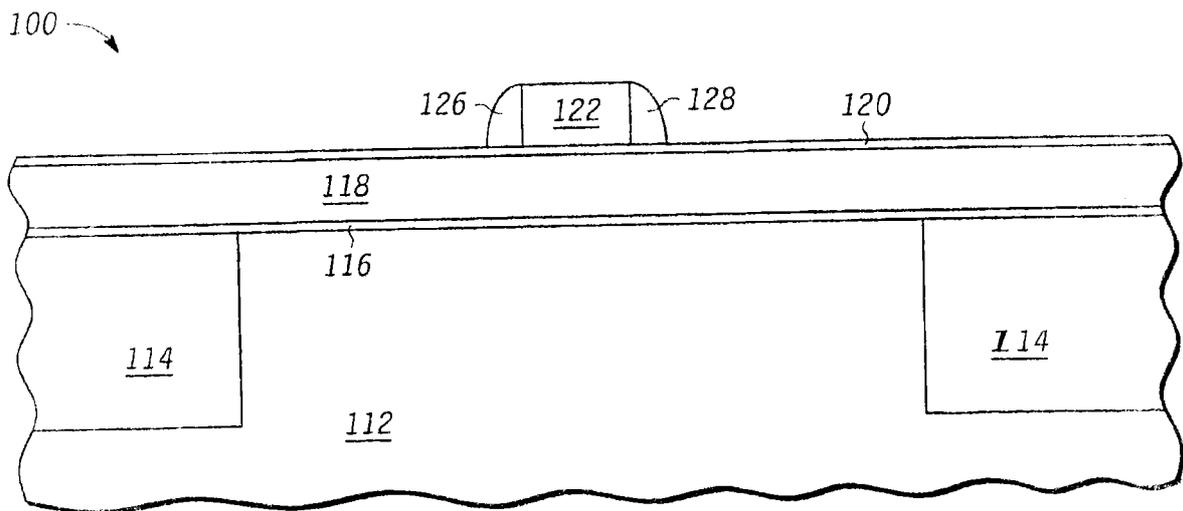


图19

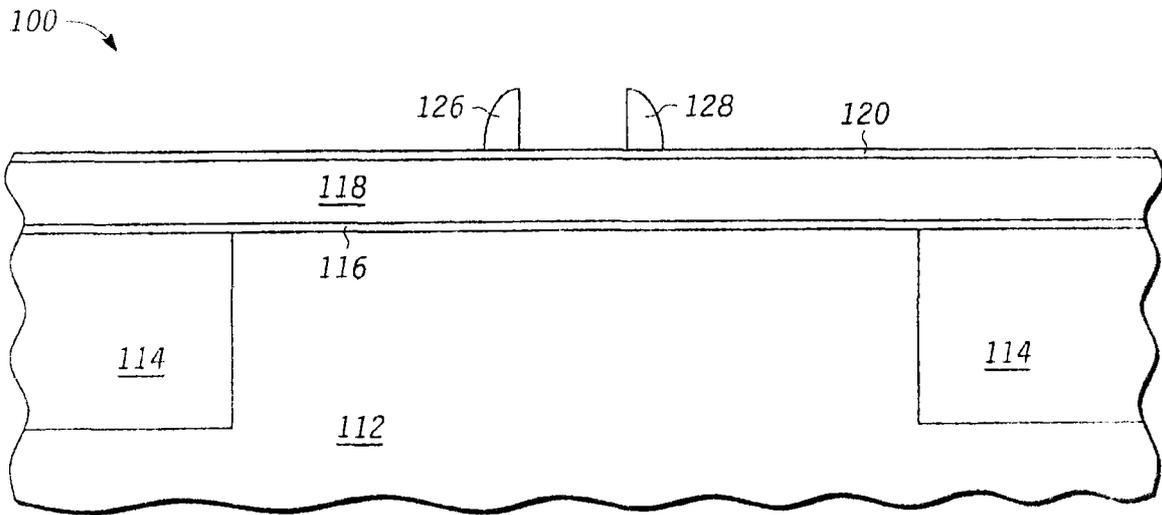


图20

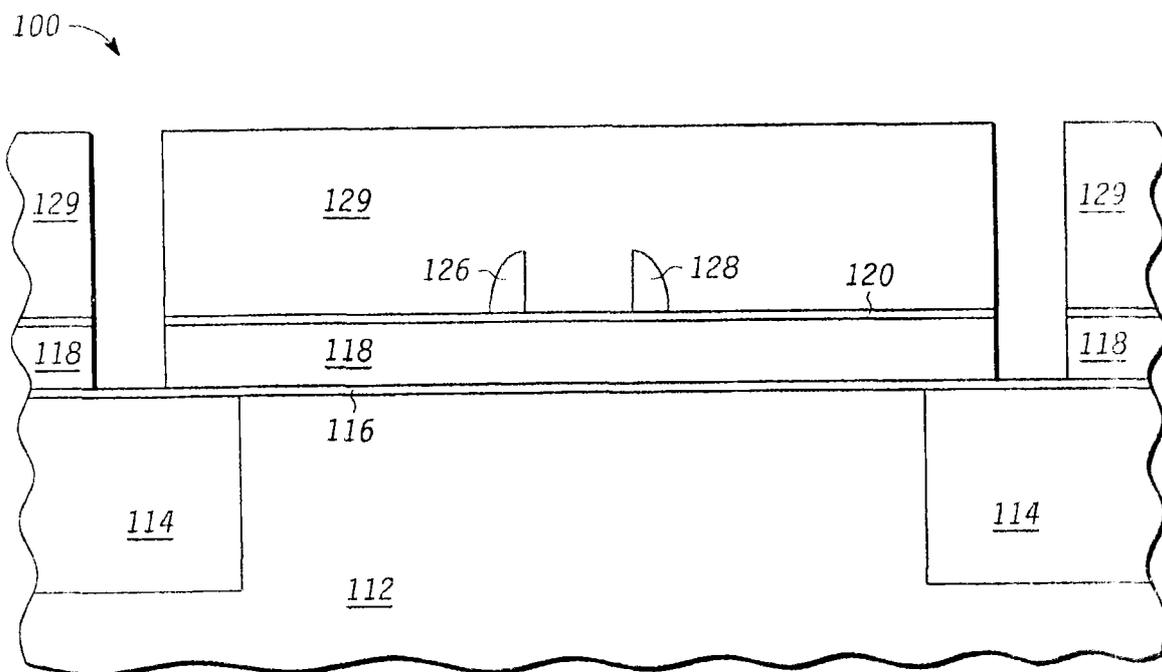


图21

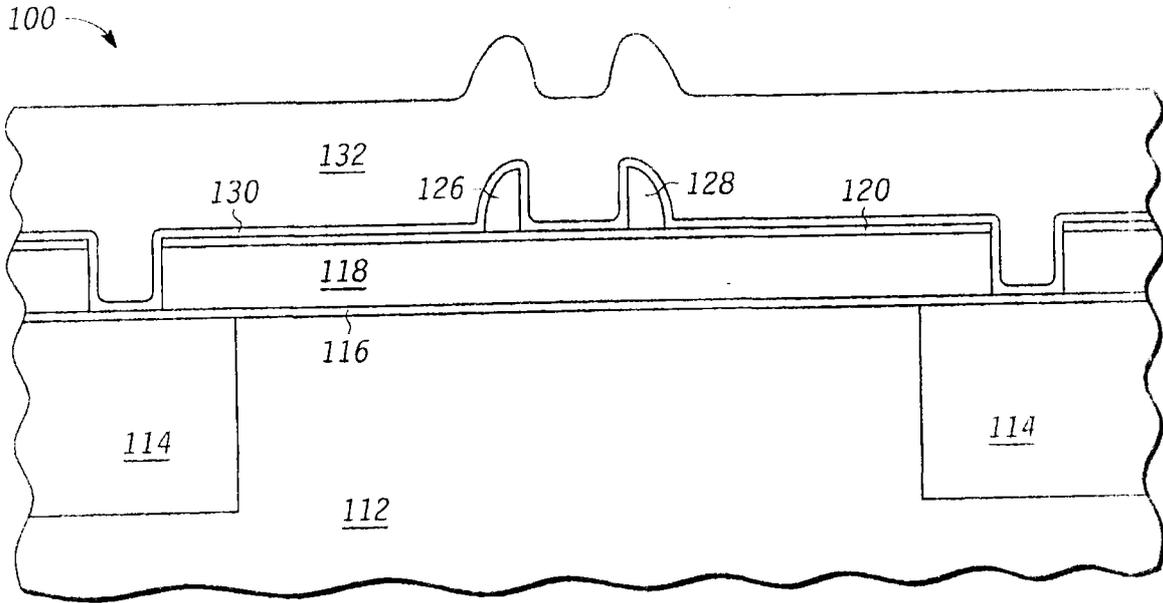


图22

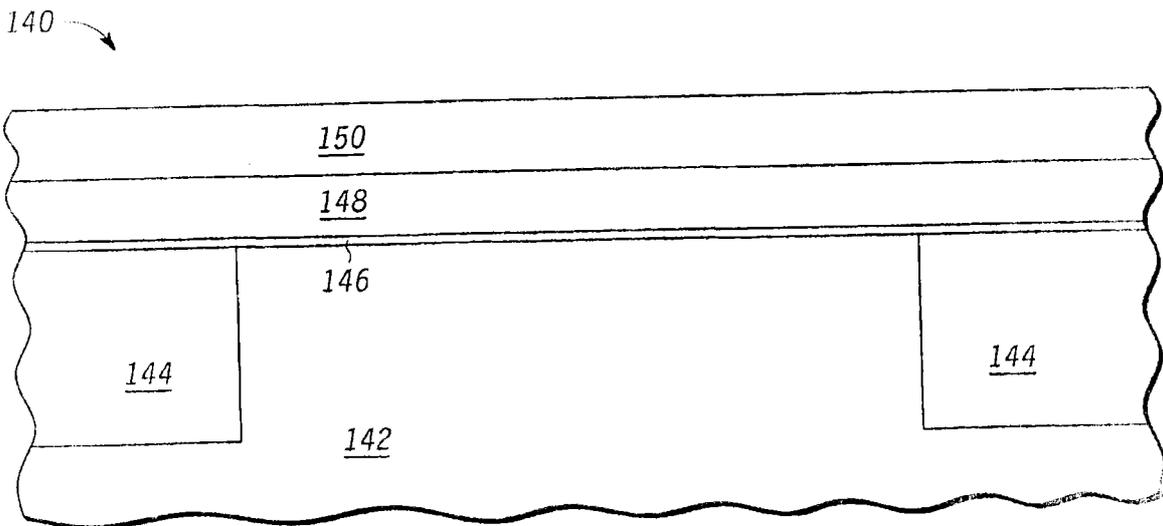


图23

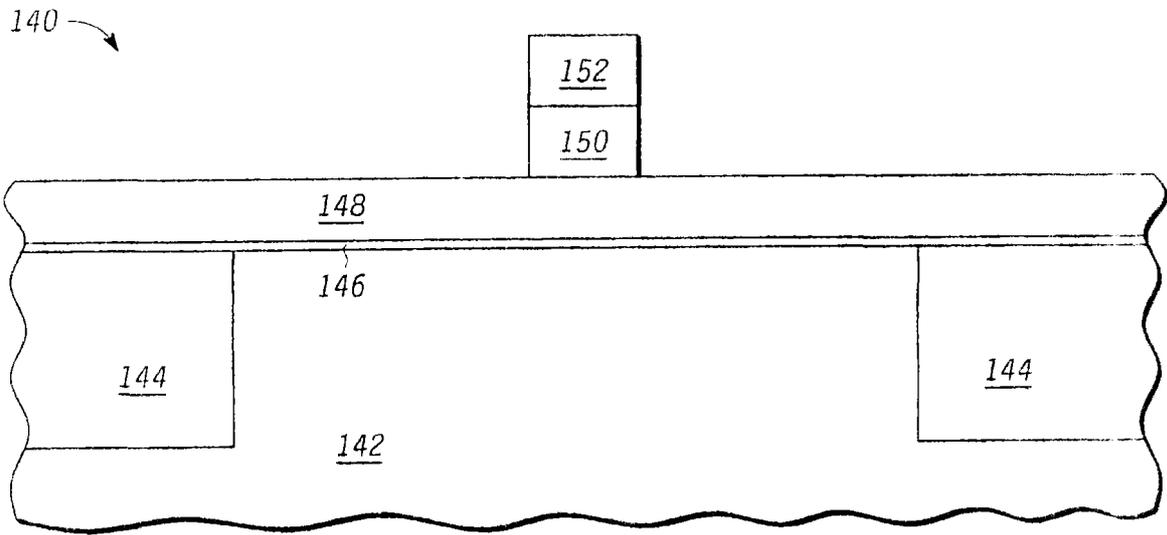


图24

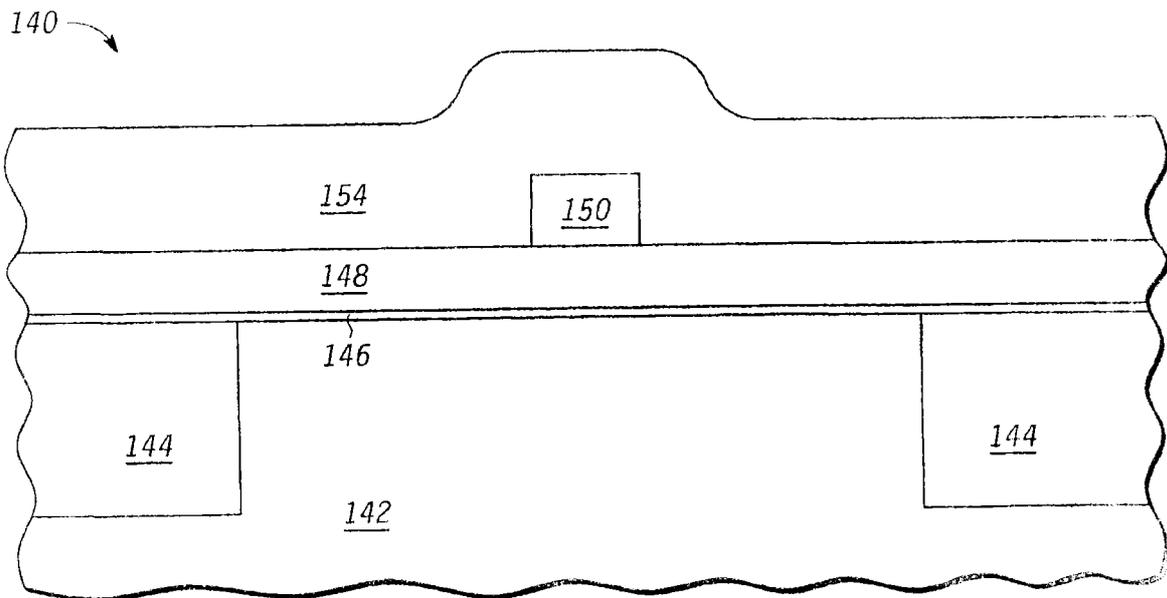


图25

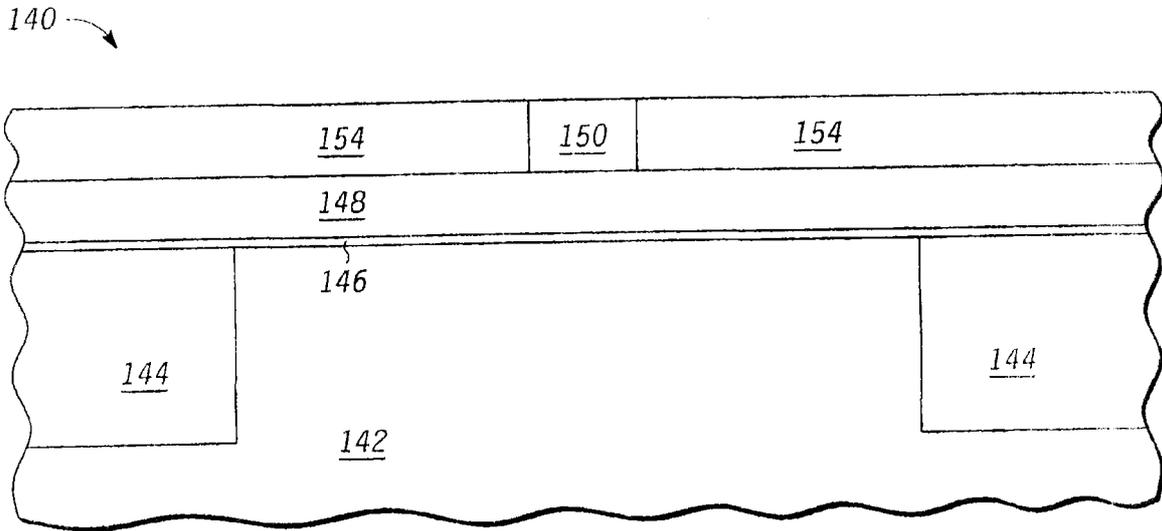


图26

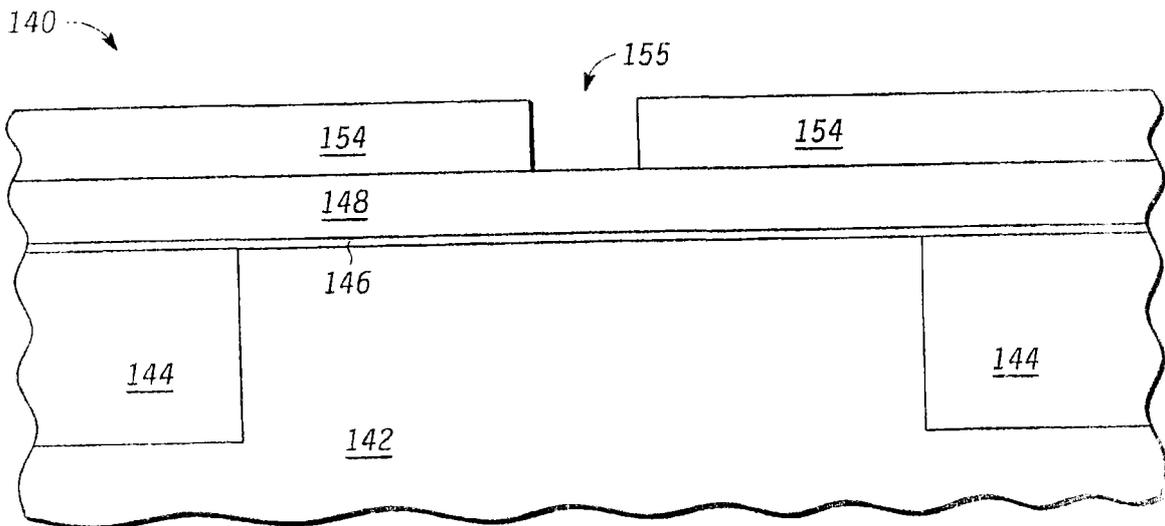


图27

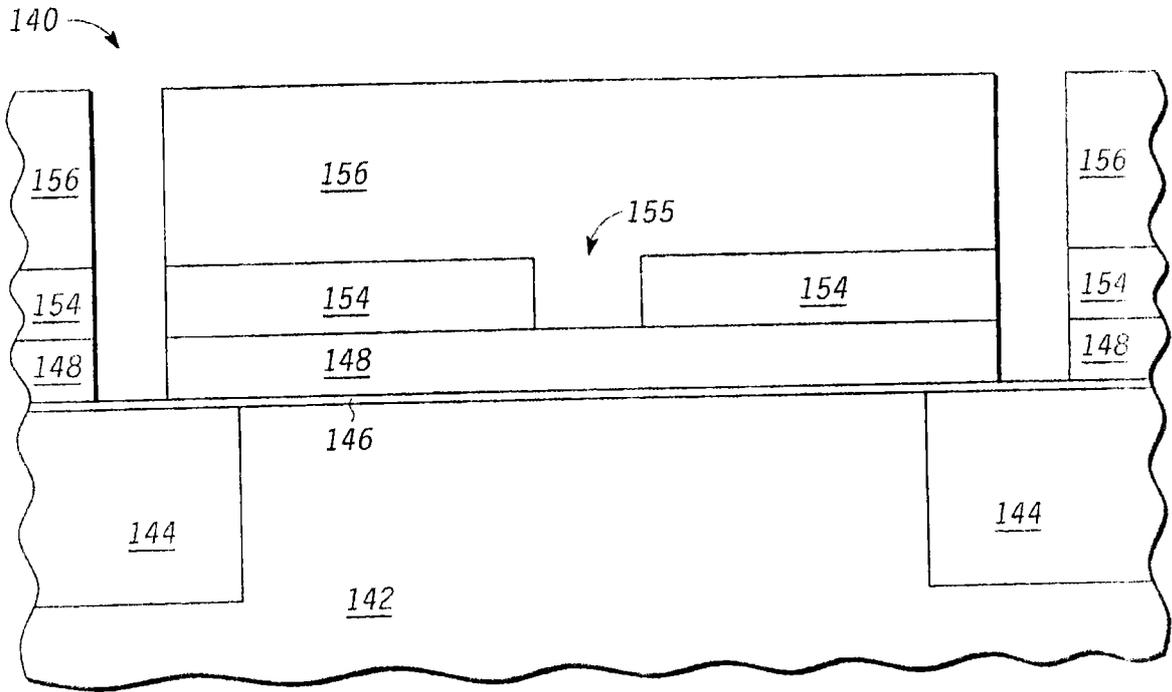


图28

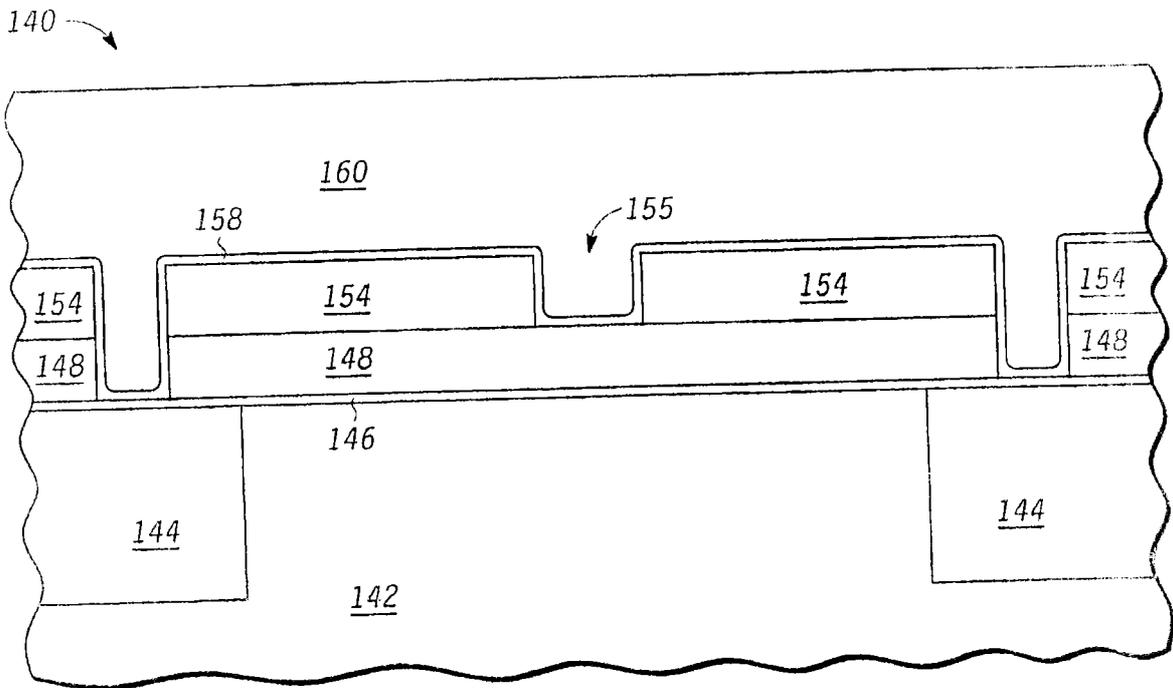


图29

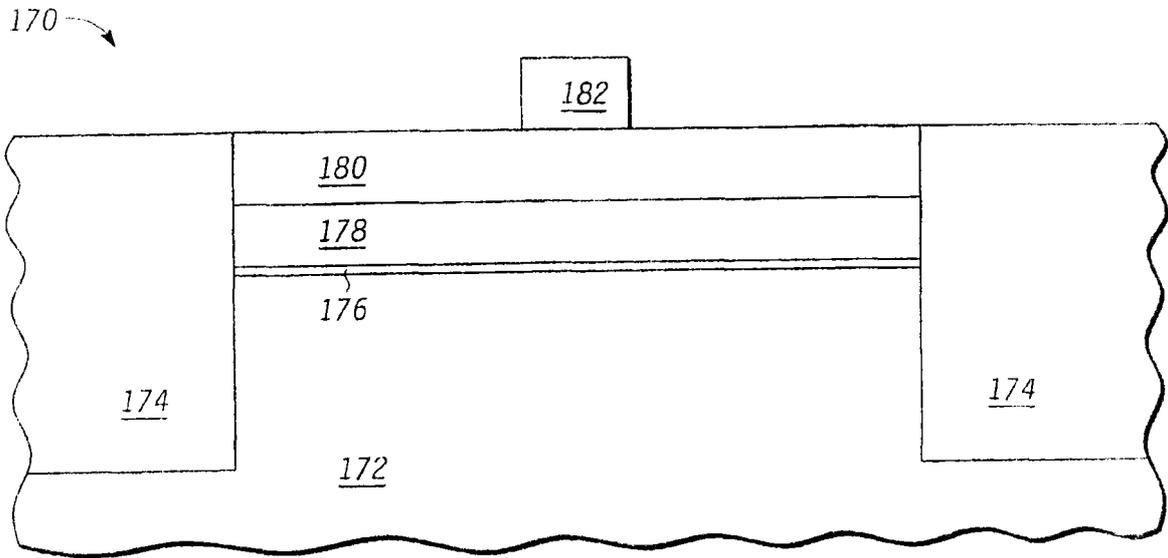


图30

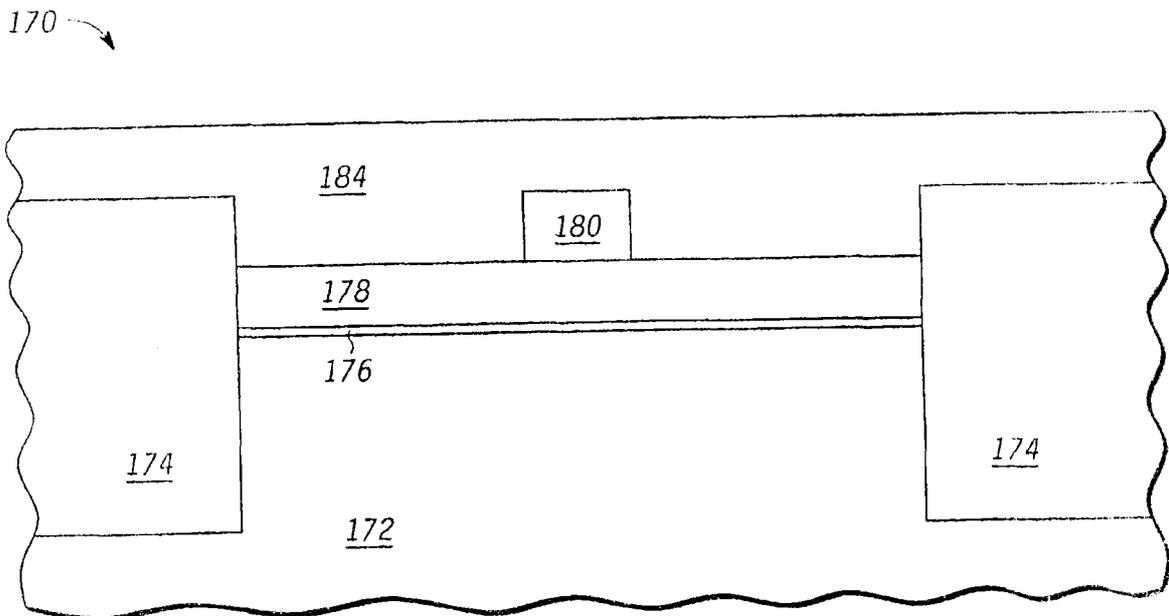


图31

170 →

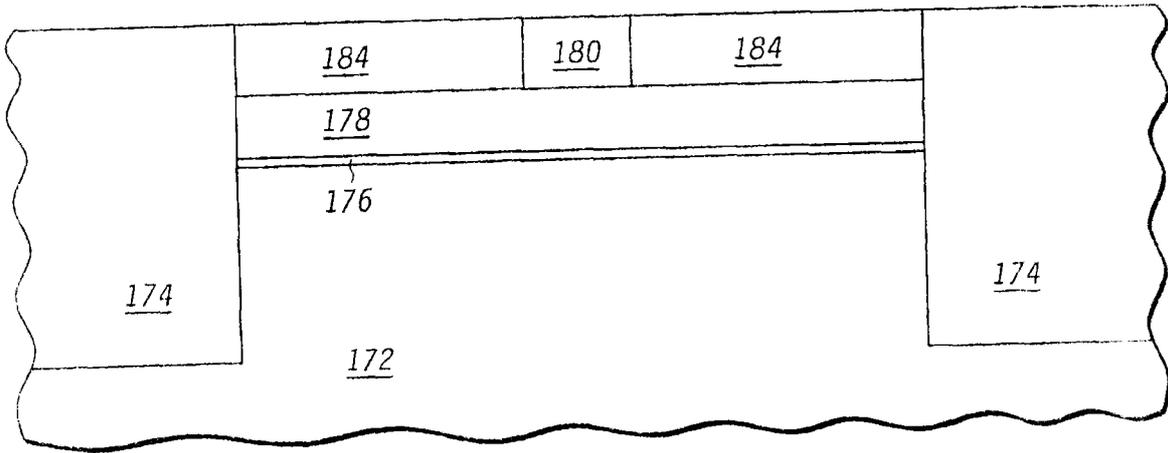


图32

170 →

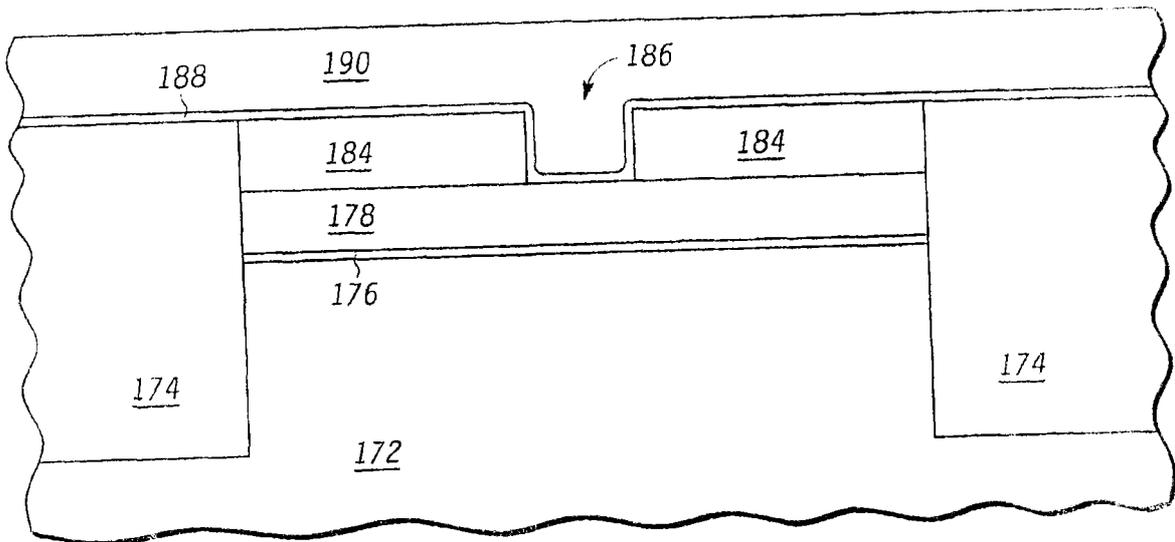


图33