(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 2 月 18 日(18.02.2016)

WIPO | PCT

(10) 国際公開番号
WO 2016/024439 A1

(51) 国際特許分類:
H03M 1/12 (2006.01) *H03M 3/04* (2006.01)

(21) 国際出願番号: PCT/JP2015/067297

(22) 国際出願日: 2015 年 6 月 16 日(16.06.2015)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2014-164568 2014 年 8 月 12 日(12.08.2014) JP

(71) 出願人: ソニー株式会社(SONY CORPORATION) [JP/JP]; 〒1080075 東京都港区港南１丁目７番１号 Tokyo (JP).

(72) 発明者: 青木　裕(AOKI, Hiroshi); 〒1080075 東京都港区港南１丁目７番１号　ソニー株式会社内 Tokyo (JP). 阿部　龍次郎(ABE, Ryuujirou); 〒1080075 東京都港区港南１丁目７番１号　ソニー株式会社内 Tokyo (JP). 福田　聡(FUKUDA, Satoshi); 〒1080075 東京都港区港南１丁目７番１号　ソニー株式会社内 Tokyo (JP).

(74) 代理人: 丸島　敏一(MARUSHIMA, Toshikazu); 〒1600022 東京都新宿区新宿３－３－２　京王新宿三丁目第二ビル　５Ｆ　クラフト国際特許事務所 Tokyo (JP).

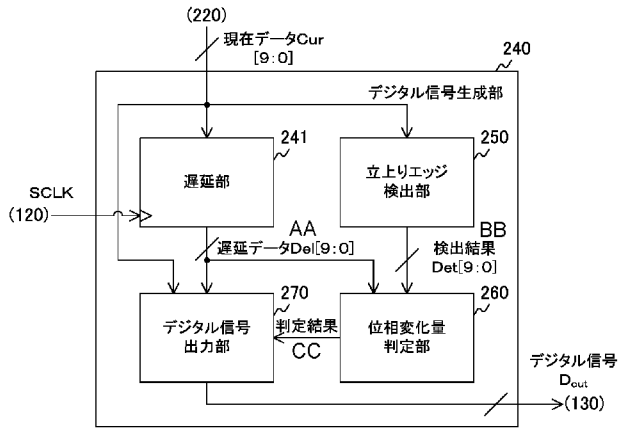
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) **Title**: ANALOG-DIGITAL CONVERTER, ELECTRONIC DEVICE, AND CONTROL METHOD FOR ANALOG-DIGITAL CONVERTER

(54) 発明の名称 : アナログデジタル変換器、電子装置、および、アナログデジタル変換器の制御方法



(130) Digital signal
(220) Current data
240 Digital signal generator
241 Delay unit
250 Rising edge detection unit
260 Phase change amount determining unit
270 Digital signal output unit
AA Delay data
BB Detection result
CC Determination result

(57) **Abstract**: The purpose of the present invention is to accurately convert an analog signal to a digital signal. An oscillator generates an oscillation signal having a period corresponding to the signal level of an input analog signal. A current bit generator generates, as current bits, bits indicating the value of the oscillation signal at each of a plurality of times within the period. A delay unit provides, as delay bits, the current bits each delayed by a predetermined amount of time. A determining unit determines whether the amount that the phase of the oscillation signal has changed during the predetermined amount of time is greater than half of the period. If the amount of change is not greater than half of the period, an output unit generates and outputs data indicating a time period in which the respective values of the current bits and delay bits form a specific combination. If the amount of change is greater than half of the period, the output unit generates and outputs data indicating a time period in which the respective values of the current bits and the delay bits are equal or form a specific combination.

(57) 要約:

[続葉有]

WO 2016/024439 A1

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

アナログ信号をデジタル信号に正確に変換する。 発振器は、入力されたアナログ信号の信号レベルに応じた周期の発振信号を生成する。現在ビット生成部は、周期内の複数のタイミングのそれぞれにおいて前記発振信号の値を示すビットを現在ビットとして生成する。遅延部は、現在ビットのそれぞれを所定期間に亘って遅延させて遅延ビットとして供給する。判定部は、発振信号の位相が所定期間内に変化した変化量が周期の半周期より大きいか否かを判定する。出力部は、変化量が前記半周期より大きくない場合には現在ビットおよび遅延ビットのそれぞれの値が特定の組合せとなる期間を示すデータを生成して出力し、変化量が半周期より大きい場合には現在ビットおよび遅延ビットのそれぞれの値が同一または特定の組合せとなる期間を示すデータを生成して出力する。

明　細　書

発明の名称 ：

アナログデジタル変換器、電子装置、および、アナログデジタル変換器の制御方法

技術分野

[0001] 本技術は、アナログデジタル変換器、電子装置、および、アナログデジタル変換器の制御方法に関する。詳しくは、発振器が設けられたアナログデジタル変換器、電子装置、および、アナログデジタル変換器の制御方法に関する。

背景技術

[0002] 従来より、アナログ信号をデジタル回路で処理する際には、アナログ信号をデジタル信号に変換するＡＤ（Analog to Digital）変換器がデジタル回路の前段に設けられる。例えば、アナログ信号の信号レベルに応じた周波数の発振信号を生成する発振器と、ｎ（ｎは、２以上の整数）個のフリップフロップと、論理回路とを設けたＡＤ変換器が提案されている（例えば、非特許文献１参照。）。

[0003] このＡＤ変換器において、ｎ個のフリップフロップは、発振信号の発振周期をｎ分割したタイミングのそれぞれの発振信号の値を保持し、それらの値を示すデータを論理回路に供給する。そして、論理回路は、そのデータをサンプリングクロックの１周期の期間に亘って遅延させ、遅延前のデータと遅延後のデータとをビット単位で比較して、「０」から「１」に変化したビット数を計数し、その計数値のデジタル信号を出力する。サンプリング期間内の発振信号の位相の変化量が発振周期の半周期以下であれば、計数値は、位相の変化量に応じた値となる。このため、デジタル信号は、アナログ信号の信号レベルに応じた正確な値となる。

先行技術文献

非特許文献

[0004] 非特許文献1：Matthew Park, et al., A 78dB SNDR 87mW 20MHz Bandwidth Continuous-Time ΔΣ ADC with VCO-Based integrator and quantizer implemented in 0.13um CMOS, IEEE Vol.44.

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上述の従来技術では、アナログ信号を正確な値のデジタル信号に変換することができないおそれがある。これは、位相の変化量が発振周期の半周期を超えると、アナログ信号の信号レベルに応じた正確な値にならないためである。したがって、位相変化量が発振周期の半周期を超えるおそれがある場合に正確な値のデジタル信号が出力されないことがあり、その結果、ＡＤ変換器のＳ／Ｎ（Signal to Noise）比が低下してしまうという問題がある。

[0006] 本技術はこのような状況に鑑みて生み出されたものであり、アナログ信号をデジタル信号に正確に変換することを目的とする。

課題を解決するための手段

[0007] 本技術は、上述の問題点を解消するためになされたものであり、その第１の側面は、入力されたアナログ信号の信号レベルに応じた周期の発振信号を生成する発振器と、上記周期内の複数のタイミングのそれぞれにおいて上記発振信号の値を示すビットを現在ビットとして生成する現在ビット生成部と、上記現在ビットのそれぞれを所定期間に亘って遅延させて遅延ビットとして供給する遅延部と、上記発振信号の位相が上記所定期間内に変化した変化量が上記周期の半周期より大きいか否かを判定する判定部と、上記変化量が上記半周期より大きくない場合には上記現在ビットおよび上記遅延ビットのそれぞれの値が特定の組合せとなる期間を示すデータを生成して出力し、上記変化量が上記半周期より大きい場合には上記現在ビットおよび上記遅延ビットのそれぞれの値が同一または上記特定の組合せとなる期間を示すデータを生成して出力する出力部とを具備するアナログデジタル変換器、および、その制御方法である。これにより、発振信号の位相が所定期間内に変化した

変化量が半周期より大きい場合には現在ビットおよび遅延ビットのそれぞれの値が同一または特定の組合せとなる期間を示すデータが出力されるという作用をもたらす。

[0008] また、この第１の側面において、上記現在ビットおよび上記遅延ビットのいずれかに基づいて上記発振信号の立上りおよび立下りの一方のエッジの有無を上記複数のタイミングのそれぞれにおいて検出するエッジ検出部をさらに具備し、上記判定部は、上記一方のエッジがあると検出された上記タイミングに対応する上記現在ビットおよび上記遅延ビットのそれぞれの値が同一であるか否かにより上記変化量が上記半周期に対して大きいか否かを検出してもよい。これにより、エッジがあると検出されたタイミングに対応する現在ビットおよび遅延ビットのそれぞれの値が同一であるか否かにより変化量が半周期に対して大きいか否かが検出されるという作用をもたらす。

[0009] また、この第１の側面において、上記エッジ検出部は、上記遅延ビットに基づいて上記一方のエッジの有無を検出してもよい。これにより、遅延ビットに基づいて一方のエッジの有無が検出されるという作用をもたらす。

[0010] また、この第１の側面において、上記エッジ検出部は、上記遅延ビットに基づいて上記立上りのエッジの有無を検出し、上記判定部は、上記立上りのエッジがあると検出された上記タイミングに対応する上記現在ビットがローレベルである場合には上記変化量が上記半周期より大きくないと判定し、上記現在ビットがハイレベルである場合には上記変化量が上記半周期より大きいと判定してもよい。これにより、立上りのエッジがあると検出されたタイミングに対応する現在ビットがローレベルである場合に変化量が半周期より大きくないと判定されるという作用をもたらす。

[0011] また、この第１の側面において、上記エッジ検出部は、上記遅延ビットに基づいて上記立下りのエッジの有無を検出し、上記判定部は、上記立下りのエッジがあると検出された上記タイミングに対応する上記現在ビットがハイレベルである場合には上記変化量が上記半周期より大きくないと判定し、上記現在ビットがローレベルである場合には上記変化量が上記半周期より大き

いと判定してもよい。これにより、立下りのエッジがあると検出されたタイミングに対応する現在ビットがハイレベルである場合に変化量が半周期より大きくないと判定されるという作用をもたらす。

[0012] また、この第１の側面において、上記エッジ検出部は、上記現在ビットに基づいて上記一方のエッジの有無を検出してもよい。これにより、現在ビットに基づいて一方のエッジの有無が検出されるという作用をもたらす。

[0013] また、この第１の側面において、前記エッジ検出部は、前記現在ビットに基づいて前記立上りのエッジの有無を検出し、前記判定部は、前記立上りのエッジがあると検出された前記タイミングに対応する前記遅延ビットがハイレベルである場合には前記変化量が前記半周期より大きくないと判定し、前記遅延ビットがローレベルである場合には前記変化量が前記半周期より大きいと判定してもよい。これにより、立上りのエッジがあると検出されたタイミングに対応する遅延ビットがハイレベルである場合に変化量が半周期より大きくないと判定されるという作用をもたらす。

[0014] また、この第１の側面において、前記エッジ検出部は、前記現在ビットに基づいて前記立下りのエッジの有無を検出し、前記判定部は、前記立下りのエッジがあると検出された前記タイミングに対応する前記遅延ビットがローレベルである場合には前記変化量が前記半周期より大きくないと判定し、前記遅延ビットがハイレベルである場合には前記変化量が前記半周期より大きいと判定してもよい。これにより、立上りのエッジがあると検出されたタイミングに対応する遅延ビットがローレベルである場合に変化量が半周期より大きくないと判定されるという作用をもたらす。

[0015] また、この第１の側面において、上記出力部は、上記変化量が上記半周期より大きくない場合には上記特定の組合せとなる上記タイミングの個数を計数して当該計数値のデータを上記期間を示すデータとして生成し、前記変化量が前記半周期より大きい場合には前記現在ビットおよび前記遅延ビットのそれぞれの値が同一または前記特定の組合せとなる前記タイミングの個数を計数して当該計数値のデータを前記期間を示すデータとして生成してもよい

。これにより、変化量が半周期より大きい場合に現在ビットおよび遅延ビットのそれぞれの値が同一または特定の組合せとなるタイミングの個数が計数されるという作用をもたらす。

[0016] また、本技術の第２の側面は、入力されたアナログ信号の信号レベルに応じた周期の発振信号を生成する発振器と、前記周期内の複数のタイミングのそれぞれにおいて前記発振信号の値を示すビットを現在ビットとして生成する現在ビット生成部と、前記現在ビットのそれぞれを所定期間に亘って遅延させて遅延ビットとして供給する遅延部と、前記発振信号の位相が前記所定期間内に変化した変化量が前記周期の半周期より大きいか否かを判定する判定部と、前記変化量が前記半周期より大きくない場合には前記現在ビットおよび前記遅延ビットのそれぞれの値が特定の組合せとなる期間を示すデータを生成して出力し、前記変化量が前記半周期より大きい場合には前記現在ビットおよび前記遅延ビットのそれぞれの値が同一または前記特定の組合せとなる期間を示すデータを生成して出力する出力部と、上記データを処理する処理部とを具備する電子装置である。これにより、発振信号の位相が所定期間内に変化した変化量が半周期より大きい場合には現在ビットおよび遅延ビットのそれぞれの値が同一または特定の組合せとなる期間を示すデータが出力されるという作用をもたらす。

発明の効果

[0017] 本技術によれば、アナログ信号をデジタル信号に正確に変換することができるという優れた効果を奏し得る。なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0018] [図1]実施の形態における電子装置の一構成例を示すブロック図である。

[図2]実施の形態におけるアナログデジタル変換器の一構成例を示すブロック図である。

[図3]実施の形態における電圧制御発振器の一構成例を示す回路図である。

[図4]実施の形態における比較部の一構成例を示す回路図である。

[図5]実施の形態におけるコンパレータの動作の一例を示す表である。

[図6]実施の形態におけるラッチ回路の動作の一例を示す表である。

[図7]実施の形態におけるフリップフロップの動作の一例を示す真理値表である。

[図8]実施の形態におけるデジタル信号出力部の一構成例を示すブロック図である。

[図9]実施の形態における立上りエッジ検出部の一構成例を示す回路図である。

[図10]実施の形態における位相変化量判定部の一構成例を示す回路図である。

[図11]実施の形態における判定結果生成部の動作の一例を示す表である。

[図12]実施の形態におけるデジタル信号生成部の一構成例を示す回路図である。

[図13]実施の形態における演算回路の動作の一例を示す表である。

[図14]実施の形態における位相変化量が１８０度以下のときの遅延データおよび現在データのそれぞれの示すエッジ位置の一例を示す図である。

[図15]実施の形態における位相変化量が１８０度以下のときの演算方法を説明するための図である。

[図16]実施の形態における位相変化量が１８０度を超えるときの遅延データおよび現在データの示すそれぞれのエッジ位置の一例を示す図である。

[図17]実施の形態における位相変化量が１８０度を超えるときの演算方法を説明するための図である。

[図18]実施の形態におけるアナログデジタル変換器の動作の一例を示すフローチャートである。

[図19]実施の形態の第１の変形例における立下りエッジ検出部の一構成例を示す回路図である。

[図20]実施の形態の第１の変形例における位相変化量が１８０度以下のとき

の演算方法を説明するための図である。

[図21]実施の形態の第１の変形例における位相変化量が１８０度を超えるときの演算方法を説明するための図である。

[図22]実施の形態の第２の変形例におけるデジタル信号生成部の一構成例を示すブロック図である。

[図23]実施の形態の第２の変形例における位相変化量が１８０度以下のときの演算方法を説明するための図である。

[図24]実施の形態の第２の変形例における位相変化量が１８０度を超えるときの演算方法を説明するための図である。

[図25]実施の形態の第３の変形例における位相変化量が１８０度以下のときの演算方法を説明するための図である。

[図26]実施の形態の第３の変形例における位相変化量が１８０度を超えるときの演算方法を説明するための図である。

発明を実施するための形態

[0019] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

１．第１の実施の形態（位相変化量が半周期以下であるか否かを判定してＡＤ変換する例）

２．第１の変形例

３．第２の変形例

４．第３の変形例

[0020] ＜１．第１の実施の形態＞

［電子装置の構成例］

図１は、本技術の実施の形態における電子装置１００の一構成例を示すブロック図である。この電子装置１００は、アナログ信号をデジタル信号に変換して処理する装置であり、アナログ信号供給部１１０、参照クロック供給部１２０、アナログデジタル変換器２００およびデジタル信号処理部１３０を備える。電子装置１００としては、例えば、撮像装置、無線通信装置、計

測装置、情報処理装置などが想定される。

[0021] なお、アナログデジタル変換器２００を電子装置１００などの装置に設ける構成としているが、撮像素子や計測機器などのモジュールや機器に設けてもよい。

[0022] アナログ信号供給部１１０は、アナログの電圧信号をアナログ信号V_{in}として生成してアナログデジタル変換器２００に信号線１１９を介して供給するものである。例えば、音声信号や画像信号が、アナログ信号V_{in}として生成される。なお、アナログ信号供給部は、アナログの電流信号を生成してもよい。また、アナログ信号供給部１１０は、外部からアナログ信号を受信してアナログデジタル変換器２００に供給してもよい。

[0023] 参照クロック供給部１２０は、所定の周波数の参照クロック信号ＲＥＦＣＬＫを参照すべきクロック信号として生成し、アナログデジタル変換器２００に信号線１２９を介して供給するものである。

[0024] アナログデジタル変換器２００は、参照クロック信号ＲＥＦＣＬＫに同期して、アナログ信号V_{in}をデジタル信号D_{out}に変換するものである。アナログデジタル変換器２００は、変換したデジタル信号D_{out}をデジタル信号処理部１３０に信号線２０９を介して供給する。

[0025] デジタル信号処理部１３０は、デジタル信号D_{out}に対して画像処理や音声処理などの所定の処理を行うものである。なお、デジタル信号処理部１３０は、特許請求の範囲に記載の処理部の一例である。

[0026] ［アナログデジタル変換器の構成例］

図２は、実施の形態におけるアナログデジタル変換器２００の一構成例を示すブロック図である。このアナログデジタル変換器２００は、電圧制御発振器２１０、比較部２２０、サンプリングクロック生成部２３０およびデジタル信号生成部２４０を備える。

[0027] 電圧制御発振器２１０は、アナログ信号V_{in}の信号レベルに応じた周波数の複数の電圧制御発振信号を生成するものである。例えば、ＶＣＯ１乃至ＶＣＯ５と、ＸＶＣＯ１乃至ＸＶＣＯ５との１０個のクロック信号が電圧制御

発振信号として生成される。これらの電圧制御発振信号は、周波数が同一で位相が互いに異なる信号である。電圧制御発振器２１０は、これらの電圧制御発振信号を比較部２２０に供給する。なお、電圧制御発振器２１０は、特許請求の範囲に記載の発振器の一例である。また、電圧制御発振信号は、特許請求の範囲に記載の発振信号の一例である。

[0028] なお、電圧制御発振器の代わりに、電流のレベルに応じた周波数の発振信号を生成する電流制御発振器を設けてもよい。この場合には、電流信号がアナログ信号としてアナログデジタル変換器２００に入力される。

[0029] サンプリングクロック生成部２３０は、参照クロック信号ＲＥＦＣＬＫより周波数の高いクロック信号をサンプリングクロック信号ＳＣＬＫとして生成するものである。例えば、参照クロック信号ＲＥＦＣＬＫを逓倍することによりサンプリングクロック信号ＳＣＬＫが生成される。

[0030] 比較部２２０は、サンプリングクロック信号ＳＣＬＫに同期して、互いに位相の異なる２つの電圧制御発振信号（例えば、ＶＣＯ１およびＸＶＣＯ１）を比較し、その比較結果から複数（例えば、１０）のビットからなる現在データＣｕｒを生成するものである。この現在データＣｕｒ内のビットのそれぞれは、電圧制御発振信号の周期を等分割（例えば、１０分割）したタイミングのそれぞれにおける、電圧制御発振信号の値を示す。これらのビットを以下、「現在ビット」と称する。比較部２２０は、現在データＣｕｒをデジタル信号生成部２４０に供給する。なお、比較部２２０は、特許請求の範囲に記載の現在ビット生成部の一例である。

[0031] デジタル信号生成部２４０は、サンプリングクロック信号ＳＣＬＫに同期して、現在データＣｕｒからデジタル信号D_{out}を生成するものである。デジタル信号D_{out}の生成方法の詳細については後述する。

[0032] ［電圧制御発振器の構成例］

図３は、実施の形態における電圧制御発振器２１０の一構成例を示す回路図である。この電圧制御発振器２１０は、電圧電流変換回路２１１と、奇数個のインバータ２１２、と、奇数個のインバータ２１３と、奇数個のインバ

ータ２１４と、奇数個のインバータ２１５とを備える。これらのインバータは、例えば、５個ずつ設けられる。

[0033] 電圧電流変換回路２１１は、アナログ信号V_{in}の電圧を電流に変換するものである。この電圧電流変換回路２１１は、変換した電流信号I_{in}をインバータ２１２、２１３、２１４および２１５のそれぞれへ供給する。

[0034] ５個のインバータ２１２と５個のインバータ２１５とは、それぞれリング状に接続される。インバータ２１３および２１４は、互いに異なるインバータ２１２と、互いに異なるインバータ２１５とに接続される。例えば、インバータ２１３の入力端子はインバータ２１２の出力端子に接続され、インバータ２１３の出力端子はインバータ２１５の出力端子に接続される。また、インバータ２１４の入力端子はインバータ２１５の出力端子に接続され、インバータ２１４の出力端子はインバータ２１２の出力端子に接続される。

[0035] このような接続により、インバータ２１２からなるインバータリングと、インバータ２１５からなるインバータリングとが、インバータ２１３および２１４からなるラッチにより接続される。これにより、それぞれのインバータリングの出力波形の差動対称性が高くなり、出力信号の波形のデューティ比を５０％に維持することが容易となる。

[0036] この構成においてインバータ２１２は、電流信号I_{in}のレベルに応じた周波数の電圧制御発振信号を生成する。一方、インバータ２１５は、インバータ２１２が生成した電圧制御発振信号と周波数が同一で、位相が半周期異なる（言い換えれば、反転した）クロック信号を生成する。

[0037] ５個のインバータ２１２は、電圧制御発振信号ＶＣＯ１乃至ＶＣＯ５を比較部２２０に供給し、５個のインバータ２１５は、電圧制御発振信号ＸＶＣＯ１乃至ＸＶＣＯ５を比較部２２０に供給する。

[0038] ［比較部の構成例］

図４は、実施の形態における比較部２２０の一構成例を示す回路図である。この比較部２２０は、奇数個のコンパレータ２２１と、奇数個のラッチ回路２２２と、奇数個のフリップフロップ２２３とを備える。これらのコンパ

レータ２２１、ラッチ回路２２２およびフリップフロップ２２３は、例えば、５個ずつ設けられる。

[0039] コンパレータ２２１は、互いに位相の異なる２つの電圧制御発振信号を比較するものである。また、コンパレータ２２１は、クロック端子と入力端子ＤおよびＤｎと出力端子ＱおよびＱｎとを備える。クロック端子には、サンプリングクロック信号ＳＣＬＫが入力される。また、ｉ（ｉは１乃至５の整数）個目のコンパレータ２２１の入力端子Ｄには、電圧制御発振信号ＶＣＯｉが入力され、入力端子Ｄｎには電圧制御発振信号ＸＶＣＯｉが入力される。

[0040] コンパレータ２２１は、電圧制御発振信号ＶＣＯｉと、電圧制御発振信号ＸＶＣＯｉとのそれぞれのレベルをサンプリングクロック信号ＳＣＬＫに同期して比較し、比較結果をセット信号として出力端子Ｑから出力する。例えば、電圧制御発振信号ＶＣＯｉが電圧制御発振信号ＸＶＣＯｉより高い場合にハイレベルのセット信号が出力され、そうでない場合にローレベルのセット信号が出力される。また、出力端子Ｑｎからは、そのセット信号を反転した信号がリセット信号として出力される。

[0041] ラッチ回路２２２は、コンパレータ２２１からのセット信号およびリセット信号に基づいて比較結果を出力するものである。また、ラッチ回路２２２は、互いに異なるコンパレータ２２１に接続され、セット端子Ｄおよびリセット端子Ｄｎと出力端子Ｑとを備える。セット端子Ｄには、対応するコンパレータ２２１からのセット信号が入力され、リセット端子Ｄｎには、リセット信号が入力される。ラッチ回路２２２は、セット信号がハイレベルで、リセット信号がローレベルのときにハイレベルの信号を出力端子Ｑから出力し、セット信号がローレベルで、リセット信号がハイレベルのときにローレベルの信号を出力端子Ｑから出力する。

[0042] フリップフロップ２２３は、現在ビットを保持するものである。また、フリップフロップ２２３は、互いに異なるラッチ回路２２２に接続され、クロック端子と入力端子Ｄと出力端子ＱおよびＱｎとを備える。クロック端子に

はサンプリングクロック信号ＳＣＬＫが入力され、フリップフロップ２２３の入力端子Ｄは、対応するラッチ回路２２２の出力端子Ｑに接続される。ｉ個目のフリップフロップ２２３は、対応するラッチ回路２２２からの信号を現在ビットＣｕｒ［ｉ－１］として保持し、サンプリングクロック信号ＳＣＬＫに同期して出力端子Ｑから出力する。また、フリップフロップ２２３は、現在ビットＣｕｒ［ｉ－１］を反転した信号を現在ビットＣｕｒ［ｉ＋４］として出力端子Ｑｎから出力する。この結果、５個のフリップフロップ２２３から、現在ビットＣｕｒ［０］乃至Ｃｕｒ［９］からなる現在データＣｕｒがデジタル信号生成部２４０へ出力される。

[0043] 図５は、実施の形態におけるコンパレータ２２１の動作の一例を示す表である。このコンパレータ２２１は、電圧制御発振信号ＶＣＯｉが電圧制御発振信号ＸＶＣＯｉより高い場合に「１」のセット信号を出力端子Ｑから出力し、そうでない場合に「０」のセット信号を出力端子Ｑから出力する。また、コンパレータ２２１は、セット信号を反転したリセット信号を出力端子Ｑｎから出力する。

[0044] 図６は、実施の形態におけるラッチ回路２２２の動作の一例を示す表である。このラッチ回路２２２は、入力端子Ｄに入力されたセット信号が「０」であり、入力端子Ｄｎに入力されたリセット信号が「１」である場合に「０」の信号を出力端子Ｑから出力する。また、ラッチ回路２２２は、セット信号が「１」であり、リセット信号が「０」である場合に「１」の信号を出力端子Ｑから出力する。また、セット信号およびリセット信号がいずれも「０」である場合にラッチ回路２２２は、出力端子Ｑの値を保持するホールド状態に移行する。

[0045] 図７は、実施の形態におけるフリップフロップ２２３の動作の一例を示す真理値表である。フリップフロップ２２３は、サンプリングクロック信号ＳＣＬＫの立上りエッジのときに、入力端子Ｄからの信号を現在ビットＣｕｒ［ｉ－1］として出力端子Ｑから出力する。また、サンプリングクロック信号ＳＣＬＫの立上りエッジ以外の期間において、フリップフロップ２２３は、

出力端子Ｑの状態を保持する。また、フリップフロップ２２３は、現在ビットＣｕｒ［ｉ－１］を反転した信号を出力端子Ｑｎから出力する。

[0046] ［デジタル信号生成部の構成例］

図８は、実施の形態におけるデジタル信号生成部２４０の一構成例を示すブロック図である。このデジタル信号生成部２４０は、遅延部２４１、立上りエッジ検出部２５０、位相変化量判定部２６０およびデジタル信号出力部２７０を備える。

[0047] 遅延部２４１は、現在データＣｕｒをサンプリングクロック信号ＳＣＬＫの周期に亘って遅延させるものである。遅延部２４１は、遅延させた現在データＣｕｒを遅延データＤｅｌとして位相変化量判定部２６０およびデジタル信号出力部２７０へ供給する。この遅延データＤｅｌ内の各ビットを以下、「遅延ビット」と称する。

[0048] 立上りエッジ検出部２５０は、現在データＣｕｒに基づいて、電圧制御発振信号ＶＣＯの周期内の複数（例えば、１０個）のタイミングのそれぞれにおいて、電圧制御発振信号ＶＣＯの立上りエッジの有無を検出するものである。立上りエッジ検出部２５０は、検出結果Ｄｅｔを位相変化量判定部２６０に供給する。この検出結果Ｄｅｔは、複数の検出ビット［ｊ］を含む。ここで、ｊは、例えば、０乃至９の整数である。例えば、立上りエッジがあることが検出されたタイミングにおける検出ビットには、「１」の値が設定され、そうでない検出ビットには「０」の値が設定される。なお、立上りエッジ検出部２５０は、特許請求の範囲に記載のエッジ検出部の一例である。

[0049] 位相変化量判定部２６０は、サンプリングクロック信号ＳＣＬＫの周期における、電圧制御発振信号ＶＣＯの位相の変化量（以下、「位相変化量」と称する。）が、その周期の半周期（角度表記で１８０度）より大きいか否かを判定するものである。この位相変化量判定部２６０は、立上りエッジがあると検出されたタイミングに対応する現在ビットおよび遅延ビットの値が同一であるか否かにより、位相変化量が半周期に対して大きいか否かを判定する。例えば、現在ビットおよび遅延ビットの値が同一である場合には、位相

変化量が半周期以下であり、異なる場合には位相変化量が半周期より大きいと判断される。位相変化量判定部２６０は、判定結果をデジタル信号出力部２７０に供給する。

[0050] なお、位相変化量判定部２６０は、特許請求の範囲に記載の判定部の一例である。

[0051] デジタル信号出力部２７０は、現在データＣｕｒ、遅延データＤｅｌおよび判定結果に基づいてデジタル信号D_{out}を生成して出力するものである。このデジタル信号出力部２７０は、位相変化量が半周期以下である場合に、遅延ビットおよび現在ビットのそれぞれの値が特定の組合せとなる期間を示すデジタル信号D_{out}を生成する。例えば、遅延ビットが「０」となり、かつ、現在ビットが「１」となる期間を示すデジタル信号D_{out}が生成される。

[0052] 一方、位相変化量が半周期より大きい場合にデジタル信号出力部２７０は、遅延ビットおよび現在ビットのそれぞれの値が同一、または、前述の特定の組合せとなる期間を示すデジタル信号D_{out}を生成する。例えば、遅延ビットおよび現在ビットが両方とも「０」または「１」となるか、または、遅延ビットが「０」で現在ビットが「１」になる期間を示すデジタル信号D_{out}が生成される。デジタル信号出力部２７０は、生成したデジタル信号D_{out}をデジタル信号処理部１３０に出力する。なお、デジタル信号出力部２７０は、特許請求の範囲に記載の出力部の一例である。

[0053] ［立上りエッジ検出部の構成例］

図９は、実施の形態における立上りエッジ検出部２５０の一構成例を示す回路図である。この立上りエッジ検出部２５０は、複数（例えば、１０個）のＡＮＤ（論理積）ゲート２５１を備える。

[0054] ＡＮＤゲート２５１は、２つの論理値の論理積を出力するものである。０番目のＡＮＤゲート２５１は、現在ビットＣｕｒ［９］を反転した値と、現在ビットＣｕｒ［０］の値との論理積を検出ビットＤｅｔ［０］として出力する。１番目以降のｊ番目のＡＮＤゲート２５１は、現在ビットＣｕｒ［ｊ－１］を反転した値と、現在ビットＣｕｒ［ｊ］の値との論理積を検出ビッ

トＤｅｔ［ｊ］として出力する。

[0055] ［位相変化量判定部の構成例］

図１０は、実施の形態における位相変化量判定部２６０の一構成例を示す回路図である。この位相変化量判定部２６０は、複数（例えば、１０個）のＡＮＤゲート２６１と、判定結果生成部２６２とを備える。

[0056] ＡＮＤゲート２６１は、２つの論理値の論理積を出力するものである。ｊ番目のＡＮＤゲート２６１は、遅延ビットＤｅｌ［ｊ］と、検出ビットＤｅｔ［ｊ］との論理積をＡＮＤ［ｊ］として判定結果生成部２６２に供給する。

[0057] 判定結果生成部２６２は、ＡＮＤ［０］乃至ＡＮＤ［９］に基づいて判定結果を生成するものである。ＡＮＤ［０］乃至ＡＮＤ［９］が全て「０」であることは、立上りエッジがあると検出されたタイミングに対応する現在ビットおよび遅延ビットの値が異なることを示す。この場合に判定結果生成部２６２は、位相変化量が半周期より大きいと判定し、例えば、「０」の値の判定結果を生成する。

[0058] 一方、ＡＮＤ［０］乃至ＡＮＤ［９］のいずれかが「１」であることは、立上りエッジがあると検出されたタイミングに対応する現在ビットおよび遅延ビットの値が同一であることを示す。この場合に判定結果生成部２６２は、位相変化量が半周期以下であると判定し、例えば、「１」の値の判定結果を生成する。

[0059] 図１１は、実施の形態における判定結果生成部２６２の動作の一例を示す表である。ＡＮＤ［０］乃至ＡＮＤ［９］が全て「０」である場合に判定結果生成部２６２は、位相変化量が半周期より大きいと判定し、例えば、「０」の値の判定結果を生成する。一方、ＡＮＤ［０］乃至ＡＮＤ［９］のいずれかが「１」である場合に判定結果生成部２６２は、位相変化量が半周期以下であると判定し、例えば、「１」の値の判定結果を生成する。

[0060] なお、判定結果生成部２６２は、位相変化量が半周期より大きいと判定した場合に、「１」の値の判定結果を生成し、そうでない場合に「０」の値の

判定結果を生成してもよい。

[0061] ［デジタル信号出力部の構成例］

図１２は、実施の形態におけるデジタル信号出力部２７０の一構成例を示す回路図である。このデジタル信号出力部２７０は、複数（例えば、１０個）の演算回路２７１と、加算器２７２乃至２７８とを備える。

[0062] 演算回路２７１は、位相変化量が半周期より大きい場合に、現在ビットＣｕｒ［ｊ］および遅延ビットＤｅｌ［ｊ］の値が同一、または、特定の組合せであるか否かを判断し、判断結果を示すビットを演算結果Ｐｈ［ｊ］として生成する。特定の組合せは、例えば、遅延ビットＤｅｌ［ｊ］が「０」となり、現在ビットＣｕｒ［ｊ］が「１」となる組合せである。また、演算結果Ｐｈ［ｊ］には、例えば、現在ビットＣｕｒ［ｊ］および遅延ビットＤｅｌ［ｊ］の値が同一、または、特定の組合せである場合に「１」の値が設定され、そうでない場合に「０」の値が設定される。

[0063] 一方、位相変化量が半周期以下である場合に演算回路２７１は、現在ビット［ｊ］および遅延ビットＤｅｌ［ｊ］の値が特定の組合せであるか否かを判断し、判断結果を示すビットを演算結果Ｐｈ［ｈ］として生成する。演算結果Ｐｈ［ｊ］には、例えば、現在ビットＣｕｒ［ｊ］および遅延ビットＤｅｌ［ｊ］の値が特定の組合せである場合に「１」の値が設定され、そうでない場合に「０」の値が設定される。

[0064] 加算器２７２は、演算結果Ｐｈ［０］およびＰｈ［１］の値を加算して加算結果を加算器２７４に供給するものである。加算器２７３は、演算結果Ｐｈ［２］、Ｐｈ［３］およびＰｈ［４］のそれぞれの値を加算して加算結果を加算器２７４に供給するものである。加算器２７４は、加算器２７２および２７３のそれぞれの加算結果を加算して加算器２７８に供給するものである。

[0065] 加算器２７５は、演算結果Ｐｈ［５］およびＰｈ［６］の値を加算して加算器２７７に供給するものである。加算器２７６は、演算結果Ｐｈ［７］、Ｐｈ［８］およびＰｈ［９］のそれぞれの値を加算して加算結果を加算器２

７７に供給するものである。加算器２７７は、加算器２７５および２７６のそれぞれの加算結果を加算して加算器２７８に供給するものである。

[0066] 加算器２７８は、加算器２７４および２７７のそれぞれの加算結果を加算して、加算結果を示す信号をデジタル信号D_{out}として出力するものである。

[0067] 図１３は、実施の形態における演算回路２７１の動作の一例を示す表である。まず、判定結果が「０」の値である場合、すなわち、位相変化量が１８０度より大きい場合について考える。この場合に演算回路２７１は、遅延ビットＤｅｌ［ｊ］が「０」で現在ビット［ｊ］が「１」である条件と遅延ビットＤｅｌ［ｊ］および現在ビット［ｊ］の値が同一である条件とのいずれかが満たされるのであれば「１」の演算結果Ｐｈ［ｊ］を生成する。一方、演算回路２７１は、それらの条件が満たされなければ「０」の演算結果Ｐｈ［ｊ］を生成する。

[0068] これに対して、位相変化量が１８０度以下である場合は、異なる論理演算により演算結果Ｐｈ［ｊ］が生成される。この場合に演算回路２７１は、遅延ビットＤｅｌ［ｊ］が「０」で現在ビット［ｊ］が「１」であれば「１」の演算結果Ｐｈ［ｊ］を生成し、そうでなければ「０」の演算結果Ｐｈ［ｊ］を生成する。

[0069] 図１４は、実施の形態における位相変化量が１８０度以下のときの遅延データおよび現在データのそれぞれの示すエッジ位置の一例を示す図である。同図において、円の中心から放射状に伸びる１０個の直線のそれぞれの特定の直線に対する角度は、電圧制御発振信号の周期を１０分割したタイミングのそれぞれの位相を示す。３６０度が１０分割されているため、それぞれのタイミングは、角度が互いに３６度異なる。また、斜線の区間は、電圧制御発振信号の値が「１」である期間を示す。

[0070] 図１４におけるａは、遅延データの示す、電圧制御発振信号ＶＣＯの立下りエッジのタイミングの一例を示す図である。ここでは、５番目のタイミングが、立下りエッジのタイミングである。また、同図におけるｂは、現在データの示す、電圧制御発振信号ＶＣＯの立下りエッジのタイミングの一例を

示す図である。ここでは、８番目のタイミングが立下りエッジである。これらの結果から、サンプリングクロック信号ＳＣＬＫの期間内における位相変化量は、１０８（＝３×３６）度である。この位相変化量は、電圧制御発振信号ＶＣＯの値が、「０」から「１」に変化した期間と等しくなる。

[0071] 図１５は、実施の形態における位相変化量が１８０度以下のときの演算方法を説明するための図である。同図におけるａは、遅延部２４１により生成される遅延データＤｅｌの一例を示す図である。同図のａにおいて、太い実線は、電圧制御発振信号ＶＣＯの波形を示す。また、遅延データＤｅｌは、１０個の遅延ビットを含み、それぞれのビットは、電圧制御発振信号ＶＣＯの周期を１０分割した各タイミングにおける電圧制御発振信号ＶＣＯの値を示す。

[0072] 図１５におけるｂは、比較部２２０により生成される現在データＣｕｒの一例を示す図である。同図のｂにおいて、太い実線は、電圧制御発振信号ＶＣＯの波形を示す。また、現在データＣｕｒは、１０個の現在ビットを含み、それぞれのビットは、電圧制御発振信号ＶＣＯの周期を１０分割した各タイミングにおける電圧制御発振信号ＶＣＯの値を示す。

[0073] 図１５におけるｃは、立上りエッジ検出部２５０により現在データから検出された立上りエッジの検出結果Ｄｅｔの一例を示す図である。検出結果Ｄｅｔは、１０個の検出ビットを含み、それぞれのビットは、電圧制御発振信号ＶＣＯの周期を１０分割したタイミングのそれぞれにおける立上りエッジの有無を示す。ここでは、４番目の検出ビットにおいて立上りエッジがあることが検出されている。

[0074] 図１５におけるｄは、ＡＮＤゲート２６１により生成されたＡＮＤ［０］乃至ＡＮＤ［９］の一例を示す図である。遅延ビットおよび検出結果ビットの論理積が、ＡＮＤ［０］乃至ＡＮＤ［９］として生成される。立上りエッジがあると検出されたのは４番目のビットであり、４番目の遅延ビットも「１」であるため、それらの論理積であるＡＮＤ［４］が「１」の値となる。ＡＮＤ［４］が「１」であることは、立上りエッジがあると検出された４番

目のタイミングに対応する現在ビットおよび遅延ビットが同一の値であることを示す。

[0075] 図１５におけるｅは、判定結果生成部２６２により生成された判定結果の一例を示す図である。ＡＮＤ［５］が「１」であるため、位相変化量が１８０度以下であることを示す「１」の判定結果が生成される。

[0076] 図１５におけるｆは、演算回路２７１による演算結果Ｐｈ［ｊ］の一例を示す図である。位相変化量が１８０度以下であった際に演算回路２７１は、遅延ビットが「０」となり、現在ビットが「１」となるタイミングにおいて、「１」の値の演算結果「ｊ」を生成する。ここでは、６乃至８番目のタイミングにおいて遅延ビットが「０」となり、現在ビットが「１」となるため、「１」の値の演算結果Ｐｈ「６」乃至Ｐｈ「８」が生成される。これらのタイミングからなる期間「３」が、位相変化量として算出される。

[0077] 図１６は、実施の形態における位相変化量が１８０度より大きいときの遅延データおよび現在データのそれぞれの示すエッジ位置の一例を示す図である。同図におけるａは、遅延データの示す、電圧制御発振信号ＶＣＯの立下りエッジのタイミングの一例を示す図である。ここでは０番目のタイミングが、立下りエッジのタイミングである。また、同図におけるｂは、現在データの示す、電圧制御発振信号ＶＣＯの立下りエッジのタイミングの一例を示す図である。ここでは、７番目のタイミングが立下りエッジである。これらの結果から、サンプリングクロック信号ＳＣＬＫの期間内における位相変化量は、２５２（＝７×３６）度である。この位相変化量は、電圧制御発振信号ＶＣＯの値が、「０」から「１」へ変化した期間と値が変化しない期間との和に等しくなる。

[0078] 図１７は、実施の形態における位相変化量が１８０度より大きいときの演算方法を説明するための図である。同図におけるａは、遅延部２４１により生成される遅延データＤｅｌの一例を示す図である。同図におけるｂは、比較部２２０により生成される現在データＣｕｒの一例を示す図である。

[0079] 図１７におけるｃは、立上りエッジ検出部２５０により現在データから検

出された立上りエッジの検出結果Ｄｅｔの一例を示す図である。ここでは、３番目の検出ビットにおいて立上りエッジがあることが検出されている。

[0080] 図１７におけるｄは、ＡＮＤゲート２６１により生成されたＡＮＤ［０］乃至ＡＮＤ［９］の一例を示す図である。立上りエッジがあると検出されたのは３番目のビットであり、３番目の遅延ビットは「０」であるため、それらの論理積であるＡＮＤ［３］は「０」の値となる。ＡＮＤ［３］が「０」であることは、立上りエッジがあると検出された３番目のタイミングに対応する現在ビットおよび遅延ビットが異なる値であることを示す。

[0081] 図１７におけるｅは、判定結果生成部２６２により生成された判定結果の一例を示す図である。ＡＮＤ［ｊ］の全てが「０」であるため、位相変化量が１８０度より大きいことを示す「０」の判定結果が生成される。

[0082] 図１７におけるｆは、演算回路２７１による演算結果Ｐｈ［ｊ］の一例を示す図である。位相変化量が１８０度より大きい際に演算回路２７１は、遅延ビットが「０」で現在ビットが「１」になるタイミングと、遅延ビットおよび現在ビットの値が同一のタイミングとにおいて、「１」の値の演算結果Ｐｈ「ｊ」を生成する。ここでは、１乃至７番目のタイミングにおいて「１」の値の演算結果Ｐｈ「１」乃至Ｐｈ「７」が生成される。これらのタイミングからなる期間「７」が、位相変化量として算出される。

[0083] 仮に、位相変化量が１８０度より大きいか否かを判定せずに、遅延ビットが「０」で現在ビットが「１」になる期間を求めると、図１５におけるａおよびｂより、「３」の位相変化量が算出されてしまう。この位相変化量は、正確な値（「７」）にならない。この結果、アナログデジタル変換器のＳ／Ｎ比が低下するおそれがある。

[0084] これに対して、実施の形態のアナログデジタル変換器２００は、アナログ信号の信号レベルに応じた周期のクロック信号において、サンプリング期間内の位相変化量が１８０より大きいか否かにより、演算方法を切り替えている。このため、アナログデジタル変換器２００は、位相変化量が１８０度より大きい場合であっても正確な位相変化量を算出することができる。

[0085] ［アナログデジタル変換器の動作例］

図１８は、実施の形態におけるアナログデジタル変換器２００の動作の一例を示すフローチャートである。この動作は、例えば、サンプリングクロック信号ＳＣＬＫに同期して繰り返し実行される。

[0086] アナログデジタル変換器２００は、アナログ信号の信号レベルに応じた周波数の電圧制御発振信号ＶＣＯを生成する（ステップＳ９０１）。アナログデジタル変換器２００は、現在データを取得し（ステップＳ９０２）、遅延データを取得する（ステップＳ９０３）。また、アナログデジタル変換器２００は、現在データにおいて立上りのエッジタイミングを検出する（ステップＳ９０４）。

[0087] そして、アナログデジタル変換器２００は、検出されたエッジタイミングに対応する現在ビットおよび過去ビットが同一の値であるか否かにより、位相変化量が１８０度以下であるか否かを判定する（ステップＳ９０５）。

[0088] 位相変化量が１８０度以下である場合（ステップＳ９０５：Ｙｅｓ）、アナログデジタル変換器２００は、「０」から「１」に変化したビット数を計数する（ステップＳ９０６）。一方、位相変化量が１８０度より大きい場合（ステップＳ９０５：Ｎｏ）、アナログデジタル変換器２００は、「０」から「１」に変化したビットと、値が変化しないビットとのビット数を計数する（ステップＤ９０７）。ステップＳ９０６またはＳ９０７の後、アナログデジタル変換器２００は、計数値を示すデジタル信号を生成して出力する（ステップＳ９０８）。ステップＳ９０８の後、アナログデジタル変換器２００は、サンプリングの動作を終了する。

[0089] このように、本技術の実施の形態によれば、アナログデジタル変換器は、アナログ信号の信号レベルに応じた周期のクロック信号において、位相変化量が半周期より大きいか否かを判定するため、その判定結果から位相変化量を正確に求めることができる。これにより、アナログ信号を正確にデジタル信号に変換することができる。

[0090] ＜２．第１の変形例＞

第１の実施の形態では、アナログデジタル変換器２００は、立上りエッジを検出していたが、立上りエッジの代わりに立下りエッジを検出してもよい。第１の変形例のアナログデジタル変換器２００は、立上りエッジの代わりに立下りエッジを検出する点において実施の形態と異なる。

[0091] 第１の変形例のデジタル信号生成部２４０は、立上りエッジ検出部２５０の代わりに立下りエッジ検出部２８０を備える。

[0092] 図１９は、実施の形態の第１の変形例における立下りエッジ検出部２８０の一構成例を示す回路図である。この立下りエッジ検出部２８０は、複数（例えば、１０個）のＡＮＤ（論理積）ゲート２８１を備える。

[0093] ＡＮＤゲート２８１は、２つの論理値の論理積を出力するものである。０番目のＡＮＤゲート２８１は、現在ビットＣｕｒ［９］値と、現在ビットＣｕｒ［０］を反転した値との論理積を検出ビットＤｅｔ［０］として出力する。１番目以降のｊ番目のＡＮＤゲート２８１は、現在ビットＣｕｒ［ｊ－１］の値と、現在ビットＣｕｒ［ｊ］を反転した値との論理積を検出ビットＤｅｔ［ｊ］として出力する。

[0094] また、第１の変形例の判定結果生成部２６２は、ＡＮＤ［０］乃至ＡＮＤ［９］が全て「０」である場合に、位相変化量が半周期以下と判定し、「０」の値の判定結果を生成する。一方、ＡＮＤ［０］乃至ＡＮＤ［９］のいずれかが「１」である場合に判定結果生成部２６２は、位相変化量が半周期より大きいと判定し、「１」の値の判定結果を生成する。

[0095] 図２０は、実施の形態の第１の変形例における位相変化量が１８０度以下のときの演算方法を説明するための図である。同図におけるａは、遅延部２４１により生成される遅延データＤｅｌの一例を示す図である。同図におけるｂは、比較部２２０により生成される現在データＣｕｒの一例を示す図である。

[0096] 図２０におけるｃは、立下りエッジ検出部２８０により現在データから検出された立下りエッジの検出結果Ｄｅｔの一例を示す図である。ここでは、９番目の検出ビットにおいて立下りエッジがあることが検出されている。

[0097] 図２０におけるｄは、ＡＮＤゲート２６１により生成されたＡＮＤ［０］乃至ＡＮＤ［９］の一例を示す図である。立下りエッジがあると検出されたのは９番目のビットであり、９番目の遅延ビットは「０」であるため、それらの論理積であるＡＮＤ［９］は「０」の値となる。ＡＮＤ［９］が「０」であることは、立下りエッジがあると検出された９番目のタイミングに対応する現在ビットおよび遅延ビットが同一の値であることを示す。

[0098] 図２０におけるｅは、判定結果生成部２６２により生成された判定結果の一例を示す図である。ＡＮＤ［ｊ］の全てが「０」であるため、位相変化量が１８０度以下であることを示す「０」の判定結果が生成される。

[0099] 図２０におけるｆは、演算回路２７１による演算結果Ｐｈ［ｊ］の一例を示す図である。実施の形態と同様に、６乃至８番目のタイミングにおいて「１」の値の演算結果Ｐｈ［６］乃至Ｐｈ［８］が生成される。

[0100] 図２１は、実施の形態の第１の変形例における位相変化量が１８０度を超えるときの演算方法を説明するための図である。同図におけるａは、遅延部２４１により生成される遅延データＤｅｌの一例を示す図である。同図におけるｂは、比較部２２０により生成される現在データＣｕｒの一例を示す図である。

[0101] 図２１におけるｃは、立下りエッジ検出部２８０により現在データから検出された立下りエッジの検出結果Ｄｅｔの一例を示す図である。ここでは、８番目の検出ビットにおいて立下りエッジがあることが検出されている。

[0102] 図２１におけるｄは、ＡＮＤゲート２６１により生成されたＡＮＤ［０］乃至ＡＮＤ［９］の一例を示す図である。立下りエッジがあると検出されたのは８番目のビットであり、８番目の遅延ビットは「１」であるため、それらの論理積であるＡＮＤ［８］は「１」の値となる。ＡＮＤ［８］が「１」であることは、立下りエッジがあると検出された８番目のタイミングに対応する現在ビットおよび遅延ビットが異なる値であることを示す。

[0103] 図２１におけるｅは、判定結果生成部２６２により生成された判定結果の一例を示す図である。ＡＮＤ［８］が「１」であるため、位相変化量が１８

０度より大きいことを示す「１」の判定結果が生成される。

[0104] 図２１におけるｆは、演算回路２７１による演算結果Ｐｈ［ｊ］の一例を示す図である。実施の形態と同様に、１乃至７番目のタイミングにおいて「１」の値の演算結果Ｐｈ［１］乃至Ｐｈ［７］が生成される。

[0105] このように、第１の変形例によれば、アナログデジタル変換器２００は、現在データから立下りエッジを検出するため、立下りエッジの検出結果と遅延データとから位相変化量が半周期より大きいか否かを判定することができる。

[0106] ＜３．第２の変形例＞

第１の実施の形態では、アナログデジタル変換器２００は、現在データＣｕｒから立上りエッジを検出していたが、遅延データＤｅｌから立上りエッジを検出してもよい。第１の変形例のアナログデジタル変換器２００は、遅延データＤｅｌから立上りエッジを検出点において実施の形態と異なる。

[0107] 図２２は、実施の形態の第２の変形例におけるデジタル信号生成部２４０の一構成例を示すブロック図である。第２の変形例の立上りエッジ検出部２５０には、現在データＣｕｒの代わりに遅延データＤｅｌが入力される。また、第２の変形例の位相変化量判定部２６０には、検出結果Ｄｅｔと、現在データＣｕｒとが入力される。また、第２の変形例の位相変化量判定部２６０内の判定結果生成部２６２の構成は、第１の変形例と同様である。

[0108] 図２３は、実施の形態の第２の変形例における位相変化量が１８０度以下であるときの演算方法を説明するための図である。同図におけるａは、遅延部２４１により生成される遅延データＤｅｌの一例を示す図である。同図におけるｂは、比較部２２０により生成される現在データＣｕｒの一例を示す図である。

[0109] 図２３におけるｃは、立上りエッジ検出部２５０により遅延データから検出された立上りエッジの検出結果Ｄｅｔの一例を示す図である。ここでは、１番目の検出ビットにおいて立上りエッジがあることが検出されている。

[0110] 図２３におけるｄは、ＡＮＤゲート２６１により生成されたＡＮＤ［０］

乃至ＡＮＤ［９］の一例を示す図である。立上りエッジがあると検出されたのは１番目のビットであり、１番目の現在ビットは「０」であるため、それらの論理積であるＡＮＤ［１］は「０」の値となる。ＡＮＤ［１］が「０」であることは、立上りエッジがあると検出された１番目のタイミングに対応する現在ビットおよび遅延ビットが異なる値であることを示す。

[0111] 図２３におけるｅは、判定結果生成部２６２により生成された判定結果の一例を示す図である。ＡＮＤ［ｊ］の全てが「０」であるため、位相変化量が１８０度以下であることを示す「０」の判定結果が生成される。

[0112] 図２３におけるｆは、演算回路２７１による演算結果Ｐｈ［ｊ］の一例を示す図である。実施の形態と同様に、６乃至８番目のタイミングにおいて「１」の値の演算結果Ｐｈ［６］乃至Ｐｈ［８］が生成される。

[0113] 図２４は、実施の形態の第２の変形例における位相変化量が１８０度を超えるときの演算方法を説明するための図である。同図におけるａは、遅延部２４１により生成される遅延データＤｅｌの一例を示す図である。同図におけるｂは、比較部２２０により生成される現在データＣｕｒの一例を示す図である。

[0114] 図２４におけるｃは、立上りエッジ検出部２５０により遅延データから検出された立上りエッジの検出結果Ｄｅｔの一例を示す図である。ここでは、６番目の検出ビットにおいて立上りエッジがあることが検出されている。

[0115] 図２４におけるｄは、ＡＮＤゲート２６１により生成されたＡＮＤ［０］乃至ＡＮＤ［９］の一例を示す図である。立上りエッジがあると検出されたのは６番目のビットであり、６番目の現在ビットは「１」であるため、それらの論理積であるＡＮＤ［６］は「１」の値となる。ＡＮＤ［６］が「１」であることは、立上りエッジがあると検出された６番目のタイミングに対応する現在ビットおよび遅延ビットが同一の値であることを示す。

[0116] 図２４におけるｅは、判定結果生成部２６２により生成された判定結果の一例を示す図である。ＡＮＤ［６］が「１」であるため、位相変化量が１８０度より大きいことを示す「１」の判定結果が生成される。

[0117] 図２４におけるｆは、演算回路２７１による演算結果Ｐｈ［ｊ］の一例を示す図である。実施の形態と同様に、１乃至７番目のタイミングにおいて「１」の値の演算結果Ｐｈ［１］乃至Ｐｈ［１］が生成される。

[0118] このように第２の変形例によれば、アナログデジタル変換器２００は、遅延データから立上りエッジを検出するため、その検出結果と現在データとから位相変化量が半周期より大きいか否かを判定することができる。

[0119] ＜４．第３の変形例＞

第１の実施の形態では、アナログデジタル変換器２００は、現在データＣｕｒから立上りエッジを検出していたが、遅延データＤｅｌから立下りエッジを検出してもよい。第３の変形例のアナログデジタル変換器２００は、遅延データＤｅｌから立下りエッジを検出点において実施の形態と異なる。

[0120] 第３の変形例のデジタル信号生成部２４０は、立上りエッジ検出部２５０の代わりに、第１の変形例の立下りエッジ検出部２８０を設けた点において図２２に例示した第２の変形例の構成と異なる。

[0121] 図２５は、実施の形態の第３の変形例における位相変化量が１８０度以下であるときの演算方法を説明するための図である。同図におけるａは、遅延部２４１により生成される遅延データＤｅｌの一例を示す図である。同図におけるｂは、比較部２２０により生成される現在データＣｕｒの一例を示す図である。

[0122] 図２５におけるｃは、立下りエッジ検出部２８０により遅延データから検出された立下りエッジの検出結果Ｄｅｔの一例を示す図である。ここでは、６番目の検出ビットにおいて立下りエッジがあることが検出されている。

[0123] 図２５におけるｄは、ＡＮＤゲート２６１により生成されたＡＮＤ［０］乃至ＡＮＤ［９］の一例を示す図である。立下りエッジがあると検出されたのは６番目のビットであり、６番目の現在ビットは「１」であるため、それらの論理積であるＡＮＤ［６］は「１」の値となる。ＡＮＤ［６］が「１」であることは、立下りエッジがあると検出された６番目のタイミングに対応する現在ビットおよび遅延ビットが異なる値であることを示す。

[0124] 図２５におけるｅは、判定結果生成部２６２により生成された判定結果の一例を示す図である。ＡＮＤ［６］が「１」であるため、位相変化量が１８０度以下であることを示す「１」の判定結果が生成される。

[0125] 図２５におけるｆは、演算回路２７１による演算結果Ｐｈ［ｊ］の一例を示す図である。実施の形態と同様に、６乃至８番目のタイミングにおいて「１」の値の演算結果Ｐｈ［６］乃至Ｐｈ［８］が生成される。

[0126] 図２６は、実施の形態の第３の変形例における位相変化量が１８０度を超えるときの演算方法を説明するための図である。同図におけるａは、遅延部２４１により生成される遅延データＤｅｌの一例を示す図である。同図におけるｂは、比較部２２０により生成される現在データＣｕｒの一例を示す図である。

[0127] 図２６におけるｃは、立下りエッジ検出部２８０により遅延データから検出された立下がりエッジの検出結果Ｄｅｔの一例を示す図である。ここでは、１番目の検出ビットにおいて立下りエッジがあることが検出されている。

[0128] 図２６におけるｄは、ＡＮＤゲート２６１により生成されたＡＮＤ［０］乃至ＡＮＤ［９］の一例を示す図である。立下りエッジがあると検出されたのは１番目のビットであり、１番目の現在ビットは「０」であるため、それらの論理積であるＡＮＤ［１］は「０」の値となる。ＡＮＤ［１］が「０」であることは、立下りエッジがあると検出された１番目のタイミングに対応する現在ビットおよび遅延ビットが同一の値であることを示す。

[0129] 図２６におけるｅは、判定結果生成部２６２により生成された判定結果の一例を示す図である。ＡＮＤ［ｊ］の全てが「０」であるため、位相変化量が１８０度より大きいことを示す「０」の判定結果が生成される。

[0130] 図２６におけるｆは、演算回路２７１による演算結果Ｐｈ［ｊ］の一例を示す図である。実施の形態と同様に、１乃至７番目のタイミングにおいて「１」の値の演算結果Ｐｈ［１］乃至Ｐｈ［１］が生成される。

[0131] このように第３の変形例によれば、アナログデジタル変換器２００は、遅延データから立下りエッジを検出するため、その検出結果と現在データとか

ら位相変化量が半周期より大きいか否かを判定することができる。

[0132] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0133] また、上述の実施の形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、ＣＤ（Compact Disc）、ＭＤ（MiniDisc）、ＤＶＤ（Digital Versatile Disc）、メモリカード、ブルーレイディスク（Blu-ray（登録商標）Disc）等を用いることができる。

[0134] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0135] なお、本技術は以下のような構成もとることができる。

（１）入力されたアナログ信号の信号レベルに応じた周期の発振信号を生成する発振器と、

前記周期内の複数のタイミングのそれぞれにおいて前記発振信号の値を示すビットを現在ビットとして生成する現在ビット生成部と、

前記現在ビットのそれぞれを所定期間に亘って遅延させて遅延ビットとして供給する遅延部と、

前記発振信号の位相が前記所定期間内に変化した変化量が前記周期の半周期より大きいか否かを判定する判定部と、

前記変化量が前記半周期より大きくない場合には前記現在ビットおよび前記遅延ビットのそれぞれの値が特定の組合せとなる期間を示すデータを生成して出力し、前記変化量が前記半周期より大きい場合には前記現在ビットお

よび前記遅延ビットのそれぞれの値が同一または前記特定の組合せとなる期間を示すデータを生成して出力する出力部と
を具備するアナログデジタル変換器。
（２）前記現在ビットおよび前記遅延ビットのいずれかに基づいて前記発振信号の立上りおよび立下りの一方のエッジの有無を前記複数のタイミングのそれぞれに対応する検出するエッジ検出部をさらに具備し、
前記判定部は、前記一方のエッジがあると検出された前記タイミングに対応する前記現在ビットおよび前記遅延ビットのそれぞれの値が同一であるか否かにより前記変化量が前記半周期に対して大きいか否かを検出する
前記（１）記載のアナログデジタル変換器。
（３）前記エッジ検出部は、前記遅延ビットに基づいて前記一方のエッジの有無を検出する
前記（２）記載のアナログデジタル変換器。
（４）前記エッジ検出部は、前記遅延ビットに基づいて前記立上りのエッジの有無を検出し、
前記判定部は、前記立上りのエッジがあると検出された前記タイミングに対応する前記現在ビットがローレベルである場合には前記変化量が前記半周期より大きくないと判定し、前記現在ビットがハイレベルである場合には前記変化量が前記半周期より大きいと判定する
前記（３）記載のアナログデジタル変換器。
（５）前記エッジ検出部は、前記遅延ビットに基づいて前記立下りのエッジの有無を検出し、
前記判定部は、前記立下りのエッジがあると検出された前記タイミングに対応する前記現在ビットがハイレベルである場合には前記変化量が前記半周期より大きくないと判定し、前記現在ビットがローレベルである場合には前記変化量が前記半周期より大きいと判定する
前記（３）記載のアナログデジタル変換器。
（６）前記エッジ検出部は、前記現在ビットに基づいて前記一方のエッジの

有無を検出する

前記（２）記載のアナログデジタル変換器。

（７）前記エッジ検出部は、前記現在ビットに基づいて前記立上りのエッジの有無を検出し、

前記判定部は、前記立上りのエッジがあると検出された前記タイミングに対応する前記遅延ビットがハイレベルである場合には前記変化量が前記半周期より大きくないと判定し、前記遅延ビットがローレベルである場合には前記変化量が前記半周期より大きいと判定する

前記（６）記載のアナログデジタル変換器。

（８）前記エッジ検出部は、前記現在ビットに基づいて前記立下りのエッジの有無を検出し、

前記判定部は、前記立下りのエッジがあると検出された前記タイミングに対応する前記遅延ビットがローレベルである場合には前記変化量が前記半周期より大きくないと判定し、前記遅延ビットがハイレベルである場合には前記変化量が前記半周期より大きいと判定する

前記（６）記載のアナログデジタル変換器。

（９）前記出力部は、前記変化量が前記半周期より大きくない場合には前記現特定の組合せとなる前記タイミングの個数を計数して当該計数値のデータを前記期間を示すデータとして生成し、前記変化量が前記半周期より大きい場合には前記現在ビットおよび前記遅延ビットのそれぞれの値が同一または前記特定の組合せとなる前記タイミングの個数を計数して当該計数値のデータを前記期間を示すデータとして生成する

前記（１）から（８）のいずれかに記載のアナログデジタル変換器。

（１０）入力されたアナログ信号の信号レベルに応じた周期の発振信号を生成する発振器と、

前記周期内の複数のタイミングのそれぞれにおいて前記発振信号の値を示すビットを現在ビットとして生成する現在ビット生成部と、

前記現在ビットのそれぞれを所定期間に亘って遅延させて遅延ビットとし

て供給する遅延部と、

前記発振信号の位相が前記所定期間内に変化した変化量が前記周期の半周期より大きいか否かを判定する判定部と、

前記変化量が前記半周期より大きくない場合には前記現在ビットおよび前記遅延ビットのそれぞれの値が特定の組合せとなる期間を示すデータを生成して出力し、前記変化量が前記半周期より大きい場合には前記現在ビットおよび前記遅延ビットのそれぞれの値が同一または前記特定の組合せとなる期間を示すデータを生成して出力する出力部と、

前記データを処理する処理部と

を具備する電子装置。

（１１）発振器が、入力されたアナログ信号の信号レベルに応じた周期の発振信号を生成する発振手順と、

現在ビット生成部が、前記周期内の複数のタイミングのそれぞれにおいて前記発振信号の値を示すビットを現在ビットとして生成する現在ビット生成手順と、

遅延部が、前記現在ビットのそれぞれを所定期間に亘って遅延させて遅延ビットとして供給する遅延手順と、

判定部が、前記発振信号の位相が前記所定期間内に変化した変化量が前記周期の半周期より大きいか否かを判定する判定手順と、

出力部が、前記変化量が前記半周期より大きくない場合には前記現在ビットおよび前記遅延ビットのそれぞれの値が特定の組合せとなる期間を示すデータを生成して出力し、前記変化量が前記半周期より大きい場合には前記現在ビットおよび前記遅延ビットのそれぞれの値が同一または前記特定の組合せとなる期間を示すデータを生成して出力する出力手順と

を具備するアナログデジタル変換器の制御方法。

符号の説明

[0136] １００　電子装置

１１０　アナログ信号供給部

１２０　参照クロック供給部

１３０　デジタル信号処理部

２００　アナログデジタル変換器

２１０　電圧制御発振器

２１１　電圧電流変換回路

２１２、２１３、２１４、２１５　インバータ

２２０　比較部

２２１　コンパレータ

２２２　ラッチ回路

２２３　フリップフロップ

２３０　サンプリングクロック生成部

２４０　デジタル信号生成部

２４１　遅延部

２５０　立上りエッジ検出部

２５１、２６１、２８１　ＡＮＤ（論理積）ゲート

２６０　位相変化量判定部

２６２　判定結果生成部

２７０　デジタル信号出力部

２７１　演算回路

２７２、２７３、２７４、２７５、２７６、２７７、２７８　加算器

２８０　立下りエッジ検出部

請求の範囲

[請求項1] 入力されたアナログ信号の信号レベルに応じた周期の発振信号を生成する発振器と、

前記周期内の複数のタイミングのそれぞれにおいて前記発振信号の値を示すビットを現在ビットとして生成する現在ビット生成部と、

前記現在ビットのそれぞれを所定期間に亘って遅延させて遅延ビットとして供給する遅延部と、

前記発振信号の位相が前記所定期間内に変化した変化量が前記周期の半周期より大きいか否かを判定する判定部と、

前記変化量が前記半周期より大きくない場合には前記現在ビットおよび前記遅延ビットのそれぞれの値が特定の組合せとなる期間を示すデータを生成して出力し、前記変化量が前記半周期より大きい場合には前記現在ビットおよび前記遅延ビットのそれぞれの値が同一または前記特定の組合せとなる期間を示すデータを生成して出力する出力部と

を具備するアナログデジタル変換器。

[請求項2] 前記現在ビットおよび前記遅延ビットのいずれかに基づいて前記発振信号の立上りおよび立下りの一方のエッジの有無を前記複数のタイミングのそれぞれにおいて検出するエッジ検出部をさらに具備し、

前記判定部は、前記一方のエッジがあると検出された前記タイミングに対応する現在ビットおよび前記遅延ビットのそれぞれの値が同一であるか否かにより前記変化量が前記半周期に対して大きいか否かを検出する

請求項１記載のアナログデジタル変換器。

[請求項3] 前記エッジ検出部は、前記遅延ビットに基づいて前記一方のエッジの有無を検出する

請求項２記載のアナログデジタル変換器。

[請求項4] 前記エッジ検出部は、前記遅延ビットに基づいて前記立上りのエッ

ジの有無を検出し、

前記判定部は、前記立上りのエッジがあると検出された前記タイミングに対応する前記現在ビットがローレベルである場合には前記変化量が前記半周期より大きくないと判定し、前記現在ビットがハイレベルである場合には前記変化量が前記半周期より大きいと判定する

請求項３記載のアナログデジタル変換器。

[請求項5] 前記エッジ検出部は、前記遅延ビットに基づいて前記立下りのエッジの有無を検出し、

前記判定部は、前記立下りのエッジがあると検出された前記タイミングに対応する前記現在ビットがハイレベルである場合には前記変化量が前記半周期より大きくないと判定し、前記現在ビットがローレベルである場合には前記変化量が前記半周期より大きいと判定する

請求項３記載のアナログデジタル変換器。

[請求項6] 前記エッジ検出部は、前記現在ビットに基づいて前記一方のエッジの有無を検出する

請求項２記載のアナログデジタル変換器。

[請求項7] 前記エッジ検出部は、前記現在ビットに基づいて前記立上りのエッジの有無を検出し、

前記判定部は、前記立上りのエッジがあると検出された前記タイミングに対応する前記遅延ビットがハイレベルである場合には前記変化量が前記半周期より大きくないと判定し、前記遅延ビットがローレベルである場合には前記変化量が前記半周期より大きいと判定する

請求項６記載のアナログデジタル変換器。

[請求項8] 前記エッジ検出部は、前記現在ビットに基づいて前記立下りのエッジの有無を検出し、

前記判定部は、前記立下りのエッジがあると検出された前記タイミングに対応する前記遅延ビットがローレベルである場合には前記変化量が前記半周期より大きくないと判定し、前記遅延ビットがハイレベ

ルである場合には前記変化量が前記半周期より大きいと判定する
請求項６記載のアナログデジタル変換器。

[請求項9] 前記出力部は、前記変化量が前記半周期より大きくない場合には前記現特定の組合せとなる前記タイミングの個数を計数して当該計数値のデータを前記期間を示すデータとして生成し、前記変化量が前記半周期より大きい場合には前記現在ビットおよび前記遅延ビットのそれぞれの値が同一または前記特定の組合せとなる前記タイミングの個数を計数して当該計数値のデータを前記期間を示すデータとして生成する
請求項１記載のアナログデジタル変換器。

[請求項10] 入力されたアナログ信号の信号レベルに応じた周期の発振信号を生成する発振器と、

前記周期内の複数のタイミングのそれぞれにおいて前記発振信号の値を示すビットを現在ビットとして生成する現在ビット生成部と、

前記現在ビットのそれぞれを所定期間に亘って遅延させて遅延ビットとして供給する遅延部と、

前記発振信号の位相が前記所定期間内に変化した変化量が前記周期の半周期より大きいか否かを判定する判定部と、

前記変化量が前記半周期より大きくない場合には前記現在ビットおよび前記遅延ビットのそれぞれの値が特定の組合せとなる期間を示すデータを生成して出力し、前記変化量が前記半周期より大きい場合には前記現在ビットおよび前記遅延ビットのそれぞれの値が同一または前記特定の組合せとなる期間を示すデータを生成して出力する出力部と、

前記データを処理する処理部と
を具備する電子装置。

[請求項11] 発振器が、入力されたアナログ信号の信号レベルに応じた周期の発振信号を生成する発振手順と、

現在ビット生成部が、前記周期内の複数のタイミングのそれぞれにおいて前記発振信号の値を示すビットを現在ビットとして生成する現在ビット生成手順と、

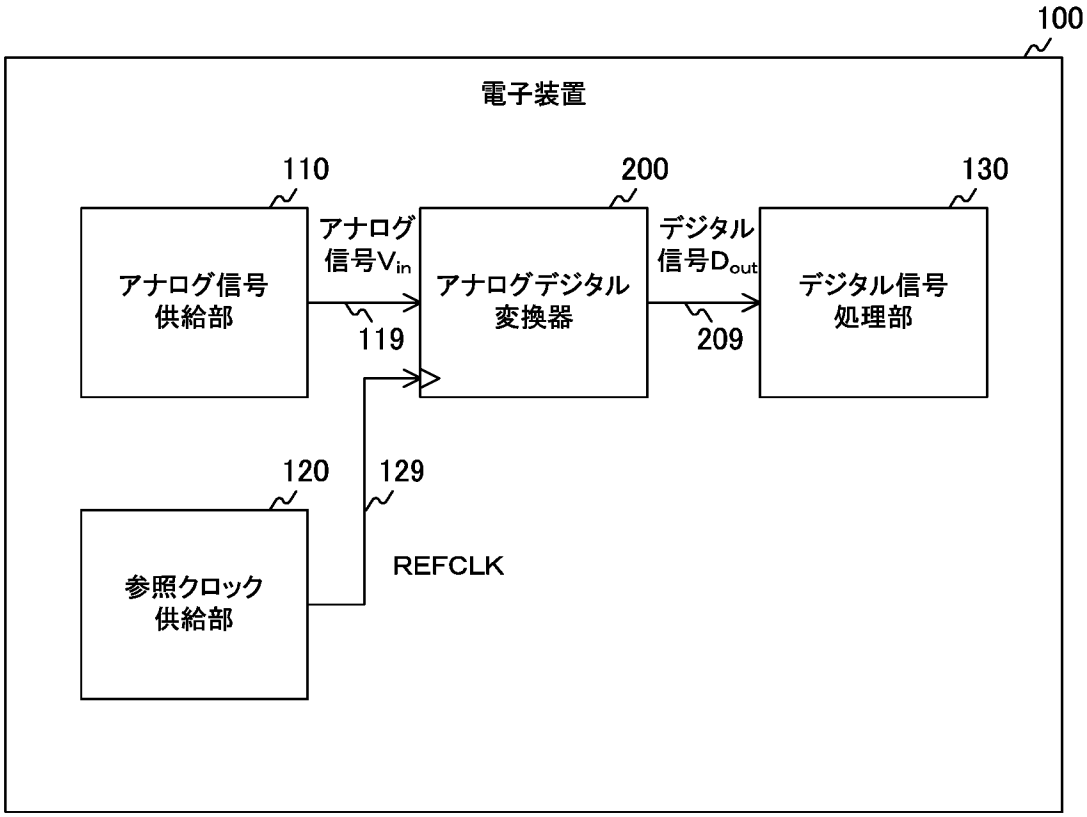
遅延部が、前記現在ビットのそれぞれを所定期間に亘って遅延させて遅延ビットとして供給する遅延手順と、

判定部が、前記発振信号の位相が前記所定期間内に変化した変化量が前記周期の半周期より大きいか否かを判定する判定手順と、

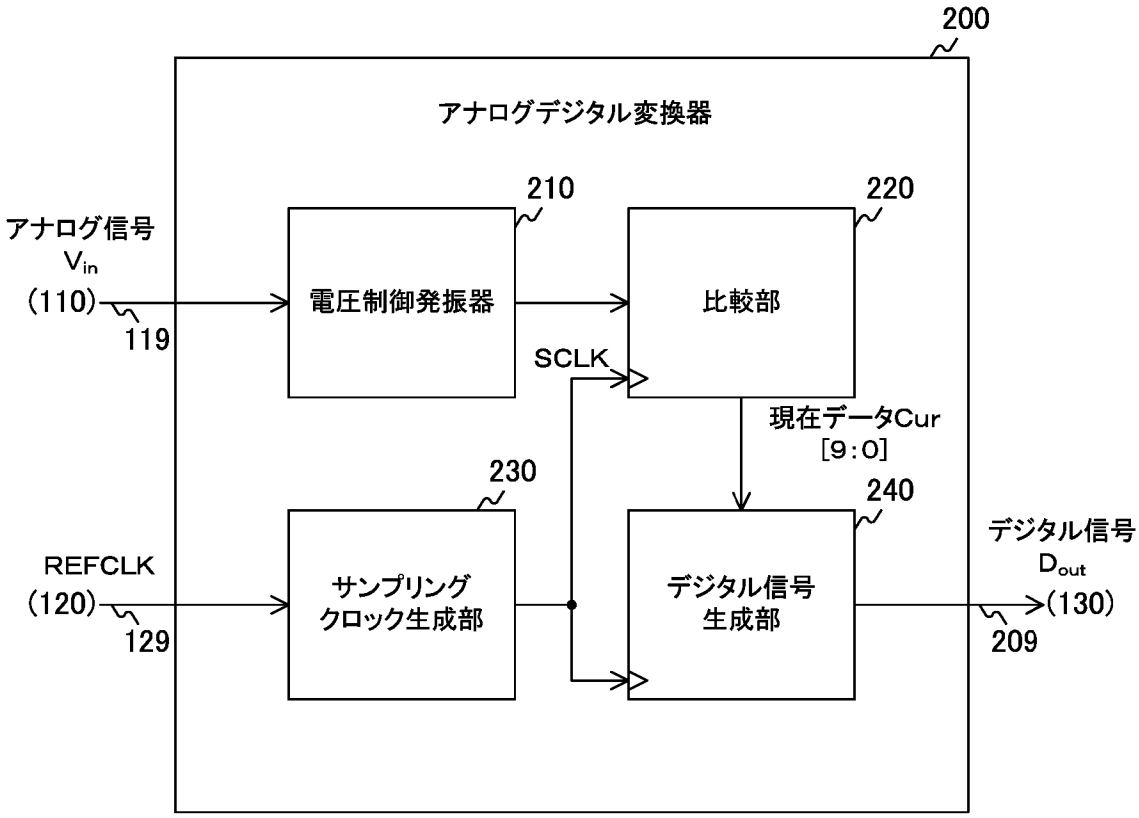
出力部が、前記変化量が前記半周期より大きくない場合には前記現在ビットおよび前記遅延ビットのそれぞれの値が特定の組合せとなる期間を示すデータを生成して出力し、前記変化量が前記半周期より大きい場合には前記現在ビットおよび前記遅延ビットのそれぞれの値が同一または前記特定の組合せとなる期間を示すデータを生成して出力する出力手順と

を具備するアナログデジタル変換器の制御方法。

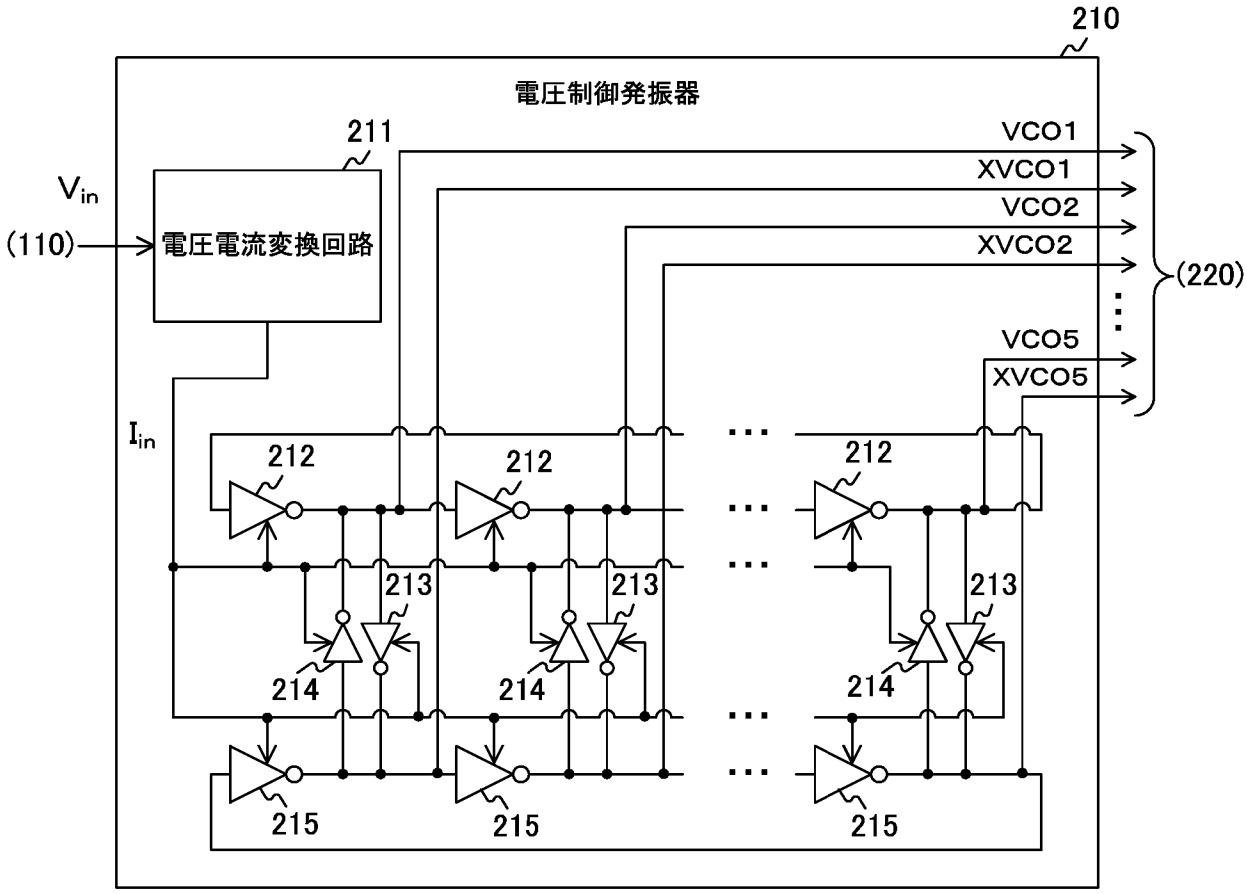
[図1]


100
電子装置
110
アナログ信号
供給部
アナログ
信号V_{in}
119
200
アナログデジタル
変換器
デジタル
信号D_{out}
209
130
デジタル信号
処理部
120
参照クロック
供給部
129
REFCLK

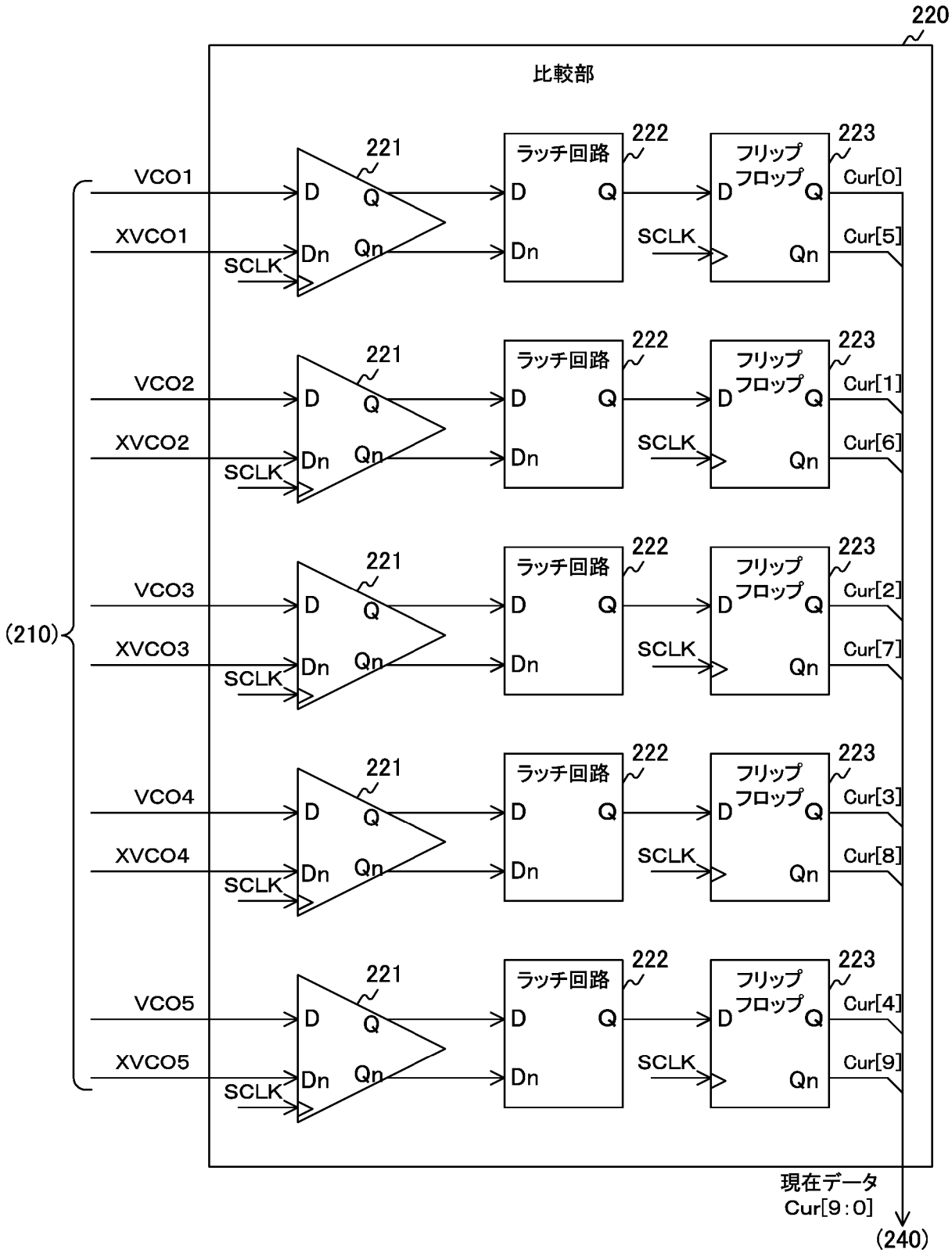
[図2]


200
アナログデジタル変換器
210
220
アナログ信号
V_{in}
(110)
119
電圧制御発振器
比較部
SCLK
現在データCur
[9:0]
230
240
デジタル信号
D_{out}
REFCLK
(120)
129
サンプリング
クロック生成部
デジタル信号
生成部
(130)
209

[図3]


210
電圧制御発振器
211
V_{in}
(110)
電圧電流変換回路
I_{in}
VCO1
XVCO1
VCO2
XVCO2
VCO5
XVCO5
(220)
212
213
214
215

[図4]


220
比較部
221
222
223
ラッチ回路
フリップフロップ
D
Q
Dn
Qn
SCLK
VCO1
XVCO1
VCO2
XVCO2
VCO3
XVCO3
VCO4
XVCO4
VCO5
XVCO5
Cur[0]
Cur[1]
Cur[2]
Cur[3]
Cur[4]
Cur[5]
Cur[6]
Cur[7]
Cur[8]
Cur[9]
(210)
現在データ
Cur[9:0]
(240)

[図5]

電圧制御クロック信号	Q	Qn
VCOi＞XVCOi	1	0
VCOi≦XVCOi	0	1

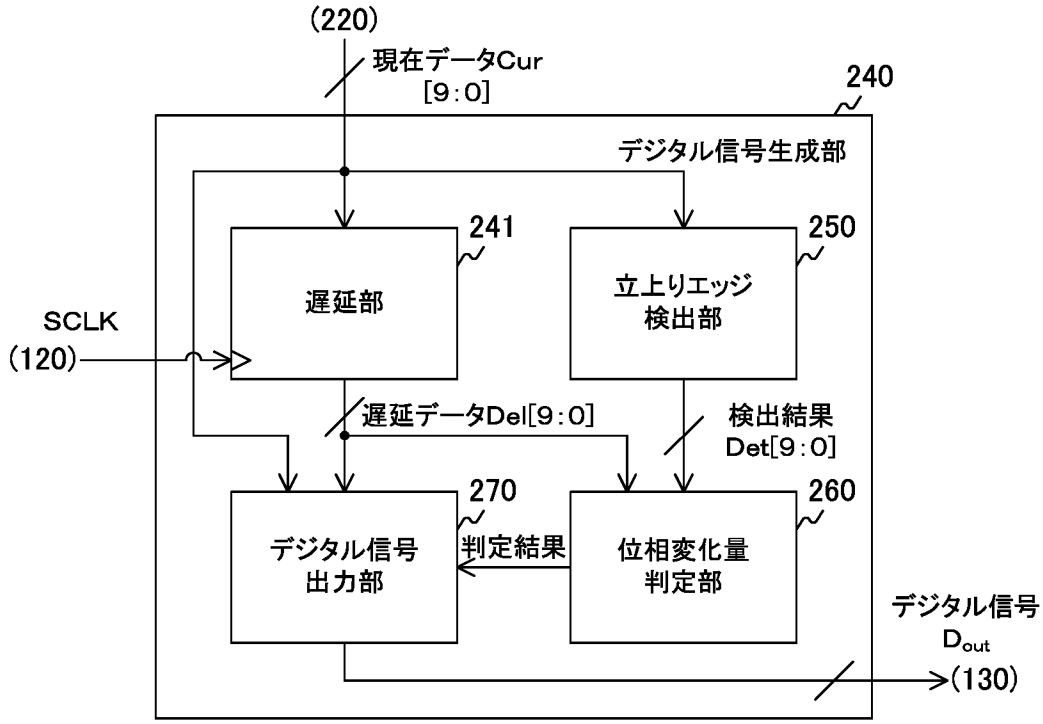
[図6]

D	Dn	ラッチ出力:Q
0	0	ホールド
0	1	0
1	0	1

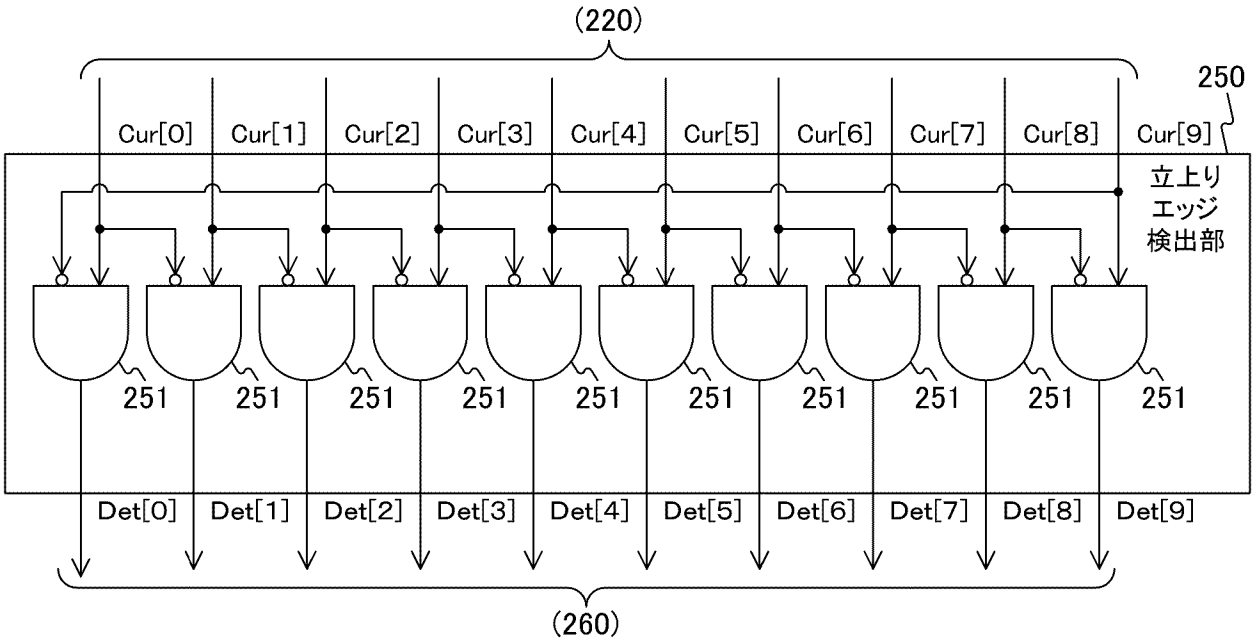
[図7]

D	SCLK	D－FF出力：Q	D－FF出力：Qn
1	↑	1	0
0	↑	0	1
1/0	↑以外	ホールド	ホールド

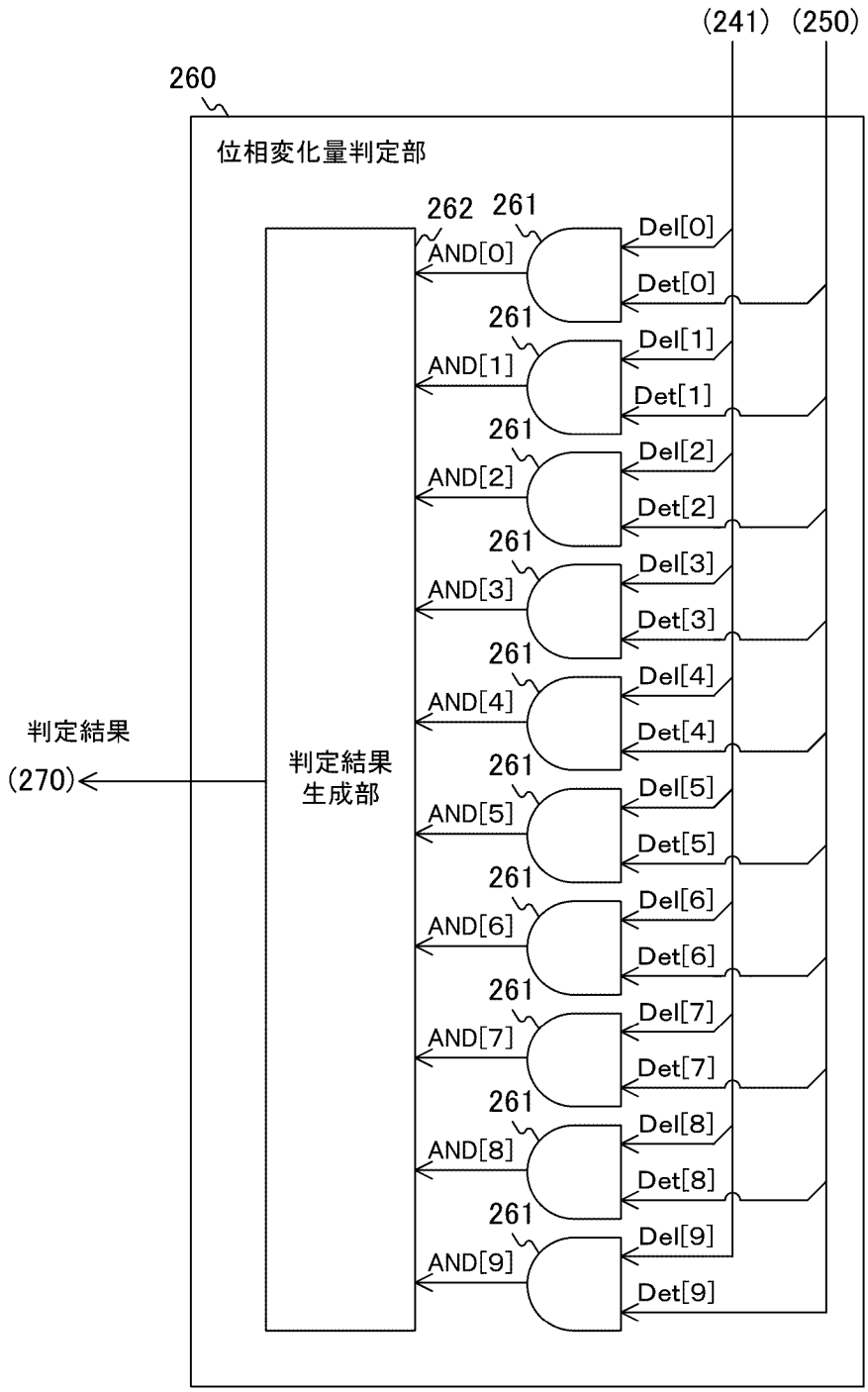
[図8]


(220)
現在データCur
[9:0]
240
デジタル信号生成部
241
遅延部
250
立上りエッジ
検出部
SCLK
(120)
遅延データDel[9:0]
検出結果
Det[9:0]
270
判定結果
260
デジタル信号
出力部
位相変化量
判定部
デジタル信号
Dout
(130)

[図9]


(220)
250
Cur[0]
Cur[1]
Cur[2]
Cur[3]
Cur[4]
Cur[5]
Cur[6]
Cur[7]
Cur[8]
Cur[9]
立上り
エッジ
検出部
251
Det[0]
Det[1]
Det[2]
Det[3]
Det[4]
Det[5]
Det[6]
Det[7]
Det[8]
Det[9]
(260)

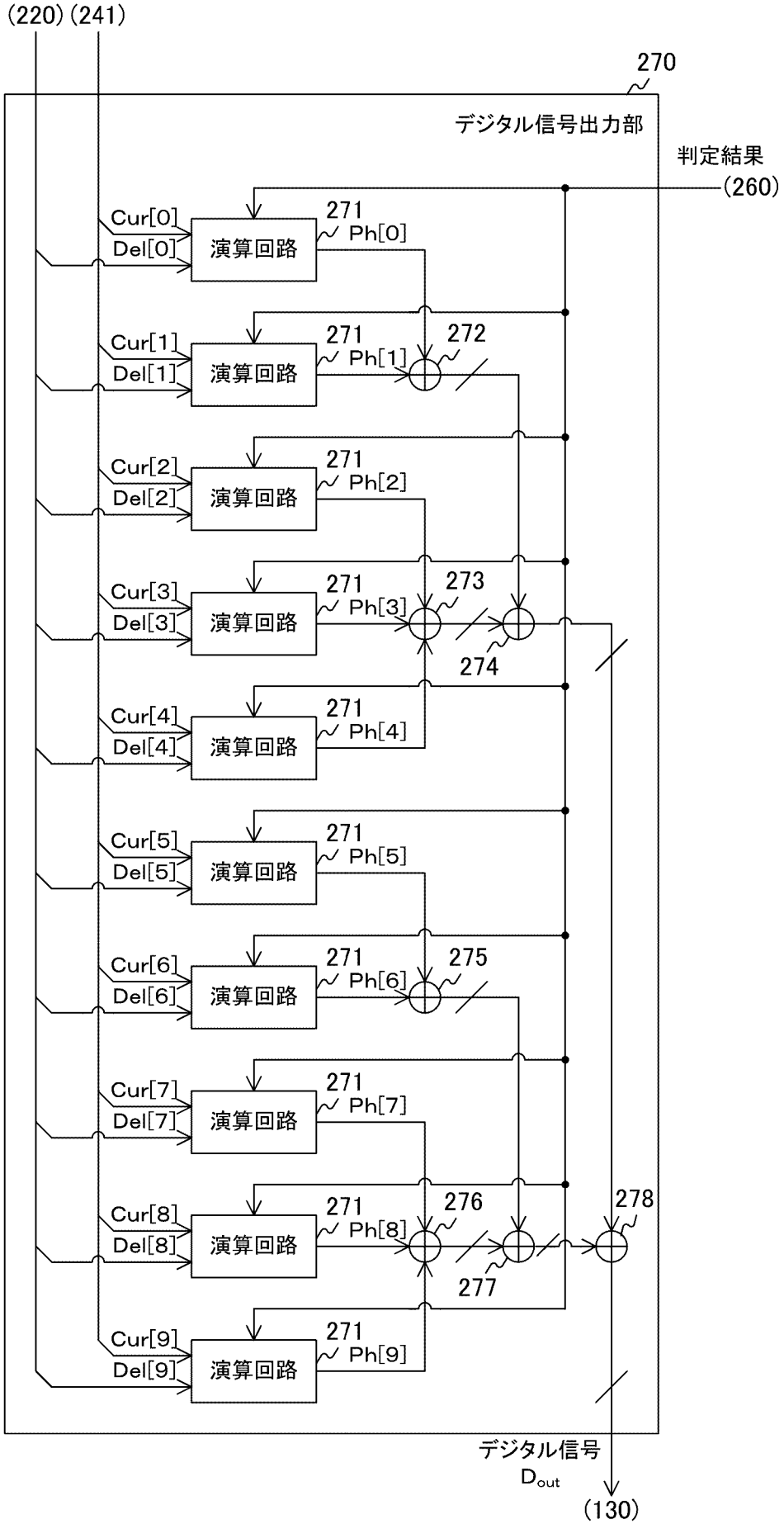
[図10]


(241)
(250)
260
位相変化量判定部
262
261
AND[0]
AND[1]
AND[2]
AND[3]
AND[4]
AND[5]
AND[6]
AND[7]
AND[8]
AND[9]
Del[0]
Det[0]
Del[1]
Det[1]
Del[2]
Det[2]
Del[3]
Det[3]
Del[4]
Det[4]
Del[5]
Det[5]
Del[6]
Det[6]
Del[7]
Det[7]
Del[8]
Det[8]
Del[9]
Det[9]
判定結果生成部
判定結果
(270)

[図11]

AND[0]～AND[9]	判定結果
全て0	0 （位相変化量＞180度）
いずれかが1	1 （位相変化量≦180度）

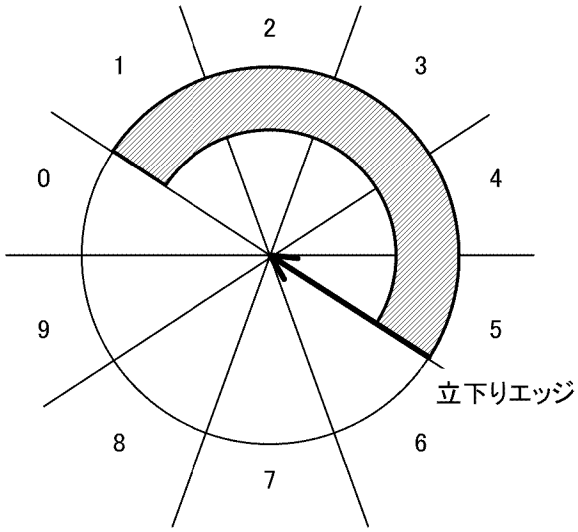
[図12]


(220) (241)
270
デジタル信号出力部
判定結果
(260)
Cur[0]
Del[0]
演算回路
271
Ph[0]
Cur[1]
Del[1]
演算回路
271
Ph[1]
272
Cur[2]
Del[2]
演算回路
271
Ph[2]
Cur[3]
Del[3]
演算回路
271
Ph[3]
273
274
Cur[4]
Del[4]
演算回路
271
Ph[4]
Cur[5]
Del[5]
演算回路
271
Ph[5]
Cur[6]
Del[6]
演算回路
271
Ph[6]
275
Cur[7]
Del[7]
演算回路
271
Ph[7]
Cur[8]
Del[8]
演算回路
271
Ph[8]
276
277
278
Cur[9]
Del[9]
演算回路
271
Ph[9]
デジタル信号
Dout
(130)

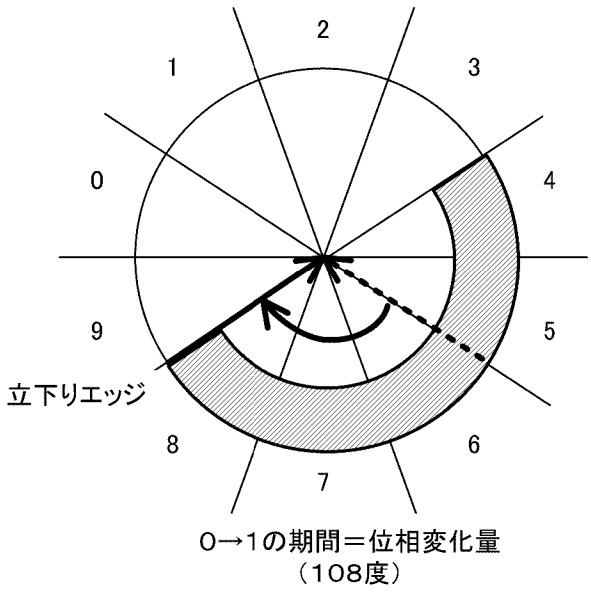
[図13]

判定結果	遅延ビットDel[j]	現在ビットCur[j]	演算結果Ph[j]
0 （位相変化量 ＞180度）	0	0	1
	0	1	1
	1	0	0
	1	1	1
1 （位相変化量 ≦180度）	0	0	0
	0	1	1
	1	0	0
	1	1	0

[図14]

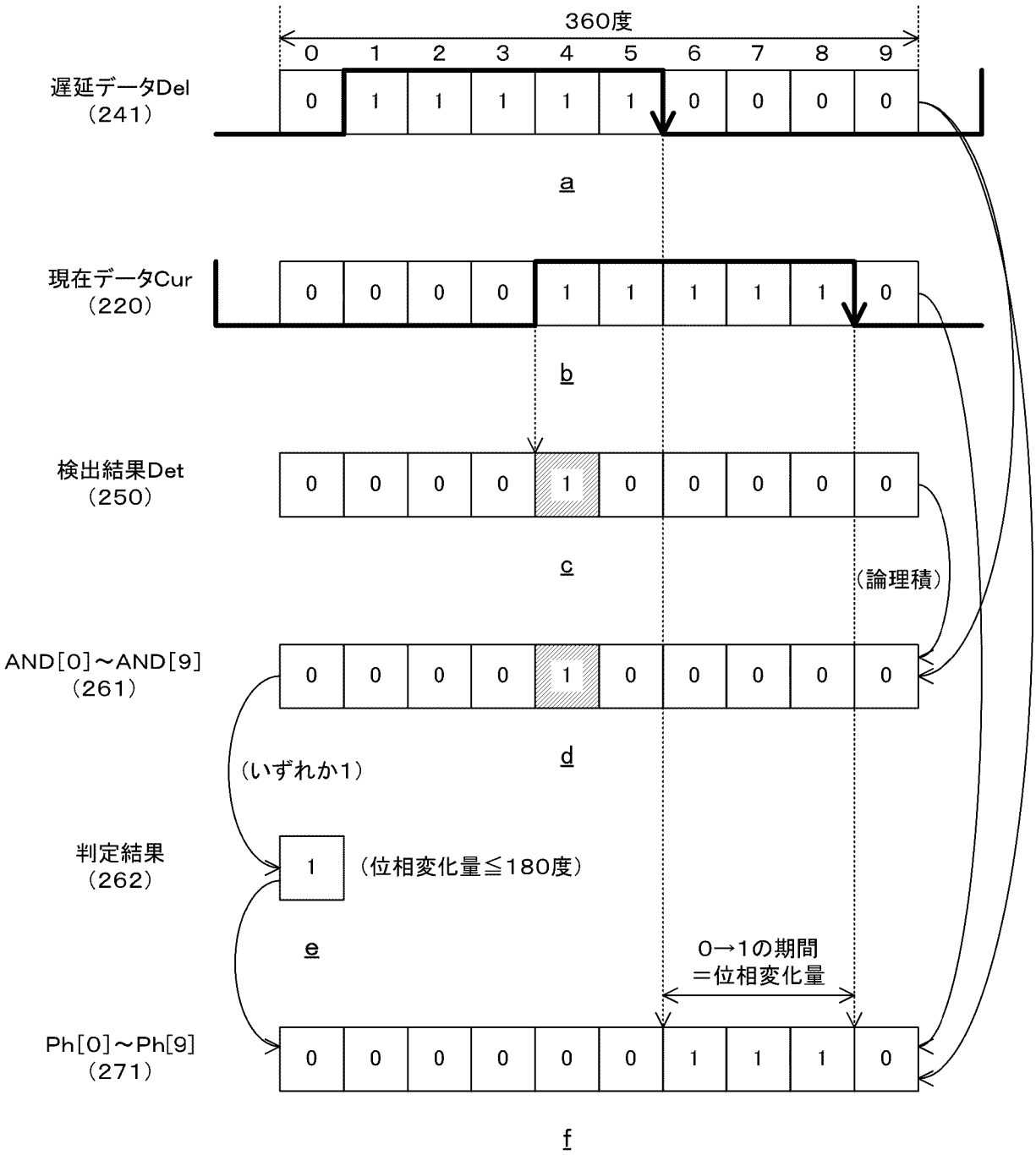


a

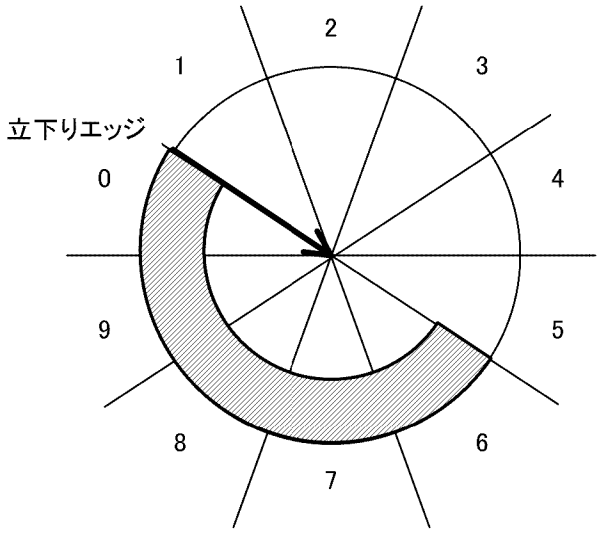


b

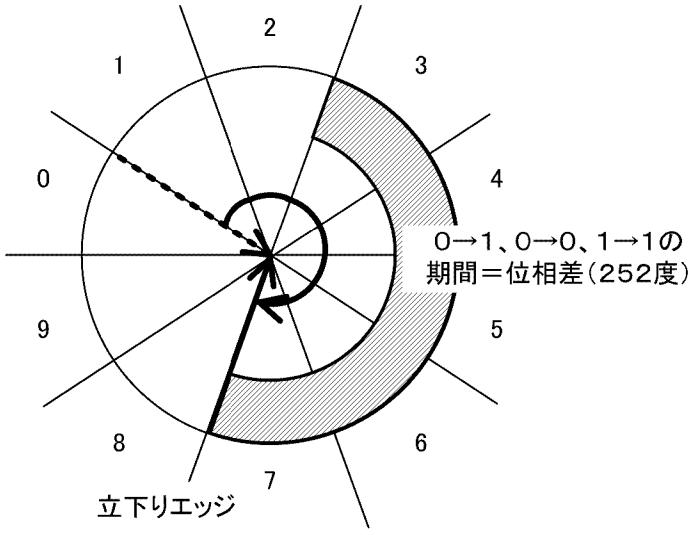
[図15]


360度
0 1 2 3 4 5 6 7 8 9
遅延データDel
（241）
0 1 1 1 1 1 0 0 0 0
a
現在データCur
（220）
0 0 0 0 1 1 1 1 1 0
b
検出結果Det
（250）
0 0 0 0 1 0 0 0 0 0
c
（論理積）
AND[0]～AND[9]
（261）
0 0 0 0 1 0 0 0 0 0
d
（いずれか1）
判定結果
（262）
1
（位相変化量≦180度）
e
0→1の期間
＝位相変化量
Ph[0]～Ph[9]
（271）
0 0 0 0 0 0 1 1 1 0
f

[図16]

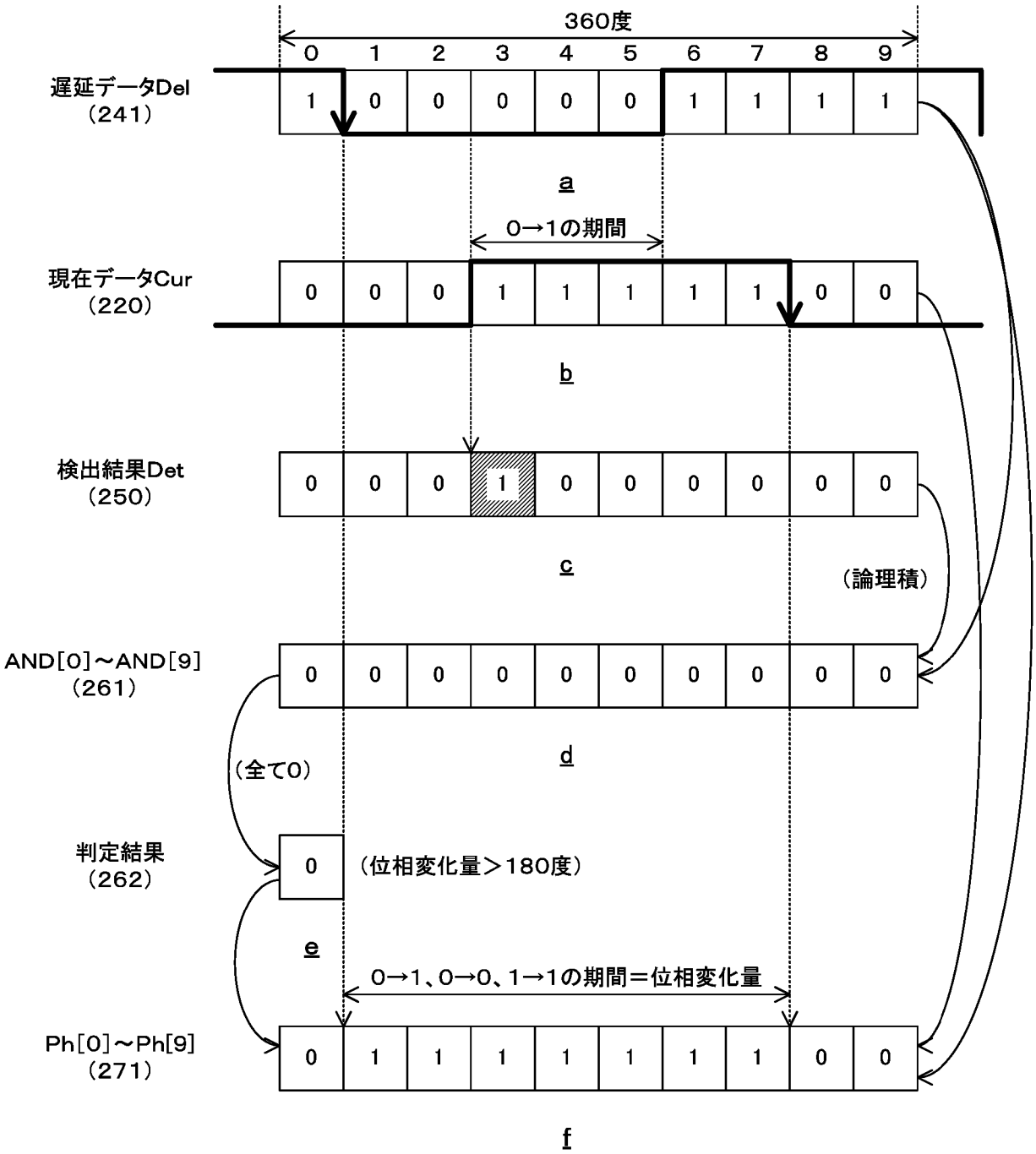


a

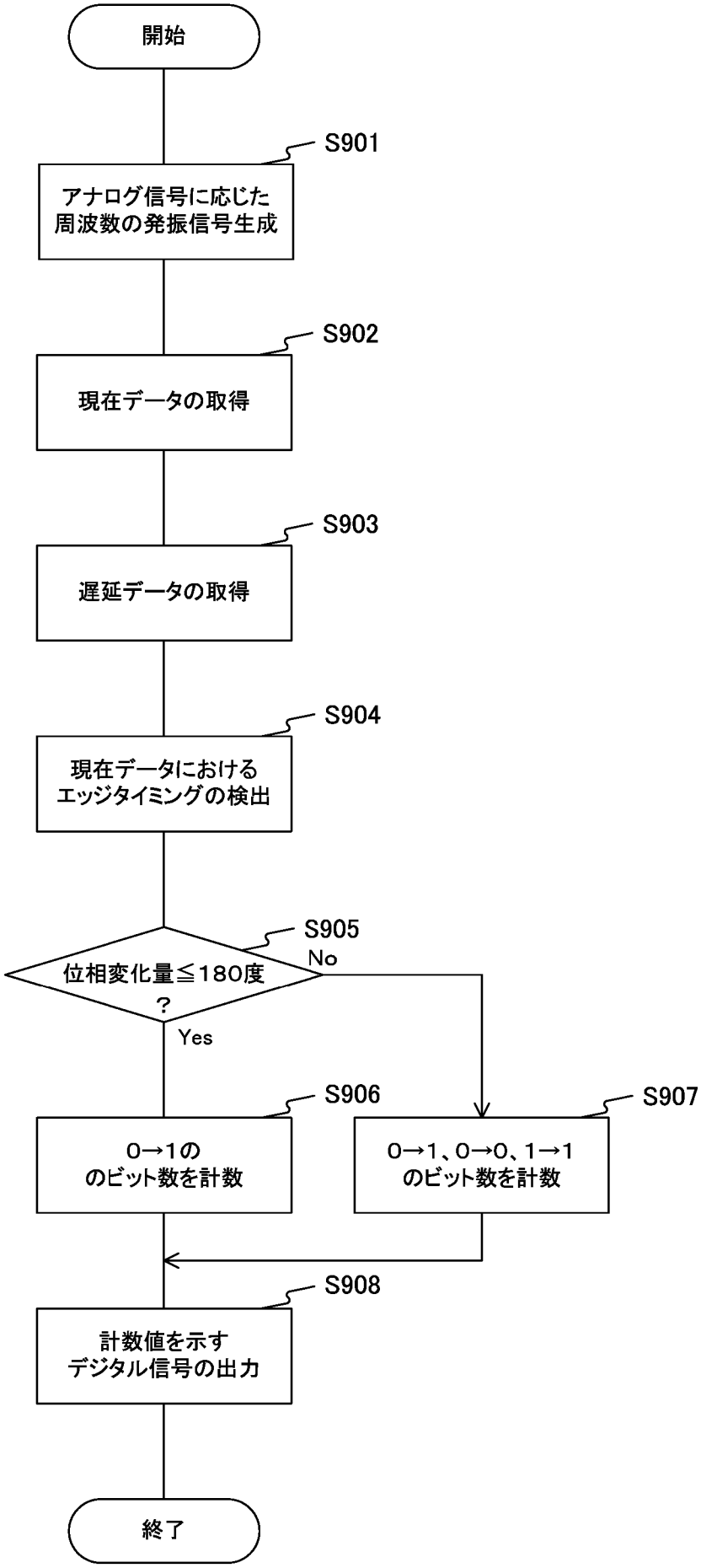


b

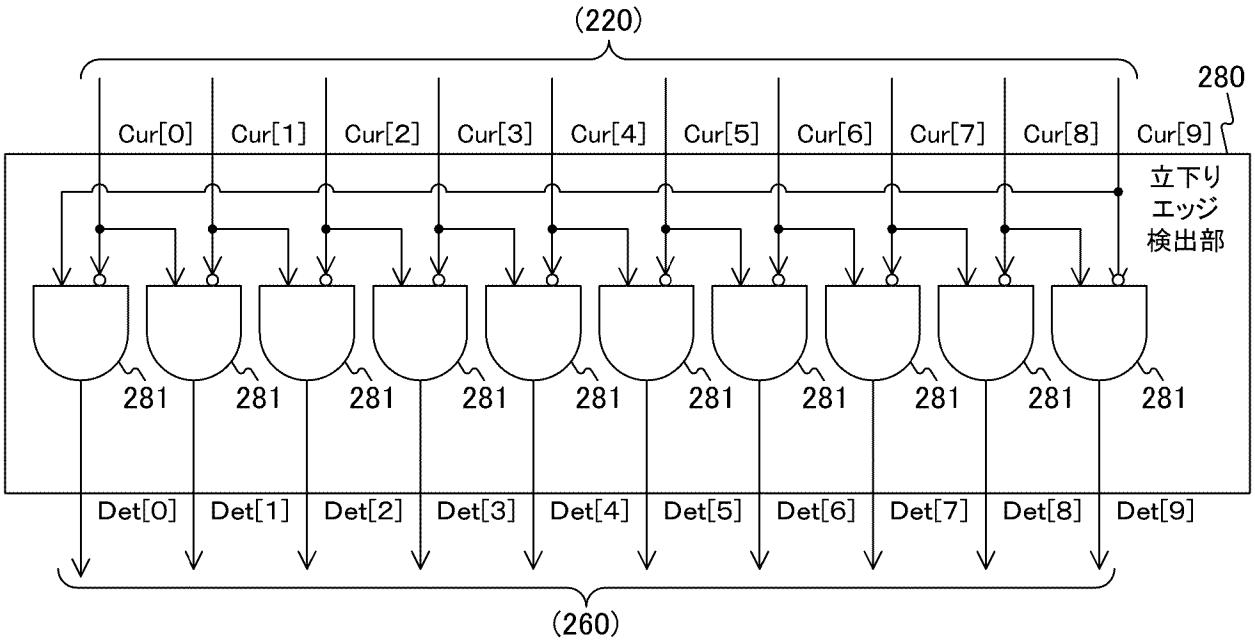
[図17]


360度
0 1 2 3 4 5 6 7 8 9
遅延データDel
(241)
1 0 0 0 0 0 1 1 1 1
a
0→1の期間
現在データCur
(220)
0 0 0 1 1 1 1 1 0 0
b
検出結果Det
(250)
0 0 0 1 0 0 0 0 0 0
c
(論理積)
AND[0]～AND[9]
(261)
0 0 0 0 0 0 0 0 0 0
d
(全て0)
判定結果
(262)
0
(位相変化量＞180度)
e
0→1、0→0、1→1の期間＝位相変化量
Ph[0]～Ph[9]
(271)
0 1 1 1 1 1 1 1 0 0
f

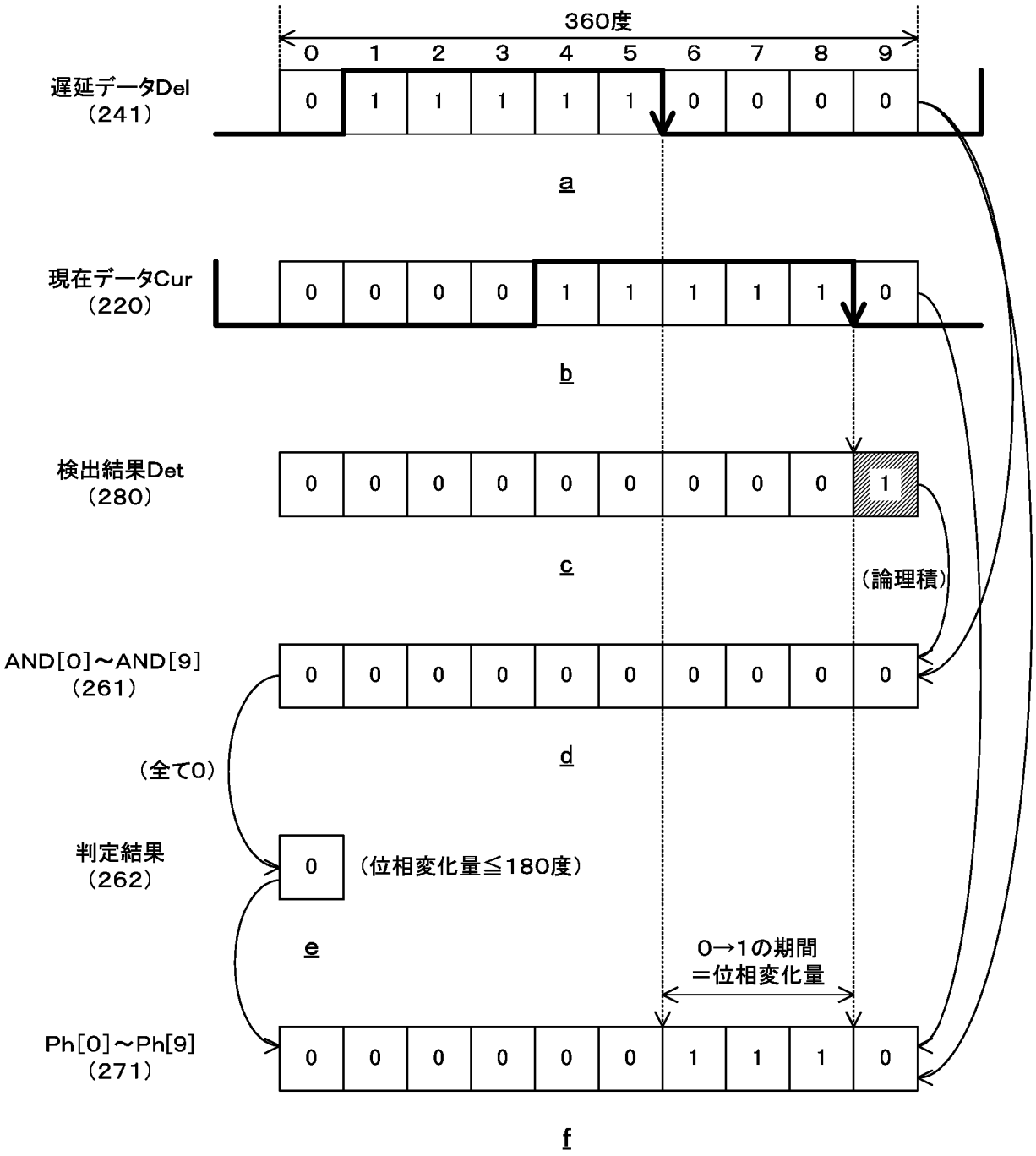
[図18]


開始
S901
アナログ信号に応じた
周波数の発振信号生成
S902
現在データの取得
S903
遅延データの取得
S904
現在データにおける
エッジタイミングの検出
S905
位相変化量≦180度
?
No
Yes
S906
0→1の
のビット数を計数
S907
0→1、0→0、1→1
のビット数を計数
S908
計数値を示す
デジタル信号の出力
終了

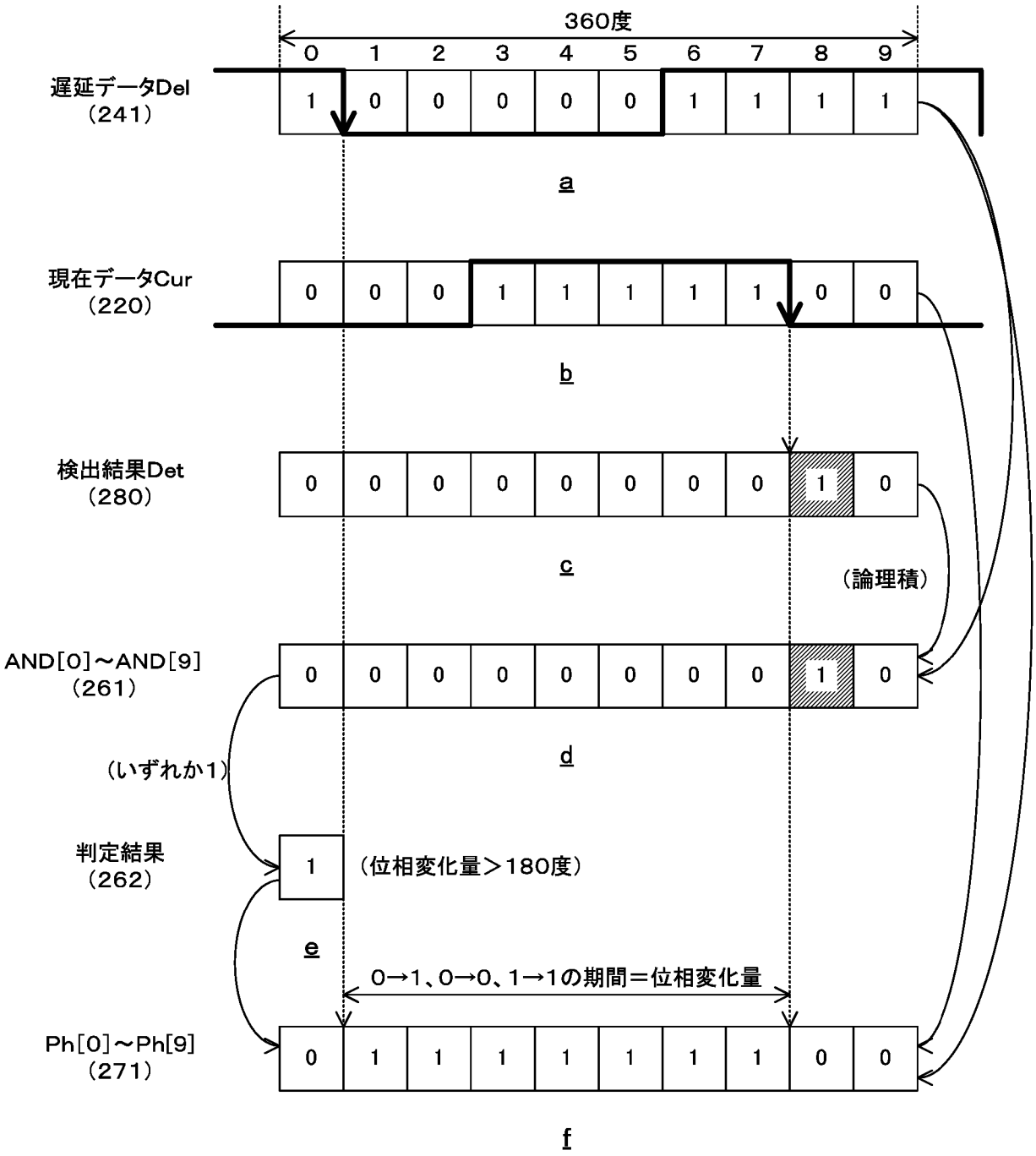
[図19]


(220)
280
Cur[0]
Cur[1]
Cur[2]
Cur[3]
Cur[4]
Cur[5]
Cur[6]
Cur[7]
Cur[8]
Cur[9]
立下り
エッジ
検出部
281
Det[0]
Det[1]
Det[2]
Det[3]
Det[4]
Det[5]
Det[6]
Det[7]
Det[8]
Det[9]
(260)

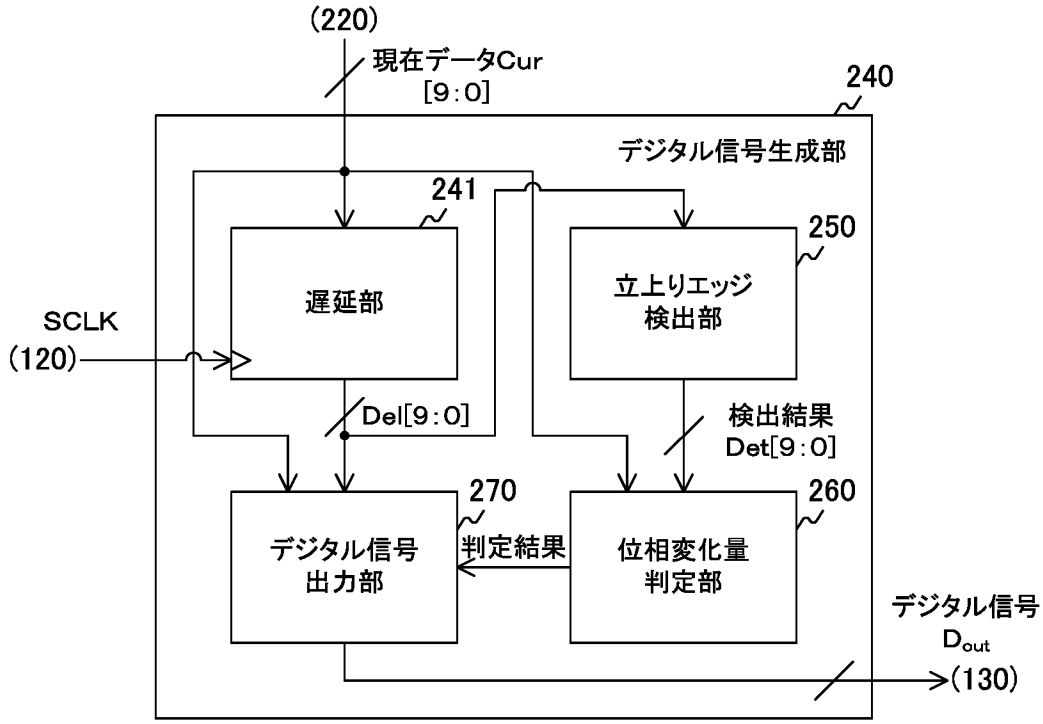
[図20]


360度
0 1 2 3 4 5 6 7 8 9
遅延データDel
（241）
0 1 1 1 1 1 0 0 0 0
a
現在データCur
（220）
0 0 0 0 1 1 1 1 1 0
b
検出結果Det
（280）
0 0 0 0 0 0 0 0 0 1
c
（論理積）
AND[0]～AND[9]
（261）
0 0 0 0 0 0 0 0 0 0
d
（全て0）
判定結果
（262）
0
（位相変化量≦180度）
e
0→1の期間
＝位相変化量
Ph[0]～Ph[9]
（271）
0 0 0 0 0 0 1 1 1 0
f

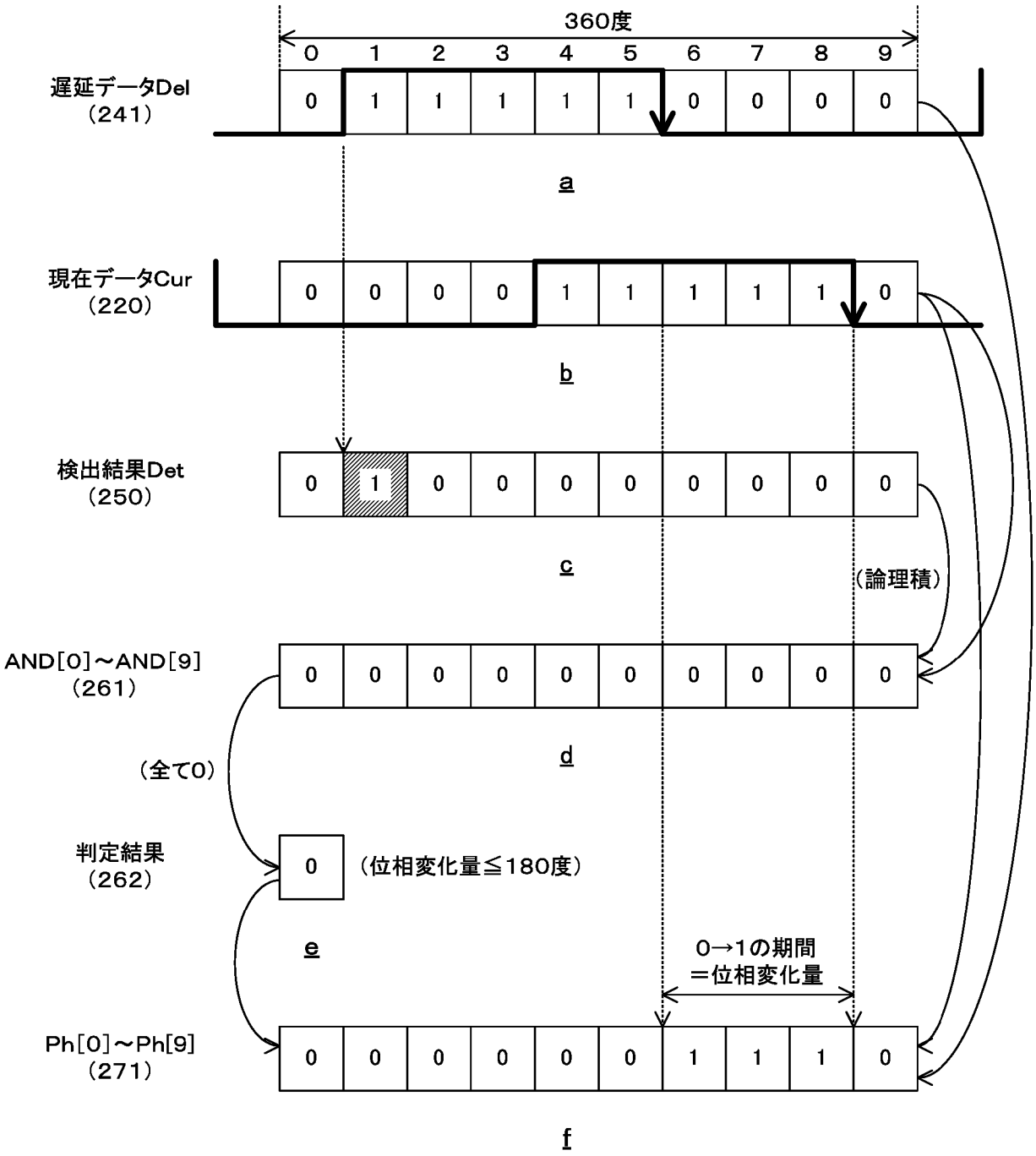
[図21]


360度
0 1 2 3 4 5 6 7 8 9
遅延データDel
（241）
1 0 0 0 0 0 1 1 1 1
a
現在データCur
（220）
0 0 0 1 1 1 1 1 0 0
b
検出結果Det
（280）
0 0 0 0 0 0 0 0 1 0
c
（論理積）
AND[0]～AND[9]
（261）
0 0 0 0 0 0 0 0 1 0
d
（いずれか1）
判定結果
（262）
1
（位相変化量＞180度）
e
0→1、0→0、1→1の期間＝位相変化量
Ph[0]～Ph[9]
（271）
0 1 1 1 1 1 1 1 0 0
f

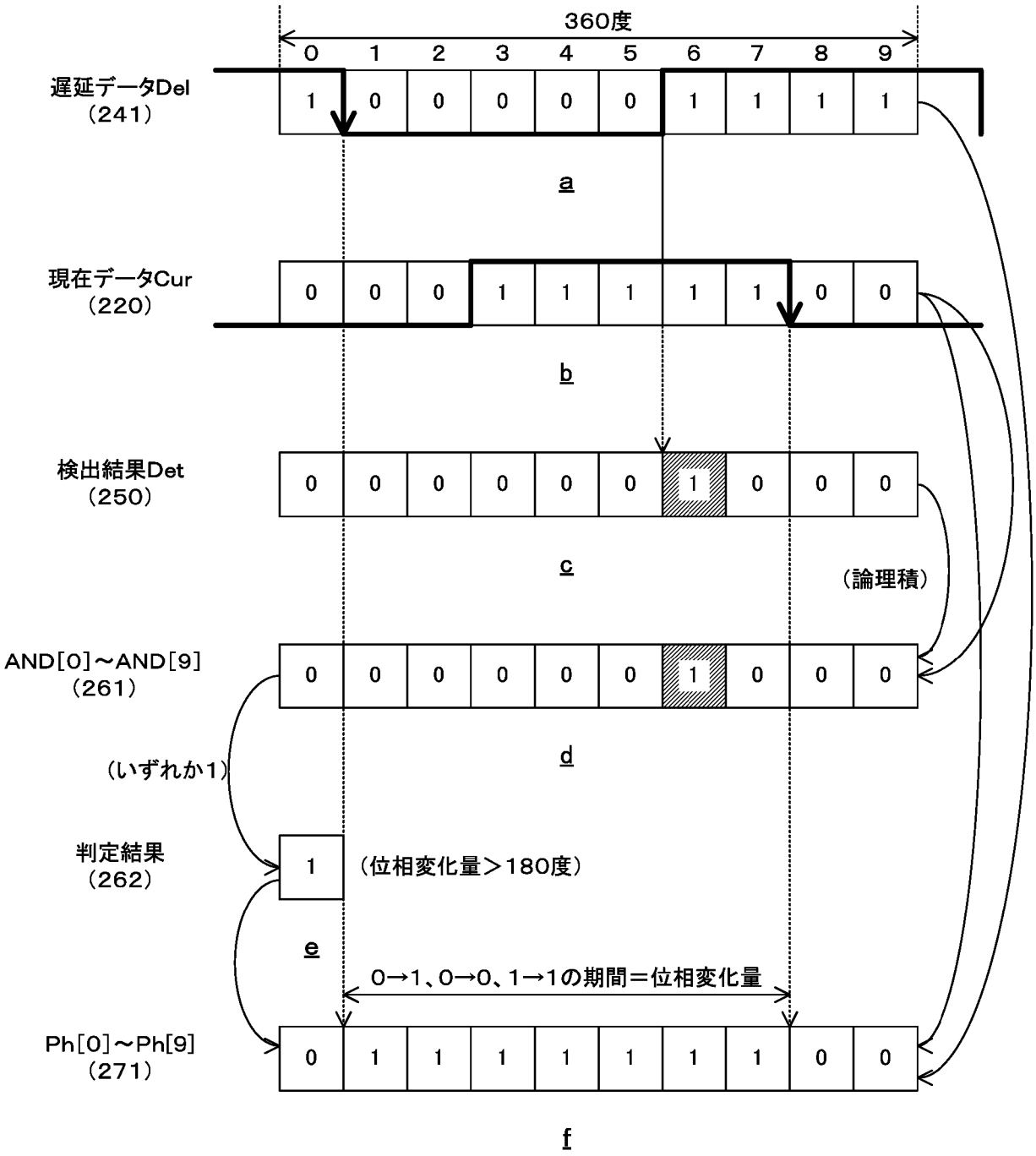
[図22]


(220)
現在データCur
[9:0]
240
デジタル信号生成部
241
250
遅延部
立上りエッジ
検出部
SCLK
(120)
Del[9:0]
検出結果
Det[9:0]
270
260
デジタル信号
出力部
判定結果
位相変化量
判定部
デジタル信号
Dout
(130)

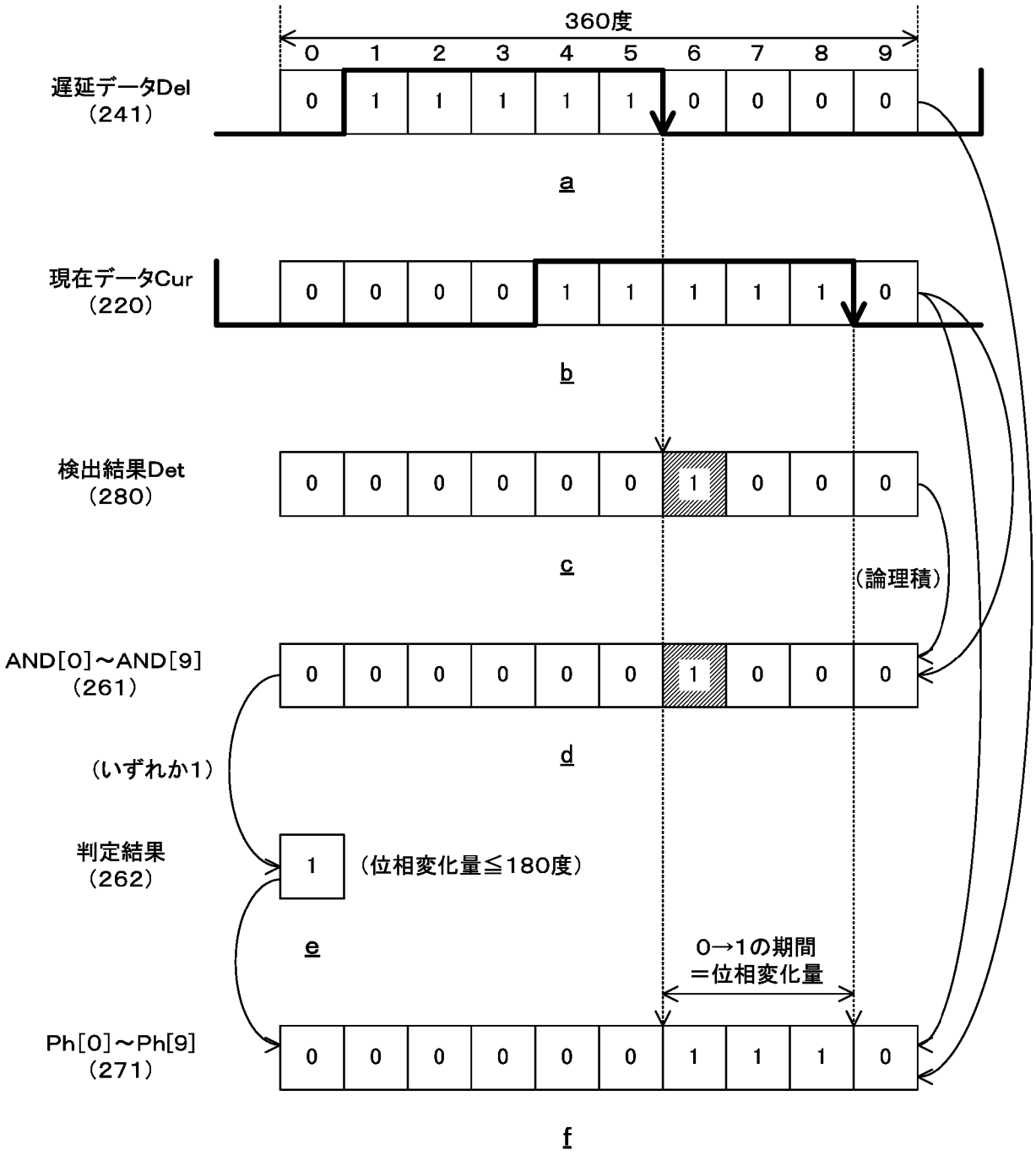
[図23]


360度
0 1 2 3 4 5 6 7 8 9
遅延データDel
（241）
0 1 1 1 1 1 0 0 0 0
a
現在データCur
（220）
0 0 0 0 1 1 1 1 1 0
b
検出結果Det
（250）
0 1 0 0 0 0 0 0 0 0
c
（論理積）
AND[0]～AND[9]
（261）
0 0 0 0 0 0 0 0 0 0
d
（全て0）
判定結果
（262）
0
（位相変化量≦180度）
e
0→1の期間
＝位相変化量
Ph[0]～Ph[9]
（271）
0 0 0 0 0 0 1 1 1 0
f

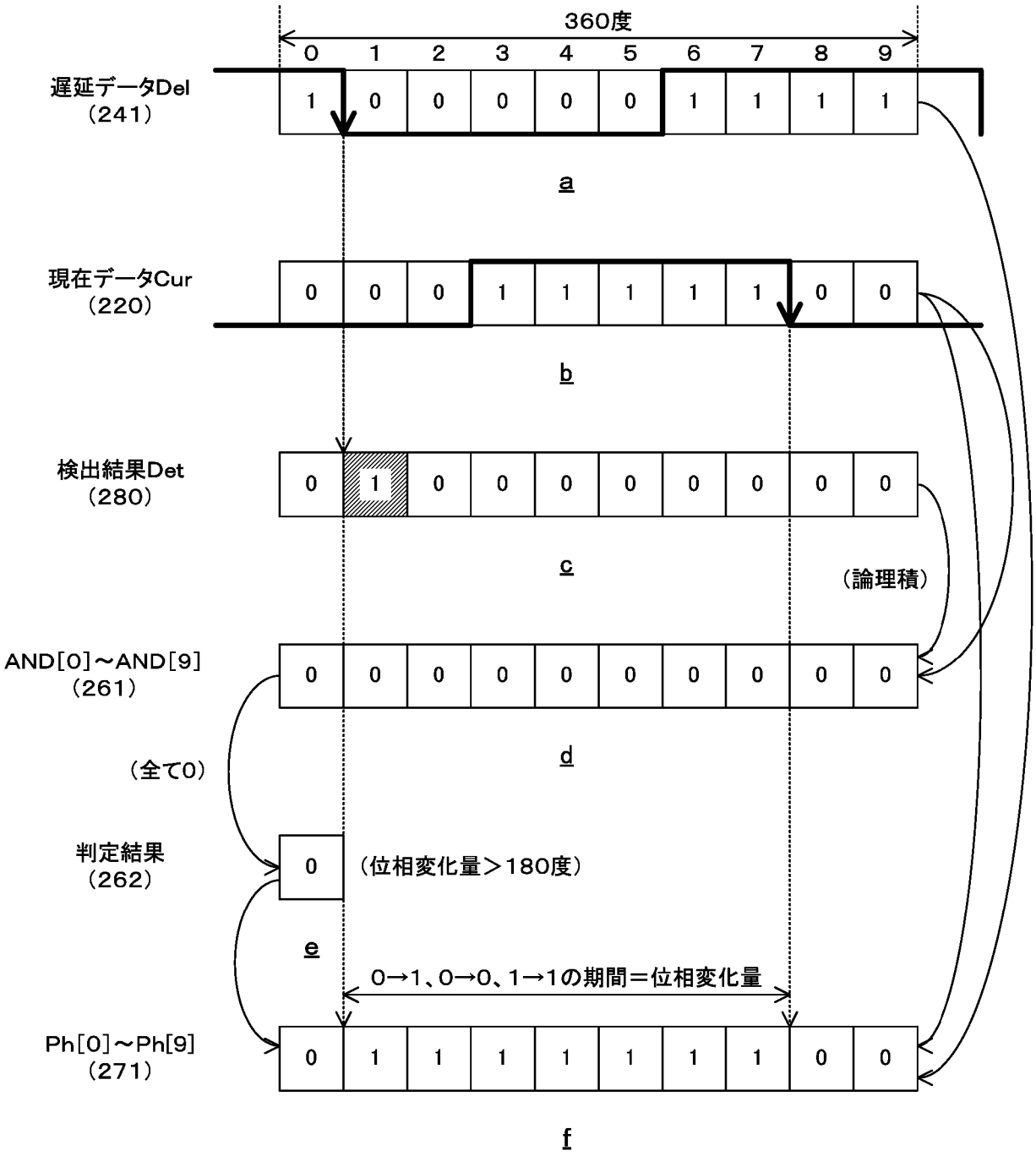
[図24]


360度
0 1 2 3 4 5 6 7 8 9
遅延データDel
（241）
1 0 0 0 0 0 1 1 1 1
a
現在データCur
（220）
0 0 0 1 1 1 1 1 0 0
b
検出結果Det
（250）
0 0 0 0 0 0 1 0 0 0
c
（論理積）
AND[0]～AND[9]
（261）
0 0 0 0 0 0 1 0 0 0
d
（いずれか1）
判定結果
（262）
1
（位相変化量＞180度）
e
0→1、0→0、1→1の期間＝位相変化量
Ph[0]～Ph[9]
（271）
0 1 1 1 1 1 1 1 0 0
f

[図25]


360度
0 1 2 3 4 5 6 7 8 9
遅延データDel
（241）
0 1 1 1 1 1 0 0 0 0
a
現在データCur
（220）
0 0 0 0 1 1 1 1 1 0
b
検出結果Det
（280）
0 0 0 0 0 0 1 0 0 0
c
（論理積）
AND[0]～AND[9]
（261）
0 0 0 0 0 0 1 0 0 0
d
（いずれか1）
判定結果
（262）
1
（位相変化量≦180度）
e
0→1の期間
＝位相変化量
Ph[0]～Ph[9]
（271）
0 0 0 0 0 0 1 1 1 0
f

[図26]


360度
0 1 2 3 4 5 6 7 8 9
遅延データDel
(241)
1 0 0 0 0 0 1 1 1 1
a
現在データCur
(220)
0 0 0 1 1 1 1 1 0 0
b
検出結果Det
(280)
0 1 0 0 0 0 0 0 0 0
c
(論理積)
AND[0]～AND[9]
(261)
0 0 0 0 0 0 0 0 0 0
d
(全て0)
判定結果
(262)
0
(位相変化量＞180度)
e
0→1、0→0、1→1の期間＝位相変化量
Ph[0]～Ph[9]
(271)
0 1 1 1 1 1 1 1 0 0
f

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/067297

A. CLASSIFICATION OF SUBJECT MATTER
H03M1/12(2006.01)i, *H03M3/04*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03M1/00-1/88, H03M3/00-3/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 8063810 B2 (C. G. Guenther), 22 November 2011 (22.11.2011), entire text; all drawings & US 2011/0025541 A1	1-11
A	US 2012/0112936 A1 (S.-J. Huang), 10 May 2012 (10.05.2012), entire text; all drawings & CN 102468854 A	1-11
A	US 2012/0194369 A1 (I. Galton and G. Taylor), 02 August 2012 (02.08.2012), entire text; all drawings (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 July 2015 (06.07.15)	14 July 2015 (14.07.15)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/067297

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2012/0154192 A1 (F. O. Eynde), 21 June 2012 (21.06.2012), entire text; all drawings & WO 2011/022789 A1	1-11

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１５／０６７２９７

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03M1/12(2006.01)i, H03M3/04(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03M1/00-1/88, H03M3/00-3/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１５年
日本国実用新案登録公報	１９９６－２０１５年
日本国登録実用新案公報	１９９４－２０１５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	US 8063810 B2 (C. G. Guenther) 2011.11.22, 全文, 全図 & US 2011/0025541 A1	１－１１
A	US 2012/0112936 A1 (S.-J. Huang) 2012.05.10, 全文, 全図 & CN 102468854 A	１－１１
A	US 2012/0194369 A1 (I. Galton and G. Taylor) 2012.08.02, 全文, 全図 (ファミリーなし)	１－１１
A	US 2012/0154192 A1 (F. O. Eynde) 2012.06.21, 全文, 全図 & WO 2011/022789 A1	１－１１

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０６．０７．２０１５	１４．０７．２０１５

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｘ　３９８７
栗栖　正和
電話番号　０３－３５８１－１１０１　内線　３５９６