

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5248482号
(P5248482)

(45) 発行日 平成25年7月31日(2013.7.31)

(24) 登録日 平成25年4月19日(2013.4.19)

(51) Int.Cl.

G06F 12/02 (2006.01)

F 1

G06F 12/02 570A

請求項の数 20 (全 17 頁)

(21) 出願番号 特願2009-508631 (P2009-508631)
 (86) (22) 出願日 平成19年5月7日 (2007.5.7)
 (65) 公表番号 特表2009-536392 (P2009-536392A)
 (43) 公表日 平成21年10月8日 (2009.10.8)
 (86) 國際出願番号 PCT/IB2007/051703
 (87) 國際公開番号 WO2007/132399
 (87) 國際公開日 平成19年11月22日 (2007.11.22)
 審査請求日 平成22年4月30日 (2010.4.30)
 (31) 優先権主張番号 06113654.5
 (32) 優先日 平成18年5月9日 (2006.5.9)
 (33) 優先権主張国 歐州特許庁 (EP)

(73) 特許権者 511030493
 シリコン ハイブ ビー・ヴィー
 オランダ国 5656 アーゲー アイン
 ドーフェンハイ・テク・キャンパス 83
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (72) 発明者 アルバ ピント, カルロス アー
 オランダ国, 5656 アーアー アイン
 ドーフェン, プロフ・ホルストラーン 6

最終頁に続く

(54) 【発明の名称】プログラマブルデータ処理回路

(57) 【特許請求の範囲】

【請求項 1】

メモリポートと複数のメモリバンクとを有するメモリ回路と、
 データポートと、

前記メモリポートと前記データポートとの間に接続され、制御信号に応じて前記データポートの各データ値のポジションと前記メモリポートのデータ値のポジションとの間の制御可能な接続を提供する制御可能スイッチング回路と、

前記データポートに接続される入力及び出力に備えられるパラレル計算回路と、

各パラメータ値セットが少なくとも1つのパラメータ値を有する複数のパラメータ値セットを格納するパラメータ格納回路と、

前記スイッチング回路と前記パラメータ格納回路とに接続される命令実行制御回路と、
 を有するプログラマブルデータ処理回路であって、

前記命令実行制御回路の命令セットは、信号におけるデータ値の信号位置を示す位置オペランド及び選択されたパラメータ値セットの指示を有する命令を有し、

前記命令実行制御回路は、前記パラメータ格納回路から前記選択されたパラメータ値セットを抽出することにより前記命令に応答し、前記制御信号を提供することによって前記信号位置及び前記選択されたパラメータ値セットを用いて決定された割当てに従って前記スイッチング回路を制御するよう構成され、

前記データポートと前記パラレル計算回路との間にレジスタファイルが機能的に接続され、前記レジスタファイルは、前記データポートのための又はからのマルチデータ値オペ

ランド及び／又は結果を格納するのに適しており、

リードタイプ命令の制御の下、メモリバンクはリード処理を実行し、少なくとも部分的に互いに独立してアドレス指定される複数のメモリバンクから複数のデータ値をパラレルに出力し、

前記スイッチング回路は、前記複数のデータ値を有する結果をレジスタファイルのライトポートにパラレルに出力し、前記レジスタファイルのライトポートに出力される前記結果のポジションとデータ値とを出力する前記メモリバンクの間の関係を再構成するよう構成され、

各パラメータ値セットは、前記データポートのデータ値のポジションの前記メモリポートのデータ値のポジションへの割当てを少なくとも部分的に決定するプログラマブルデータ処理回路。

【請求項 2】

前記命令実行制御回路は、前記メモリ回路にアドレスを供給し、前記信号位置と前記選択されたパラメータ値セットとから前記アドレスを計算するよう構成される、請求項1記載のプログラマブルデータ処理回路。

【請求項 3】

独立にアドレス指定可能な各メモリバンクは、前記メモリポートを介し前記データ値の各ポジションの少なくとも1つのデータ値を読み書きするよう構成され、

前記命令実行制御回路は、前記メモリバンクにアドレスを供給し、前記信号位置と前記選択されたパラメータ値セットとから前記アドレスを計算するよう構成される、請求項1記載のプログラマブルデータ処理回路。

【請求項 4】

前記パラメータ値セットはそれぞれ、オフセット値を少なくとも規定し、

前記命令実行制御回路は、前記オフセット値を前記位置オペランドのバンクの有効数に対するモジュローから求められた値に加算することにより前記割当てを計算するよう構成される、請求項3記載のプログラマブルデータ処理回路。

【請求項 5】

前記パラメータ値セットはそれぞれ、オフセット値を少なくとも規定し、

前記命令実行制御回路は、前記オフセット値と前記位置オペランドから求められた値との和に応じて、前記メモリバンクのアドレスを計算するよう構成される、請求項3記載のプログラマブルデータ処理回路。

【請求項 6】

前記パラメータ値セットはそれぞれ、サブサンプリングファクタを少なくとも規定し、

前記命令実行制御回路は、前記サブサンプリングファクタと前記位置オペランドから求められた値との積から、前記割当て及び／又は前記メモリバンクのアドレスを計算するよう構成される、請求項3記載のプログラマブルデータ処理回路。

【請求項 7】

前記パラメータ値セットはそれぞれ、前記命令について使用されるメモリバンクの有効数を少なくとも規定し、

前記命令実行制御回路は、前記位置オペランドの前記使用されるメモリバンクの有効数に対するモジュローを用いて求められる値から、前記割当て及び／又は前記メモリバンクのアドレスを計算するよう構成される、請求項3記載のプログラマブルデータ処理回路。

【請求項 8】

前記命令実行制御回路は、前記命令のオペランドによりアドレス指定されるレジスタから、前記パラメータ値セットの選択の指示を受け取るよう構成される、請求項1記載のプログラマブルデータ処理回路。

【請求項 9】

前記命令実行制御回路は、文字通りのデータから前記パラメータ値セットの選択の指示を受け取るよう構成される、請求項1記載のプログラマブルデータ処理回路。

【請求項 10】

10

20

30

40

50

前記命令による前記メモリ回路の各データ値を、互いに異なるパラメータ値セットの選択を示す指示を有する命令を利用して、同時にアドレス指定するプログラムによってプログラムされる、請求項1記載のプログラマブルデータ処理回路。

【請求項11】

前記メモリ回路は、前記メモリポートに接続されるキャッシュメモリと、バックグラウンドメモリと、前記パラメータ値セットを用いて前記バックグラウンドメモリの各位置について前記キャッシュメモリの各位置を選択するよう構成されるキャッシュ制御回路とを有する、請求項1記載のプログラマブルデータ処理回路。

【請求項12】

請求項1記載のプログラマブルデータ処理回路によって実行されるプログラムであって 10

、前記プログラムは、各命令が選択されたパラメータ値セットの各指示を有する命令を有し、

前記命令の少なくとも一部は、互いに合成された互いに異なるパラメータ値セットを選択し、

前記プログラムの一部において、該プログラムの実行中、前記命令の各部分によりアドレス指定されるデータ値が、前記選択されたパラメータ値セットに少なくとも部分的に応じて、各データ値とパラレル出力中のデータポートの各パラレルポートへのマッピングを制御するため、メモリ回路に同時に格納されるプログラム。

【請求項13】

20

命令実行制御回路が、各命令が信号におけるデータ値の信号位置を示す位置オペランド及び選択されたパラメータ値セットの各指示を有する命令であって、該命令の少なくとも一部が互いに合成された互いに異なるパラメータ値セットを選択する命令を実行するステップと、

パラメータ格納回路から前記選択されたパラメータ値セットを抽出することによって、前記命令に応答するステップと、

前記命令実行制御回路が、メモリポートとデータポートとの間のスイッチング回路を、前記データポートの各データ値のポジションと前記メモリポートのデータ値の各ポジションとの間の制御可能な接続を提供するため、前記選択されたパラメータ値セット及び前記示された信号位置に応じて制御するステップと、

30

を有し、

前記データポートのための又はからのマルチデータ値オペランド及び／又は結果を格納するのに適したレジスタファイルは、前記データポートと前記パラレル計算回路との間に機能的に接続され、

リードタイプ命令の制御の下、メモリバンクは、リード処理を実行し、少なくとも互いに部分的に独立してアドレス指定される複数のメモリバンクからデータ値をパラレルに出力し、

前記スイッチング回路は、前記複数のデータ値を有する結果をレジスタファイルのライトポートにパラレルに出力し、前記レジスタファイルのライトポートに出力される前記結果におけるデータ値とポジションとを出力する前記メモリバンクの間の関係を再構成するよう構成される方法。

40

【請求項14】

前記命令実行制御回路が、前記命令の信号位置オペランドと前記選択されたパラメータ値セットとの組み合わせから、前記データポートのデータ値の各ポジションの前記メモリポートのデータ値の各ポジションへの割当てを計算するステップを有する、請求項13記載の方法。

【請求項15】

前記命令実行制御回路が、前記メモリ回路に少なくとも1つのアドレスを適用し、前記信号位置と前記選択されたパラメータ値セットとから、前記メモリ回路の少なくとも1つのアドレスを計算するステップを有する、請求項14記載の方法。

50

【請求項 16】

独立にアドレス指定可能な各メモリバンクは、前記メモリポートを介し前記データ値の各ポジションの少なくとも1つのデータ値を読み書きするよう構成され、

当該方法は、前記命令実行制御回路が、前記メモリバンクにアドレスを供給し、前記信号位置と前記選択されたパラメータ値セットとから前記アドレスを計算するステップを有する、請求項14記載の方法。

【請求項 17】

前記パラメータ値セットはそれぞれ、オフセット値を少なくとも規定し、

前記命令実行制御回路が、前記オフセット値を前記位置オペランドのバンクの有効数に対するモジュローから求められた値に加算することにより前記割当てを計算する、請求項14記載の方法。

10

【請求項 18】

前記パラメータ値セットはそれぞれ、オフセット値を少なくとも規定し、

当該方法は、前記命令実行制御回路が、前記オフセット値と前記位置オペランドから求められた値との和に応じて、前記メモリバンクのアドレスを計算するステップを有する、請求項14記載の方法。

【請求項 19】

前記パラメータ値セットはそれぞれ、サブサンプリングファクタを少なくとも規定し、

当該方法は、前記命令実行制御回路が、前記サブサンプリングファクタと前記位置オペランドから求められた値との積から、前記割当て及び／又は前記メモリバンクのアドレスを計算するステップを有する、請求項14記載の方法。

20

【請求項 20】

前記パラメータ値セットはそれぞれ、前記命令について使用されるメモリバンクの有効数を少なくとも規定し、

当該方法は、前記命令実行制御回路が、前記位置オペランドの前記使用されるメモリバンクの有効数に対するモジュローを用いて求められる値から、前記割当て及び／又は前記メモリバンクのアドレスを計算するステップを有する、請求項14記載の方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、ピクセル位置の関数である2次元画像におけるピクセル値などの位置に依存するデータ値を格納するメモリを備えたプログラマブルデータ処理回路に関する。本発明はまた、位置に依存したデータ値の処理方法と、位置に依存したデータ値を処理するコンピュータプログラムプロダクトに関する。

【背景技術】

【0002】

画像処理は、一般にメモリに格納されているピクセル値の利用を伴う。異なるピクセル位置のピクセル値が異なるメモリ位置に格納される。ピクセル位置のメモリ位置への各種マッピングが利用可能である。このようなマッピングは、画像処理に対して大きな効果を有している。U.S.2005/0083337は、適切なマッピングによってメモリアクセススピードをどのように向上させることができるか記載している。WO2005/104027は、複数のピクセル位置のピクセル値が画像処理演算用のオペランドとしてパラレルに使用される際にマッピングを補償するメモリアクセス回路について記載する。

40

【0003】

U.S.2005/0083337は、メモリに画像データを格納する他の方法を提供する画像処理システムについて記載する。異なる画像処理アルゴリズムが、異なるピクセル位置のシーケンスに従ってピクセル値へのアクセスを要求する。従って、例えば、画像の表示はライン単位による読み込みを要求し、画像伸張は典型的にはブロックベースの読み込みを要求する。異なるメモリ部分に分散されて格納されているピクセル値より、連続的に

50

格納されているピクセル値へのより高速なアクセスを提供するメモリデバイスが使用される。この結果、表示のためのアクセスは、画像ラインに沿ったピクセル値が連続的に格納されている場合に最も迅速に実行可能であるが、ロックベースのアクセスは、ロックの連続するラインに沿ったピクセル値が連続的に格納されている場合に最も迅速に実行可能である。

【0004】

多くのアプリケーションでは、ラインベースアクセスを利用した表示と、ロックベースアクセスを利用した伸張との双方が利用される。U S 2 0 0 5 / 0 0 8 3 3 3 7 は、異なるアクセス形式について最適なスピードを実現することができるように、異なる方法によりグループ化されたピクセル値を格納することによってこれをサポートする。このグループ化は、ロック幅及び高さなどの各パラメータ、アドレスの確率分布並びにメモリバス幅及びメモリバンク数などのメモリデバイスの各性質に依存する。ピクセル値が書き込まれるとき、ピクセル値の複数のコピーが、ピクセル値の読み込み方法に従って異なる方法により書き込み及びグループ化される。

10

【0005】

U S 2 0 0 5 / 0 0 8 3 3 3 7 は、論理アドレス（ピクセル座標など）からデータ値が書き込まれるメモリの物理アドレスへのアドレスマッピングを提供する。異なるグループ化によりピクセル値を格納するのに異なるアドレスマッピングが必要とされる。マッピングを記述するため、ルックアップテーブルメモリが設けられる。アドレス生成手段が、ルックアップテーブルを利用して論理アドレスから物理アドレスを生成する。アドレスマッピングは、所与のプログラムについて最小コスト（アクセススピードに関する）をもたらすマッピングの決定に基づき選択される。U S 2 0 0 5 / 0 0 8 3 3 3 7 は、複数のピクセル値のパラレル処理に関するものでない。

20

【0006】

W O 2 0 0 5 / 1 0 4 0 2 7 は、ワーキングメモリからのピクセル値へのパラレルアクセスを提供する画像処理回路について記載する。ワーキングメモリは、ある領域のピクセル位置のピクセル値を格納する。典型的には、この領域は、そのピクセル値がメインメモリに格納されるより大きな画像の一部である。この場合、ワーキングメモリは、メインメモリからのピクセル値の一部のコピーを格納するキャッシュとして機能する。

30

【0007】

ワーキングメモリは、ピクセル値をパラレルに出力可能なメモリバンクを有する。パラレル出力されるピクセルは、任意的にはレジスタファイルのレジスタへの中間的なパラレル格納後、パラレルピクセルプロセッサ（S I M D（S i n g l e I n s t r u c t i o n M u l t i p l e D a t a ）回路など）に供給される。ピクセル値がパラレルに供給されるとき、パラレル出力におけるピクセル値の各位置と、アドレス指定された画像部分（アドレス指定されたロックなど）に関する対応するピクセル位置の相対位置との間には所定の関係が存在しなければならない。

【0008】

W O 2 0 0 5 / 1 0 4 0 2 7 では、ピクセル値はラインセグメント形式にラップアラウンドされるワーキングメモリに格納され、画像の水平方向のラインセグメントに沿った連続するピクセル位置のピクセル値は、連続するラストメモリバンクから連続する第1メモリバンクにラップアラウンドされる連続するバンクに格納される。次の水平方向のラインのセグメントのピクセル位置のピクセル値が、前のラインセグメント（任意的には同じメモリバンクに整列された）のピクセル値に統いて同様に格納される。典型的には、格納されるピクセル値のピクセル位置の領域が、画像に沿ってスライドする。この場合、当該領域からスライドされたピクセル位置のメモリ位置が、当該領域にスライドされたピクセル位置について再利用可能である。このため、領域の左上の位置のピクセル値を格納する所定のメモリバンクは存在しないこととなる。

40

【0009】

W O 2 0 0 5 / 1 0 4 0 2 7 は、格納されている領域内のピクセル位置のロックのピ

50

クセル値のパラレル出力を可能にする。このパラレル出力は、領域のブロックのアドレスを提供することによって制御される（ブロックの左上隅のx - y座標などに関して）。ワーキングメモリは、ブロックのアドレスに対してピクセル位置により規定される出力におけるブロックからのピクセル値を出力することによって応答する。従って例えば、ブロックの左上隅の位置のピクセル値が所定の第1出力において出力されるなどである。

【0010】

このタイプの処理はメモリアクセスを制御するため多数のパラメータを必要とすることに留意することが重要である。例えば、アドレス指定されたブロックの位置とメモリバンクとの間には所定の関係は存在しない。従って、メモリバンクと出力との接続は、格納されている領域の所定のピクセル位置のピクセル値が格納されているメモリバンクと、アドレス指定されたブロックの座標とに応じて制御される必要がある。パラメータが必要とされる他の具体例として、ピクセル位置後のデータ量が可変とされるケースがあげられる。例えば、一部の画像処理アプリケーションでは、格納されているルミナンス関連値と比較して、格納されているカラー関連値について低減された解像度が利用される。このため、バンクと出力の間の接続は、カラーとルミナンスについて異なるかもしれない。同じことが、異なる量子化精度がカラー及びルミナンスについて使用される場合に成り立つかかもしれない。さらに、残りのバンクを利用して他の画像（又は同一画像の他のカラー成分など）の出力を提供するため、メモリバンクのフル数に到達する前にいくつかの画像のピクセル値の格納をラップアラウンドすることが所望されるかもしれない。これはまた、出力とメモリバンクとの間の関係を複雑化するかもしれない。

10

20

【0011】

WO 2005 / 104027 のデータ処理回路では、必要なパラメータはメモリアクセス回路に維持される。メモリのあるブロックがアクセスされると、メモリアクセス回路は、当該ブロックのアドレス（その座標など）を受け取り、当該アドレスをメモリバンクと出力との間の必要な接続を選択するためのパラメータと組み合わせる。一度に1つのパラメータセットしか利用可能でない。

【発明の開示】

【発明が解決しようとする課題】

【0012】

特に、信号の各位置とメモリ位置との異なる形式のマッピングが同時に利用可能な信号の位置に依存した複数のデータ値のパラレル処理を可能にすることを課題とする。

30

【0013】

特に、異なる方法により信号の位置に依存したデータ値を同時に利用するパラレル処理を可能にするさらなる実施例を提供することを課題とする。

【課題を解決するための手段】

【0014】

本発明は、独立形式の請求項により規定される。従属形式の請求項は、効果的な実施例を規定する。

【0015】

請求項1記載のプログラマブルデータ処理回路が提供される。この処理回路は、複数のパラメータ値セットを格納する。処理回路の特定の命令は、これらのセットに対する参照を含む。このような命令に応答して、処理回路は、選択されたパラメータ値セットを抽出し、ピクセル値などのデータ値のパラレル出力のため、メモリポート上のデータ値の各ポジションからデータポート上のデータ値の各ポジションへの割当てを制御する。これは、メモリ回路に互いに異なる方法により格納され、互いに合成された互いに異なるタイプのデータに関する異なるデータ値セットに対するデータ値のパラレル処理を実行するための命令を実行することを可能にする。ここで使用される互いに異なるパラメータ値セットの指示を有する複数の指示は、各パラメータ値セットに従って複数のデータセットがメモリに同時に格納され続ける期間中に実行されるとき、合成されて実行されると言われる。

40

【0016】

50

一実施例では、パラメータセットストレージは、パラメータ値セットを格納するのに十分なサイズのメモリ位置（レジスタなど）を有するレジスタファイルなどの専用メモリである。他の実施例では、レジスタファイルのレジスタが十分なサイズを有する場合、他のタイプの情報も格納するレジスタファイルが利用されるかもしれない。

【0017】

一実施例では、各命令は、画像信号におけるピクセル位置など、信号におけるデータ値の信号位置を示す位置オペランドを有する。本実施例では、データポート上のデータ値の各位置の命令ベースの割当ては、信号位置と選択されたパラメータ値セットとから計算される。また、メモリに供給されるアドレスが、このように計算されてもよい。従って、各命令は、異なる方法により格納され、又は異なるタイプを有する信号位置に依存したデータ値の同様の位置オペランドを利用することが可能である。10

【0018】

一実施例では、メモリ回路は、複数の少なくとも部分的に独立にアドレス指定可能なメモリバンクを有する。本実施例では、メモリバンクは、異なるデータ値の位置に対するデータ値を供給し、異なるデータ値の位置について異なるアドレスの利用を可能にする。メモリバンクのアドレスは、信号位置と選択されたパラメータ値セットから求められる。このため、各命令は、メモリバンク間に異なる方法により分散される信号位置に依存したデータ値について同様の位置オペランドを利用することが可能である。

【0019】

各種実施例では、パラメータ値は、例えば、メモリバンクにおけるデータセットの格納のスタートのオフセット値、サブサンプリングファクタ及び／又は使用されるメモリバンクの有効数などを表すかもしれない。20

【0020】

パラレル計算回路は、好ましくは、データポートに接続される入出力を有する。データポートとパラレル計算回路との間で機能的に接続されるレジスタファイルは、データポートの複数データ値オペランド及び／又は結果を格納するのに利用されるかもしれない。

【0021】

このようなデータ処理回路のプログラムは、互いに合成されて異なる方法により格納される異なるデータセットを参照する命令を利用することが可能である。データセットは、複数のメモリバンクなどにおける異なる格納オフセットを有し、異なるサブサンプリングファクタを利用し、及び／又は異なる個数のメモリバンクを利用するかもしれない。一実施例では、このような異なるデータセットを利用するプログラムにおける命令は、異なるパラメータセットへの参照と組み合わされる同一タイプの位置オペランドを利用して、各セットをアドレス指定する。これは、プログラムを簡素化し、その実行を高速化する。30

【0022】

上記及び他の課題及び効果的な特徴は、以下の図面を用いた実施例の説明から明らかとなるであろう。

【発明を実施するための最良の形態】

【0023】

図1は、算術ユニット10とメモリアクセスユニット12とを含む複数の機能ユニット10, 12、命令発行回路14及びレジスタファイル16を有する処理回路を示す。命令発行回路14は、命令を発行するため機能ユニット10, 12の各入力に接続された出力を有する。機能ユニット10, 12は、レジスタファイル16のリードポートとライトポートに接続される。例えば、2つの機能ユニットしか示されていないが、算術ユニット又はメモリアクセスユニット以外の機能ユニットを含むより多くの機能ユニットが使用されることが理解されるべきである。40

【0024】

図2は、複数のメモリバンク20、スイッチング回路22及び制御回路24を有するメモリアクセスユニットを示す。スイッチング回路22は、メモリバンク20からメモリポート21と、レジスタファイル（図示せず）の入出力26との間に接続される。制御回路50

24は、出力命令発行回路（図示せず）と制御出力に接続される命令入力28に接続される命令入力を有する。命令入力28の一部は、レジスタファイル（図示せず）のポート制御入力に接続される。制御回路24は、スイッチング回路22及びメモリバンク20に接続された制御出力を有する。

【0025】

制御回路24は、パラメータセット制御回路240、アドレス生成回路242、スイッチ制御生成回路244及びパラメータセットメモリ246を有する。パラメータセット制御回路240は、命令入力28とレジスタファイル（図示せず）のリードポートと荷接続された入力と、アドレス生成回路242とスイッチ制御生成回路244とに接続された出力とを有する。パラメータセット選択制御回路240は、パラメータセットのストレージとして機能するパラメータセットメモリ246に接続される。アドレス生成回路242とスイッチ制御生成回路244は、スイッチング回路22とメモリバンク20とに接続された出力を有する。

【0026】

動作について、命令発行ユニット14は、連続的な命令を機能ユニット10, 12に供給する。命令の少なくとも一部はそれぞれ、少なくとも1つの機能ユニット10, 12に対する各自のコマンドを含む、コマンドの少なくとも一部は、処理、オペランドレジスタ及びレジスタファイル16の結果レジスタを指定する。コマンドの実行中、オペランドデータが指定されたオペランドレジスタから供給され、機能ユニット10, 12は、オペランドデータを用いて指定された処理を実行し、結果データを結果レジスタに供給する。実施例では、各命令は異なる機能ユニット10, 12に対するコマンドをパラレルに含むが、あるいは、命令は命令毎に1つのコマンドにより利用されるかもしれない。また、コマンドは、オペランドレジスタアドレス、オペコード及びコマンドの結果レジスタアドレスを連続的に供給するなどによって、パイプライン形式で発行されるかもしれない。

【0027】

図3は、算術機能ユニットの一例を示す。算術機能ユニットは、オペランド入力30a, 30bのペア、コマンド入力32、複数の算術回路34及び結果出力36を有する。オペランド入力30a, 30bは、レジスタファイル（図示せず）の各リードポートに接続される。典型的には、各オペランド入力は、オペランドの各ビットを提供する複数のコンダクタを有する。内部的には、算術機能ユニットは、各オペランド入力を複数のセクション（ボックス31a, 31bにより示される分割）に分割する。各算術回路34は、両方のオペランド入力30a, 30bの各セクションからオペランドの一部を受け取る。同様に、算術実行ユニットは、内部的に複数のセクションの組み合わせ（ボックス37により示される組み合わせ）からの結果出力を構成し、各算術回路34は各セクションにおける結果の一部を供給する。コマンド入力32は、算術回路34により実行される処理の選択を制御するため、算術回路34に接続される。

【0028】

一例となる動作について、各オペランドは各算術回路34により処理される複数のピクセル値を有し、結果は各算術回路34により生成される複数のピクセル値を有する。

【0029】

この算術機能ユニットは利用可能な機能ユニットの单なる一例に過ぎないことが理解されるべきである。他の例では、算術回路は同一オペランドからのセクション組み合わせからのピクセル値を処理し、及び/又はセクションの組み合わせに対する結果を生成するかもしれない。算術回路の代わりに、又はそれと組み合わせて、論理回路が利用されるかもしれないが、便宜上すべてのタイプの回路が算術回路という用語により想定される。

【0030】

図1, 2を参照して、メモリアクセスユニット12は、メモリバンク20とレジスタファイル16の各レジスタの間のデータ伝送を提供するコマンドを実行する。さらなる実施例では、メモリバンク20はバックグラウンドメモリ（図示せず）のキャッシュとして機能する。このさらなる実施例では、メモリアクセスユニットはまた、それがメモリバンク

10

20

30

40

50

20 ないときにはバックグラウンドメモリからデータをフェッチし、及び／又はメモリバンク20からバックグラウンドメモリにデータを書き込むことを含むキャッシング管理を実行する。

【0031】

メモリアクセスユニット12のコマンドは、算術ユニット10によるパラレル処理に使用するため、複数のメモリバンク20からパラレルに結果データを出力するためのコマンドを含む。メモリアクセスユニット12のコマンドのオペランドは、典型的には、データ値のアドレスを示すのに使用される。リードコマンドのベースでは、結果はメモリバンク20から読み込まれたデータ値を含む。一実施例では、オペランドはオペランド値を含むレジスタファイル16のレジスタのアドレスにより示されるが、他の実施例では、1以上のオペランド値が文字通りオペランドに含まれるかもしれない。 10

【0032】

メモリアクセスユニット12のコマンドは、パラメータセットを示すオペランドを有するあるタイプのコマンドを有する。簡単化のため、パラメータセットが文字通り命令入力28を介し示されるが、あるいはパラメータセットの表示がレジスタファイル16のリードポートを介しレジスタから与えられる実施例が説明される。

【0033】

パラメータセットオペランドは、メモリバンク20からデータがどのように読み込まれるか制御するのに利用される。パラメータセットは、データ値がメモリバンク20にどのように格納されるか、スイッチング回路22がメモリバンクと出力26とをどのように接続する必要があるかを示す。例えば、メモリバンク20にピクセル値を格納するいくつかの方法が説明される。 20

【0034】

第1の具体例では、矩形領域のピクセル位置における各ポジションの関数としてのピクセル値が格納される。当該領域の各y座標について、当該領域は各x座標を有するピクセル位置のラインセグメントを含む。ラインセグメントに沿ったピクセル位置のピクセル値は、すべてのバンクがアクセスされると第1バンクに戻り、前のラインセグメントのエンド後に次のy座標のラインセグメントをスタートして、各バンクに連続的に格納される。従って、例えば、第1バンクの第1及び第2メモリ位置は、第1ラインセグメントに沿った第1及び第5ピクセル位置のピクセル値を含み、第2バンクの第1及び第2メモリ位置は、第1ラインセグメントに沿った第2及び第6ピクセル位置のピクセル値を含み、これが第4バンクまで続けられる。第2ラインセグメントに沿った第1及び第5ピクセル位置のピクセル値は、第1バンクの第3及び第4メモリ位置に格納されるなどである。 30

【0035】

より一般的には、N個のバンクが存在する場合、i番目のバンクは、yのすべての値についてx座標が $i = x \bmod N$ となるピクセル値を含むかもしれない。当該領域がMピクセル幅であり、MがNの倍数でない場合、異なるラインセグメントのピクセル値が、第1メモリバンクからスタートして、すなわち、先頭から格納されるかもしれない。この場合において、ピクセル位置のx及びy座標はx及びyである場合、第iバンクは、 $i = x + M * y \bmod N$ となるピクセル位置のピクセル値を格納する。 40

【0036】

他の例では、ピクセル値はあるオフセットを有して格納されてもよく、これは領域の最初のピクセル値が格納されるメモリバンクに影響を与える。この場合、ピクセル位置のx及びy座標がx及びyである場合には、第iバンクは、 $i = x_0 + x + M * (y + y_0) \bmod N$ となるピクセル位置のピクセル値を格納する。ここで、 x_0 及び y_0 はx及びyの各オフセット値である。同一のx座標によるピクセルが同一のバンクに格納される実施例では、 $i = x_0 + x \bmod N$ である。

【0037】

さらなる具体例では、各メモリ位置は複数のピクセル値を含む。一例では、第1バンクの第1メモリ位置は、第1ラインセグメントに沿った第1～第4ピクセル位置のピクセル 50

値を含み、第2バンクの第1メモリ位置は、第1ラインセグメントに沿った第5～第8ピクセル位置のピクセル値を含むなどである。第1バンクの第2メモリ位置では、第1ラインセグメントに沿った第17～第20ピクセルのピクセル値が格納されるなどである。第1ラインセグメントが22のピクセル位置を含むと仮定すると、第1バンクの第3メモリ位置は、第2ラインセグメントに沿って第1～第4ピクセル位置のピクセル値などを含む。

【0038】

より一般的には、このさらなる具体例において、N個のバンクがある場合、第iバンクはyのすべての値について $i = j + P * x \bmod N$ ($j = 0, \dots, P - 1$) のx座標を有するピクセル値を含むかもしれない (Pは、あるメモリ位置におけるピクセル値の個数である)。当該領域がMピクセル幅であり、MがNの倍数でない場合、異なるラインセグメントのピクセル値が、第1メモリバンクからスタートして、すなわち、先頭から格納されるかもしれない。この場合、あるピクセル位置のx及びy座標がx及びyである場合には、第iバンクは、 $i = j + P * x + P * M * y \bmod N$ のピクセル位置のピクセル値を格納する。他の例では、ピクセル稚児のビット数は異なるデータについて異なっているかもしれない。例えば、8ビットピクセル値がルミナンスデータに使用され、ピクセル毎に4ビットがカラー値に使用され、より多くのビットが動きベクトルに使用されるかもしれない。これは、より多くのピクセル値が同じ位置に格納可能である、すなわち、Pが異なるタイプのデータについて異なるという効果を有する。この場合もまた、1以上のオフセットx0, y0が利用されるかもしれない。

【0039】

他の例では、サブサンプリングされたピクセル値が利用されてもよく、これは、データ値が選択されたピクセル位置についてのみ格納されることを意味する。これらのピクセル位置は、座標(x, y) = (x0 + ix * Sx, y0 + iy * Sy)により記述可能である。ここでは、Sx, Syは、水平方向と垂直方向のサブサンプルファクタ (Sx, Sy = 1/2など) であり、ix及びiyは整数である。サブサンプリングが使用されるとき、好ましくは、未使用位置についてメモリ位置は確保されない。この場合、ix及びiyは、メモリ位置の決定においてx及びy座標の役割を引き継ぐ。

【0040】

上記具体例では、このポイントまで、同一の初期的なメモリバンクが常に格納されている領域における最初のピクセル位置のピクセル値を格納していることが仮定された。この場合、 $(j + j1) \bmod N$ 番目 (j 及び $j1$ は整数である) のバンクのメモリバンクは、第jバンクについて上述された役割を引き継ぐ。この場合、j1のバンクオフセットが存在する。

【0041】

上記具体例では、このポイントまで、連続するピクセル位置のピクセル値が、連続するピクセル位置の第1部分のすべてのメモリバンクを用いて連続するメモリバンクに格納され、連続するピクセル位置の次の部分のピクセル値がすべてのメモリバンクになるなど仮定されてきた。他の実施例では、メモリバンクの一部のみが選択されたピクセル値セットについて利用されるかもしれない。このため、例えば、ピクセル位置セットの第1カラー値 (U個の値など) が第1及び第2メモリバンクに格納され、第2カラー値 (V個の値など) が第3及び第4メモリバンクに格納されるかもしれない。より一般的には、これは、バンクの総数Nより少ないバンクの有効数N'が、選択されたピクセル値セットのNの代わりに利用されることを意味する。さらに、最初のバンク番号Bは、何れのバンクが使用されるか示すのに利用されるかもしれない。

【0042】

ピクセル値がまずx座標に昇順に、次にy座標の昇順に従って格納される具体例が与えられたが、ピクセル値がまずy座標又は座標値の昇順若しくは降順に従って格納可能であることが理解されるであろう。ピクセル値セットについて何れの格納形式が利用されるか示すパラメータが利用されるかもしれない。

10

20

30

40

50

【0043】

上記具体例はピクセル値に関して与えられたが、既知の画像処理アルゴリズムのコンプレクシティによって、異なる形式の格納の利用が特に効果的である。しかしながら、この格納形式はまた一般には少なくとも2次元信号（画像信号に限らない）又は1次元信号（オーディオ信号などの時間に依存した信号など）にも適用可能であることに留意すべきである。さらに多次元の信号に利用されるとき（例えば、ピクセル座標と時間との関数としての画像やピクセル座標とスケールとの関数としての座標など）、典型的には、より多くのパラメータが格納を制御するのに利用される。

【0044】

具体例から実現されるように、各種パラメータが格納位置に影響を与える。パラメータは、格納されている領域のラインセグメントにおけるピクセル位置数M、オフセット x_0, y_0 、サブサンプルファクタ S_x, S_y 、メモリ位置P毎のピクセル値の個数、バンクオフセット j_1 、バンクの有効数N'、最初のバンクB、主格納座標の表示（例えば、 x が主座標である場合には真であり、 y が主座標である場合には偽であるブール値など）の何れか又は組み合わせを含むかもしれない。これらの代わりに又は追加して、他のパラメータが利用されるかもしれない。

【0045】

メモリアクセスユニット12は、異なるデータ値セット（ピクセル値など）の格納を記述するため、このようなパラメータについて複数の値のセットを同時に使用することをサポートする。これらの値のセットはパラメータセットメモリ246に格納される。メモリアクセス回路12は、格納されているセットの1つを選択するための表示を含むあるタイプの命令をサポートする。一実施例では、この表示は文字通りのデータとして命令に含められ、他の実施例では、レジスタファイル16からのオペランドに提供される。このタイプの命令はさらに、例えば、現在領域に対する座標などに関するピクセル位置の表示を有する位置オペランド（又はより一般的には信号における位置など）を有する。

【0046】

このタイプの命令を受け付けると、パラメータセット制御回路240は、パラメータセットメモリ246から選択されたパラメータセット（又は少なくともその一部）を抽出し、位置オペランドと組み合わせて選択されたパラメータを利用して、アドレス生成回路242及びスイッチ制御生成回路244を制御する。アドレス生成回路242は、パラメータセット制御回路240からの信号に依存してメモリバンク20のアドレスを生成する。スイッチ制御生成回路244は、パラメータセット制御回路240からの信号に依存してスイッチング回路22のためのスイッチ制御信号を生成する。

【0047】

このタイプの命令は、リードタイプ又はライトタイプの命令であり得る。リードタイプ命令の制御の下、メモリバンク20はリード処理を実行する。リードタイプ命令の場合、メモリバンク20は複数のデータ値（ピクセル値など）をパラレルに出力し、スイッチング回路22は、レジスタファイル16のライトポートに少なくともこれら複数のデータ値を有する結果をパラレルに出力する。スイッチング回路22は、必要に応じてデータ値を出力するメモリバンク20と、レジスタファイル16のライトポートに出力される結果のポジションとの間の関係を再構成する。一実施例では、結果におけるデータ値のポジションは、位置オペランドにより示される位置に対する信号ポジション（ピクセル位置など）にのみ依存することが保証される。

【0048】

第iメモリバンク20がピクセル座標 x, y のピクセル位置のピクセル値を格納している例では、 $i = (x_0 + x + M * (y + y_0)) \bmod N$ である場合、スイッチング回路22は、第jバンクからのピクセル値を、レジスタファイル16のライトポートに供給される結果におけるポジション $(j - i_0) \bmod R$ （ここで、Rは結果におけるピクセル値のポジションの個数であり、 i_0 は命令の位置オペランドにより示される位置のピクセル値を格納しているメモリバンクの番号である）に供給する。この場合、パラメータ

10

20

30

40

50

セット制御回路 240 は、 x_0 , y_0 , M のパラメータ値を利用して、スイッチ制御生成回路 244 を制御する。

【0049】

同様に、パラメータセット制御回路 240 は、アドレス生成回路 242 による異なるメモリバンクのアドレスの選択を制御する。典型的には、アドレスがパラレルに出力される必要があるピクセル位置の系列に沿って変換するかに応じて、2つの異なる隣接するアドレスが使用されるか、又は各メモリバンク 20 について同一のアドレスが使用される。上記具体例では、第 i メモリバンクのアドレスは、例えば、 $(i - i_0) / N$ であるかも知れず、この場合、パラメータセット制御回路 240 とアドレス生成回路 242 は対応するアドレスを供給する。

10

【0050】

使用されるパラメータとメモリバンクのアドレス指定方法に応じて、メモリバンク 20 のアドレス指定とスイッチング回路 22 による選択とを制御するため、より複雑な計算が利用されてもよいことが理解されるであろう。パラメータセット制御回路 240、アドレス生成回路 242 及びスイッチ制御生成回路 244 に使用される具体的な回路は、サポートされるパラメータの性質に依存する。

【0051】

図 4 は、これらの回路の組み合わせの典型的な実施例を示す。計算部分のみが示され、読み込みと書き込みとを選択するための制御接続などは示されていない。本実施例では、この組み合わせは加算手段 42 に接続された出力を有する乗算手段 40 を有し（例えば、許容されるウィンドウサイズ、サンプリングファクタなどが 2 の幂乗であるときのパレルシフト回路の形式など）、加算手段 42 はモジュロー回路 43（典型的には、2 の幂乗のモジュローを演算する）、さらなる加算手段 44 と直列に接続される。さらなる加算手段 44 は、変換回路 46, 48 に接続される出力を有する。

20

【0052】

この典型的な実施例では、乗算手段 40 は、例えば、領域幅 M （位置オペランドから求められる y 座標との乗算）及び / 又はサブサンプリングファクタを考慮するのに利用される。加算手段 42 は、 x 及び y 座標による貢献の加算であり、オフセットの加算を処理する。モジュロー回路 43 は、選択されるバンクの有効数 N' を考慮する。さらなる加算手段 44 は、バンクオフセットを加算する。本実施例では、さらなる加算手段 44 は、結果における第 1 ポジションに出力される第 1 ピクセル値を含むバンクのバンク番号を出力する。第 1 変換回路 46 は、これをスイッチング回路（図示せず）のための制御信号に変換する。第 2 変換回路 48 は、最初のバンク番号、関連するピクセル値セットのアドレスオフセット及び計算されたアドレスを用いて、異なるメモリバンクのアドレスを決定する。各種要素は、メモリアクセスユニットに対するコマンドの選択されたパラメータ値セットの指示に応答して、パラメータ値メモリ 246 から取得されるパラメータ値を受け取る。

30

【0053】

図 4 の回路は、スイッチング回路 22 のスイッチ制御信号とメモリバンク 20 のアドレスとを生成する回路の単なるシンプルな一例であることが強調されるべきである。メモリアクセスユニットによりサポートされるパラメータの特定の組み合わせについて必要に応じて、同様の処理又は簡単化された若しくはより複雑な処理を実行するための多数の代替が存在する。

40

【0054】

ライトタイプ命令の場合、データは、レジスタファイル 16 のリードポートからメモリバンクのメモリ位置に書き込まれる。この場合、スイッチング回路 22 は、リードポートの各部分をメモリバンク 20 の制御可能な各メモリバンク 22 に接続する。ライトタイプコマンドの制御の下、メモリバンク 20 はライト処理を実行する。スイッチング制御信号とアドレスとを生成するための制御回路 24 の処理は、リードタイプ命令のケースと同様である。

【0055】

50

理解されるように、説明された回路は、リードタイプ命令に応答してメモリバンク 20 からの出力を複数のデータ値による結果に変換する機能及び / 又はリードタイプ命令に応答してライトタイプ命令のオペランドの各部分をメモリバンク 20 に格納する機能を実行する。各ケースでは、回路は、メモリバンクと結果のポジションとの間の調整可能に制御される関係を利用する。この関係は、制御回路 24 の複数のパラメータ値セットのうちのあるパラメータ値セットの選択を示すリード又はライトタイプ命令の情報によって制御される。

【 0 0 5 6 】

動作について、回路は、異なるパラメータ値セットを示すリード及び / 又はライトタイプ命令の組み合わせを含む命令プログラムを実行する。一実施例では、異なるパラメータ値セットが、メモリバンク系列の 1 つのオフセットからスタートして格納されている第 1 ピクセル位置領域のピクセル値と、メモリバンク系列の他のオフセットからスタートして格納されている第 2 ピクセル位置領域のピクセル値とを提供するよう格納されるかもしれない。このため、これら異なる領域へのアクセスは、異なる領域をロード及びリロードすることなく同時に実行可能である（すなわち、互いに組み合わされた各命令による）。

【 0 0 5 7 】

他の実施例では、異なるパラメータ値セットが、メモリバンクの異なる部分におけるサブサンプリングされた解像度による第 2 ピクセル値（U 及び / 又は V）と共に、ある空間解像度により格納される第 1 ピクセル値（ルミナンス値 Y など）。同様に、このタイプのデータは、さらに低い解像度によるピクセル位置の動きベクトルデータと合成されるかもしれない。従って、これら異なるタイプのデータへのアクセスが、異なるデータをロード及びリロードすることなく同時に実行することができる。

【 0 0 5 8 】

さらなる実施例では、このようなデータの異なるセットが、メモリバンク 20 の互いに排他的なサブセットに格納されるかもしれない。本実施例では、メモリアクセスユニットは、同一の命令において複数のパラメータセットの指示を受け取り、これら複数のパラメータセットの指示に従って調整されたデータ値をレジスタファイル 16 のライトポート又はリードポートに入出力するよう構成される。これは、例えば、1 つの指示を処理する回路を複製し、複製された回路の出力からスイッチング制御信号とメモリアドレスの各部分を選択することによって実現することができる。従って、データセットの組み合わせへのアクセスは、同一の命令により実行可能である。

【 0 0 5 9 】

一実施例では、メモリアクセスユニットは、パラメータ値をパラメータ値メモリの選択された位置に書き込むためのさらなる命令タイプをサポートするよう構成される。動作について、メモリバンク 20 におけるデータ値の読み書き前に、パラメータ値の各値を設定する命令を含むプログラムが実行される。

【 0 0 6 0 】

メモリバンク 20 しか示されていないが、これらのバンクはバックグラウンドメモリのキャッシュとして機能するよう利用されることが理解されるべきである。図 5 は、キャッシュメモリ 50 がメモリバンク 20 を有するキャッシュコンフィギュレーションを示す。メモリアクセスユニットはまた、キャッシュ制御回路 52 と、バックグラウンドメモリ 54 とのインターフェース回路 56 とを有する。キャッシュ制御自体は既知である。一実施例では、キャッシュ制御回路 52 はまた、異なるピクセル位置のデータ値がバックグラウンドメモリ 54 に格納される方法に適切となるように、キャッシュメモリのデータの一部とメインメモリ 54 の対応するアドレスとに対応するパラメータセットに従ってキャッシュメモリ 50 のアドレスを計算することによって、バックグラウンドメモリ 54 におけるデータをフェッチ又は格納するためのバックグラウンドメモリアドレスを決定するのに利用される格納されているパラメータ値にアクセス可能である。

【 0 0 6 1 】

本発明の実施例は、以下のように要約することができる。プログラマブルデータ処理回

10

20

30

40

50

路は、ピクセル値、又はより一般にはデータ値を信号のポジションの関数として格納するメモリを有する。プログラマブルデータ処理回路は、複数のデータ値がメモリからのパラレル出力についてどのように構成される必要があるかを示す選択されたパラメータ値セットの指示を含む命令をサポートする。異なるパラメータ値セットを示す命令が、互いに混合されて実行可能である。プログラマブルデータ処理回路は、パラメータ格納回路 246 から選択されたパラメータ値セットを抽出し、少なくとも部分的に選択されたパラメータ値セットに応じて、メモリ回路 20 のメモリポート 21 とデータポート 26 との間のスイッチング回路 22 を制御することによって、このタイプの命令に応答する。

【0062】

パラメータ値メモリ 246 がパラメータ格納回路の一例として示されたが、何れかの形式の格納が利用されてもよいことが理解されるべきである。図示された具体例では、パラメータ値セットの指示に応答して、パラメータ値メモリからすべてのパラメータ値が提供される。このため、パラメータ値メモリは、パラメータセットのレジスタを有する専用のレジスタファイルとして機能する。このように、大きなパラメータセットのための特殊なレジスタを設けることが可能である。しかしながら、他の実施例では、パラメータ値の一部は、レジスタファイル 16 のレジスタがパラメータセットを保持するのに十分である場合、例えば、レジスタから命令のオペランドデータとして部分的に又はすべて供給されるかもしれない。この場合、パラメータ値メモリ 246 はレジスタファイルの一部となる。何れかのタイプのパラメータ格納回路が利用されてもよい。

【0063】

オペランドと結果（パラメータ値セット以外）が 1 つのレジスタファイルに読み書きされる実施例が説明されたが、実際には、1 つのレジスタファイルは異なるサイズのレジスタを有する複数のレジスタファイルを有することが理解されるべきである。従って例えば、位置オペランド又はパラメータセットの選択指示を有するレジスタは、複数のデータ値を含むレジスタより小さいかもしれない。

【0064】

さらに、他の実施例では、オペランドと結果は、レジスタファイルの中間的な格納を利用することなく、直接的に及び／又はメモリアクセスユニットから算術回路に提供されてもよい。

【0065】

データがオペランド／結果とメモリバンク 20 との間でどのように再構成されるか制御するパラメータに関する具体例が与えられたが、再構成を制御する他のパラメータ及び方法が利用可能であることが理解されるべきである。

【0066】

命令の発行、レジスタの読み書き、命令の実行、アドレス選択、スイッチング選択などの命令に対する各種処理が説明されたが、異なる処理がパイプライン式に実行されてもよいことが理解されるべきである。

【0067】

さらに、算術回路の一例が示されたが、記載された形式のメモリアクセスは、複数のデータ値を含む結果を生成し、及び／又はオペランドを処理する他のタイプの機能要素と共に実行可能であることが理解されるべきである。

【0068】

このため、上述した実施例は本発明を限定するものでなく例示するものであり、当業者は添付した請求項の範囲から逸脱することなく他の多数の実施例を設計可能であることが留意されるべきである。請求項において、括弧内の参照符号は請求項を限定するものとして解釈されるべきでない。“有する”という用語は、請求項に列記した以外の要素又はステップの存在を排除するものでない。要素に先行する“ある”という単語は、当該要素が複数存在することを排除するものでない。本発明は、複数の要素を有するハードウェアによって、及び／又は適切にプログラムされたプロセッサによって実現可能である。複数の手段を列記した装置クレームでは、これらの手段のいくつかは 1 つの同一のハードウェア

10

20

30

40

50

アイテムにより実現可能である。特定の手段が互いに異なる従属クレームに記載されているという事実は、これらの手段の組み合わせが効果的には利用可能でないことを示すものでない。

【図面の簡単な説明】

【0069】

【図1】図1は、処理回路を示す。

【図2】図2は、メモリアクセスユニットを示す。

【図3】図3は、算術機能要素を示す。

【図4】図4は、メモリアクセス制御回路の一部を示す。

【図5】図5は、キャッシュコンフィギュレーションを示す。

10

【図1】

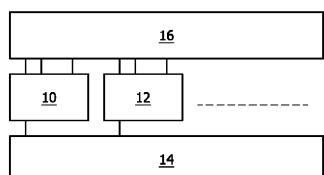


FIG. 1

【図2】

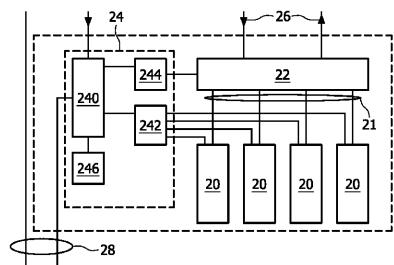


FIG. 2

【図3】

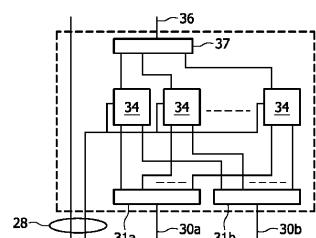


FIG. 3

【図4】

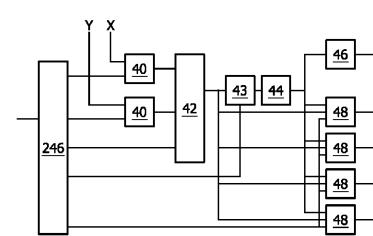


FIG. 4

【図5】

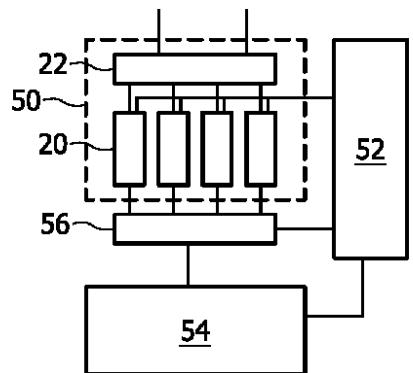


FIG. 5

フロントページの続き

(72)発明者 セトゥラマン , ラマナサン
オランダ国 , 5 6 5 6 アーアー アインドーフェン , プロフ・ホルストラーン 6

審査官 岩間 直純

(56)参考文献 欧州特許出願公開第 0 0 6 2 9 9 5 2 (E P , A 1)
米国特許第 0 5 3 4 1 4 8 9 (U S , A)
SELECTABLE MEMORY CARD INTERLEAVE SCHEME , IBM Technical Disclosure Bulletin , 米国 , IBM
Corp. , 1 9 8 8 年 4 月 , Vol.30, No.11 , pp.158-161

(58)調査した分野(Int.Cl. , DB名)

G 0 6 F 1 2 / 0 2