(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H01L 27/115

(11) 공개번호 특1997-0077694
(43) 공개일자 1997년12월12일

(21) 출원번호 특1996-0016464
(22) 출원일자 1996년05월16일

(71) 출원인 LG 반도체 주식회사 문정환
충청북도 청주시 흥덕구 향정동 1번지 (우 : 361-480)
(72) 발명자 정희철
충청북도 청주시 흥덕구 가경동 774번지
(74) 대리인 강용복, 김용인

심사청구 : 있음

(54) 반도체 메모리 소자 및 그의 제조방법

요약

본 발명은 반도체 메모리 소자의 제조방법에 관한 것으로 특히 커플링 비율을 높이기 위한 반도체 메모리 소자에 관한 것이다.

이를 위한 본 발명의 반도체 메모리 소자 및 그의 제조방법은 반도체 기판에 터널링 절연막이 형성되고, 측면에 굴곡부를 갖고 상기 터널링 절연막위에 부유 게이트가 형성되고, 상기 부유 게이트 표면상에 유전체층이 형성되고, 상기 유전체층 위에 역 항아리 또는 工자 모양의 제어 게이트가 형성되어 제어 게이트와 부유 게이트 간의 커패시턴스를 향상시켜 커플링 비를 높인 것이다.

이 발명에 따른 반도체 메모리 소자에 의하면 커플링비가 증가하여 전력 소비를 줄일 수 있고 억세스 시간이 감소되는 효과가 있다.

대표도

도3

명세서

[발명의 명칭]

반도체 메모리 소자 및 그의 제조방법

[도면의 간단한 설명]

제3도 (a) 내지 (j)는 본 발명의 제1실시예 EEPROM 메모리 소자의 공정단면도.

본 내용은 요부공개 건이므로 전문내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

반도체 기판; 상기 반도체 기판상에 형성되는 터널링 절연막; 상기 터널링 절연막상에 측면에 굴곡부를 가진 부유 게이트; 상부 부유 게이트 표면상에 형성되는 유전체층; 상기 유전체층상에 형성되는 제어 게이트; 그리고 상기 부유 게이트 양측 기판상에 형성되는 제1, 제2불순물 영역을 포함하여 구성됨을 특징으로 하는 반도체 메모리 소자.

청구항 2

제1항에 있어서, 터널링 절연막은 산화막으로 형성됨을 특징으로 하는 반도체 메모리 소자.

청구항 3

제1항에 있어서, 유전체층은 고온 저압 유전체(HLD)로 형성됨을 특징으로 하는 반도체 메모리 소자.

청구항 4

제1항에 있어서, 부유 게이트와 제1, 제2불순물 영역은 부유 게이트의 모서리 부분에서 서로 오버랩됨을 특징으로 하는 반도체 메모리 소자.

청구항 5

제1항에 있어서, 제1, 제2불순물 영역은 고농도 n형으로 형성됨을 특징으로 하는 반도체 메모리 소자.

청구항 6

제1항에 있어서, 부유 게이트는 工자 모양으로 형성됨을 특징으로 하는 반도체 메모리 소자.

청구항 7

제1항에 있어서, 부유 게이트는 상기 터널링 절연막위에 형성되는 제1부유 게이트; 상기 제1부유 게이트의 중앙부위에 형성되는 제2부유 게이트; 그리고 상기 제2부유 게이트에 중앙부분이 연결되고 상기 제1부유 게이트와 평행하게 형성되는 제3부유 게이트를 구비하여 구성됨을 특징으로 하는 반도체 메모리 소자.

청구항 8

제7항에 있어서, 제3부유 게이트는 제1부유 게이트보다 더 짧게 형성됨을 특징으로 하는 반도체 메모리 소자.

청구항 9

제1항에 있어서, 제어 게이트는 부유 게이트의 일부를 감싸도록 형성됨을 특징으로 하는 반도체 메모리 소자.

청구항 10

반도체 기판; 상기 반도체 기판위에 형성되는 터널링 절연막; 상기 터널링 절연막위에 항아리 모양으로 형성되는 부유 게이트; 상기 부유 게이트의 표면상에 형성되는 유전체층; 상기 유전체층 위에 工자 모양으로 형성되는 제어 게이트; 그리고 상기 부유 게이트 양측의 반도체 기판에 형성되는 제1, 제2불순물 영역을 포함하여 구성됨을 특징으로 하는 반도체 메모리 소자.

청구항 11

제10항에 있어서, 부유 게이트는 상기 터널링 절연막위에 형성되는 제1부유 게이트; 상기 제1부유 게이트 양단 상측에 형성되어 제1부유 게이트와 연결된 제2, 제3부유 게이트; 상기 제2부유 게이트위에 형성되어 일측이 상기 제2부유 게이트와 연결되고 타측은 제3부유 게이트방향으로 연장되는 제4부유 게이트; 상기 제3부유 게이트위에 형성되어 일측이 상기 제3부유 게이트와 연결되고 타측은 제2부유 게이트방향으로 연장되는 제5부유 게이트를 포함하여 구성됨을 특징으로 하는 반도체 메모리 소자.

청구항 12

제11항에 있어서, 제4부유 게이트와 제5부유 게이트는 상기 제1부유 게이트와 평행하게 형성되고 서로 일정 간격을 갖고 형성됨을 특징으로 하는 반도체 메모리 소자.

청구항 13

제10항에 있어서, 제어 게이트는 항아리 모양의 내부와 상측 표면에 걸쳐 형성됨을 특징으로 하는 반도체 메모리 소자.

청구항 14

반도체 기판을 준비하는 제1단계; 상기 반도체 기판에 터널링 절연막, 제1도전체층 및 절연막을 차례로 형성하는 제2단계; 상기 절연막을 선택적으로 제거하여 콘택 홀을 형성하는 제3단계; 상기 콘택 홀을 통해 제1도전체층에 연결되도록 전면에 제2도전체층을 형성하는 제4단계; 상기 콘택 홀을 중심으로 단위 셀 영역을 정의하여 제2, 제1도전체층을 선택적으로 제거하고 상기 절연막을 모두 제거하여 부유 게이트를 형성하는 제5단계; 상기 부유 게이트의 노출된 표면에 유전체층을 형성하는 제6단계; 상기 유전체층 위에 제어 게이트를 형성하는 제7단계; 그리고 부유 게이트 양측의 상기 반도체 기판에 제1, 제2불순물 영역을 형성하는 제8단계를 포함하여 이루어짐을 특징으로 하는 반도체 메모리 소자 제조방법.

청구항 15

제14항에 있어서, 제5단계에서 제1도전층의 길이보다 더 짧도록 제2도전체층의 양측을 제거하는 단계를 더 포함하여 이루어짐을 특징으로 하는 반도체 메모리 소자 제조방법.

청구항 16

제14항에 있어서, 절연막은 질화막으로 형성함을 특징으로 하는 반도체 메모리 소자 제조방법.

청구항 17

제14항에 있어서, 제1, 제2도전체층 및 제어 게이트는 다결정 실리콘으로 형성함을 특징으로 하는 반도체 메모리 소자 제조방법.

청구항 18

제14항에 있어서, 유진체층은 고압 저온 유전체층으로 형성함을 특징으로 하는 반도체 메모리 소자 제조방법.

청구항 19

반도체 기판을 준비하는 단계; 상기 반도체 기판상에 터널링 절연막, 제1도전체층을 형성하는 단계; 상기 제1도전체층상의 소정부위에 절연막을 형성하는 단계; 상기 절연막을 포함한 제1도전체층위에 제2도전체층을 형성하는 단계; 상기 절연막을 중심으로 단위 셀 영역을 정의하여 상기 제1, 제2도전체층 및 터널링 절연막을 선택적으로 제거하는 단계; 상기 절연막 상측의 제2도전체층을 선택적으로 제거하고 절연막을 모두 제거하여 부유 게이트를 형성하는 단계; 상기 부유 게이트 표면상에 유전체층을 형성하는 단계; 상기 유전체층위에 제어 게이트를 형성하는 단계; 그리고 상기 부유 게이트 양측의 상기 반도체 기판에 제1, 제2불순물 영역을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 반도체 메모리 소자 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개되는 것임.

도면

도면3

