(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年4月16日(16.04.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/075552 A1

(51) 国際特許分類:
*H03F 3/70* (2006.01)　*H03M 1/12* (2006.01)
*H03F 3/34* (2006.01)　*H03M 1/38* (2006.01)
*H03M 1/08* (2006.01)

(21) 国際出願番号：　PCT/JP2019/038501

(22) 国際出願日：　2019年9月30日(30.09.2019)

(25) 国際出願の言語：　日本語

(26) 国際公開の言語：　日本語

(30) 優先権データ：
特願 2018-192098　2018年10月10日(10.10.2018) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目１４番１号 Kanagawa (JP).

(72) 発明者: 尾野 孝一(**ONO, Koichi**); 〒2430014 神奈川県厚木市旭町４丁目１４－１ ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 黒岩 達郎(**KUROIWA, Tatsuo**); 〒2430014 神奈川県厚木市旭町４丁目１４－１ ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 廣野 大輔(**HIRONO, Daisuke**); 〒2430014 神奈川県厚木市旭町４丁目１４－１ ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 江藤 慎一郎(**ETOU, Shinichirou**); 〒2430014 神奈川県厚木市旭町４丁目１４－１ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

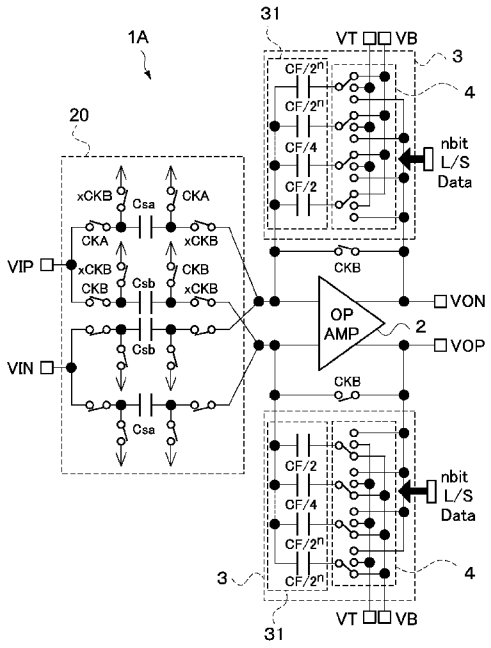
(74) 代理人: 大森 純一(**OMORI, Junichi**); 〒1070052 東京都港区赤坂７－５－４７ Ｕ＆Ｍ赤坂ビル２Ｆ Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) **Title:** SWITCHED CAPACITOR AMPLIFIER AND AD CONVERSION DEVICE

(54) 発明の名称： スイッチトキャパシタアンプおよびＡＤ変換装置

[図5(a)]




(57) **Abstract:** This switched capacitor amplifier, as in one embodiment of the present invention, is provided with a plurality of sampling capacitors, feedback capacitors, a group of switches, and an operational amplifier. The plurality of sampling capacitors sample analogue signals. The feedback capacitors are arranged in a capacitor array. The group of switches are connected to the feedback capacitors and have at least three connection destinations. The operational amplifier is configured so that negative feedback is carried out according to one of the connection destinations of the group of switches and the feedback capacitor, and so that analogue signal amplitude differences are detected.

(57) 要約：本技術の一形態に係るスイッチトキャパシタアンプは、複数のサンプリング容量と、フィードバック容量と、スイッチ群と、演算増幅器とを具備する。前記複数のサンプリング容量は、アナログ信号をサンプリングする。前記フィードバック容量は、容量アレイ化される。前記スイッチ群は、前記フィードバック容量に接続され、少なくとも３つの接続先を有する。前記演算増幅器は、前記フィードバック容量および前記スイッチ群の１つの接続先によって負帰還が施され、前記アナログ信号の振幅の差分を検出する。

WO 2020/075552 A1

［続葉有］

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

**(84)** 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告（条約第21条(3)）

# 明　細　書

## 発明の名称 ： スイッチトキャパシタアンプおよびＡＤ変換装置

## 技術分野

[0001] 本技術は、近接センサや変位センサなどに用いられるスイッチトキャパシタアンプおよびＡＤ変換装置に関する。

## 背景技術

[0002] 近接センサや変位センサなどのセンサ類は、磁気誘導等を利用して得られた信号振幅の変化分を検出することにより、対象物認識または対象物までの距離を求めている。

センサからの信号振幅を検出する回路としては、例えばＣＤＳ(Ｃｏｒｒｅｌａｔｅｄ　Ｄｏｕｂｌｅ　Ｓａｍｐｌｉｎｇ)を用いた信号処理方式がある。ＣＤＳは、１つの信号の時間変化による差分を検出する場合に、一般的に用いられる。

[0003] ＣＤＳは、例えばＣＣＤ用のアナログフロントエンド(ＡＦＥ)で採用されている信号処理方式である。ＣＤＳの信号処理方式は、サンプリング前後の出力電圧の差がそのまま信号成分となることから、信号源の固体バラツキによる影響が低減できると共に、低周波雑音が抑制出来る等のメリットがある。

信号処理の全体構成例としては、センサからの信号をプリアンプ(ＰｒｅＡｍｐ)で増幅した後、ＣＤＳにおいて差分信号処理をし、そしてＡＤ変換器(ＡＤＣ)でデジタル化するアプローチが一般的である（例えば、特許文献１参照）。

## 先行技術文献

## 特許文献

[0004] 特許文献1：特開２００３－０６０５０５号公報

## 発明の概要

## 発明が解決しようとする課題

[0005] ここで後に詳述するが、ＣＤＳおよびＡＤＣは回路構成上、回路全体の面積（表面積）に占めるコンデンサの容量（電極面積）比率が大きい。ｋＴ／Ｃノイズ（ｋはボルツマン定数、Ｔは絶対温度、Ｃはコンデンサの容量）との関連もあり、コンデンサの容量を単に小さくすることができない。そのため必要なスペックから容量値が決定され、結果的に回路全体の面積および消費電力の増大を招いている。

[0006] 以上のような事情に鑑み、本技術の目的は、回路全体の面積および消費電力を低減させることができるスイッチトキャパシタアンプおよびＡＤ変換装置を提供することにある。

## 課題を解決するための手段

[0007] 本技術の一形態に係るスイッチトキャパシタアンプは、複数のサンプリング容量と、フィードバック容量と、スイッチ群と、演算増幅器とを具備する。

前記複数のサンプリング容量は、アナログ信号をサンプリングする。

前記フィードバック容量は、容量アレイ化される。

前記スイッチ群は、前記フィードバック容量に接続され、少なくとも３つの接続先を有する。

前記演算増幅器は、前記フィードバック容量および前記スイッチ群の１つの接続先によって負帰還が施され、前記アナログ信号の振幅の差分を検出する。

[0008] 前記フィードバック容量は、２のｎ乗（ｎは整数）の重み付けがなされた複数の容量素子を有してもよい。

[0009] 前記スイッチ群の少なくとも２つの接続先はそれぞれ、第１の基準電位および前記第１の基準電位よりも低い第２の基準電位であってもよい。

[0010] 前記スイッチ群の他の１つの接続先は、前記演算増幅器の出力端であってもよい。

[0011] 前記スイッチトキャパシタアンプは、コントローラをさらに具備してもよい。

前記コントローラは、前記アナログ信号の所定の振幅値に相当するレベルシフト量の電荷を前記フィードバック容量にプリチャージするためのデータ信号を生成することが可能に構成される。

[0012] 前記演算増幅器は、前記アナログ信号をサンプリングする期間とサンプルしたアナログ信号を増幅する期間の２つの状態を有してもよい。

[0013] 前記複数のサンプリング容量は、時間軸の異なる２つのアナログ信号を保持する容量を有し、前記演算増幅器は、第１のサンプリングで取得した保持電圧と第２のサンプリングで取得した保持電圧との差分を前記フィードバック容量との容量比で増幅してもよい。

[0014] 本技術の一形態に係るＡＤ変換装置は、複数のサンプリング容量と、フィードバック容量と、スイッチ群と、演算増幅器と、比較器とを具備する。

前記複数のサンプリング容量は、アナログ信号をサンプリングする。

前記フィードバック容量は、容量アレイ化される。

前記演算増幅器は、前記フィードバック容量および前記スイッチ群の１つの接続先によって負帰還が施され、前記アナログ信号の振幅の差分を検出する。

前記比較器は、前記演算増幅器の出力信号の差分の大小関係を判定する。

[0015] 前記フィードバック容量は、２のｎ乗（ｎは整数）の重み付けがなされた複数の容量素子を有してもよい。

[0016] 前記スイッチ群の少なくとも２つの接続先はそれぞれ、ＡＤ変換のフルスケールを定義する基準電圧の高電位端と低電位端であってもよい。

[0017] 前記スイッチ群の他の１つの接続先は、前記演算増幅器の入力端であってもよい。

[0018] 前記ＡＤ変換装置は、コントローラをさらに具備してもよい。

前記コントローラは、前記複数のサンプリング容量によってアナログ信号をサンプルする期間と、前記複数のサンプリング容量と前記フィードバック容量との比によってサンプルしたアナログ信号を前記演算増幅器で増幅する期間と、増幅したアナログ信号を前記比較器の出力に基づいてＡＤ変換する

期間とを制御する。

[0019] 前記コントローラは、前記比較器の判定結果に応じた二分探索シーケンスで前記フィードバック容量を制御するように構成されてもよい。

[0020] 前記ＡＤ変換装置は、前記スイッチ群および前記フィードバック容量に対して並列になるように、前記演算増幅器の入出力端の間に接続された第１のスイッチをさらに具備してもよい。

[0021] 前記ＡＤ変換装置は、補助スイッチ群をさらに具備してもよい。

前記補助スイッチ群は、前記フィードバック容量の他端に接続され、コモン電位および前記演算増幅器の出力端の２つの接続先を有する。

前記コントローラは、前記アナログ信号のサンプル期間において前記補助スイッチ群の接続先をコモン電位にするように構成される。

[0022] 前記ＡＤ変換装置は、第２のスイッチと、第３のスイッチとをさらに具備してもよい。

前記第２のスイッチは、前記フィードバック容量の他端を前記演算増幅器の出力端およびコモン電位に接続することが可能に構成される。

前記第３のスイッチは、前記スイッチ群を前記演算増幅器の入力端およびコモン電位に接続することが可能に構成される。

前記コントローラは、前記アナログ信号のサンプル期間において、前記演算増幅器の入出力端を、前記第２のスイッチおよび前記第３のスイッチを介してコモン電位に接続するように構成される。

[0023] 本技術の他の形態に係るＡＤ変換装置は、複数のサンプリング容量と、フィードバック容量と、比較器と、スイッチ群とを具備する。

前記複数のサンプリング容量は、アナログ信号をサンプリングする。

前記フィードバック容量は、容量アレイ化される。

前記比較器は、前記サンプリング容量でサンプリングされたアナログ信号の大小関係を判定する。

前記スイッチ群は、前記フィードバック容量に接続され、少なくとも３つの接続先を有し、そのうち１つが前記比較器の入力端に接続可能に構成され

る。

[0024] 前記フィードバック容量は、２のｎ乗（ｎは整数）の重み付けがなされた複数の容量素子を有してもよい。

[0025] 前記スイッチ群の少なくとも２つの接続先はそれぞれ、ＡＤ変換のフルスケールを定義する基準電圧の高電位端と低電位端であってもよい。

[0026] 前記ＡＤ変換装置は、コントローラをさらに具備してもよい。

前記コントローラは、前記複数のサンプリング容量によってアナログ信号をサンプルする期間と、サンプリングしたアナログ信号を前記比較器の出力に基づいてＡＤ変換する期間とを制御する。

前記コントローラは、前記アナログ信号をサンプルする期間において前記スイッチ群を前記比較器の入力端に接続するように構成される。

## 図面の簡単な説明

[0027] [図1]本技術の実施形態において説明するセンサシステムの基本構成を示すブロック図である。

[図2(a)]本技術の実施形態において比較例１として説明するＣＤＳアンプの構成を示す図である。

[図2(b)]上記比較例１のＣＤＳアンプの動作タイミングを示す図である。

[図3]上記比較例１のＣＤＳアンプを用いた信号振幅検出イメージの一例を示す図である。

[図4]レベルシフト機能を有するＣＤＳアンプを用いた信号振幅検出イメージの一例を示す図である。

[図5(a)]本技術の第１の実施形態に係るスイッチトキャパシタアンプとしてのＣＤＳアンプの構成を示す図である。

[図5(b)]第１の実施形態に係るスイッチトキャパシタアンプの動作タイミングを示す図である。

[図6]本技術の第２の実施形態に係るスイッチトキャパシタアンプの構成を示す図である。

[図7]本技術の第３の実施形態に係るスイッチトキャパシタアンプの構成を示

す図である。

[図8]本技術の第４の実施形態として、スイッチトキャパシタアンプのレベルシフト量の見積もり方法を説明するシステム図である。

[図9(a)]本技術の実施形態において比較例２として説明するＣＤＳアンプおよびＡＤＣの構成例である。

[図9(b)]比較例２のＣＤＳアンプおよびＡＤＣの動作タイミングを示した図である。

[図10(a)]本技術の第５の実施形態に係るＡＤ変換装置の構成を示す図である。

[図10(b)]上記第５の実施形態に係るＡＤ変換装置の動作タイミングを示す図である。

[図11]本技術の第６の実施形態に係るＡＤ変換装置の構成を示す図である。

[図12]本技術の第７の実施形態に係るＡＤ変換装置の構成を示す図である。

[図13(a)]本技術の実施形態において比較例３として説明するスイッチトキャパシタアンプの構成を示す図である。

[図13(b)]本技術の実施形態において比較例４として説明するスイッチトキャパシタアンプの構成を示す図である。

[図13(c)]上記比較例４のスイッチトキャパシタアンプの動作タイミングを示す図を示す。

[図14(a)]本技術の実施形態において比較例５として説明するＣＤＳアンプおよびＡＤＣの構成を示す図である。

[図14(b)]上記比較例５のＣＤＳアンプおよびＡＤＣの動作タイミングを示す図である。

[図15(a)]本技術の第８の実施形態に係るＡＤ変換装置の構成を示す図である。

[図15(b)]上記第８の実施形態に係るＡＤ変換装置の動作タイミングを示す図である。

## 発明を実施するための形態

[0028] 以下、本技術に係る各実施形態を、図面を参照しながら説明する。なお、説明は以下の順序で行う。

１．第１～第４の実施の形態（ＣＤＳ機能およびレベルシフト機能を両立させるスイッチトキャパシタアンプ）

２．第５～第７の実施の形態（ＣＤＳ機能およびＡＤＣ機能を両立させるＡＤ変換器）

３．第８の実施の形態（ＣＢ－ＣＤＳ機能およびＡＤＣ機能を両立させるＡＤ変換器）

[0029] ＜第１の実施形態＞

（システムの基本構成）

図１は、本実施形態において適用されるセンサシステムの一構成例を示すブロック図である。センサシステム１００は、センサ１０１、プリアンプ１０２、相関二重サンプリング回路（以下、ＣＤＳともいう）１０３、ＡＤ変換器（以下、ＡＤＣともいう）１０４、システムコントローラ１０５などを備える。

[0030] ここで、プリアンプ１０２、ＣＤＳ１０３、ＡＤＣ１０４およびシステムコントローラ１０５は、センサ１０１の信号を処理する信号処理装置を構成する。プリアンプ１０２は、必要に応じて省略されてもよいし、上記以外の回路ブロックが付加されてもよい。

また、以下の説明（第５～第８の実施形態）では、ＣＤＳ１０３およびＡＤＣ１０４を一括してＡＤ変換装置ともいう。

[0031] センサ１０１には、アナログ信号を検出信号として出力する各種センサが含まれる。ここでは、センサ１０１として、磁気誘導などを利用して交流の電気信号を出力する近接センサや変位センサを例に挙げて説明する。

[0032] プリアンプ１０２は、センサ１０１の検出信号を増幅し、ＣＤＳ１０３は、検出信号の振幅の時間変化による差分を検出する。ＡＤＣ１０４は、ＣＤＳ１０３において検出された信号振幅の差分をデジタル信号に変換し、システムコントローラ１０５へ出力する。システムコントローラ１０５は、ＣＤ

Ｓ１０３あるいはＡＤＣ１０４の動作を制御するとともに、センサ１０１から得られた信号振幅の時間変化に基づいて対象物を認識し、または対象物までの距離を求めるように構成される。

[0033] 一般に、一つの信号の時間変化による差分を検出する場合には、ＣＤＳが用いられる。例えば、ＣＣＤ（Ｃｈａｒｇｅ Ｃｏｕｐｌｅｄ Ｄｅｖｉｃｅ）用のアナログフロントエンド（ＡＦＥ）等で採用されている信号処理で、差成分がそのまま信号成分となることから、信号源の個体バラツキによる影響が低減できると共に、低周波雑音が抑制できる等のメリットがある。

[0034] 以下、本実施形態における比較例１として、ＣＤＳの典型的な回路例について説明する。

[0035] （比較例１）

図２（ａ）に示すＣＤＳアンプ1’は、演算増幅器（ＯＰＡＭＰ）２、サンプリング容量Ｃｓａ，Ｃｓｂ、フィードバック容量ＣＦおよびアナログスイッチＣＫＡ、ＣＫＢ、ｘＣＫＢを含む。スイッチＣＫＡ、ＣＫＢ、ｘＣＫＢは、図２（ｂ）に示す動作タイミングで制御される。サンプリング容量Ｃｓａ，ＣｓｂおよびスイッチＣＫＡ、ＣＫＢは、演算増幅器２の入力段２０を構成し、フィードバック容量ＣＦは、演算増幅器２のフィードバック（負帰還）回路を構成する。

[0036] ＣＤＳアンプ1’は、第１の入力端子ＶＩＰと、第２の入力端子ＶＩＮと、演算増幅器２の逆相出力端子に接続された第１の出力端子ＶＯＮと、演算増幅器２の正相出力端子に接続された第２の出力端子ＶＯＰとを有する。

[0037] なお、本明細書において、ＶＩＰおよびＶＩＮは、上記各入力端子の表記だけでなく、これら入力端子へ入力される信号の電圧をも表すものとする。同様に、ＶＯＮおよびＶＯＰは、上記各出力端子の表記だけでなく、これら出力端子から出力される信号の電圧をも表すものとする。

[0038] 第１の入力端子ＶＩＰおよび第２の入力端子ＶＩＮには、センサ出力（電圧）が供給される。

図２（ａ）に示すように、入力段２０において、第１の入力端子ＶＩＰ側

および第２の入力端子ＶＩＮ側のそれぞれには、サンプリング容量Ｃｓａの両端子にスイッチＣＫＡおよびスイッチｘＣＫＢが並列に接続され、サンプリング容量Ｃｓｂの両端子にスイッチＣＫＢおよびスイッチｘＣＫＢが並列に接続される。これら４つのサンプリング容量は、２つのサンプリング時のセンサ出力電圧を±側双方で保持し、２サンプル間の差分を生成するように、たすき掛け状に配線されている。

[0039] スイッチＣＫＢがＨレベル（ＯＮ）の場合、演算増幅器２の入出力がショート（短絡）され、Ａｕｔｏ－Ｚｅｒｏモード（ＡＺモード、ＣＤＳアンプ１’のサンプル期間、図２（ｂ）参照）となり、演算増幅器２は、コモン電位（Ｖｃｍｎ）にバイアスされる。この時、前シーケンスにおいてフィードバック容量ＣＦに蓄積されていた電荷は、リリースされる。

[0040] スイッチＣＫＡの立下りエッジにおいて（スイッチＣＫＡがＬレベル、ＯＦＦになると）、サンプリング容量Ｃｓａに、そのときのポイントａの電圧（Ｖａ）がサンプルされる（図２（ｂ）参照）。

同様に、スイッチＣＫＢの立下りエッジにおいて、サンプリング容量Ｃｓｂに、そのときのポイントｂの電圧（Ｖｂ）がサンプルされる（図２（ｂ）参照）。

[0041] スイッチｘＣＫＢの立上りエッジにおいて（スイッチｘＣＫＢがＨレベル、ＯＮになると）、演算増幅器２はアンプモード（ＡＭＰモード、増幅期間、図２（ｂ）参照）となり、サンプリング容量Ｃｓａおよびサンプリング容量Ｃｓｂの接続関係が変わることで、ＣＤＳアンプとしての機能が成立する。ここで、Ｃｓａ＝Ｃｓｂ＝ＣＦとすると、ＣＤＳアンプ１’の差出力（ＶＯＰ－ＶＯＮ）には、（増幅率１倍の）Ｖｂ－Ｖａの電圧が得られる。

[0042] 図３に、このＣＤＳアンプ１’を用いた信号振幅検出イメージの一例を示す。

前述したように、ＣＤＳアンプ１’は、サンプル間の差電圧を出力するので、センサ出力の振幅変化分は、図３の右側のようにＣＤＳアンプ１’によって処理される。

この右側からも自明のように、センサからの情報で重要なのは振幅の変化分（ΔＶｓｉｇ）である。この変化分に、対象物の有無、あるいは対象物までの距離情報が含まれる。

[0043] ここでＣＤＳサンプリング後のΔＶｓｉｇとＡＤＣ（ＡＤ変換器）のフルスケールとの整合性を考える。

前述のように、センサ信号情報として高精度に必要なのはΔＶｓｉｇであるので、この図３の右側の（標本化された）ΔＶｓｉｇのうちの最大値に見合うフルスケールのＡＤＣを配置すれば良い。

[0044] しかしながら、このマッチングはセンサの個体差もあり、都合よくＡＤＣのフルスケールを一致させることが難しい。このため、ある程度のマージンを含んだ大きなレンジ幅を想定する必要があり、図３の右側に示したようにセンサからの最小電圧振幅（Ｖｍｉｎ）を含み、かつ、ＣＤＳの出力全体をカバーするフルスケール（ΔＶｓｉｇの最大値＋Ｖｍｉｎ）を想定する必要がある。

このためΔＶｓｉｇに必要な分解能以上のスペックを有するＡＤＣが必要となり、設計難易度も含め回路規模的にも電力的にもオーバースペックとなるのは明らかである。

[0045] 図３に対し、図４に示す信号処理イメージを考える。図４は、Ｖｍｉｎを既知情報として有し、ＣＤＳ処理と同時にＶｍｉｎ分だけレベルシフトする信号処理を想定したものである。この場合、ΔＶｓｉｇに必要な分解能のみを有するＡＤＣを配置すれば良いことになり、図３の場合と比較すると、その分解能の削減効果は極めて大きいことがわかる。

[0046] 一方、フルスケールレンジにおける課題に対し、オフセットエラー補償機能を有するＡＤＣが知られている（上記特許文献１参照）。このＡＤＣにおいては、サンプリング容量とは別にアディショナル容量としてオフセット補償用の容量が別途設けられており、アナログ入力振幅がＡＤＣフルスケール内になるようにオフセット調整（レベルシフト調整）する。

[0047] しかしながら上記特許文献１に記載のＡＤＣは、新たにアディショナル容

量が必要になり、これが面積増加の一要因となる。さらにアナログ信号サンプリングに関わる容量は、ｋｔ／ｃで定義される熱雑音増を避けるために比較的大きな容量値が必要となる。

したがってこのアディショナル容量を用いる特許文献１のアプローチは、フルスケールレンジにおける課題解決には見合うものの、回路全体の面積の観点で致命的といえる。

[0048] そこで本実施形態では、回路全体の面積を低減させることができるＣＤＳアンプを提供することを目的として、以下のように構成される。

[0049] （第１の実施形態）

以下、本実施形態に係るスイッチトキャパシタアンプについて、ＣＤＳアンプ（図１に示すＣＤＳ１０３に相当）への適用例を説明する。

[0050] 図５（ａ），（ｂ）は、本技術の第１の実施の形態に係るスイッチトキャパシタアンプとしてのＣＤＳアンプ１Ａの構成およびその動作タイミングを示す図である。

[0051] このＣＤＳアンプ１Ａは、演算増幅器２のフィードバック回路３以外は、比較例１のＣＤＳアンプ１’（図２（ａ））と同様である。ＣＤＳアンプ１Ａは、第１の出力端子ＶＯＮ側および第２の出力端子ＶＯＰ側においてそれぞれ同一の構成のフィードバック回路３を有する。

[0052] 図５（ａ）に示す本実施形態のＣＤＳアンプ１Ａは、アナログ信号（センサ信号）をサンプリングする複数のサンプリング容量Ｃｓａ，Ｃｓｂと、演算増幅器２と、フィードバック回路３とを有する。フィードバック回路３は、容量アレイ３１と、スイッチ群４とを有する。

[0053] 容量アレイ３１は、$2^{n}$で重み付けされた（ｎは整数）容量素子（フィードバック容量、ＣＦ／２、ＣＦ／４、・・、ＣＦ／$2^{n}$、ＣＦ／$2^{n}$）を有する。各容量素子は、演算増幅器２の入力側と出力側との間に並列的に接続される。各容量素子の一端は、演算増幅器２の入力側に接続され、他端はスイッチ群４を構成する複数のスイッチに個々に接続される。容量アレイ３１の合成容量は、図２（ａ）に示した比較例１に係るＣＤＳアンプ１’のフィードバ

ック容量ＣＦと同一である。

[0054] 容量アレイ３１は、センサ１０１の検出信号の最小電圧振幅Ｖｍｉｎ（図３参照）に相当するレベルシフト量の電荷を充電することが可能に構成される。レベルシフト量は、ｎビットの分解能を有するデジタルデータ（Ｌ／Ｓ Ｄａｔａ、既知情報）である。このレベルシフト量の具体的な見積もり方法は、本技術に係る第４の実施の形態において後述する。

[0055] スイッチ群４は、容量アレイ３１を構成する各容量素子の他端に直列的に接続されたアナログスイッチで構成される。スイッチ群４を構成する複数のスイッチは、３つの接続先を有する。本実施形態においてその３つの接続先は、第１の基準電位ＶＴ、第１の基準電位ＶＴよりも低い第２の基準電位ＶＢ、および演算増幅器２の出力端である。

[0056] 演算増幅器２は、フィードバック容量（容量アレイ３１）およびスイッチ群４の１つの接続先（演算増幅器２の出力端）によって負帰還が施され、センサ信号（アナログ信号）の振幅の差分を検出するように構成される。

[0057] 演算増幅器２は、アナログ信号をサンプリングする期間（ＡＺモード）とサンプルしたアナログ信号を増幅する期間（ＡＭＰモード）の２つの状態を有する。サンプリング容量Ｃｓａ，Ｃｓｂはそれぞれ時間軸の異なる２つのアナログ信号を保持する。演算増幅器２は、第１のサンプリング（一方のサンプリング容量Ｃｓａ）で取得した保持電圧と第２のサンプリング（他方ののサンプリング容量Ｃｓｂ）で取得した保持電圧との差分をフィードバック容量（容量アレイ３１）との容量比で増幅する。

[0058] 複数のスイッチの接続先は、図示しないコントローラ（図１に示すシステムコントローラ１０５に相当）によって個別に制御される。当該コントローラは、センサ信号（アナログ信号）の所定の振幅値（本例では最小電圧振幅Ｖｍｉｎ）に相当するレベルシフト量の電荷をフィードバック容量（容量アレイ３１）にプリチャージするためのデータ信号（Ｌ／Ｓ Ｄａｔａ）を生成することが可能に構成される。

[0059] ここで、第１の基準電位ＶＴは、レベルシフト量（範囲）を定義するため

の最大電圧（高電位端）であり、第２の基準電位ＶＢは、レベルシフト量を定義するための最小電圧（低電位端）である。なお、各スイッチの接続先は３つに限定されず、４つ以上であってもよく、各接続先の電位が異なっていればよい。

[0060] ＣＤＳアンプ１Ａの動作タイミングは、前述の比較例１に係るＣＤＳアンプ１’の動作シーケンスと同様に、図５（ｂ）に示す動作タイミングで制御される。

図５（ｂ）を参照して、スイッチＣＫＢがＨレベルで演算増幅器２の入出力がショートされ、Ａｕｔｏ－Ｚｅｒｏモード（ＡＺモード）となり、演算増幅器２はコモン電位（Ｖｃｍｎ）にバイアスされる。この時、スイッチ群４を構成するスイッチの他端がＬ／Ｓ Ｄａｔａに応じて、第１の基準電位ＶＴまたは第２の基準電位ＶＢに接続され、$2^n$で重み付けされた容量アレイ３１にレベルシフト量が電荷としてプリチャージされる。

[0061] より具体的に、Ｌ／Ｓ Ｄａｔａに応じて、第１の基準電位ＶＴに接続されるスイッチと第２の基準電位ＶＢに接続されるスイッチとに振り分けられ、容量アレイ４にレベルシフト量に見合う電荷が蓄積される。レベルシフト量は、ｎビットの分解能を有するデジタルデータであるため、$2^n$で重み付けされた容量素子によって所望とする電荷を蓄積することができる。

[0062] スイッチＣＫＡの立下りエッジでサンプリング容量Ｃｓａにポイントａの電圧（Ｖａ）がサンプルされる。スイッチＣＫＢの立下りエッジでサンプリング容量Ｃｓｂにポイントｂの電圧（Ｖｂ）がサンプルされる。スイッチｘＣＫＢの立上りエッジで演算増幅器２がアンプモード（ＡＭＰ）となり、サンプリング容量Ｃｓａおよびサンプリング容量Ｃｓｂの接続関係が変わると共に、スイッチ群４を構成するすべてのスイッチが、演算増幅器２の出力端に接続される。

これにより、ＣＤＳアンプとしての機能が成立し、Ｃｓａ＝Ｃｓｂ＝ＣＦとすると次式の電圧が出力される。

[0063]

[数1]

$$VOP - VON = Vb - Va - V_{LS} \qquad (1)$$

ここで、$V_{LS}$は、ｎビットのＬ／Ｓ Ｄａｔａ（$D_{n-1}$，$D_{n-2}$，…，$D_0$）から決まるレベルシフト電圧である（次式参照）。

[数2]

$$V_{LS} = \frac{VT - VB}{2^n}\left[2^{n-1} \times D_{n-1} + 2^{n-2} \times D_{n-2} + \cdots + D_0\right] \qquad (2)$$

[0064] ＡＺモード時にレベルシフト量に相当する電荷を容量アレイ３１にプリチャージしておくことで、サンプリングした信号の電荷転送時にレベルシフト量が差し引かれる。これにより、センサ１０１から出力される最小電圧振幅Ｖｍｉｎ（図３参照）に相当するレベルシフト量を含むＣＤＳ出力全体をカバーするフルスケールを想定する必要がなくなるため、ΔＶｓｉｇに必要な分解能以上のスペックを有するＡＤＣが不要となり、消費電力の低減を図ることができる

[0065] 本実施形態では、上述したレベルシフト機能を実現する上でフィードバック容量に着目し、このフィードバック容量をアレイ化（分割）することで、デジタルデータとしてレベルシフト量をプリチャージするようにしている。つまり、特許文献１に記載されたようなアディショナル容量を必要とすることなく、レベルシフト機能を実現することができる。

その一方でＡＭＰ時は、容量アレイ３１は全て演算増幅器２のフィードバック容量となることから、従来のＣＤＳアンプと構成的には等価であり、ＣＦとしての容量値に変化はない。

[0066] 以上のように本実施形態によれば、ＣＤＳ機能とレベルシフト機能との両立がアディショナル容量なしで実現することができる。これにより、センサ１０１からの信号振幅変化分（ΔＶｓｉｇ）のみを検出することが可能となる。また、後段に配置されるＡＤＣのフルスケールを振幅変化分のみのチューンすることができることから、ＡＤＣに求められるスペックが大幅に緩和される。これらの施策により振幅検出システムとして低電力化および回路全

体の小面積化に大きく寄与する。

[0067] ＜第２の実施形態＞

前述の第１の実施の形態では、ＣＤＳアンプおよびレベルシフト機能を両立するものとして説明したが、本技術はＣＤＳアンプ機能を限定するものではない。以下、本技術に係る第２の実施の形態を説明する。

[0068] 図６は、本技術に係る第２の実施の形態である、レベルシフト機能を有するスイッチトキャパシタアンプ１Ｂの構成を示す図である。

このスイッチトキャパシタアンプ１Ｂは、演算増幅器２の入力段としてのサンプリング容量Ｃｓの周辺構成（サンプリング部容量ネットワーク５）以外は、第１の実施の形態に係るＣＤＳアンプ１Ａと同様である。

[0069] サンプリング部容量ネットワーク５には、第１および第２の入力端子ＶＩＰ，ＶＩＮにつき１つのサンプリング容量Ｃｓが備えられ、そのサンプリング容量Ｃｓの一端は、２つのアナログスイッチＣＫＡ，ｘＣＫＢに並列接続され、他端は、演算増幅器２の入力側に接続されている。この２つのアナログスイッチのうちの１つ（ＣＫＡ）は、ＶＩＮに接続され、他の１つ（ｘＣＫＢ）は、コモン電位に接続されている。

[0070] サンプリング容量Ｃｓおよびフィードバック回路３で構成されるスイッチトキャパシタアンプ１Ｂは、第１の実施の形態のＣＤＳアンプ１Ａの動作と同様に、サンプリング容量Ｃｓにてサンプルした電圧を、任意のレベルにシフトすることが可能である。

なお、サンプリング部ネットワーク５における、サンプリング容量Ｃｓおよび２つのスイッチＣＫＡ，ｘＣＫＢの構成が、これに限定されるものではないことは明らかである。

[0071] ＜第３の実施形態＞

次に、本技術に係る第３の実施の形態を説明する。

図７は、第３の実施の形態に係るスイッチトキャパシタアンプとして、レベルシフト機能を有するＣＤＳアンプ１Ｃの構成を示す図である。

このＣＤＳアンプ１Ｃは、演算増幅器２の入出力の接続先以外は、第２の

実施の形態のスイッチトキャパシタアンプ１Ｂと同様である。

[0072] 上述の第１の実施形態に係るＣＤＳアンプ１Ａの構成では、ＡＺモードのタイミングにおいて演算増幅器２をショートしていたが、本実施形態に係るＣＤＳアンプ１Ｃにおいては、ＡＺモードのタイミングにおいて演算増幅器２の入出力側がそれぞれスイッチＳＷ１，ＳＷ２を介してコモン電位に接続される。

これにより、ＡＺモードのタイミングにおいて演算増幅器２は必要なくなる（他の回路と接続されなくなる）ことから、回路の負帰還ループの安定性を考慮する必要がなく、回路設計の難易度が緩和される。

[0073] さらに、演算増幅器２のオペアンプ機能そのものを停止することもできるので、時間的にバイアス電流をカットオフするスイッチトオペアンプの構成への展開も可能になる。これにより回路全体の消費電力をさらに低減させることができる。

[0074] ＜第４の実施形態＞

本技術において、レベルシフト量を既知情報として有する必要があるのは前述の通りである。以下、容量アレイ３１にプリチャージされるレベルシフト量を見積もるための構成について説明する。

[0075] 図８は、第１の実施形態で説明したＣＤＳアンプ１Ａのレベルシフト機能を効果的に組み込むための例示的なレベルシフト量見積もりシステム６を示す。

このシステム６は、ＣＤＳアンプ１Ａの出力端子であるＣＤＳＯＵＴＮ側およびＣＤＳＯＵＴＰ側で同様の構成および動作となるので、説明を簡略化し、そのうち一方のＣＤＳＯＵＴＮ側のみ説明する。

[0076] システム６は、ＣＤＳアンプ１Ａの出力電圧をデジタル化するｎビットのＡＤＣ７、レベルシフト範囲を生成する基準電圧（ＶＲＥＦ＿ＬＳ）発生源６１、ＡＤＣ７のフルスケールを生成する基準電圧（ＶＲＥＦ＿ＡＤＣ）発生源６２、およびシステム・シーケンス制御部８をさらに有する。

[0077] システム・シーケンス制御部８は、典型的には、ＣＰＵ、メモリ等を有す

るコンピュータで構成される。システム・シーケンス制御部８は、図１に示すシステムコントローラ１０５に対応する構成であってもよい。

[0078] このシステム６は、シフト量見積もりのための動作（１ｓｔ Ｓｅｑｕｅｎｃｅ）および振幅検出通常動作（２ｎｄ Ｓｅｑｕｅｎｃｅ）の２つの動作状態を有し、システム・シーケンス制御部８によって管理され、基準電圧のフルスケールを適切に設定する。

以下に、その制御フローを詳細に説明する。

[0079] 「１ｓｔ Ｓｅｑｕｅｎｃｅ」（シフト量の見積もり）

（ステップＳ１）；入力端子ＣＤＳＩＰ，ＣＤＳＩＮに入力されるセンサ信号が最小電圧振幅となる条件にセンサ出力をセッティングする。

（ステップＳ２）；ＶＲＥＦ＿ＬＳを設定する。ここでは、ＶＴ＿ＳＨ＝ＶＢ＿ＳＨ＝Ｖｃｍｎ （差電圧ゼロ、すなわちシフト量ゼロ）に設定する。

（ステップＳ３）；ｎビットＬ／Ｓ用データセッティングを、コードフリー（任意のコードでよい、例えばすべてゼロ）に設定する。

[0080] （ステップＳ４）；ＶＲＥＦ＿ＡＤＣ（ＶＴ＿ＡＤ、ＶＢ＿ＡＤ）を設定する。ここでは、システム上想定されるＣＤＳアンプ１Ｄの最大振幅となるように設定する。

（ステップＳ５）；振幅検出動作を開始する。この際、ＡＤＣ７の変換データをＤｍｉｎとして内部レジスタ等に残す。

[0081] （ステップＳ６）；センサ信号が最大電圧振幅となる条件にセンサ出力をセットする。

（ステップＳ７）；振幅検出動作を開始する。この際、ＡＤＣ７の変換データをＤｍａｘとして内部レジスタ等に残す。

[0082] なお、ステップＳ２およびＳ３は、以下のステップＳ２’およびＳ３’のように設定してもよい。つまり、ＶＲＥＦ＿ＬＳのセッティングとｎビットＬ／Ｓ用データとの組み合わせにおいて、シフト量ゼロが条件として満たされていればよい。

（ステップＳ２’）；ＶＲＥＦ＿ＬＳを設定する。ここでは、システム上想定

されるＣＤＳアンプ１Ａの最大振幅になるように設定する。

（ステップＳ３’）；ｎビットＬ／Ｓ用データをセットする。ここでは、$2^n$／２に相当するコード（例えば８ビットの場合、コード１２８）を設定する。

[0083] ここで、ステップＳ５およびＳ７のＡＤ変換動作は複数回行われ、数回目のデータを真値とする、あるいは、数個のデータ平均値を真値とするなど、データ加工の方法は１つに限定されない。

[0084] この１ｓｔ Ｓｅｑｕｅｎｃｅにおいておおよそのレベルシフト量を見積もり（キャリブレーション）した後、その情報を用いて振幅検出本来の動作を実行する。

[0085] 「２ｎｄ Ｓｅｑｕｅｎｃｅ」（振幅検出の実動作）

（ステップＳ１１）；ＶＲＥＦ＿ＬＳをセットする。ここでは、１ｓｔ Ｓｅｑｕｅｎｃｅで利用したＶＲＥＦ＿ＡＤＣを設定する。

（ステップＳ１２）；ＶＲＥＦ＿ＡＤＣを、Ｄｍａｘ－Ｄｍｉｎ演算より得られる値＋マージン分（α）（ΔＶｓｉｇ＋α）にセットする。

[0086] （ステップＳ１３）；シフト量をＤｍｉｎ＋αにセットする。

（ステップＳ１４）；振幅検出動作を開始する。

[0087] この２ｎｄ Ｓｅｑｕｅｎｃｅではシフト量が先に求められているため、ΔＶｓｉｇに対して適切なＡＤＣ７のフルスケールとなる。

なお、このシーケンスではＶＲＥＦ＿ＬＳ、およびＶＲＥＦ＿ＡＤＣのフルスケールについて、１ｓｔ Ｓｅｑｕｅｎｃｅと２ｎｄ Ｓｅｑｕｅｎｃｅとで適切な値にセッティングすることに着目した。しかしここで、１ｓｔ Ｓｅｑｕｅｎｃｅにおいて ＡＤＣ７の精度は、比較的低い精度で問題なく、おおよそのレベルシフト量が見積もられればよい。

[0088] このためＡＤＣ７の分解能は、２ｎｄ Ｓｅｑｕｅｎｃｅで求められる精度の分解能とすればよく、１ｓｔ Ｓｅｑｕｅｎｃｅにおいて２ｎｄ Ｓｅｑｕｅｎｃｅで求められる分解能以上の精度は必要ない。

[0089] 本実施形態においても上述したように、ＣＤＳ機能とレベルシフト機能と

の両立が、アディショナル容量なしで実現できる。これにより、センサからの信号振幅変化分のみを検出することが可能となる。

また、後段に配置されるＡＤＣ７のフルスケールを振幅変化分のみ検出することができるので、ＡＤＣ７に求められる性能が大幅に緩和される。これにより、比較例１に比べて、例えば振幅検出システムとして、低電力化および小面積化に大きく寄与する。

[0090] ＜第５の実施形態＞

続いて、本技術の第５の実施形態について説明する。ここではまず、本実施形態の背景技術となる比較例（比較例２）について説明する。

[0091] （比較例２）

図９（ａ），（ｂ）に比較例２としての、ＣＤＳアンプ１’およびＡＤＣ９’の構成例ならびにその動作タイミングを示す。

ＣＤＳアンプ１’の構成および動作は、比較例１（図２（ａ），（ｂ））と同様であるため、説明を省略する。

[0092] ＡＤＣ９’は変換方式としていくつかの選択肢があるが、ここではバイナリウエイト容量アレイ型ＤＡ変換器（Ｃ－ＤＡＣ）を有する逐次比較方式（ＳＡＲ）のＡＤ変換器（ＳＡＲ－ＡＤＣ）を一例に説明する。なお、比較例２の変換方式およびその逐次動作のシーケンスは、これに限定されない。

[0093] ＳＡＲ－ＡＤＣ９’は、サンプリング機能を兼ねた単位容量Ｃｕを基本とするｎビットのバイナリウエイト容量型ＤＡ変換器Ｃ－ＤＡＣ１０（$2^{n-1}$Ｃｕ、$2^{n-2}$Ｃｕ、・・・、２Ｃｕ、Ｃｕ、Ｃｕ）、差信号の大小関係を判定する比較器（ＣＭＰ）１１、ならびに、二分探索シーケンスを制御するコントローラ（ＣＴＲＬ）１２を備える。Ｃ－ＤＡＣ１０は、ＣＤＳアンプ１’の第１および第２の出力端子ＶＯＮ、ＶＯＰにスイッチｘＣＫＡＤを介して接続され、コントローラ１２からの制御信号（Ｓｕｃｃｅｓｓｉｖｅ　Ｄａｔａ）に基づいて、各容量を２つの基準電位（ＶＴ，ＶＢ）へ選択的に切り替え可能な複数のスイッチを有するスイッチ群４１を有する。

[0094] 上記構成のＳＡＲ－ＡＤＣ９’においては、スイッチｘＣＫＡＤがＨレベル

でＣ－ＤＡＣ１０を構成する全ての容量が基準電位ＶＴへ接続されることで、イニシャル状態が設定される。

コントローラ１２は、スイッチｘＣＫＡＤの立下りエッジにおいて、ＣＤＳアンプ１’の出力電圧（ＶＯＰ、ＶＯＮ）を基準電圧ＶＴに対してサンプリングし、二分探索シーケンスを開始する。

[0095] イニシャル状態の設定完了後、ＭＳＢ（最上位ビット）を決定する１回目の比較判定にはＣ－ＤＡＣ１０は一切絡むことなく、サンプリング後の電圧の大小関係を直接判定することにより、ＭＳＢが決定される。

[0096] ＭＳＢの判定結果により、比較器１１の２つの入力端の電位の高い方の端子に接続されている$2^{n-1}$Ｃｕの接続先が、基準電位ＶＴから基準電位ＶＢにスイッチングされる。

一方、比較器１１の２つの入力端の電位の低い方の端子に接続されている容量は、基準電位ＶＴに接続されたままの状態が保持される。

このスイッチアクションにより、電荷分配が成され、最初にサンプリングされた電圧からＣ－ＤＡＣ１０の最上位ビットに相当する電圧が減算される。このシーケンスでは、ＶＯＰ側とＶＯＮ側とで相補的なシーケンスにはなっておらず、比較器１１の入力端の片側の容量のみが基準電位ＶＴから基準電位ＶＢにスイッチングされる。

[0097] そして、この減算後の電圧の大小関係を比較器１１が判定し、次のビット（２ｎｄ－ＭＳＢ）（最上位ビットの１ビット下位）が決定される。この判定結果により、比較器１１の２つの入力端の電位の高い方の端子に接続されている$2^{n-2}$Ｃｕの接続先が基準電位ＶＴから基準電位ＶＢにスイッチングされ、電位の低い方の端子に接続されている容量は、基準電位ＶＴに接続されたままの状態が保持される。

このスイッチアクションにより、電荷再分配が成され、先の減算後電圧からＣ－ＤＡＣ１０の２ｎｄ－ＭＳＢに相当する電圧が更に減算される。

[0098] 以下同様のシーケンスを行い、比較器１１の比較判定結果に応じてバイナリウエイト容量の接続先を基準電位ＶＴへの保持（ステイ）、基準電位ＶＴ

から基準電位ＶＢへのスイッチング、および、Ｃ－ＤＡＣ１０の電荷分配アクションによる減算を繰り返すこと（二分探索）でデジタルデータが決定される（ＡＤＣ＿ＯＵＴ）。

[0099] このようなＣＤＳアンプ１’およびＳＡＲ－ＡＤＣ９’において、ＣＤＳアンプ１’のフィードバック容量ＣＦ、および、ＳＡＲ－ＡＤＣ９’のＣ－ＤＡＣ１０の情報量に着目する。

両者は、スイッチｘＣＫＡＤのオンオフによってＣＤＳアンプ１’の演算情報（Ｖａ、Ｖｂ）を共有している。この演算情報をパイプライン処理するメリットは、前置回路（ＣＤＳアンプ１’）および後置回路（ＳＡＲ－ＡＤＣ９’）の動作を切り離すことができることである。

[0100] ＣＤＳアンプ１’がＡＺモードとなり、演算結果をリセットしてもその情報はＳＡＲ－ＡＤＣ９’のＣ－ＤＡＣ１０に残っているので、ＡＺモード期間全てにおいてＡＤ変換期間が割り当てられる（図９（ｂ）参照）。

このようなパイプライン処理は、前置回路および後置回路の各々の処理時間の効率化につながり、結果として回路全体の低電力化に寄与する。

[0101] その一方で大きなデメリットを有し、ＳＡＲ－ＡＤＣ９’においてリサンプリングする必要があることから、フィードバック容量ＣＦおよびＣ－ＤＡＣ１０のバイナリウエイト容量の配置が冗長になる。

これらの容量はｋＴ／Ｃノイズと関連することから、比較的大きな容量値を選ぶ以外に選択肢がなく、更にリサンプリングによる信号品質劣化を防ぐためにＣ－ＤＡＣ１０のトータル容量値はＣＦ以下の値にすることができない（$CF \leqq 2^{n}Cu$）。結果として回路全体の面積を増大させてしまい、望ましくない。

[0102] そこで本実施形態では、回路全体の面積を低減させることができるＡＤ変換装置を提供することを目的として、以下のように構成される。

[0103] （第５の実施形態）

図１０（ａ），（ｂ）は、本技術の第５の実施形態に係るＡＤ変換装置１４Ａの構成およびその動作タイミングを示す図である。本実施形態のＡＤ変

換装置は、図１に示したセンサシステム１００におけるＣＤＳ１０３およびＡＤＣ１０４に相当する。

ここでは、フリップ（Ｆｌｉｐ）容量を有するＣＤＳアンプおよび逐次比較方式のＡＤＣ（ＳＡＲ－ＡＤＣ）を一体化させた構成例について説明する。

[0104] 本実施形態のＡＤ変換装置１４Ａは、アナログ信号（センサ信号）をサンプリングする複数のサンプリング容量Ｃｓａ，Ｃｓｂと、演算増幅器２と、フィードバック回路３Ｆと、比較器１１と、コントローラ１２とを有する。フィードバック回路３Ｆは、容量アレイ３１と、スイッチ群４とを有する。

[0105] 本実施形態のＡＤ変換装置１４Ａにおいて、ＣＤＳアンプの入力段２０は、比較例２と同様に構成される。ＡＤ変換装置１４Ａは、演算増幅器２における第１の出力端子ＶＯＮ側および第２の出力端子ＶＯＰ側においてそれぞれ同一の構成のフィードバック回路３Ｆを有する。フィードバック回路３Ｆは、容量アレイ３１と、スイッチ群４とを有する。ＡＤ変換装置１４Ａは、ＶＯＮ側およびＶＯＰ側で同様の構成および動作となるので、説明を簡略化し、ＶＯＮ側の異なる構成のみ説明する。

[0106] 容量アレイ３１は、第１の実施形態と同様の構成を有し、$2^n$で重み付けされた複数の容量素子（フィードバック容量ＣＦあるいはＦｌｉｐ容量、ＣＦ／２、ＣＦ／４、・・、ＣＦ／$2^n$、ＣＦ／$2^n$）を有する。各容量素子は、演算増幅器２の入力側と出力側との間に並列的に接続される。各容量素子の一端は、演算増幅器２の出力側に接続され、他端はスイッチ群４を構成する複数のスイッチに個々に接続される。

[0107] スイッチ群４は、容量アレイ３１を構成する各容量素子の他端に直列的に接続された複数のアナログスイッチで構成される。スイッチ群４を構成する複数のスイッチは、第１の実施形態と同様に、３つの接続先を有する。本実施形態においてその３つの接続先は、第１の基準電位ＶＴ、第２の基準電位ＶＢおよび演算増幅器２の入力端である。第１の基準電位ＶＴおよび第２の基準電位ＶＢはそれぞれ、ＡＤ変換のフルスケールを定義する基準電圧の高

電位端および低電位端である。複数のスイッチの接続先は、コントローラ１２によって個別に制御される。

[0108] 演算増幅器２は、フィードバック容量（容量アレイ３１）およびスイッチ群４の１つの接続先（演算増幅器２の出力端）によって負帰還が施され、センサ信号（アナログ信号）の振幅の差分を検出するように構成される。比較器１１は、後述するように、演算増幅器２の出力信号の差分の大小関係を判定するように構成される。

[0109] コントローラ１２は、複数のサンプリング容量Ｃｓによってアナログ信号をサンプルする期間と、複数のサンプリング容量Ｃｓとフィードバック容量ＣＦとの比によってサンプルしたアナログ信号を演算増幅器２で増幅する期間と、増幅したアナログ信号を比較器１１の出力に基づいてＡＤ変換する期間とを制御する。

演算増幅器２は、第１のサンプリングで取得した保持電圧と第２のサンプリングで取得した保持電圧との差分をフィードバック容量ＣＦとの容量比で増幅する。

コントローラ１２は、比較器１１の判定結果に応じた二分探索シーケンスでフィードバック容量を制御する。

[0110] また、スイッチＣＫＣ（第１のスイッチ）が、フィードバック回路３Ｆと並列になるように、演算増幅器２の入出力端の間に接続されている。演算増幅器２の出力端と比較器１１との間には、スイッチｘＣＫＡＤが配置されている。

[0111] 上述したように、ＣＤＳアンプによる演算情報は、ＡＭＰ期間中ならばフィードバック容量ＣＦに保持されている。したがって、容量アレイ３１に３つの接続先が異なるスイッチを接続し、サミングノード端と切り離し、コントローラ１２から直接制御が出来るように接続を切り替える。

これにより、本実施形態のＡＤ変換装置１４Ａは、比較例２のＳＡＲ－ＡＤＣ９’がＣＤＳアンプの演算情報をリサンプルすることと等価な機能を有することになる（Ｆｌｉｐ動作）。

[0112] さらに、フィードバック容量ＣＦをＳＡＲ－ＡＤＣに必要な分解能として容量アレイ化しておくことで、ＳＡＲ－ＡＤＣの二分探索シーケンスにも不都合を生じることはない。

またアディショナルパーツとしてはアナログスイッチのみとなること、フィードバック容量ＣＦとしてのトータル容量値は変わらずアレイ化されるだけである。したがって、余計なオーバーヘッド（コスト）を必要とせず、フィードバック容量ＣＦとＣ－ＤＡＣとを共用化することによる面積削減効果は極めて大きい。

[0113] 続いて、本実施形態のＡＤ変換装置１４Ａの動作について説明する。

[0114] 図１０（ｂ）に示すように、スイッチＣＫＡの立下りエッジでＣｓａにポイントａの電圧（Ｖａ）がサンプルされ、スイッチＣＫＢの立下りエッジでＣｓｂにポイントｂの電圧（Ｖｂ）がサンプルされる。

一方、スイッチｘＣＫＡＤがＨレベルで、フィードバック容量ＣＦは、演算増幅器２の入出力端へ接続され、演算増幅器２の帰還制御が有効な期間となる。

この期間において、スイッチＣＫＣがＨレベルの時に演算増幅器２の入出力端がショートされ、Ａｕｔｏ－Ｚｅｒｏモード（ＡＺモード）となり、演算増幅器２はコモン電位（Ｖｃｍｎ、共通の電位）にバイアスされ、前シーケンスにてフィードバック容量ＣＦに蓄積されていた電荷がリリースされる。

[0115] スイッチｘＣＫＢの立上りエッジで演算増幅器２はＡＭＰモードとなり、サンプリング容量Ｃｓａおよびサンプリング容量Ｃｓｂは、演算増幅器２の入力端にそれぞれ接続されることで、フィードバック容量ＣＦへの電荷転送により演算処理が行われる。

ここで、Ｃｓａ＝Ｃｓｂ＝ＣＦとするとＣＤＳアンプの差出力（ＶＯＰ－ＶＯＮ）にはＶｂ－Ｖａの電圧が得られる。

[0116] スイッチｘＣＫＡＤがＬレベルで変換モード（Ｆｌｉｐ＆Ｃｏｎｖ．、ＡＤ変換期間、図１０（ｂ）参照）となり、二分探索が行われる。変換モード

では、演算増幅器２の入出力端に接続されているスイッチＣＫＣ、ｘＣＫＢはオフとなり、演算増幅器２による帰還制御は、無効期間となる。

ＣＤＳアンプのフィードバック容量ＣＦとして機能していた容量アレイ３１は、このタイミングからＣＤＳアンプの演算情報を有する重み付けされた容量アレイとなり、比較器１１の判定結果に応じてコントローラ１２から直接制御される。

[0117] 容量アレイ３１の制御は、正相側と逆相側とで相補的な関係であることから正相側についてそのシーケンスを以下に説明する。

[0118] 変換モードにおいて、最初にＭＳＢの容量ＣＦ／２の基準電圧端は基準電位ＶＴへ接続され、その他の容量ＣＦの基準電圧端は基準電位ＶＢへ接続される。

このスイッチアクションにより電荷分配が成され、ＣＤＳアンプの演算情報電圧からＣ－ＤＡＣのＭＳＢに相当する電圧すなわち１／２フルスケールが減算される。

[0119] この減算後の電圧の大小関係を比較器１１が判定し、ＭＳＢが決定される。

次のシーケンスでは、ＭＳＢの判定結果に応じてＭＳＢ容量ＣＦ／２の基準電位がそのままステイあるいはＶＢへの接続がなされ、２ｎｄ－ＭＳＢ容量ＣＦ／４の基準電位がＶＴへ接続される。このスイッチアクションにより電荷分配が成され、更にＣ－ＤＡＣの２ｎｄ－ＭＳＢに相当する電圧すなわち１／４フルスケールが減算される。

[0120] この減算後の電圧の大小関係を比較器１１が判定し、２ｎｄ－ＭＳＢが決定される。

以下同様のシーケンスが行われ、比較器１１の比較判定結果に応じてフィードバック容量ＣＦの基準電位をＶＴへステイ、あるいはＶＢ側へ切り替え、Ｃ－ＤＡＣの電荷分配アクションによる比較器１１の入力端差電圧の減算動作を繰り返すことで、デジタルデータが決定される。

[0121] なお、二分探索シーケンスは前述に限定するものではなく、ＣＤＳアンプ

のフィードバック容量ＣＦを容量アレイとして直接制御する機構であればよい。

[0122] ここで、演算増幅器２および比較器１１の動作期間に着目する。ｘＣＫＡＤのスイッチングにより、完全に排他的動作になっていることが分かる。

すなわち、演算増幅器２および比較器１１は必要な期間のみにアクティブな状態になっていればよく、ＣＤＳアンプの動作期間では、比較器１１のバイアス電流をカットオフして、比較器１１をスタンバイ状態にする。

一方、ＡＤ変換装置１４Ａの変換期間では、演算増幅器２のバイアス電流をカットオフして、演算増幅器２をスタンバイ状態にする。

[0123] このように排他的動作を利用したさらなる電力低減制御も可能になる。さらに比較器は、演算増幅器の応用の一つであることから、演算増幅器２および比較器１１の両方は、単一の回路で代用しても良く、この場合、回路規模低減の観点からも効果的である。

[0124] 以上のように本実施形態によれば、ＡＤ変換器用の容量アレイ（Ｃ－ＤＡＣ）を設ける必要がなくなることから、回路規模の小面積化に寄与することができる。また、演算増幅器２と比較器１１が排他的動作となることから、離散的なパワーオン制御と回路の共通化が可能になり、回路規模の更なる低減、そして電力低減に寄与することができる。

[0125] ＜第６の実施形態＞

続いて、本技術に係る第６の実施の形態を説明する。

[0126] 図１１は、本技術に係る第６の実施の形態である、Ｆｌｉｐ容量を有するＣＤＳアンプおよびＳＡＲ－ＡＤＣ一体型のＡＤ変換装置１４Ｂの構成を示す図である。以下、第５の実施の形態と異なる構成について主に説明し、第５の実施形態と同様の構成については同様の符号を付しその説明を省略または簡略化する。

[0127] 演算増幅器２を利用したスイッチトキャパシタアンプ（ＳＣＡ）は、しばしば演算増幅器のオフセット電圧（Ｖｏｓ）が出力ダイナミックレンジを狭めてしまうなど問題になるケースがある。この場合、オフセット電圧の自動

補償技術が比較的多用される。本技術においても動作タイミングを変更することなくこの機能を設けることは可能である。

そこで、本実施形態のＡＤ変換装置１４Ｂにおいては、フィードバック容量ＣＦの演算増幅器２の出力端側に２選択可能な補助（アナログ）スイッチ群４２の一端が接続される。

[0128] 補助スイッチ群４２は、容量アレイ３１と演算増幅器２の出力端との間に配列される。補助スイッチ群４２は、容量アレイ３１を構成する複数の容量素子にそれぞれ接続される複数のスイッチで構成される。これら複数のスイッチは２つの接続先を有し、一方（ＣＫＣ）はコモン電位Ｖｃｍｎに、他方（ｘＣＫＢ）は演算増幅器２の出力端にそれぞれ接続されている。補助スイッチ群４２は、アナログ信号のサンプル期間（ＡＺモード）においてコントローラ１２によりコモン電位に接続される。

[0129] ＡＺモードの期間に補助スイッチ群４２の接続先をＶｃｍｎとすることで、フィードバック容量ＣＦに「Ｖｃｍｎ－Ｖｏｓ」の電圧がプリチャージされる。

ＡＭＰ期間においては、補助スイッチ群４２の接続先を演算増幅器２の出力端に切り替えることで、前述のＣＤＳアンプとして演算処理が行われる。

この時、ＡＺモード期間およびＡＭＰ期間にてオフセット電圧（Ｖｏｓ）に変化がなければ、ＡＭＰ期間の電荷転送の際にフィードバック容量ＣＦにプリチャージされた電圧が差し引かれ、演算増幅器２の出力ダイナミックレンジが狭くならないですむ。

[0130] 以上のように構成される本実施形態のＡＤ変換装置１４Ｂによれば、第５の実施形態と同様に回路規模の低減を図りながら、演算増幅器２のオフセット電圧の自動補償機能を付加することができる。

[0131] ＜第７の実施形態＞

続いて、本技術に係る第７の実施の形態を説明する。

[0132] 図１２は、本技術に係る第７の実施の形態である、Ｆｌｉｐ容量を有するＣＤＳアンプおよびＳＡＲ－ＡＤＣの一体型のＡＤ変換装置１４Ｃの構成を

示す図である。以下、第５の実施の形態と異なる構成について主に説明し、第５の実施形態と同様の構成については同様の符号を付しその説明を省略または簡略化する。

[0133] 本実施形態のＡＤ変換装置１４Ｃにおいて、２$^{n}$で重み付けされたフィードバック容量ＣＦ（容量アレイ３１）の一端（出力側）は、演算増幅器２の出力端およびスイッチＣＫＣ（第２のスイッチ）を介してコモン電位（Ｖｃｍｎ）に接続されている。

３つの接続先を有するスイッチ群４の他端（入力側）の１つは、演算増幅器２の入力端およびスイッチＣＫＢ（第３のスイッチ）を介してコモン電位（Ｖｃｍｎ）に接続されている。

上記第２のスイッチおよび第３のスイッチは、コントローラ１２によって制御される。

[0134] 前述の第５および第６の実施の形態では、ＡＺモードのタイミングにおいて演算増幅器２の入出力端をショートしていたが、図１２に示すようにＡＺモードのタイミングにおいて演算増幅器２の入出力端が、スイッチＣＫＢ、ＣＫＣを介してコモン電位（Ｖｃｍｎ）に接続されてもよい。

[0135] これにより、ＡＺモードのタイミングにおいて演算増幅器２が必要なくなるので、負帰還ループの安定性を考慮する必要がなく、設計難易度が緩和される。

更にＡＺモード期間においても演算増幅機能そのものを停止することができることから時間軸的にバイアス電流をカットオフするスイッチトオペアンプ構成への展開も可能になり、低電力アプリケーションにとって効果的である。

[0136] 以上のように構成される本実施形態のＡＤ変換装置１４Ｃによれば、第５の実施形態と同様に回路規模を低減しながら、設計難易度の緩和および低消費電力化を図ることができる。

[0137] ＜第８の実施形態＞

続いて、本技術の第８の実施形態について説明する。ここではまず、本実

施形態の背景技術となる比較例（比較例３～５）について説明する。

[0138] （比較例３）

図１３（ａ）は比較例３としてのスイッチトキャパシタアンプ（ＳＣＡ）１６の構成を示し、図１３（ｂ）は比較例４としての比較器ベースのスイッチトキャパシタアンプ（ＣＢ－ＳＣＡ）１７の構成を示し、そして図１３（ｃ）は、それらの動作タイミングを示している。

[0139] ＣＤＳは、前述したように、演算増幅器（ＯＰＡＭＰ）２、フィードバック容量ＣＦ、サンプリング容量Ｃｓ、およびスイッチ（ＣＫＡ、ＣＫＢ）を含むスイッチトキャパシタアンプをベースに構成されるケースが多い。

[0140] スイッチＣＫＡがＨレベルで演算増幅器２の入出力端がショートされ、Ａｕｔｏ－Ｚｅｒｏモード（ＡＺ）となり、スイッチＣＫＡの立下りエッジでサンプリング容量ＣｓにＶＩＮ－ＶＡＧがチャージされる。

スイッチＣＫＢがＨレベルでアンプモード（ＡＭＰ）となり、電荷転送アクションにより次式で定義される電圧が出力される。

[数3]

$$VOUT = (VIN - VAG)\frac{C_S}{C_F} + VAG \qquad (3)$$

[0141] 演算増幅器を用いたアナログ演算処理は、高性能な信号処理ができる一方で、設計難易度の全てが演算増幅器に集約されることになり、次のような課題を有している。

（１）出力線形範囲確保のため低電源電圧化に向かない。このため、Ｔｅｃｈｎｏｌｏｇｙ Ｎｏｄｅの恩恵を受けにくい。

（２）処理精度および高速応答性の確保のため高利得で広帯域という相反するパラメータを調整する必要があり、結果として電力増大を招く要因の１つになる。また、素子特性に依存した回路となるケースが多く、Ｐｏｒｔｉｎｇ設計（異なるＴｅｃｈｎｏｌｏｇｙ Ｎｏｄｅでの再設計）の際は、回路トポロジーからの見直しが必要になる場合が多い。

ＳＣＡはコンバーター分野で多用されており、特にパイプライン方式では

要の要素回路である。

[0142] 一方、図１３（ｂ）に示されているＣＢ－ＳＣＡ１７は、ｎｏｎ－ＯＰＡＭＰ化をターゲットとすると共に、前述の演算増幅器の課題（１）および（２）を解決するものであり、Ｒ－２Ｒラダー方式のＤＡ変換器（ＤＡＣ）１５と組み合わせることができる。

[0143] 比較器（ＣＭＰ）１１は、２入力の大小関係を判定し、ＨあるいはＬのロジックレベルを出力する。したがって、演算増幅器のように出力線形範囲を確保する必要がない。

また比較器１１は、ロジック動作に近いので、低電源電圧化といったＴｅｃｈｎｏｌｏｇｙ Ｎｏｄｅの恩恵を受けることができるようになり大変都合が良い。更に高利得、広帯域、ループの安定性といったパラメータの設計難易度が軽減される。

[0144] 図１３（ｂ）はその方式を示したもので、ＣＢ－ＳＣＡ１７は、サンプリング容量Ｃｓ、フィードバック容量ＣＦ、クロックＣＫＡおよびＣＫＢ、比較器（ＣＭＰ）１１、二分探索シーケンスをコントロールするコントローラ（ＣＴＲＬ）１２、そしてＤＡ変換器１５から成り、基本的には先のＳＣＡ１６と同様にスイッチＣＫＡ、ＣＫＢにより制御される。

スイッチＣＫＡがＨレベルでフィードバック容量ＣＦがショートされ、サミングノード端（ＳＮ）をＶＡＧに接続することでＡＺモードとなり、前シーケンスにおけるフィードバック容量ＣＦの電荷をリリースする。そして、スイッチＣＫＡの立下りエッジでサンプリング容量Ｃｓに「ＶＩＮ－ＶＡＧ」の電圧がチャージされる。

[0145] スイッチＣＫＢがＨレベルでＡＭＰ期間となり、フィードバック容量ＣＦはＤＡ変換器１５へ接続が切り替わると共に比較器１１およびＤＡ変換器１５による二分探索シーケンスが開始される。

サミングノード端へは以下の電圧がＣｓを介して加えられており、比較器１１は、ＶＡＧを基準電圧として大小関係を比較判定し、ＤＡＣ分解能のＭＳＢから順にデータを出力する。

[数4]

$$\mathrm{Vsum} = (\mathrm{VIN} - \mathrm{VAG})\left(\frac{C_S}{C_S + C_F}\right) \qquad (4)$$

[0146] ここで、Ｖｓｕｍは、サミングノード端の電圧である。ＤＡＣ出力からサミングノード端へフィードバック容量ＣＦを介して電圧変化分が伝達され、その寄与は、容量比（＝ＣＦ／（Ｃｓ＋ＣＦ））によって決まる。

そして比較器１１の判定結果に応じてＶｓｕｍがゼロになるまで減算動作をｎビット分繰り返す。このシーケンスによってＤＡＣ出力は、次式のようになり、前述の式（３）と同じ結果が得られる。

[数5]

$$\mathrm{Vsum} - (\mathrm{VOUT} - \mathrm{VAG})\left(\frac{C_F}{C_S + C_F}\right) = 0$$

$$\therefore \mathrm{VOUT} = (\mathrm{VIN} - \mathrm{VAG})\frac{C_S}{C_F} + \mathrm{VAG} \qquad (5)$$

[0147] ＣＢ－ＳＣＡ１７は、演算増幅器の連続的な帰還アクションによる電荷転送とは異なり、比較器１１の判定結果に応じた時分割的な電荷転送となる。

このように制御系で複雑さは伴うものの、ＣＢ－ＳＣＡ信号処理は、ＯＰＡＭＰベースＳＣＡと同様の結果を得ることができる。またｎｏｎ－ＯＰＡＭＰの構成となることから前述の演算増幅器の課題に対するブレークスルーの効果は大きい。

[0148] ここで図１４（ａ），（ｂ）に比較例５として、ＣＢ－ＳＣＡを用いたＣＢ－ＣＤＳアンプ１９’およびＳＡＲ－ＡＤＣ９’の構成ならびにその動作タイミングを示す。

[0149] ＣＢ－ＣＤＳアンプ１９’は、サンプリング容量（Ｃｓａ，Ｃｓｂ）、フィードバック容量ＣＦ、比較器（ＣＭＰ）１１、二分探索シーケンスをコントロールするコントローラ（ＣＴＲＬ）１２、アナログスイッチ（ＣＫＡ、ＣＫＢ）およびＤＡ変換器（ＤＡＣ）１５を備える。

[0150] ＣＢ－ＣＤＳアンプ１９’は、前述したＣＢ－ＳＣＡ１７と同様に、スイッ

チＣＫＡ、ＣＫＢによって基本的に制御される。

スイッチＣＫＢがＨレベルでフィードバック容量ＣＦがショートされ、サミングノード端はコモン電位（Ｖｃｍｎ）に接続することでＡＺモードとなり（図１４（ｂ）参照）、前シーケンスにてフィードバック容量ＣＦに蓄積されていた電荷は、リリースされる。

[0151] スイッチＣＫＡの立下りエッジでサンプリング容量Ｃｓａにポイントａの電圧（Ｖａ）がサンプルされ、スイッチＣＫＢの立下りエッジでサンプリング容量Ｃｓｂにポイントｂの電圧（Ｖｂ）がサンプルされる。

スイッチｘＣＫＢがＨレベルでＡＭＰ期間となり、フィードバック容量ＣＦはＤＡ変換器１５へ接続が切り替わると共に、ＣＫＡＭＰによって制御される比較器１１およびＤＡ変換器１５による二分探索シーケンスが開始される。

[0152] 以下の式６の電圧がサンプリング容量ＣｓａおよびＣｓｂを介してサミングノード端へ伝えられており、比較器１１は、サミングノードに生じる電圧差（Ｖｓｕｍｄ）の大小関係を比較判定し、ＤＡＣ分解能のＭＳＢから順にデータを出力する。

[数6]

$$\mathrm{Vsumd} = \mathrm{Vb}\left(\frac{\mathrm{Csb}}{\mathrm{Csa}+\mathrm{Csb}+\mathrm{CF}}\right) - \mathrm{Va}\left(\frac{\mathrm{Csa}}{\mathrm{Csa}+\mathrm{Csb}+\mathrm{CF}}\right) \qquad (6)$$

[0153] ここで、比較器１１は、ＣＫＡＭＰにより制御される。

ＣＫＡＭＰは、二分探索シーケンスのために比較器を制御する信号クロックであり、図１３（ｂ）の二分探索制御信号に相当する。ＣＫＡＭＰは、ＣＤＳアンプのＡＭＰ期間において比較器１１の制御を行い、サミングノード間の大小関係を順次判定する（図１４（ｂ）参照）。

[0154] ＤＡＣ出力からサミングノード端へはフィードバック容量ＣＦを介して変化分が伝わり、前述のようにその寄与は、容量比（＝ＣＦ／（Ｃｓａ＋Ｃｓｂ＋ＣＦ））によって決定される。

そして、比較器１１の比較判定結果に応じてＶｓｕｍｄがゼロになるまで

、減算動作がｎビット分繰り返される。このシーケンスによってＤＡ変換器１５の差出力（ＶＯＰ－ＶＯＮ）は次式のようになり、Ｃｓａ＝Ｃｓｂ＝ＣＦとするとＶＯＰ－ＶＯＮにはＶｂ－Ｖａの電圧が得られる。このようにｎｏｎ－ＯＰＡＭＰ構成ながらＣＤＳとしての機能が実現される。

[数7]

$$\mathrm{Vsumd}-(\mathrm{VOP}-\mathrm{VON})\left(\frac{\mathrm{CF}}{\mathrm{Csa}+\mathrm{Csb}+\mathrm{CF}}\right)=0$$

$$\therefore \mathrm{VOP}-\mathrm{VON}=\mathrm{Vb}\frac{\mathrm{Csb}}{\mathrm{CF}}-\mathrm{Va}\frac{\mathrm{Csa}}{\mathrm{CF}} \qquad (7)$$

[0155] 図１４（ａ）の右側のＳＡＲ－ＡＤＣ９’は、比較例２と同様の構成およびＡＤ変換方式であるので、説明を省略する。この構成において、ＳＡＲ－ＡＤＣ９’における比較器１１はＣＫＳＡＲにより制御される。

ＣＫＳＡＲは、二分探索シーケンスのために比較器を制御する信号クロックであり、ＡＤ変換期間において比較器１１の制御を行い、比較器１１の入力端の大小関係を順次判定する（図１４（ｂ）参照）。

[0156] 図１４（ａ）の構成において、ＣＢ－ＣＤＳアンプ１９’およびＳＡＲ－ＡＤＣ９’の双方は、比較器をベースにした二分探索シーケンス、そしてＤＡ変換器１５の機能を有した冗長な構成となっている。

特にアナログ電圧を保持するフィードバック容量ＣＦ、および、ＳＡＲ－ＡＤＣ９’のＣ－ＤＡＣ１０の容量アレイは、ｋＴ／Ｃノイズと関連するので、比較的大きな容量値を選ぶこと以外の選択肢がない。

この大きな容量値は比較例２と同様に、結果として回路全体の面積を増大させてしまい、望ましくない。

[0157] そこで本実施形態では、回路全体の面積を低減させることができるＡＤ変換装置を提供することを目的として、以下のように構成される。

[0158]（第８の実施形態）

図１５（ａ），（ｂ）は、本技術に係る第８の実施の形態に係るＡＤ変換装置１８の構成およびその動作タイミングを示す図である。本実施形態のＡ

Ｄ変換装置１８は、図１に示したセンサシステム１００におけるＣＤＳ１０３およびＡＤＣ１０４に相当する。

ここでは、ＣＢ－ＣＤＳアンプおよびＳＡＲ‐ＡＤＣを一体化させた構成例について説明する。

[0159] 本実施形態のＡＤ変換装置１８は、アナログ信号（センサ信号）をサンプリングする複数のサンプリング容量Ｃｓａ，Ｃｓｂを含む入力段２０と、フィードバック回路３Ｆと、比較器（ＣＭＰ）２１と、コントローラ（ＣＴＲＬ）２２とを有する。フィードバック回路３Ｆは、容量アレイ３１と、スイッチ群４とを有する。

[0160] 容量アレイ３１は、第１の実施形態と同様の構成を有し、２$^{n}$で重み付けされた容量素子（フィードバック容量ＣＦ、ＣＦ／２、ＣＦ／４、・・、ＣＦ／２$^{n}$、ＣＦ／２$^{n}$）を有する。各容量素子は、比較器２１の入力側に並列的に接続される。各容量素子の一端は、比較器２１の入力側に接続され、他端はスイッチ群４を構成する複数のスイッチに個々に接続される。

[0161] スイッチ群４は、容量アレイ３１を構成する各容量素子の他端に直列的に接続された複数のアナログスイッチで構成される。スイッチ群４を構成する複数のスイッチは、第１の実施形態と同様に、３つの接続先を有する。本実施形態においてその３つの接続先は、第１の基準電位ＶＴ、第２の基準電位ＶＢおよび比較器２２の入力端である。第１の基準電位ＶＴおよび第２の基準電位ＶＢはそれぞれ、ＡＤ変換のフルスケールを定義する基準電圧の高電位端および低電位端である。複数のスイッチの接続先は、コントローラ２２によって個別に制御される。

[0162] 比較器２１は、後述するように、サンプリング容量Ｃｓａ，Ｃｓｂでサンプリングされたアナログ信号の大小関係を判定するように構成される。

[0163] コントローラ２２は、後述するように、サンプリング容量Ｃｓａ，Ｃｓｂによってアナログ信号をサンプルする期間と、サンプリングしたアナログ信号を比較器２１の出力に基づいてＡＤ変換する期間とを制御する。コントローラ２２は、アナログ信号をサンプルする期間においてスイッチ群４を比較

器２１の入力端に接続するように構成される。

[0164] 上述のようにＡＤ変換装置１８は、ＣＢ－ＣＤＳアンプとＳＡＲ－ＡＤＣとを共通化した回路である。共通化として着目する部位は２つあり、１つは二分探索処理を行うための比較器２１およびコントローラ２２である。そして他の１つは、ＣＤＳアンプの演算電圧を生成するＤＡＣおよびフィードバック容量ＣＦ、そしてその情報をリサンプルすることで共有しているＣ－ＤＡＣである。

[0165] 上述したように、フィードバック容量ＣＦは、２$^{n}$で重み付けされた容量に分割した容量アレイ３１と３つの接続先を有する複数のスイッチからなるスイッチ群４とで構成する。重み付けされた容量ＣＦの一端（入力側）は、比較器２１の入力端に、他端（出力側）は３つの接続先を有するスイッチ群４の一端にそれぞれ接続されている。

[0166] ３つの接続先を有するスイッチ群４の他端の１つは、ＡＺモードにおいて電荷をリリースするために比較器２１の入力端へ接続されている。残りの２つは、二分探索の判定結果に応じてＤＡＣフルスケール（ＦＳ）を定義する最大基準電位（ＶＴ）あるいは最低基準電位（ＶＢ）へ接続されている。また、比較器２１は、入力端子ＶＩＰおよびＶＩＮ側だけでなく、スイッチＣＫＢを介してコモン電位Ｖｃｍｎへ接続されている。

[0167] 続いて、本実施形態のＡＤ変換装置１８の動作について説明する。

[0168] 図１５（ｂ）に示すように、スイッチＣＫＢがＨレベルで、比較器２１の入力端がスイッチＣＫＢを介してコモン電位Ｖｃｍｎへ接続され、ＡＺモードとなる。この時３つの接続先を有するスイッチ群４のうち、比較器２１の入力端へ接続されるスイッチのみがオン状態となり、前シーケンスにて蓄積された電荷がリリースされる。

スイッチＣＫＡの立下りエッジでサンプリング容量Ｃｓａにポイントａの電圧（Ｖａ）がサンプルされ、スイッチＣＫＢの立下りエッジでサンプリング容量Ｃｓｂにポイントｂの電圧（Ｖｂ）がサンプルされる。

[0169] スイッチｘＣＫＢの立上りでＡＤ変換装置１８はＡＭＰモードとなり、サ

ンプリング容量ＣｓａおよびＣｓｂの接続関係が変わり、サンプルした電圧の差分がＣＫＡＭＰに制御される比較器２１の入力端へ伝達される（Ｖｓｕｍｄ）。

この時、３つの接続先を有するスイッチ群４の接続先が変わり、二分探索シーケンスが開始される。容量アレイ３１への制御は、正相側と逆相側とで相補的な関係であることから正相側のみについてそのシーケンスを以下に説明する。

[0170] 最初に、ＭＳＢに相当するフィードバック容量（ＣＦ／２）が第１の基準電位ＶＴへ接続され、その他のフィードバック容量は、第２の基準電位ＶＢへ接続される。

このスイッチアクションにより電荷分配が成され、ＶｓｕｍｄからＭＳＢに相当する電圧すなわち１／２フルスケールが、前述の通り、フィードバック容量ＣＦを介した容量比によって減算される。

[0171] この減算後の電圧の大小関係を比較器２１が判定し、ＭＳＢが決定される。次のシーケンスでは、ＭＳＢの判定結果に応じて、ＭＳＢに相当するフィードバック容量の基準電圧がそのままステイあるいは第２の基準電位ＶＢへの接続がなされ、２ｎｄ－ＭＳＢに相当するフィードバック容量の基準電圧を第１の基準電位ＶＴへ接続する。

このスイッチアクションにより電荷分配が成され、２ｎｄ－ＭＳＢに相当する電圧すなわち１／４フルスケールがＣＦを介した容量比によって減算される。

[0172] この減算後の電圧の大小関係を比較器２１が判定し、２ｎｄ－ＭＳＢが決定される。以下同様のシーケンスが行われ、比較器２１の比較判定結果に応じて複数のフィードバック容量の基準電圧をＶＴへステイ、あるいはＶＢ側へ切り替え、容量アレイの電荷分配アクションによるＣＭＰ入力端差電圧の減算動作を繰り返すことで、デジタルデータが決定される。

なお、二分探索シーケンスは前述に限定されるものではなく、フィードバック容量ＣＦを容量アレイとして直接制御する機構であればよい。

[0173] 上述したようにＡＭＰ期間中の二分探索シーケンスにＣＤＳ演算機能およびＡＤＣ機能の両方を集約することで、本技術により回路は一つのＳＣＡでありながらＣＤＳ演算機能およびＡＤ変換機能の両立が可能になる。

さらにフィードバック容量ＣＦを、ＳＡＲに必要な分解能として容量アレイ化しておくことで、ＳＡＲの二分探索シーケンスにも不都合を生じることはない。

[0174] またアディショナルパーツとしてはアナログスイッチのみとなること、フィードバック容量ＣＦとしてのトータル容量値は変わらずアレイ化されるだけである。

したがって、余計なオーバーヘッドを必要としないなど、キャパシタを共用化することによる電力削減および回路全体の面積削減の効果は極めて大きい。

[0175] なお、本実施形態ではＶｂ－Ｖａという２つのサンプル電圧のＣＤＳ演算処理で説明したが、ＣＤＳ演算機能はこれに限定されない。

例えば図示しないが、Ｎ個（Ｎは２以上の整数）のサンプル容量とスイッチとで構成し、それらのサンプルした電圧を用いた加減算処理でもよい。

[0176] 以上のように本実施形態のＡＤ変換装置１８によれば、１つのＳＣＡでありながらＣＤＳ演算機能およびＡＤ変換機能の両立が可能になる。

その際、フィードバック容量ＣＦをＳＡＲに必要な分解能として容量アレイ化しておくことで、ＳＡＲの二分探索シーケンスにも不都合は生じない。

[0177] またアディショナルパーツとしてはアナログスイッチのみとなること、フィードバック容量ＣＦとしてのトータル容量値は、変わらずアレイ化されるだけである。したがって、余計なオーバーヘッドを必要としないなど、キャパシタの共用化による電力削減および面積削減効果は大きい。

[0178] なお、本技術は以下のような構成もとることができる。

（１） アナログ信号をサンプリングする複数のサンプリング容量と、

容量アレイ化されたフィードバック容量と、

前記フィードバック容量に接続され、少なくとも３つの接続先を有するス

イッチ群と、

前記フィードバック容量および前記スイッチ群の１つの接続先によって負帰還が施され、前記アナログ信号の振幅の差分を検出する演算増幅器と

を具備する

スイッチトキャパシタアンプ。

（２）上記（１）に記載のスイッチトキャパシタアンプであって、

前記フィードバック容量は、２のｎ乗（ｎは整数）の重み付けがなされた複数の容量素子を有する

スイッチトキャパシタアンプ。

（３）上記（１）または（２）に記載のスイッチトキャパシタアンプであって、

前記スイッチ群の少なくとも２つの接続先はそれぞれ、第１の基準電位および前記第１の基準電位よりも低い第２の基準電位である

スイッチトキャパシタアンプ。

（４）上記（３）に記載のスイッチトキャパシタアンプであって、

前記スイッチ群の他の１つの接続先は、前記演算増幅器の出力端である

スイッチトキャパシタアンプ。

（５）上記（１）～（４）のいずれか１つに記載のスイッチトキャパシタアンプであって、

前記アナログ信号の所定の振幅値に相当するレベルシフト量の電荷を前記フィードバック容量にプリチャージするためのデータ信号を生成することが可能なコントローラをさらに具備する

スイッチトキャパシタアンプ。

（６）上記（５）に記載のスイッチトキャパシタアンプであって、

前記演算増幅器は、前記アナログ信号をサンプリングする期間とサンプルしたアナログ信号を増幅する期間の２つの状態を有する

スイッチトキャパシタアンプ。

（７）上記（６）に記載のスイッチトキャパシタアンプであって、

前記複数のサンプリング容量は、時間軸の異なる２つのアナログ信号を保持する容量を有し、

前記演算増幅器は、第１のサンプリングで取得した保持電圧と第２のサンプリングで取得した保持電圧との差分を前記フィードバック容量との容量比で増幅する

スイッチトキャパシタアンプ。

（８）　アナログ信号をサンプリングする複数のサンプリング容量と、

容量アレイ化されたフィードバック容量と、

前記フィードバック容量の一端に接続され、少なくとも３つの接続先を有するスイッチ群と、

前記フィードバック容量および前記スイッチ群の１つの接続先によって負帰還が施され、前記アナログ信号の振幅の差分を検出する演算増幅器と、

前記演算増幅器の出力信号の差分の大小関係を判定する比較器と

を具備するＡＤ変換器。

（９）上記（８）に記載のＡＤ変換器であって、

前記フィードバック容量は、２のｎ乗（ｎは整数）の重み付けがなされた複数の容量素子を有する

ＡＤ変換器。

（１０）上記（８）または（９）に記載のＡＤ変換器であって、

前記スイッチ群の少なくとも２つの接続先はそれぞれ、ＡＤ変換のフルスケールを定義する基準電圧の高電位端と低電位端である

ＡＤ変換器。

（１１）上記（１０）に記載のＡＤ変換器であって、

前記スイッチ群の他の１つの接続先は、前記演算増幅器の入力端である

ＡＤ変換器。

（１２）上記（８）～（１１）のいずれか１つに記載のＡＤ変換器であって、

前記複数のサンプリング容量によってアナログ信号をサンプルする期間と

、前記複数のサンプリング容量と前記フィードバック容量との比によってサンプルしたアナログ信号を前記演算増幅器で増幅する期間と、増幅したアナログ信号を前記比較器の出力に基づいてＡＤ変換する期間とを制御するコントローラをさらに具備する

ＡＤ変換器。

（１３）上記（１２）に記載のＡＤ変換器であって、

前記コントローラは、前記比較器の判定結果に応じた二分探索シーケンスで前記フィードバック容量を制御する

ＡＤ変換器。

（１４）上記（１２）または（１３）に記載のＡＤ変換器であって、

前記スイッチ群および前記フィードバック容量に対して並列になるように、前記演算増幅器の入出力端の間に接続された第１のスイッチをさらに具備する

ＡＤ変換器。

（１５）上記（１２）～（１４）のいずれか１つに記載のＡＤ変換器であって、

前記フィードバック容量の他端に接続され、コモン電位および前記演算増幅器の出力端の２つの接続先を有する補助スイッチ群をさらに具備し、

前記コントローラは、前記アナログ信号のサンプル期間において前記補助スイッチ群の接続先をコモン電位にするように構成される

ＡＤ変換器。

（１６）上記（１２）～（１４）のいずれか１つに記載のＡＤ変換器であって、

前記フィードバック容量の他端を前記演算増幅器の出力端およびコモン電位に接続することが可能な第２のスイッチと、

前記スイッチ群を前記演算増幅器の入力端およびコモン電位に接続することが可能な第３のスイッチと、をさらに具備し、

前記コントローラは、前記アナログ信号のサンプル期間において、前記演

算増幅器の入出力端を、前記第２のスイッチおよび前記第３のスイッチを介してコモン電位に接続するように構成される

ＡＤ変換器。

（１７）　アナログ信号をサンプリングする複数のサンプリング容量と、

容量アレイ化されたフィードバック容量と、

前記サンプリング容量でサンプリングされたアナログ信号の大小関係を判定する比較器と、

前記フィードバック容量に接続され、少なくとも３つの接続先を有し、そのうち１つが前記比較器の入力端に接続可能に構成されたスイッチ群と

を具備するＡＤ変換器。

（１８）上記（１７）に記載のＡＤ変換器であって、

前記フィードバック容量は、２のｎ乗（ｎは整数）の重み付けがなされた複数の容量素子を有する

ＡＤ変換器。

（１９）上記（１７）または（１８）に記載のＡＤ変換器であって、

前記スイッチ群の少なくとも２つの接続先はそれぞれ、ＡＤ変換のフルスケールを定義する基準電圧の高電位端と低電位端である

ＡＤ変換器。

（２０）上記（１７）～（１９）のいずれか１つに記載のＡＤ変換器であって、

前記複数のサンプリング容量によってアナログ信号をサンプルする期間と、サンプリングしたアナログ信号を前記比較器の出力に基づいてＡＤ変換する期間とを制御するコントローラをさらに具備し、

前記コントローラは、前記アナログ信号をサンプルする期間において前記スイッチ群を前記比較器の入力端に接続するように構成される

ＡＤ変換器。

## 符号の説明

[0179]　１Ａ，１Ｃ，１Ｄ…ＣＤＳアンプ（スイッチトキャパシタアンプ）

１Ｂ…スイッチトキャパシタアンプ

２…演算増幅器

３，３Ｆ…フィードバック回路

４…スイッチ群

８…システム・シーケンス制御部

１１，２１…比較器

１２…コントローラ

１４Ａ，１４Ｂ，１４Ｃ，１８…ＡＤ変換装置

１５…ＤＡ変換器

２１…比較器

２２…コントローラ

３１…容量アレイ

４２…補助スイッチ群

１００…センサシステム

１０１…センサ

１０２…プリアンプ

１０３…相関二重サンプリング回路（ＣＤＳ）

１０４…ＡＤ変換器（ＡＤＣ）

１０５…システムコントローラ

# 請求の範囲

[請求項1] アナログ信号をサンプリングする複数のサンプリング容量と、

容量アレイ化されたフィードバック容量と、

前記フィードバック容量に接続され、少なくとも３つの接続先を有するスイッチ群と、

前記フィードバック容量および前記スイッチ群の１つの接続先によって負帰還が施され、前記アナログ信号の振幅の差分を検出する演算増幅器と

を具備する

スイッチトキャパシタアンプ。

[請求項2] 請求項１に記載のスイッチトキャパシタアンプであって、

前記フィードバック容量は、２のｎ乗（ｎは整数）の重み付けがなされた複数の容量素子を有する

スイッチトキャパシタアンプ。

[請求項3] 請求項１に記載のスイッチトキャパシタアンプであって、

前記スイッチ群の少なくとも２つの接続先はそれぞれ、第１の基準電位および前記第１の基準電位よりも低い第２の基準電位である

スイッチトキャパシタアンプ。

[請求項4] 請求項３に記載のスイッチトキャパシタアンプであって、

前記スイッチ群の他の１つの接続先は、前記演算増幅器の出力端である

スイッチトキャパシタアンプ。

[請求項5] 請求項１に記載のスイッチトキャパシタアンプであって、

前記アナログ信号の所定の振幅値に相当するレベルシフト量の電荷を前記フィードバック容量にプリチャージするためのデータ信号を生成することが可能なコントローラをさらに具備する

スイッチトキャパシタアンプ。

[請求項6] 請求項５に記載のスイッチトキャパシタアンプであって、

前記演算増幅器は、前記アナログ信号をサンプリングする期間とサンプルしたアナログ信号を増幅する期間の２つの状態を有する

スイッチトキャパシタアンプ。

[請求項7] 請求項６に記載のスイッチトキャパシタアンプであって、

前記複数のサンプリング容量は、時間軸の異なる２つのアナログ信号を保持する容量を有し、

前記演算増幅器は、第１のサンプリングで取得した保持電圧と第２のサンプリングで取得した保持電圧との差分を前記フィードバック容量との容量比で増幅する

スイッチトキャパシタアンプ。

[請求項8] アナログ信号をサンプリングする複数のサンプリング容量と、

容量アレイ化されたフィードバック容量と、

前記フィードバック容量の一端に接続され、少なくとも３つの接続先を有するスイッチ群と、

前記フィードバック容量および前記スイッチ群の１つの接続先によって負帰還が施され、前記アナログ信号の振幅の差分を検出する演算増幅器と、

前記演算増幅器の出力信号の差分の大小関係を判定する比較器と

を具備するＡＤ変換装置。

[請求項9] 請求項８に記載のＡＤ変換装置であって、

前記フィードバック容量は、２のｎ乗（ｎは整数）の重み付けがなされた複数の容量素子を有する

ＡＤ変換装置。

[請求項10] 請求項８に記載のＡＤ変換装置であって、

前記スイッチ群の少なくとも２つの接続先はそれぞれ、ＡＤ変換のフルスケールを定義する基準電圧の高電位端と低電位端である

ＡＤ変換装置。

[請求項11] 請求項１０に記載のＡＤ変換装置であって、

前記スイッチ群の他の１つの接続先は、前記演算増幅器の入力端である

ＡＤ変換装置。

[請求項12] 請求項８に記載のＡＤ変換装置であって、

前記複数のサンプリング容量によってアナログ信号をサンプルする期間と、前記複数のサンプリング容量と前記フィードバック容量との比によってサンプルしたアナログ信号を前記演算増幅器で増幅する期間と、増幅したアナログ信号を前記比較器の出力に基づいてＡＤ変換する期間とを制御するコントローラをさらに具備する

ＡＤ変換装置。

[請求項13] 請求項１２に記載のＡＤ変換装置であって、

前記コントローラは、前記比較器の判定結果に応じた二分探索シーケンスで前記フィードバック容量を制御する

ＡＤ変換装置。

[請求項14] 請求項１２に記載のＡＤ変換装置であって、

前記スイッチ群および前記フィードバック容量に対して並列になるように、前記演算増幅器の入出力端の間に接続された第１のスイッチをさらに具備する

ＡＤ変換装置。

[請求項15] 請求項１２に記載のＡＤ変換装置であって、

前記フィードバック容量の他端に接続され、コモン電位および前記演算増幅器の出力端の２つの接続先を有する補助スイッチ群をさらに具備し、

前記コントローラは、前記アナログ信号のサンプル期間において前記補助スイッチ群の接続先をコモン電位にするように構成される

ＡＤ変換装置。

[請求項16] 請求項１２に記載のＡＤ変換装置であって、

前記フィードバック容量の他端を前記演算増幅器の出力端およびコ

モン電位に接続することが可能な第２のスイッチと、

前記スイッチ群を前記演算増幅器の入力端およびコモン電位に接続することが可能な第３のスイッチと、をさらに具備し、

前記コントローラは、前記アナログ信号のサンプル期間において、前記演算増幅器の入出力端を、前記第２のスイッチおよび前記第３のスイッチを介してコモン電位に接続するように構成される

ＡＤ変換装置。

[請求項17] アナログ信号をサンプリングする複数のサンプリング容量と、

容量アレイ化されたフィードバック容量と、

前記サンプリング容量でサンプリングされたアナログ信号の大小関係を判定する比較器と、

前記フィードバック容量に接続され、少なくとも３つの接続先を有し、そのうち１つが前記比較器の入力端に接続可能に構成されたスイッチ群と

を具備するＡＤ変換装置。

[請求項18] 請求項１７に記載のＡＤ変換器であって、

前記フィードバック容量は、２のｎ乗（ｎは整数）の重み付けがなされた複数の容量素子を有する

ＡＤ変換装置。

[請求項19] 請求項１７に記載のＡＤ変換装置であって、

前記スイッチ群の少なくとも２つの接続先はそれぞれ、ＡＤ変換のフルスケールを定義する基準電圧の高電位端と低電位端である

ＡＤ変換装置。

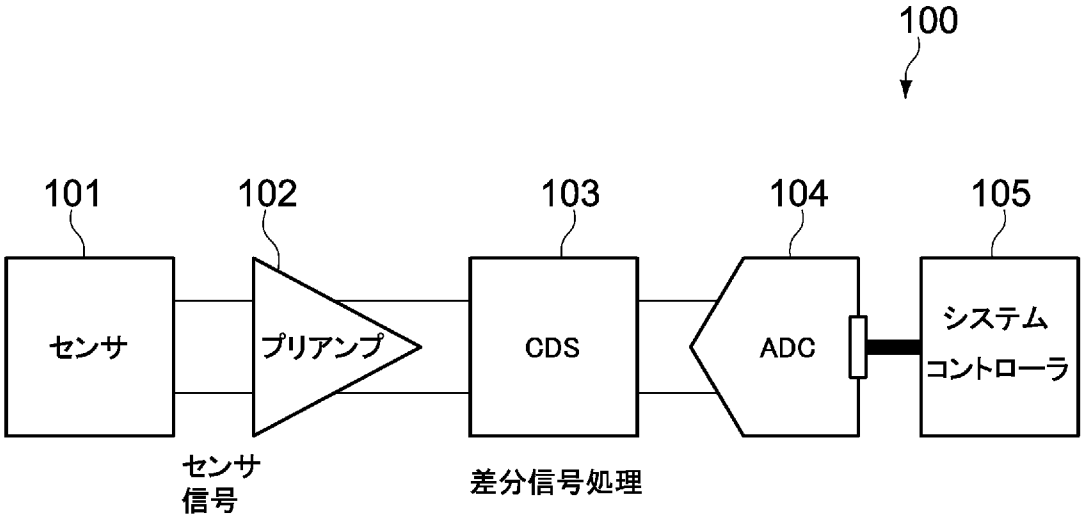
[請求項20] 請求項１７に記載のＡＤ変換装置であって、

前記複数のサンプリング容量によってアナログ信号をサンプルする期間と、サンプリングしたアナログ信号を前記比較器の出力に基づいてＡＤ変換する期間とを制御するコントローラをさらに具備し、

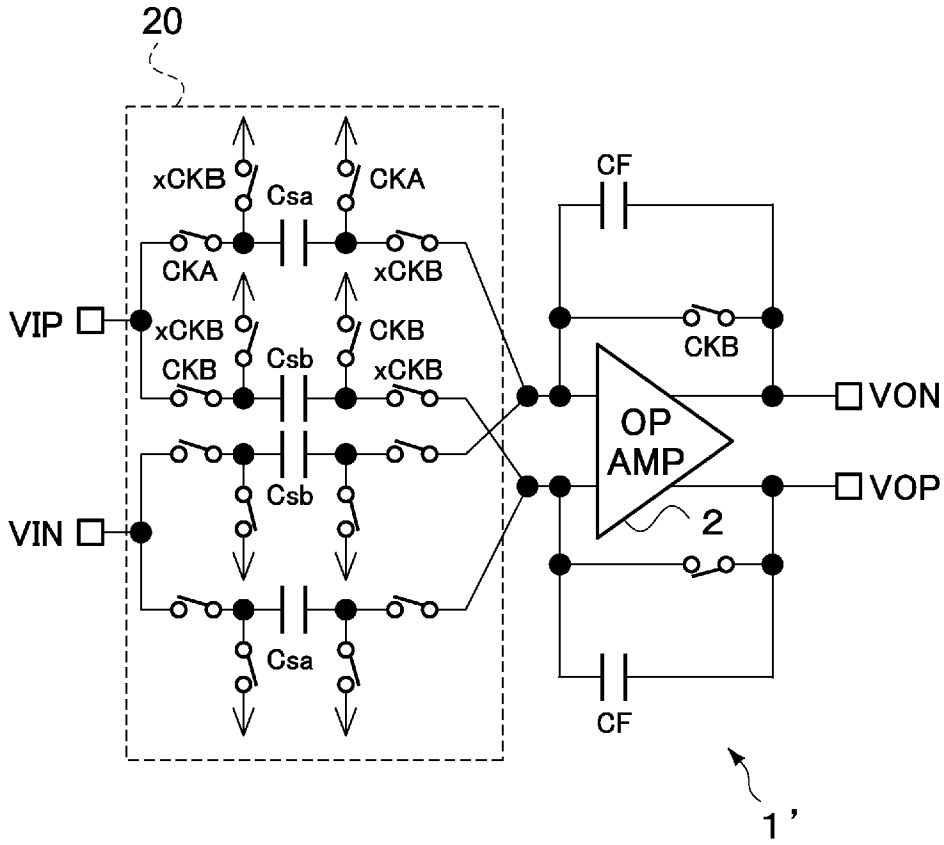
前記コントローラは、前記アナログ信号をサンプルする期間におい

て前記スイッチ群を前記比較器の入力端に接続するように構成されるＡＤ変換装置。

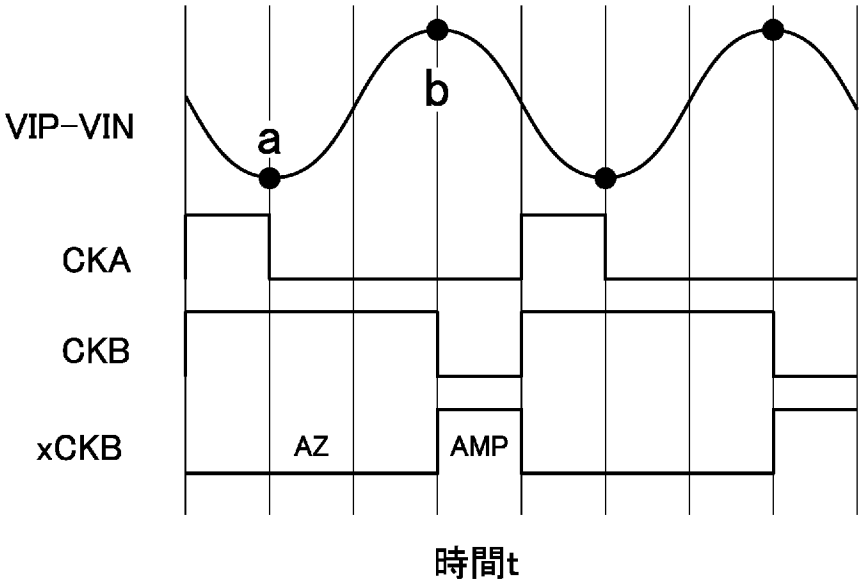
[図1]


100
101
102
103
104
105
センサ
プリアンプ
CDS
ADC
システム
コントローラ
センサ
信号
差分信号処理

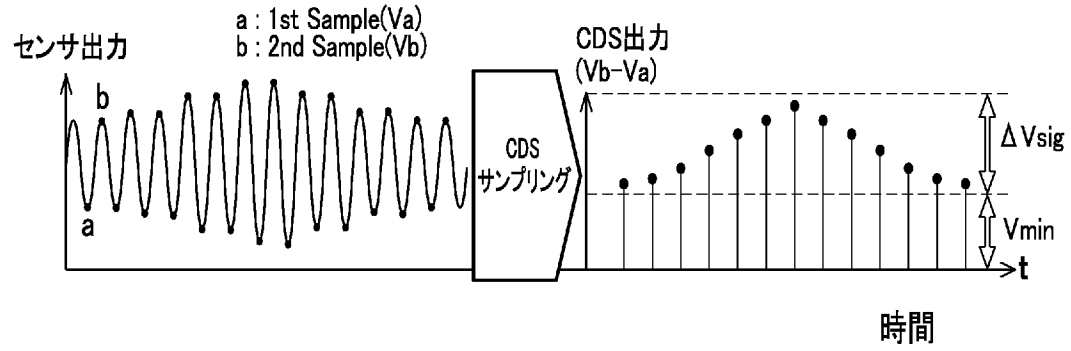
[図2(a)]


20
xCKB
Csa
CKA
CF
CKA
xCKB
VIP
xCKB
CKB
CKB
CKB
Csb
xCKB
OP
AMP
VON
VOP
VIN
Csb
2
Csa
CF
1'

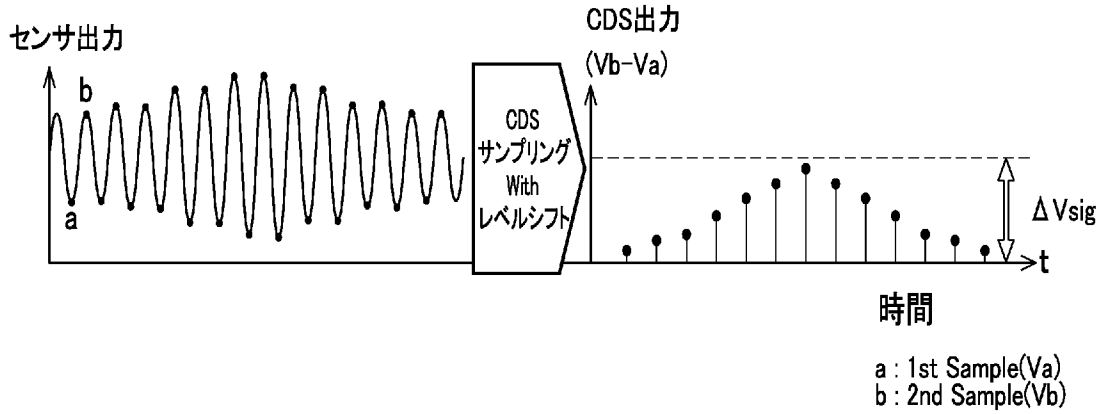
[図2(b)]


VIP-VIN
a
b
CKA
CKB
xCKB
AZ
AMP
時間t

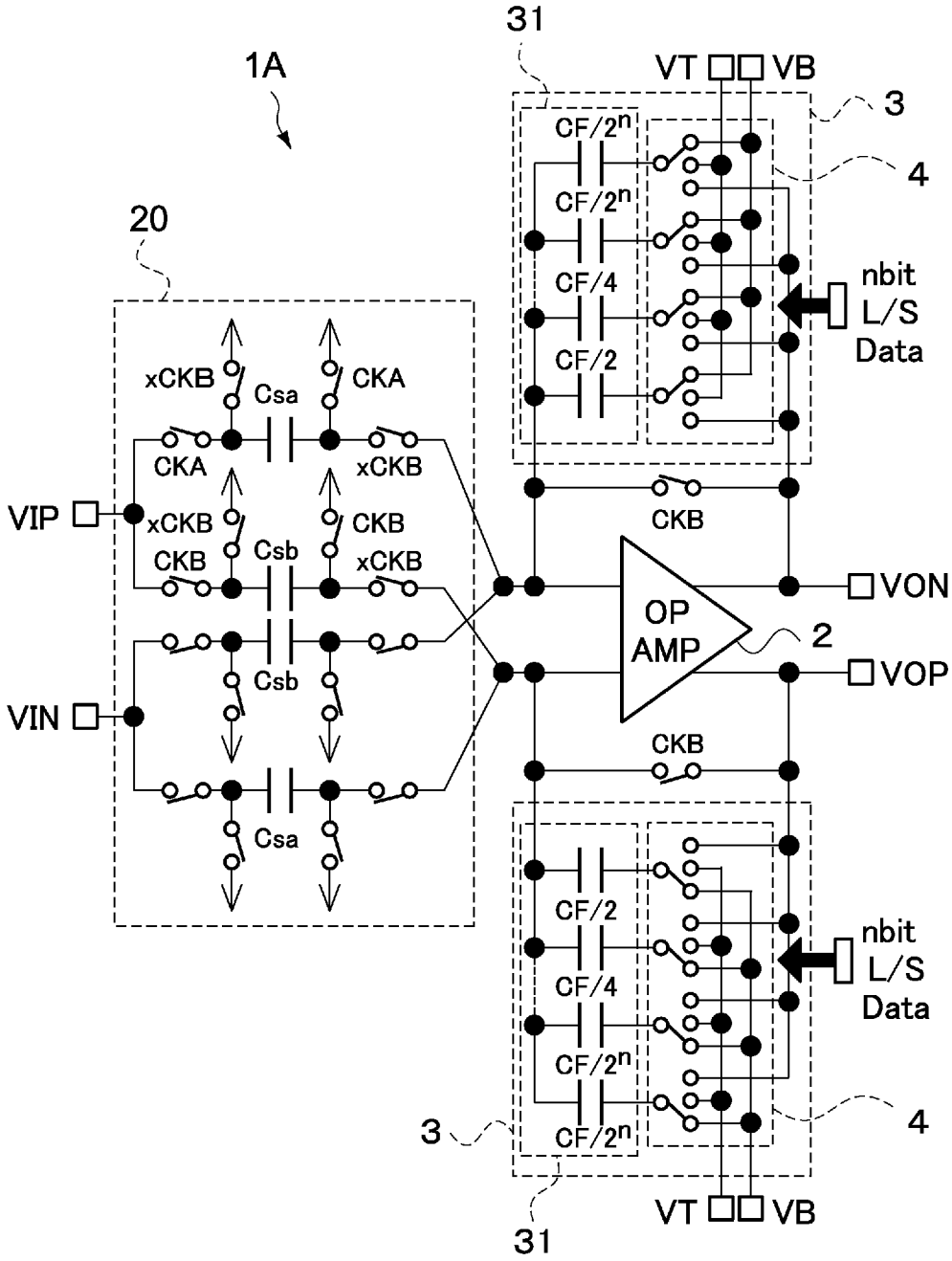
[図3]


センサ出力
a : 1st Sample(Va)
b : 2nd Sample(Vb)
b
a
CDS
サンプリング
CDS出力
(Vb-Va)
ΔVsig
Vmin
t
時間

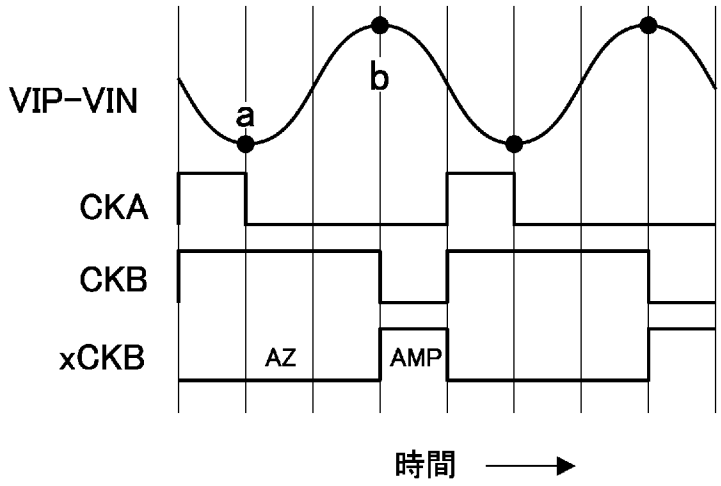
[図4]


センサ出力
b
a
CDS
サンプリング
With
レベルシフト
CDS出力
(Vb-Va)
ΔVsig
t
時間
a : 1st Sample(Va)
b : 2nd Sample(Vb)

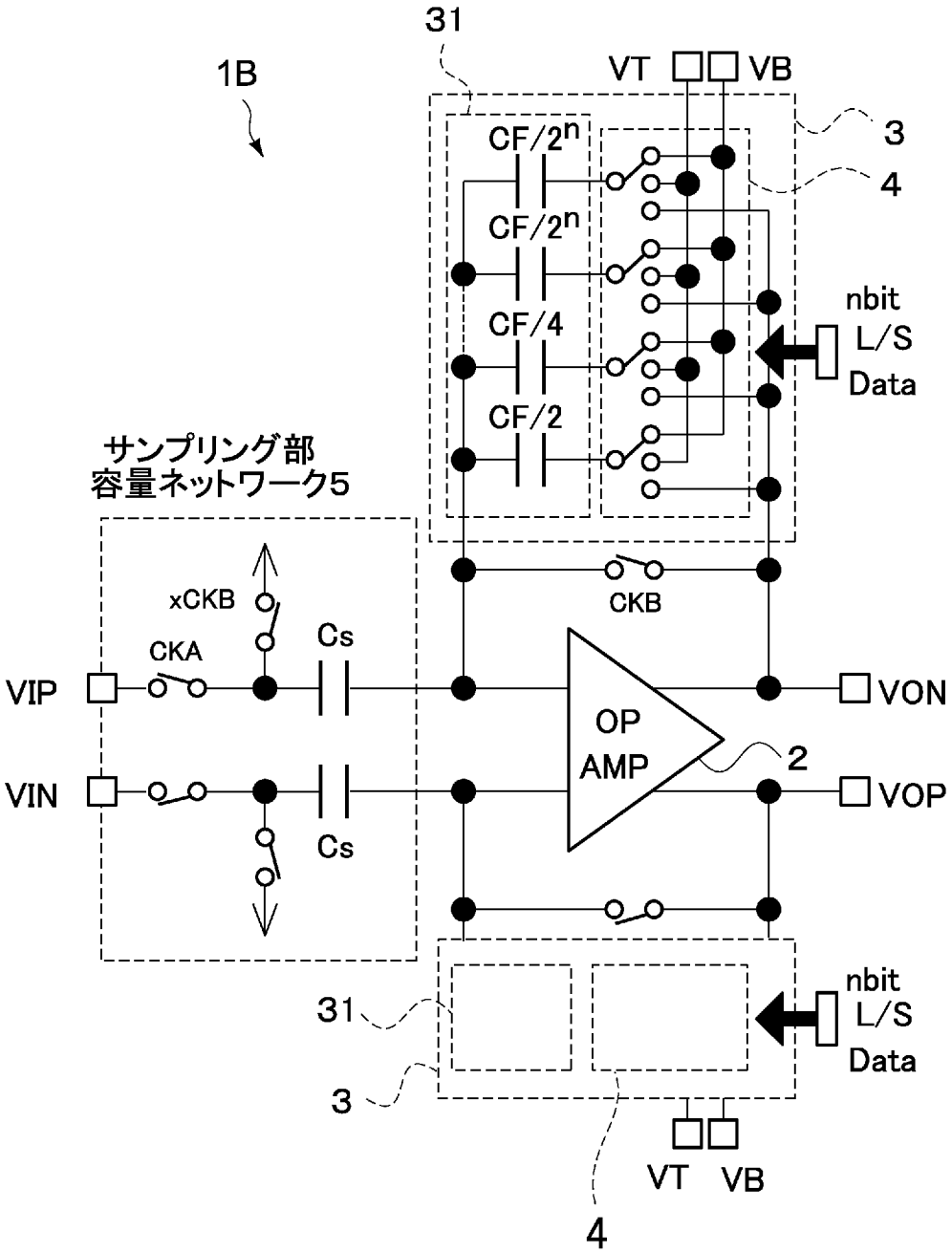
[図5(a)]


1A
31
VT
VB
3
4
CF/2^n
CF/2^n
CF/4
CF/2
nbit
L/S
Data
20
xCKB
Csa
CKA
CKA
xCKB
VIP
xCKB
CKB
CKB
Csb
xCKB
CKB
VON
OP
AMP
2
VOP
Csb
VIN
CKB
Csa
CF/2
CF/4
CF/2^n
CF/2^n
nbit
L/S
Data
3
4
VT
VB
31

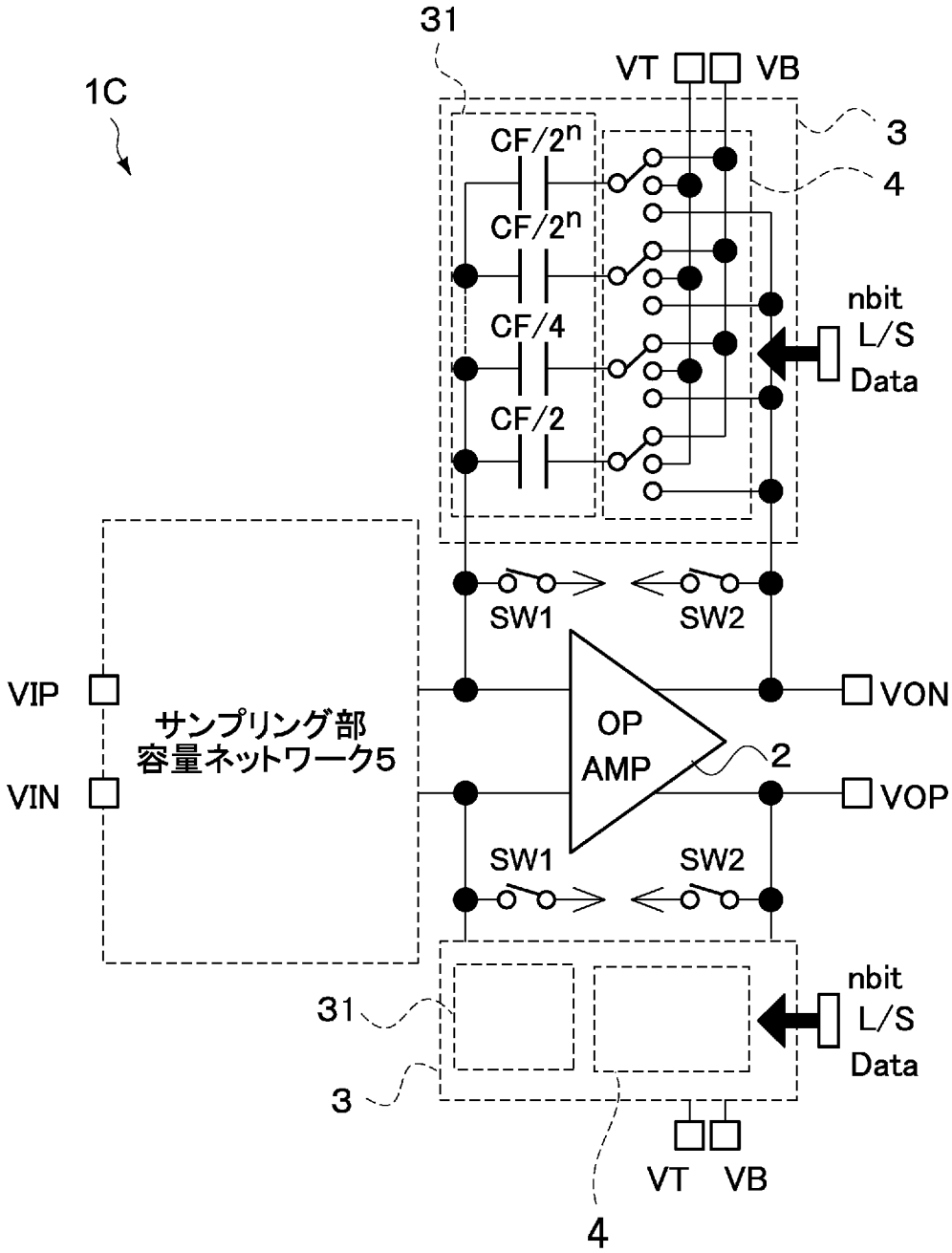
[図5(b)]



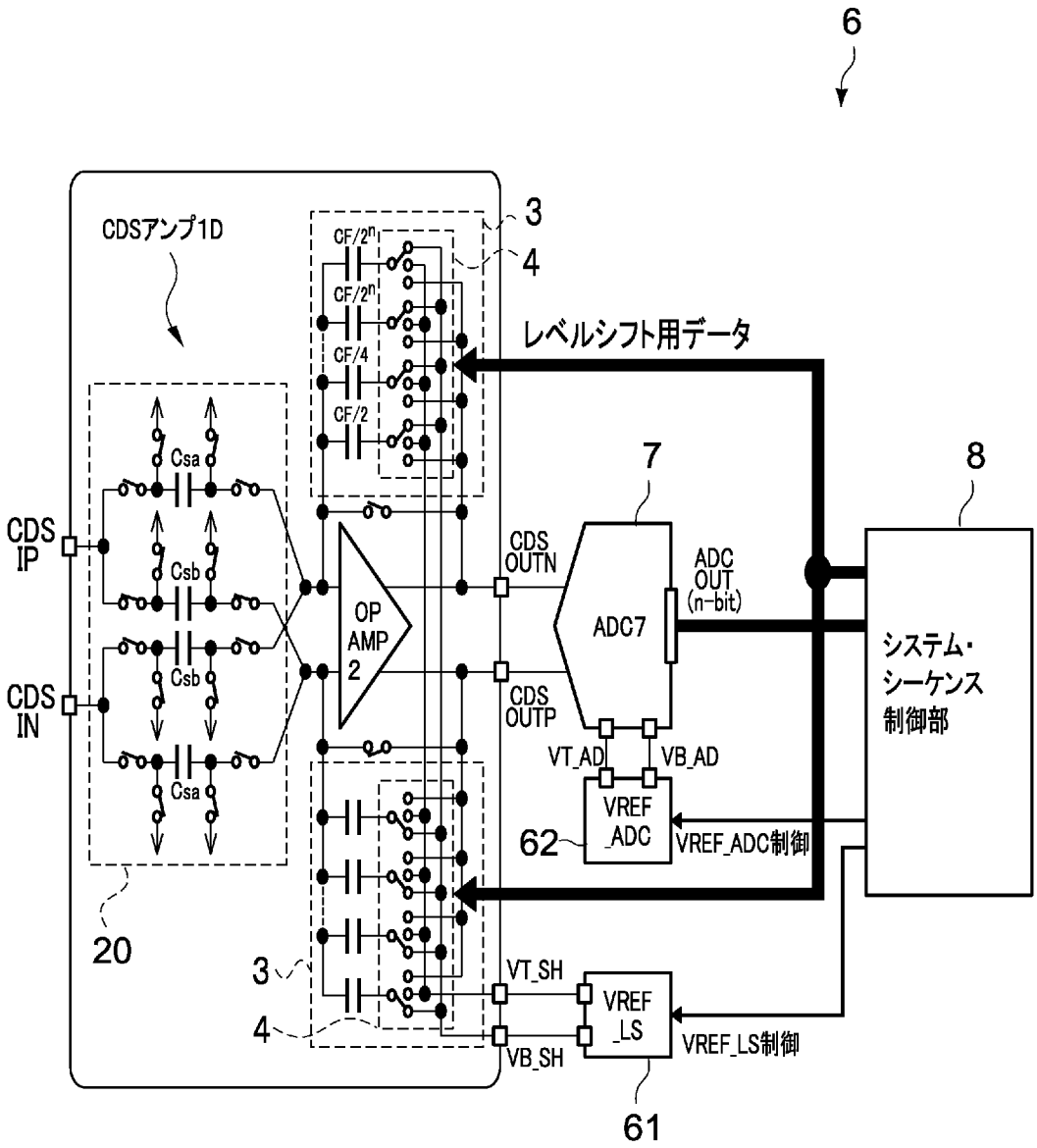
[図6]


1B
31
VT
VB
3
4
CF/2^n
CF/2^n
CF/4
CF/2
nbit
L/S
Data
サンプリング部
容量ネットワーク5
xCKB
CKA
Cs
CKB
VIP
VIN
OP
AMP
2
VON
VOP
Cs
31
3
nbit
L/S
Data
VT
VB
4

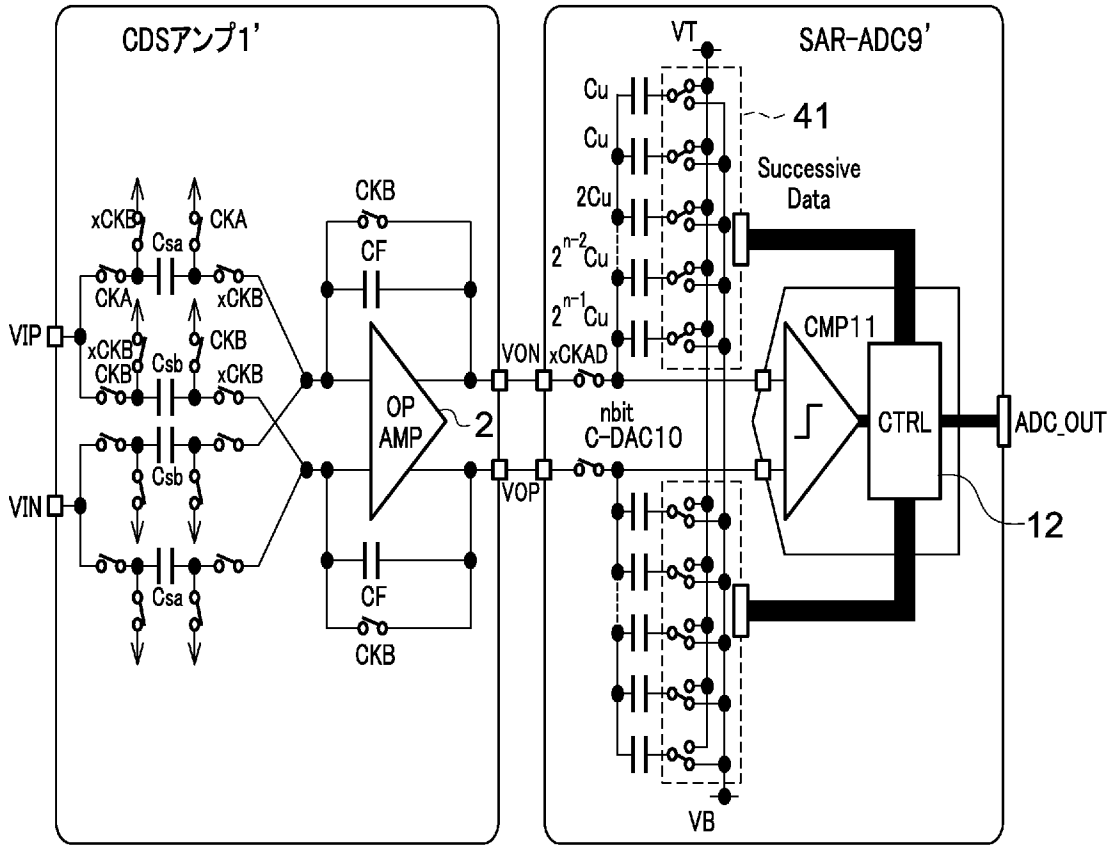
[図7]


1C
31
VT
VB
3
4
CF/2^n
CF/2^n
CF/4
CF/2
nbit
L/S
Data
SW1
SW2
VIP
VIN
サンプリング部
容量ネットワーク5
OP
AMP
2
VON
VOP
SW1
SW2
31
3
nbit
L/S
Data
VT
VB
4

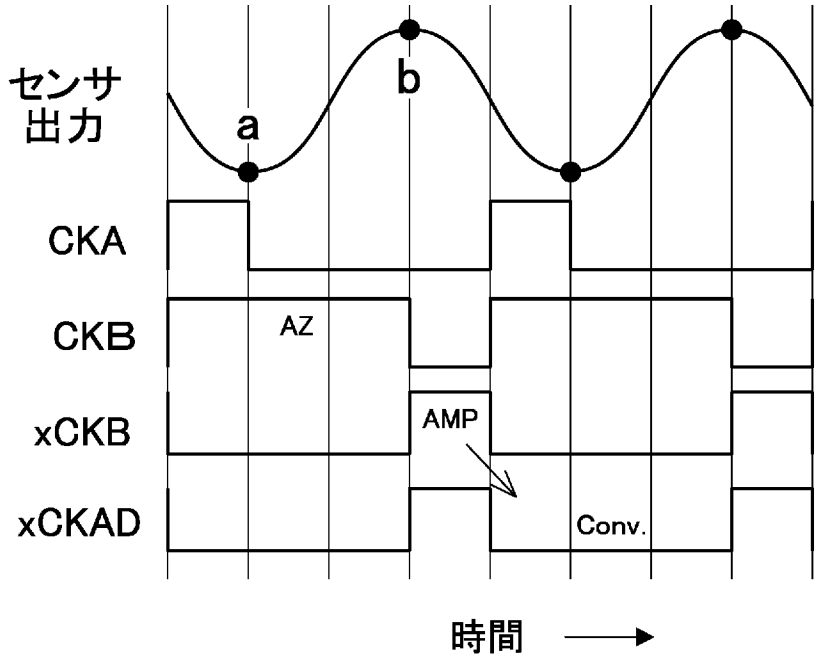
[図8]


6
CDSアンプ1D
3
4
CF/2^n
CF/2^n
CF/4
CF/2
レベルシフト用データ
7
8
Csa
Csb
Csb
Csa
CDS IP
CDS IN
OP AMP 2
CDS OUTN
CDS OUTP
ADC7
ADC OUT (n-bit)
システム・シーケンス制御部
VT_AD
VB_AD
VREF _ADC
62
VREF_ADC制御
20
3
4
VT_SH
VB_SH
VREF _LS
VREF_LS制御
61

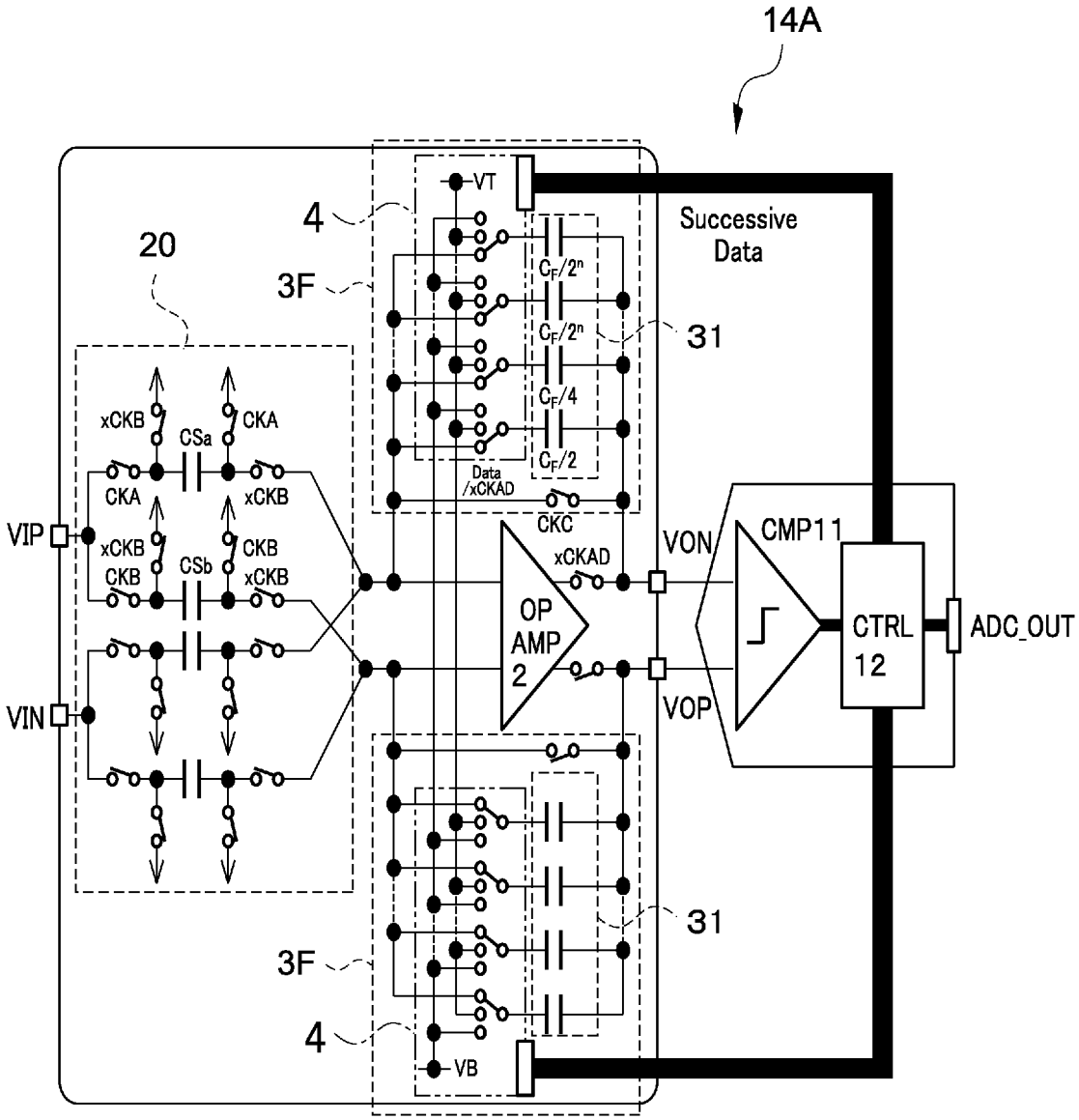
[図9(a)]


CDSアンプ1'
SAR-ADC9'
VT
Cu
Cu
2Cu
$2^{n-2}$Cu
$2^{n-1}$Cu
41
Successive
Data
CMP11
CTRL
ADC_OUT
12
xCKB
CKA
Csa
CKB
CF
VIP
VIN
Csb
OP
AMP
2
VON
VOP
xCKAD
nbit
C-DAC10
VB

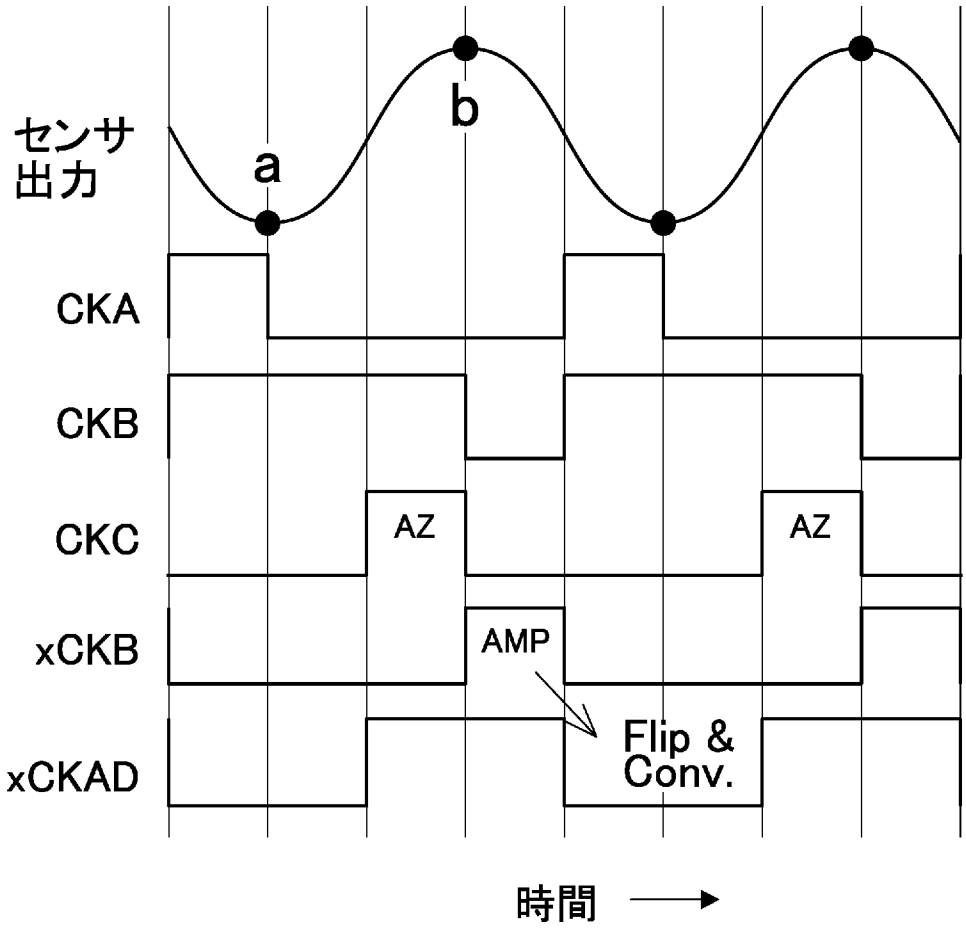
[図9(b)]


センサ
出力
a
b
CKA
CKB
AZ
xCKB
AMP
xCKAD
Conv.
時間

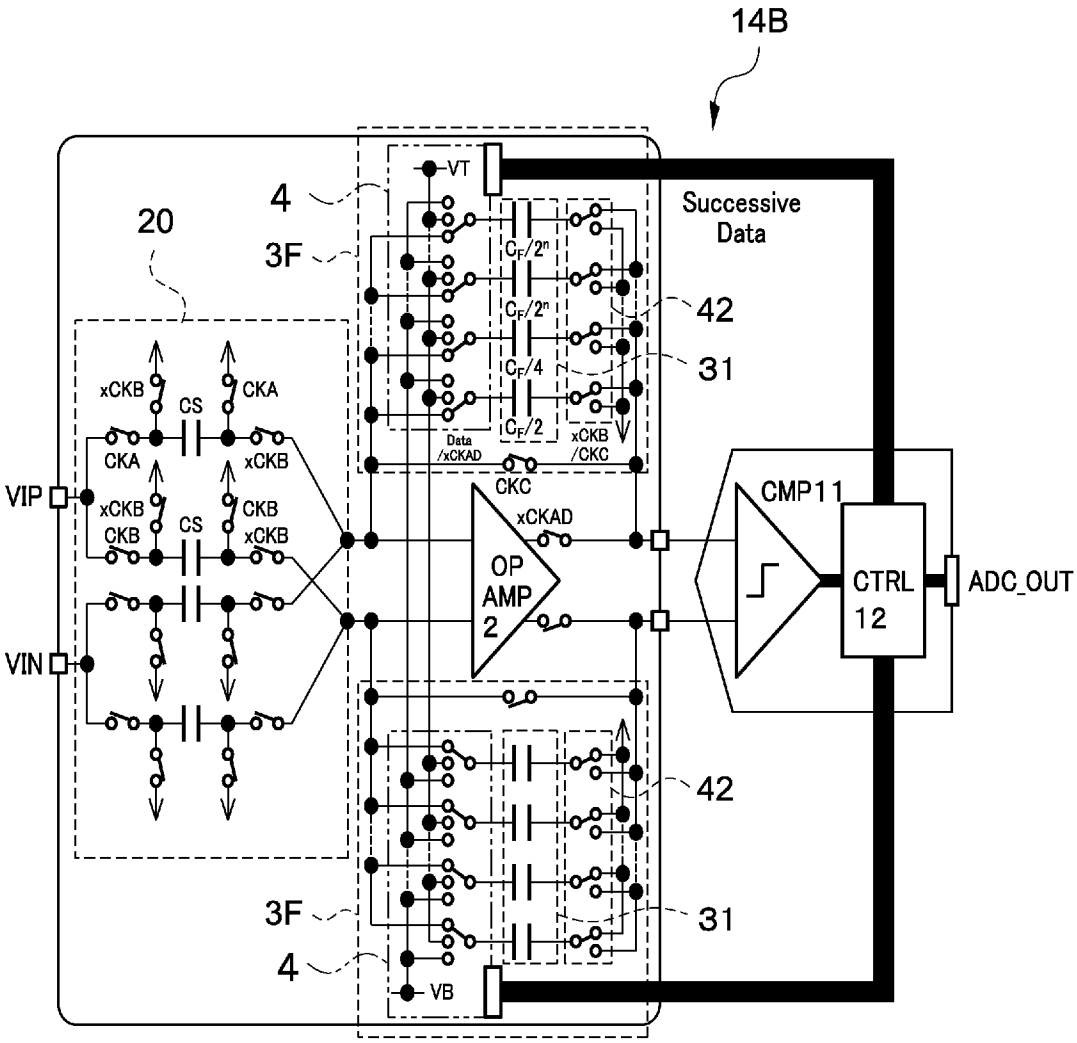
[図10(a)]


14A
20
4
3F
VT
Successive
Data
$C_F/2^n$
$C_F/2^n$
$C_F/4$
$C_F/2$
31
Data
/xCKAD
CKC
xCKAD
VON
VOP
CMP11
CTRL
12
ADC_OUT
OP
AMP
2
VIP
VIN
xCKB
CKA
CSa
CKB
CSb
VB

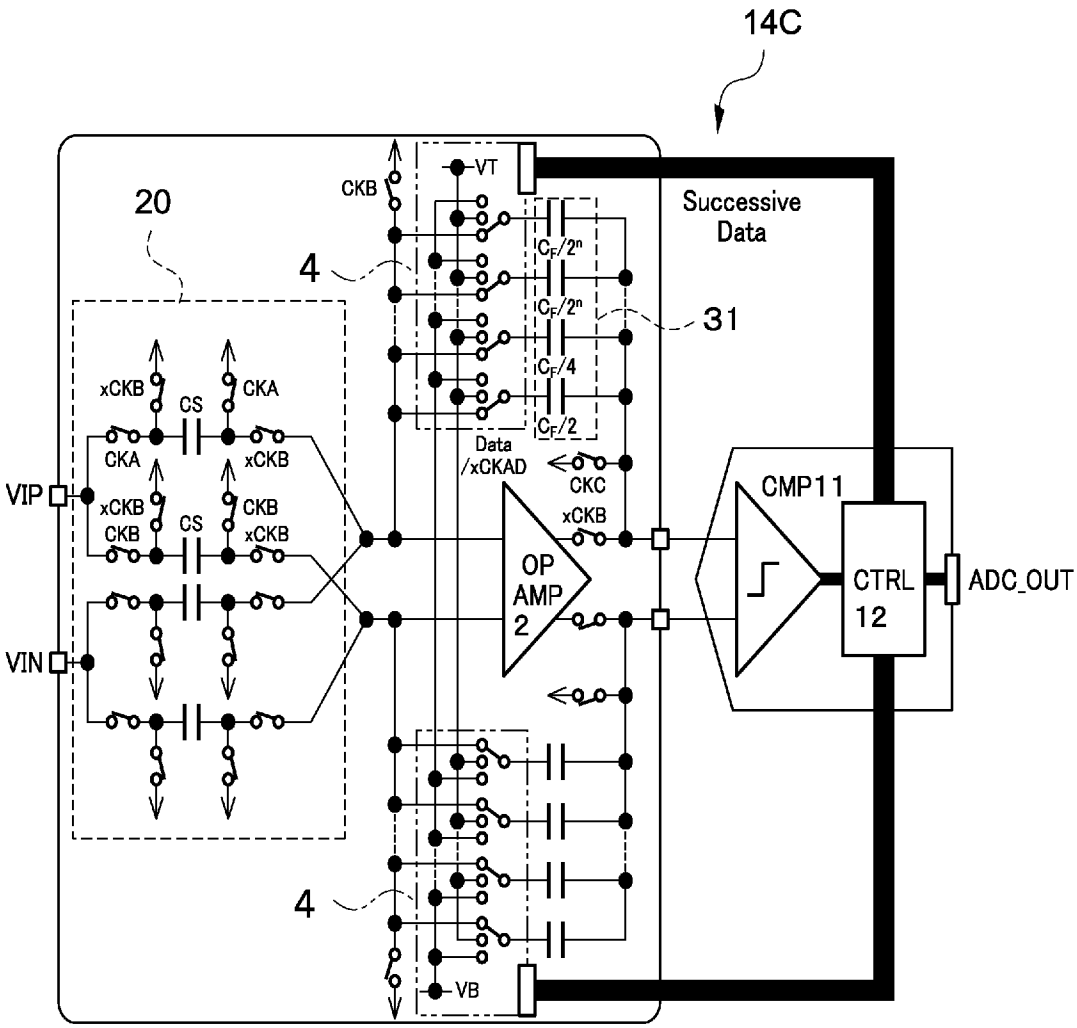
[図10(b)]



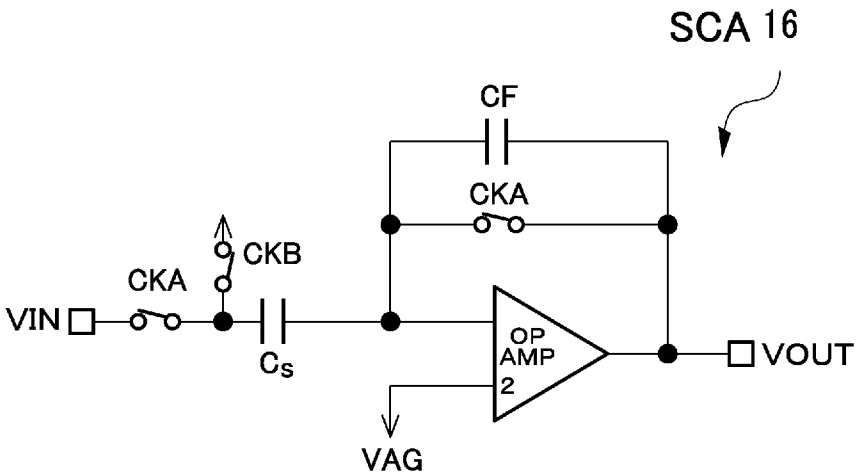
[図11]


14B
20
4
3F
VT
Successive
Data
42
31
xCKB
CS
CKA
CKA
xCKB
VIP
xCKB
CKB
CS
CKB
xCKB
VIN
Data
/xCKAD
xCKB
/CKC
CKC
xCKAD
OP
AMP
2
CMP11
CTRL
12
ADC_OUT
42
31
3F
4
VB

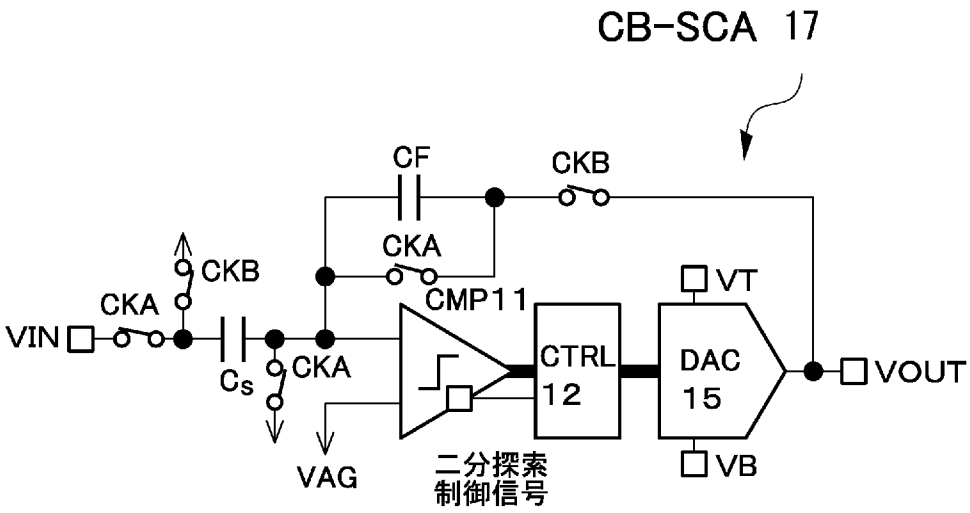
[図12]


14C
20
4
4
31
VT
VB
CKB
Successive
Data
$C_F/2^n$
$C_F/2^n$
$C_F/4$
$C_F/2$
Data
/xCKAD
CKC
xCKB
CMP11
CTRL
12
ADC_OUT
OP
AMP
2
VIP
VIN
xCKB
CKA
CS
CKA
xCKB
xCKB
CKB
CS
CKB
xCKB

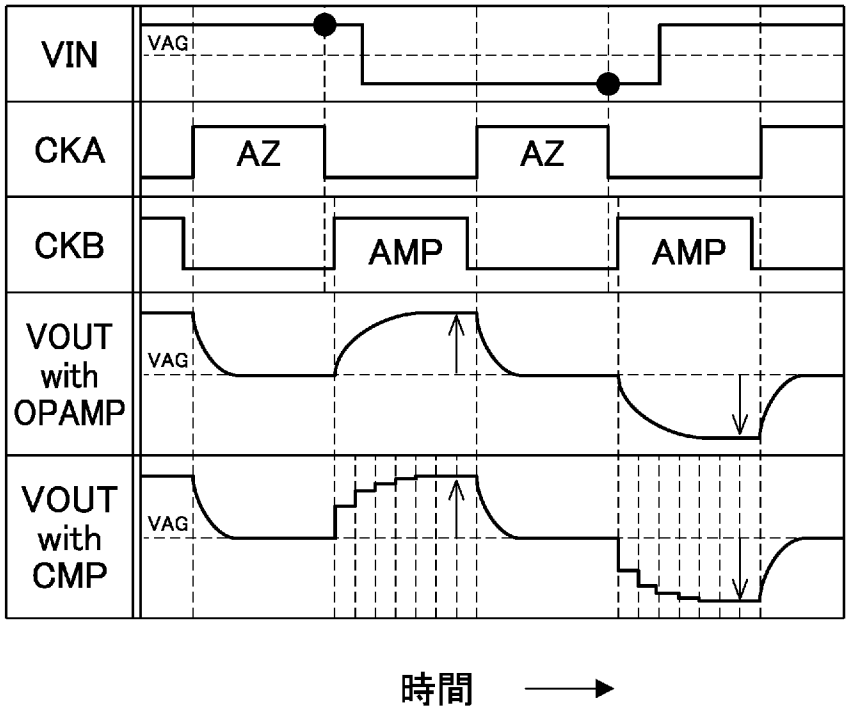
[図13(a)]


SCA 16
CF
CKA
CKB
CKA
VIN
$C_S$
OP
AMP
2
VOUT
VAG

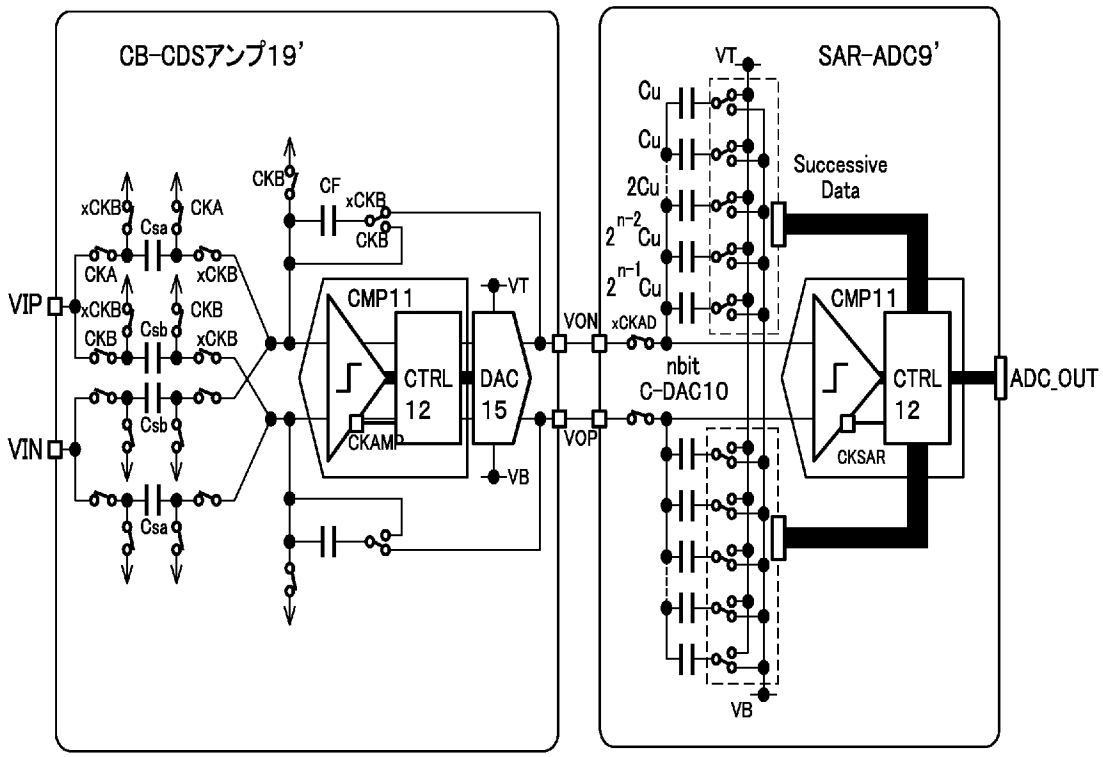
[図13(b)]


CB-SCA 17
CF
CKB
CKA
CKB
CKA
CMP11
VT
VIN
CKA
CTRL
12
DAC
15
VOUT
Cs
CKA
VAG
二分探索
制御信号
VB

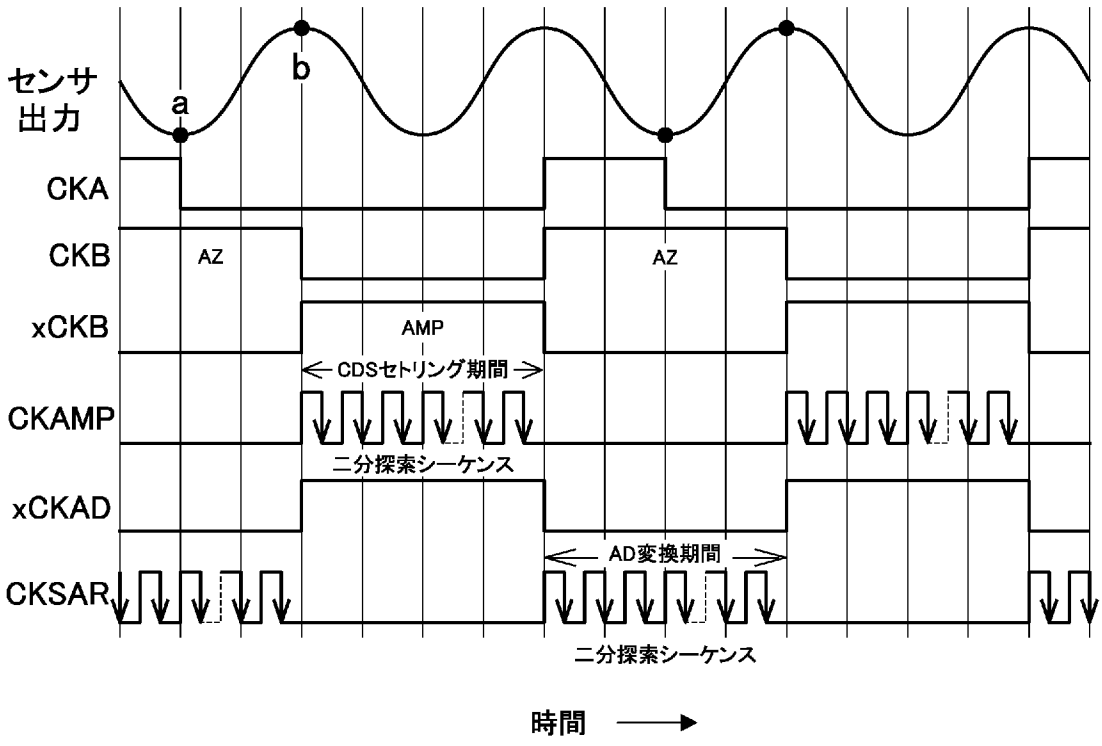
[図13(c)]


VIN
VAG
CKA
AZ
AZ
CKB
AMP
AMP
VOUT
with
OPAMP
VAG
VOUT
with
CMP
VAG
時間

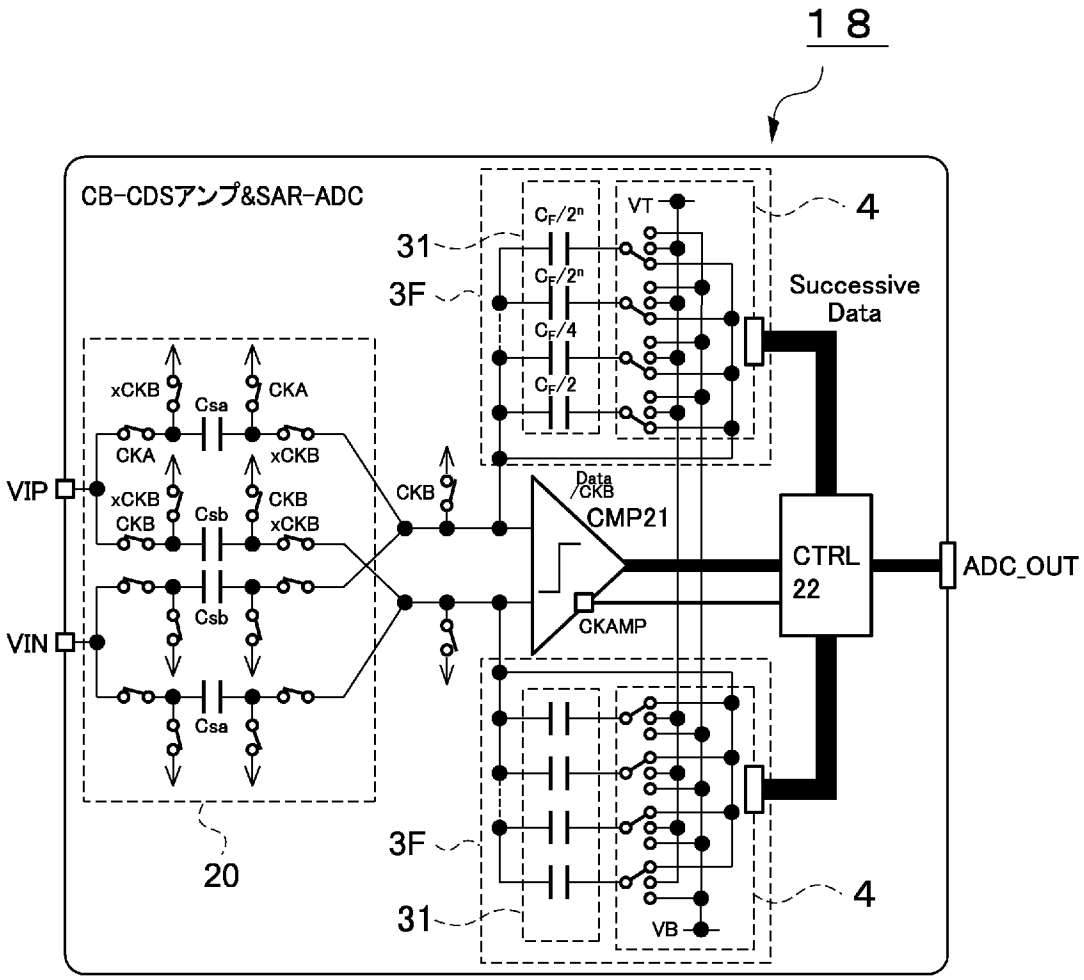
[図14(a)]


CB-CDSアンプ19'
SAR-ADC9'
VIP
VIN
xCKB
CKA
Csa
Csb
CKB
CF
CMP11
CTRL
12
DAC
15
CKAMP
VT
VB
VON
VOP
xCKAD
nbit
C-DAC10
Cu
2Cu
Successive
Data
CKSAR
ADC_OUT

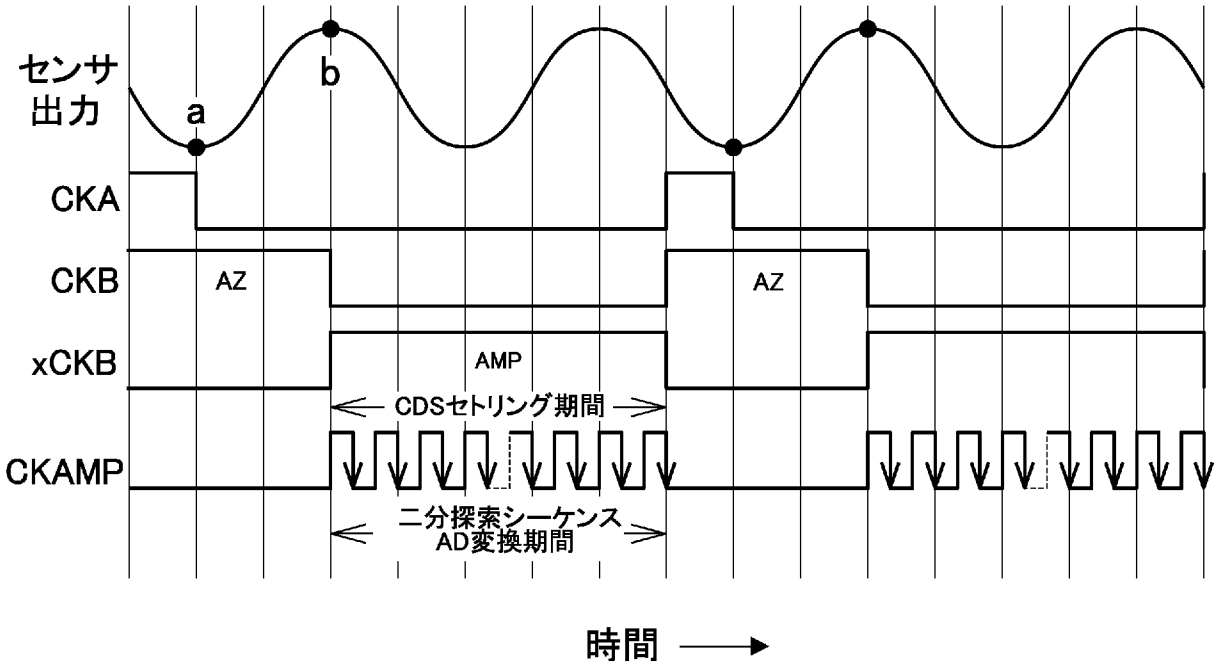
[図14(b)]


センサ
出力
a
b
CKA
CKB
AZ
xCKB
AMP
CDSセトリング期間
CKAMP
二分探索シーケンス
xCKAD
AD変換期間
CKSAR
二分探索シーケンス
時間

[図15(a)]


18
CB-CDSアンプ&SAR-ADC
31
3F
4
VT
Successive
Data
xCKB
Csa
CKA
CKA
xCKB
VIP
xCKB
CKB
Csb
CKB
xCKB
CKB
Data
/CKB
CMP21
CTRL
22
ADC_OUT
CKAMP
VIN
Csb
Csa
20
3F
31
4
VB

[図15(b)]


センサ
出力
a
b
CKA
CKB
AZ
AZ
xCKB
AMP
CDSセトリング期間
CKAMP
二分探索シーケンス
AD変換期間
時間

# INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/038501

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl. H03F3/70(2006.01)i, H03F3/34(2006.01)i, H03M1/08(2006.01)i, H03M1/12(2006.01)i, H03M1/38(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl. H03F3/70, H03F3/34, H03M1/08, H03M1/12, H03M1/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

| | |
|---|---|
| Published examined utility model applications of Japan | 1922-1996 |
| Published unexamined utility model applications of Japan | 1971-2019 |
| Registered utility model specifications of Japan | 1996-2019 |
| Published registered utility model applications of Japan | 1994-2019 |

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|---|---|---|
| X | US 7830159 B1 (LEE) 09 November 2010, column 3, line 12 from the bottom to column 5, line 6, column 9, line 60 to column 10, line 50, fig. 12 (Family: none) | 1-2, 8-9 |
| A | JP 2013-541272 A (ADVANCED SILICON SA) 07 November 2013 & WO 2012/034714 A1 & CN 103262417 A & KR 10-2013-0107275 A | 1-2, 8-9 |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

| Date of the actual completion of the international search | Date of mailing of the international search report |
|---|---|
| 06 December 2019 (06.12.2019) | 17 December 2019 (17.12.2019) |

| Name and mailing address of the ISA/ | Authorized officer |
|---|---|
| Japan Patent Office<br>3-4-3, Kasumigaseki, Chiyoda-ku,<br>Tokyo 100-8915, Japan | Telephone No. |

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2019/038501

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-2, 8-9

**Remark on Protest**

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

**INTERNATIONAL SEARCH REPORT**

International application No.
PCT/JP2019/038501

<Continuation of Box No. III>

Document 1: US 7830159 B1 (LEE) 09 November 2010, column 3, line 12 from the bottom to column 5, line 6, column 9, line 60 to column 10, line 50, fig. 12 (Family: none)

The claims are classified into the following five inventions.

(Invention 1) Claims 1-2 and 8-9

Document 1 discloses a "switched capacitor circuit provided with: a plurality of sampling capacitors for sampling an analog signal; a capacitor-arrayed semi-feedback capacitor; a switch group connected to the semi-feedback capacitor and having at least three connection destinations; and an amplifier, in which negative feedback is performed by means of the semi-feedback capacitor and one of the connection destinations of the switch group, and which detects the difference of amplitudes of the analog signal". Claim 1 lacks novelty and does not involve an inventive step in light of document 1, and thus does not have a special technical feature. However, claim 2, which is dependent on claim 1, has a special technical feature of a "switched capacitor amplifier in which a feedback capacitor has a plurality of capacitor elements to which a weight of two to the power of n (n is an integer) is given". Therefore, claims 1-2 are classified as invention 1.

Claim 8 is substantially identical or equivalent to claim 1, and is thus classified as invention 1.

Claim 9 is dependent on claim 8 and has an inventive relationship with claim 8, and is thus classified as invention 1.

(Invention 2) Claims 3-4 and 10-11

Claim 3 is not considered to share identical or corresponding special technical features with claim 2 classified as invention 1.

Claim 3 is dependent on claim 1 classified as invention 1. However, the technical feature added with regard to claim 1, i.e., the feature in which "at least two connection destinations of the switch group respectively have a first reference potential and a second referential potential lower than the first reference potential", has low technical relevance to the technical feature of claim 2 in which "feedback capacitor has a plurality of capacitor elements to which a weight of two to the power of n (n is an integer) is given". Therefore, claim 3 is not considered to have an inventive relationship with claim 2.

Furthermore, claim 3 is not substantially identical or equivalent to any of the claims classified as invention 1.

Therefore, claim 3 cannot be classified as invention 1.

Claim 3 has a special technical feature of a "switched capacitor amplifier in which at least two connection destinations of the switch group respectively have a first reference potential and a second referential potential lower than the first reference potential". Thus, claim 3 is classified as invention 2.

Claim 4 is dependent on claim 3 and has an inventive relationship with claim 3, and is thus classified as invention 2.

Claim 10 is substantially identical or equivalent to claim 3, and is thus classified as invention 2.

Claim 11 is dependent on claim 10 and has an inventive relationship related claim 10, and is thus classified as invention 2.

(Invention 3) Claims 5-7

Claim 5 is not considered to share identical or corresponding special technical features with claim 2 classified as invention 1 or claim 3 classified as invention 2.

Claim 5 is dependent on claim 1 classified as invention 1. However, the technical feature added with regard to claim 1, i.e., the feature of "further providing a controller capable of generating a data signal for precharging the feedback capacitor with charges equivalent to a level shift amount corresponding to a prescribed amplitude value of an analog signal", has low technical relevance to the technical feature of claim 2 in which "feedback capacitor has a plurality of capacitor elements to which a weight of two to the power of n (n is an integer) is given". Accordingly, claim 5 is not considered to have an inventive relationship with claim 2.

Furthermore, claim 5 is not substantially identical or equivalent to any of the claims classified as invention 1 or invention 2.

Therefore, claim 5 cannot be classified as invention 1 or 2.

Claim 5 has a special technical feature of a "switched capacitor amplifier further provided with a controller capable of generating a data signal for precharging the feedback capacitor with charges equivalent to a level shift amount corresponding to a prescribed amplitude value of an analog signal". Thus, claim 5 is classified as invention 3.

Claims 6-7 are dependent on claim 5 and have an inventive relationship with claim 5, and are thus classified as invention 3.

(Invention 4) Claims 12-16

Claim 12 is not considered to share identical or corresponding special technical features with claim 2 classified as invention 1, claim 3 classified as invention 2, or claim 5 classified as invention 3.

Claim 12 is dependent on claim 8 classified as invention 2. However, the technical feature added with regard to claim 8, i.e., the feature of "further providing a controller which controls a period in which an analog signal is sampled by means of a plurality of sampling capacitors, a period in which the analog signal sampled according to the ratio between the plurality of sampling capacitors and the feedback capacitor is amplified by the operational amplifier, and a period in which the amplified analog signal is AD-converted on the basis of the output from the comparator", has low technical relevance to the technical feature in which "feedback capacitor has a plurality of capacitor elements to which a weight of two to the power of n (n is an integer) is given" of claim 9 which is substantially identical or equivalent of claim 2. Accordingly, claim 12 is not considered to have an inventive relationship with claim 9.

Furthermore, claim 12 is not substantially identical or equivalent to any of the claims classified as invention 1, invention 2, or invention 3.

Therefore, claim 12 cannot be classified as invention 1, 2, or 3.

Claim 12 has a special technical feature of an "AD conversion device further provided with a controller which controls a period in which an analog signal is sampled by means of a plurality of sampling capacitors, a period in which the analog signal sampled according to the ratio between the plurality of sampling capacitors and the feedback capacitor is amplified by the operational amplifier, and a period in which the amplified analog signal is AD-converted on the basis of the output from the comparator". Thus, claim 12 is classified as invention 4.

Claims 13-16 are dependent on claim 12 and have an inventive relationship with claim 12, and are thus classified as invention 4.

(Invention 5) Claims 17-20

Claims 17-20 are not considered to share identical or corresponding special technical features with claim 2 classified as invention 1, claim 3 classified as invention 2, claim 5 classified as invention 3, or claim 12 classified as invention 4.

Furthermore, claims 17-20 are not dependent on claim 1, 3, 5, or 12.

Furthermore, claims 17-20 are not substantially identical or equivalent to any of the claims classified as invention 1, invention 2, invention 3, or invention 4.

Therefore, claims 17-20 cannot be classified as invention 1, invention 2, invention 3, or invention 4.

Claims 17-20 have a special technical feature of an "AD conversion device provided with: a plurality of sampling capacitors for sampling analog signals; a capacitor-arrayed feedback capacitor; a comparator for determining a magnitude relationship between the analog signals sampled by means of the sampling capacitors; and a switch group connected to the feedback capacitor and having at least three connection destinations, wherein one of the connection destinations is configured to be connectable to an input terminal of the comparator". Thus, claims 17-20 are classified as invention 5.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０３８５０１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H03F3/70(2006.01)i, H03F3/34(2006.01)i, H03M1/08(2006.01)i, H03M1/12(2006.01)i, H03M1/38(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H03F3/70, H03F3/34, H03M1/08, H03M1/12, H03M1/38

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|---|---|
| 日本国実用新案公報 | １９２２－１９９６年 |
| 日本国公開実用新案公報 | １９７１－２０１９年 |
| 日本国実用新案登録公報 | １９９６－２０１９年 |
| 日本国登録実用新案公報 | １９９４－２０１９年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

| 引用文献のカテゴリー＊ | 引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する請求項の番号 |
|---|---|---|
| X | US 7830159 B1 (LEE) 2010.11.09, 第３欄下から１２行ないし第５欄第６行, 第９欄第６０行ないし第１０欄第５０行, 図１２（ファミリーなし） | １－２，８－９ |
| A | JP 2013-541272 A (アドヴァンスト・シリコン・ソシエテ・アノニム) 2013.11.07, & WO 2012/034714 A1 & CN 103262417 A & KR 10-2013-0107275 A | １－２，８－９ |

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

| 国際調査を完了した日 | 国際調査報告の発送日 |
|---|---|
| ０６．１２．２０１９ | １７．１２．２０１９ |


国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｗ　９２７４
工藤　一光
電話番号　０３－３５８１－１１０１　内線　３５７６

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１９／０３８５０１

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求項 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求項 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求項 _____ は、従属請求の範囲であってＰＣＴ規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

文献１：US 7830159 B1 (LEE) 2010.11.09, 第３欄下から１２行ないし第５欄第６行、第９欄第６０行ないし第１０欄第５０行、図１２（ファミリーなし）

請求の範囲は、以下の５つの発明に区分される。

特別ページ参照

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

２．☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

４．☑ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

１－２，８－９

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

（発明１）請求項１－２，８－９

文献１には、「アナログ信号をサンプリングする複数のサンプリング容量と、容量アレイ化された半フィードバック容量と、前記半フィードバック容量に接続され、少なくとも３つの接続先を有するスイッチ群と、前記半フィードバック容量および前記スイッチ群の１つの接続先によって負帰還が施され、前記アナログ信号の振幅の差分を検出する増幅器とを具備するスイッチトキャパシタ回路」が記載されており、請求項１は、文献１により新規性及び進歩性が欠如しているため、特別な技術的特徴を有しない。しかしながら、請求項１の従属請求項である請求項２は、「フィードバック容量は、２のｎ乗（ｎは整数）の重み付けがなされた複数の容量素子を有するスイッチトキャパシタアンプ」という特別な技術的特徴を有している。したがって、請求項１－２は発明１に区分する。

また、請求項８は請求項１と実質同一又はそれに準ずる関係にあるので、発明１に区分する。

さらに、請求項９は請求項８の従属請求項であり、請求項８に対して発明の関連を有しているので、発明１に区分する。

（発明２）請求項３－４，１０－１１

請求項３は、発明１に区分された請求項２と、同一の又は対応する特別な技術的特徴を有しているとはいえない。

また、請求項３は、発明１に区分された請求項１の従属請求項であるが、請求項１に対して追加された技術的特徴である「スイッチ群の少なくとも２つの接続先はそれぞれ、第１の基準電位および前記第１の基準電位よりも低い第２の基準電位である」ことは、請求項２の技術的特徴である「フィードバック容量は、２のｎ乗（ｎは整数）の重み付けがなされた複数の容量素子を有する」ことと、技術的関連性が低い。このため、請求項３が請求項２に対して発明の連関を有しているとは認められない。

さらに、請求項３は、発明１に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。

したがって、請求項３は発明１に区分できない。

そして、請求項３は「スイッチ群の少なくとも２つの接続先はそれぞれ、第１の基準電位および前記第１の基準電位よりも低い第２の基準電位であるスイッチトキャパシタアンプ」という特別な技術的特徴を有しているので、発明２に区分する。

また、請求項４は請求項３の従属請求項であり、請求項３に対して発明の関連を有しているので、発明２に区分する。

さらに、請求項１０は請求項３と実質同一又はそれに準ずる関係にあるので、発明２に区分する。

また、請求項１１は請求項１０の従属請求項であり、請求項１０に対して発明の関連を有しているので、発明２に区分する。

（発明３）請求項５－７

請求項５は、発明１に区分された請求項２又は発明２に区分された請求項３と、同一の又は対応する特別な技術的特徴を有しているとはいえない。

また、請求項５は、発明１に区分された請求項１の従属請求項であるが、請求項１に対して追加された技術的特徴である「アナログ信号の所定の振幅値に相当するレベルシフト量の電荷を前記フィードバック容量にプリチャージするためのデータ信号を生成することが可能なコントローラをさらに具備する」ことは、請求項２の技術的特徴である「フィードバック容量は、２のｎ乗（ｎは整数）の重み付けがなされた複数の容量素子を有する」ことと、技術的関連性が低い。このため、請求項５が請求項２に対して発明の連関を有しているとは認められない。

特別ページ※１参照

※１
さらに、請求項５は、発明１又は発明２に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。
したがって、請求項５は発明１及び発明２のいずれにも区分できない。
そして、請求項５は「アナログ信号の所定の振幅値に相当するレベルシフト量の電荷を前記フィードバック容量にプリチャージするためのデータ信号を生成することが可能なコントローラをさらに具備するスイッチトキャパシタアンプ」という特別な技術的特徴を有しているので、発明３に区分する。
また、請求項６－７は請求項５の従属請求項であり、請求項５に対して発明の関連を有しているので、発明３に区分する。

（発明４）請求項１２－１６
請求項１２は、発明１に区分された請求項２、発明２に区分された請求項３又は発明３に区分された請求項５と、同一の又は対応する特別な技術的特徴を有しているとはいえない。
また、請求項１２は、発明２に区分された請求項８の従属請求項であるが、請求項８に対して追加された技術的特徴である「複数のサンプリング容量によってアナログ信号をサンプルする期間と、前記複数のサンプリング容量と前記フィードバック容量との比によってサンプルしたアナログ信号を前記演算増幅器で増幅する期間と、増幅したアナログ信号を前記比較器の出力に基づいてＡＤ変換する期間とを制御するコントローラをさらに具備する」ことは、請求項２と実質同一又はそれに準ずる関係にある請求項９の技術的特徴である「フィードバック容量は、２のｎ乗（ｎは整数）の重み付けがなされた複数の容量素子を有する」ことと、技術的関連性が低い。このため、請求項１２が請求項９に対して発明の連関を有しているとは認められない。
さらに、請求項１２は、発明１、発明２又は発明３に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。
したがって、請求項１２は発明１、発明２及び発明３のいずれにも区分できない。
そして、請求項１２は「複数のサンプリング容量によってアナログ信号をサンプルする期間と、前記複数のサンプリング容量と前記フィードバック容量との比によってサンプルしたアナログ信号を前記演算増幅器で増幅する期間と、増幅したアナログ信号を前記比較器の出力に基づいてＡＤ変換する期間とを制御するコントローラをさらに具備するＡＤ変換装置」という特別な技術的特徴を有しているので、発明４に区分する。
また、請求項１３－１６は請求項１２の従属請求項であり、請求項１２に対して発明の関連を有しているので、発明４に区分する。

（発明５）請求項１７－２０
請求項１７－２０は、発明１に区分された請求項２、発明２に区分された請求項３、発明３に区分された請求項５又は発明４に区分された請求項１２と、同一の又は対応する特別な技術的特徴を有しているとはいえない。
また、請求項１７－２０は請求項１、３、５及び１２のいずれの従属請求項でもない。
さらに、請求項１７－２０は、発明１、発明２、発明３又は発明４に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。
したがって、請求項１７－２０は発明１、発明２、発明３及び発明４のいずれにも区分できない。

特別ページ※２参照

※２

そして、請求項１７－２０は「アナログ信号をサンプリングする複数のサンプリング容量と、容量アレイ化されたフィードバック容量と、前記サンプリング容量でサンプリングされたアナログ信号の大小関係を判定する比較器と、前記フィードバック容量に接続され、少なくとも３つの接続先を有し、そのうち１つが前記比較器の入力端に接続可能に構成されたスイッチ群とを具備するＡＤ変換装置」という特別な技術的特徴を有しているので、発明５に区分する。