

①②

DEMANDE DE BREVET D'INVENTION

A1

②② Date de dépôt : 7 août 1984.

③① Priorité : US, 8 août 1983, n° 521 453.

④③ Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 7 du 15 février 1985.

⑥① Références à d'autres documents nationaux apparentés :

⑦① Demandeur(s) : Société dite : RCA CORPORATION. — US.

⑦② Inventeur(s) : Richard Claxton Palmer.

⑦③ Titulaire(s) :

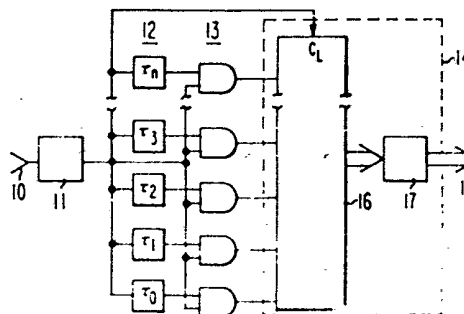
⑦④ Mandataire(s) : Cabinet Z. Weinstein.

⑤④ Circuit convertisseur analogique-numérique et démodulateur de signaux vidéo modulés en argument.

⑤⑦ La présente invention concerne un circuit convertisseur analogique-numérique et démodulateur de signaux vidéo modulés en argument.

Un tel circuit est caractérisé en ce qu'il comprend un moyen générateur d'impulsions 11, un moyen 12 sensible aux impulsions produites par ledit générateur pour produire plusieurs répliques retardées desdites impulsions, lesquelles répliques sont également retardées, et plusieurs moyens de détection de coïncidence d'impulsions 13 sensibles aux répliques produites et retardées respectives, un décodeur 14 étant sensible aux signaux de détection du moyen de détection de coïncidence pour produire des manifestations numériques correspondant au signal d'information.

La présente invention trouve application dans le domaine de traitement des signaux où une conversion analogique-numérique et une démodulation d'un signal modulé en argument est nécessaire.



La présente invention concerne un dispositif pour une conversion analogique-numérique et démodulation d'un signal modulé en argument.

Avec l'avènement des circuits intégrés numériques à vitesse élevée il est devenu courant de convertir des signaux analogiques en numériques pour un traitement à cause de la stabilité inhérente du circuit numérique par rapport au vieillissement des composants. Ainsi, il existe une demande de convertisseurs analogique -numérique (ADC) et beaucoup de tels dispositifs sont disponibles pour convertir l'amplitude de signaux variant dans le temps en une manifestation modulée par impulsions codées (PCM) pour un traitement numérique ou binaire subséquent. Cependant, si le signal analogique est un signal modulé en argument, c'est-à-dire un signal modulé en fréquence (FM) ou un signal modulé en phase (PM) et qu'un signal modulé par impulsions codées démodulé est souhaité, il est pratique de convertir tout d'abord le signal analogique FM ou PM en un signal modulé par impulsions codées PCM et d'ensuite démoduler le signal FM-PCM ou PM-PCM. Un circuit entier démodulateur et convertisseur analogique-numérique de signaux FM ou PM est de ce fait souhaitable.

I.P. Breikss décrit un tel dispositif dans le brevet américain N° 3 548 328 ayant pour titre "Digital FM Discriminator". Le dispositif de Breikss limite un signal FM et utilise sa période pour commander opérativement un compteur. Des impulsions d'un signal d'horloge de fréquence uniforme sont comptées pendant chaque période du signal FM et interprétées par rapport à un nombre fixe d'impulsions comptées pour déterminer, sous forme normalisée, un signal PCM représentatif de l'information contenue dans le signal d'entrée FM. Ce type de discriminateur FM exige nominalelement un signal d'horloge ayant une fréquence d'au moins deux ordres de grandeur plus élevée que celle du signal FM à démoduler si une résolution raisonnable doit être atteinte ou obtenue. Deux inconvénients apparaissent : a) la création d'interférences haute fréquence localisées ;

et b) la vitesse de traitement exigée des compteurs etc, est augmentée à celle de la fréquence d'horloge.

La présente invention a pour but d'éliminer les
5 inconvénients ci-dessus imposés par l'horloge de fréquence élevée.

La présente invention concerne donc un circuit convertisseur analogique-numérique et démodulateur de signaux d'entrée modulés en argument, qui fonctionne sur
10 le principe de la comparaison de passages successifs par zéro du signal d'entrée à des références fixes de temps. Le dispositif consiste en plusieurs éléments à retard ayant successivement des temps de retard plus élevés et de plusieurs détecteurs de coïncidence . Le signal
15 d'entrée, qui est un signal analogique modulé en argument par un signal d'information, est appliqué à un moyen générateur d'impulsions qui est déclenché pour produire une impulsion de sortie étroite de durée constante pour à la fois les passages par zéro positif et négatif. Les
20 impulsions du générateur d'impulsions sont appliquées aux éléments à retard et à une entrée de chacun des détecteurs de coïncidence. Les signaux de sortie retardés des éléments à retard sont appliqués aux secondes connexions d'entrée des détecteurs de coïncidence respectifs. Les détecteurs
25 de coïncidence sont reliés à un décodeur qui identifie lequel détecteur de coïncidence émet un signal et produit une manifestation numérique qui correspond à l'information modulée sur le signal d'entrée.

L'invention sera mieux comprise, et d'autres
30 buts, caractéristiques, détails et avantages de celle-ci apparaîtront plus clairement au cours de la description explicative qui va suivre faite en référence aux dessins schématiques annexés donnés uniquement à titre d'exemple illustrant plusieurs modes de réalisation de l'invention
35 et dans lesquels :

- les figures 1, 4 et 5 représentent des circuits diagrammes, partiellement sous forme de blocs diagrammes

et partiellement sous forme schématique, de convertisseurs FM-numériques selon la présente invention;

- les figures 2 et 3 représentent les diagrammes de signaux montrant la réponse dans le temps à différents points du mode de réalisation de la figure 1;

- la figure 6 est une vue détaillée d'une partie du convertisseur de la figure 5 réalisé sous forme de circuit intégré.

On peut construire un circuit comprenant un générateur d'impulsions et une porte ET à deux entrées avec la borne de sortie du générateur d'impulsions reliée directement à la première entrée de la porte ET et par un élément à retard à la seconde entrée de la porte ET. On supposera que les impulsions produites par le générateur ont une largeur constante qui est étroite comparativement à la période entre les impulsions, et que les périodes entre les impulsions sont aléatoires. Chaque fois que deux impulsions successives apparaissent séparées d'une période de temps égale au temps de retard de l'élément à retard, la première impulsion des deux impulsions apparaîtra en sortie de l'élément à retard en coïncidence avec la production de la seconde impulsion. Ainsi, une impulsion sera appliquée aux deux entrées de la porte ET amenant celle-ci à produire une impulsion de sortie pendant la durée de coïncidence. La sortie de la porte ET indique de ce fait que les deux dernières impulsions étaient séparées d'une période égale au retard fixe de l'élément à retard. La combinaison de l'élément à retard et de la porte ET est un détecteur de deux impulsions séparées d'une période définie. Un nombre, n , de combinaisons élément à retard-porte ET peut être relié au générateur d'impulsions avec chaque élément à retard ayant un temps de retard incrémentalement plus grand.

Si le nombre n est, par exemple, 256, alors 256 ou 2^8 périodes d'impulsions différentes sont détectables par les 2^8 circuits ET. Si les 2^8 sorties des portes ET sont appliquées à un circuit décodeur un code PCM

de 8 bits peut être produit, chaque mot codé de sortie successif du circuit représentant la période entre les deux dernières impulsions. Si le générateur d'impulsions est un monostable sensible aux passages par zéro d'un
5 signal analogique (par exemple limité), la sortie du décodeur correspondra à une manifestation binaire des périodes instantanées entre les passages par zéro du signal.

En se référant aux figures, les éléments référencés identiquement produisent sensiblement des fonctions identiques.
10

En figure 1, un signal analogique FM modulé en argument qui peut avoir été amplifié et écrêté est appliqué par la connexion d'entrée 10 à l'entrée d'un monostable redéclenchable 11. Le monostable 11 produit une impulsion
15 étroite pour chaque passage par zéro du signal d'entrée (ou chaque transition du signal FM écrêté). Les impulsions du monostable 11 sont appliquées aux éléments à retard 12 et à une entrée de porte ET respective 13. Les connexions de sortie des éléments à retard 12 sont reliées aux secondes bornes
20 d'entrée respectives des portes ET 13. Les bornes de sortie des portes ET 13 sont reliées aux connexions d'entrée respectives du décodeur 14. Les impulsions de sortie du monostable 11 peuvent également être appliquées
25 à une entrée de verrouillage C_L du décodeur 14. Par exemple, il peut être souhaitable de produire des verrouillages de sortie dans le décodeur pour maintenir la sortie PCM à la borne 15 stable entre les passages par zéro.

Il existe une durée minimum, $\tau_{\min} = \tau_0$, entre les passages par zéro du signal d'entrée. Cette période définit la période de retard du premier élément à retard désigné τ_0 . L'élément à retard suivant plus grand τ_1 a un retard de $\tau_0 + \tau$ où τ est un retard incrémental
30 significativement généralement plus petit que τ_0 et qui définit la résolution du dispositif. Chaque élément à retard en succession comprend un retard incrémental
35

additionnel de τ avec le nième élément à retard τ_n produisant un retard de $\tau_0 + n \tau$ égal à l'intervalle maximum $\tau_{\max}$ entre les passages par zéro du signal d'entrée.

- 5 Un agencement alternatif des éléments à retard consiste à agencer un élément à retard avec un retard τ_0 en série avec la sortie du monostable de sorte que les éléments à retard en parallèle 12 nécessitent seulement de produire les retards incrémentaux $R \tau$ où R correspond
10 au Rième élément à retard.

Les largeurs des impulsions produites par le monostable sont choisies suivant la configuration particulière du dispositif décodeur. En général, cependant, la durée d'impulsion doit être au moins égale à une moitié
15 du retard incrémental τ , ou les impulsions peuvent être ignorées ou sautées par les détecteurs à porte ET car elles sont trop courtes pour être détectées.

Des signaux de détection particuliers des portes ET 13 et qui sont envoyés au décodeur 14 sont en rapport
20 avec le nombre R de retards incrémentaux entre les passages par zéro et sont de ce fait en rapport avec le temps. La période réelle entre les passages par zéro est $\tau_0 + R \tau$. Le retard minimum τ_0 peut également être représenté par un certain nombre S de retards incrémentaux de sorte
25 que la période entre les passages par zéro est $(S+R) \tau$.

Dans le cas d'un signal d'entrée modulé en fréquence, le signal d'information modulant une porteuse FM est en rapport avec la fréquence instantanée du signal FM. Puisque la période entre les passages par zéro d'un
30 signal est l'inverse de la fréquence instantanée d'un signal, c'est l'inverse de $(S+R)$ qui est en rapport avec le signal FM d'information. Si le signal de sortie produit par le décodeur est de représenter le signal d'information démodulé, le décodeur doit émettre des signaux associés
35 aux valeurs inverses de $(S+R)$ de la Rième porte ET produisant un signal de détection. Les inverses de $(S+R)$ sont les signaux démodulés en escalier d'un facteur $1/\tau$

et décalés d'une quantité en relation avec la moitié des différences entre $\tau_{\max} - \tau_{\min}$.

Dans le cas d'un signal d'entrée modulé en phase, le signal d'information modulant une porteuse modulée en phase est en relation avec la phase instantanée du signal PM. L'intégrale dans le temps de la différence entre l'inverse de la période entre les passages par zéro (la fréquence instantanée) et la fréquence porteuse est en relation avec le signal d'information. Le décodeur 14 doit émettre des signaux qui sont l'intégrale de la différence entre la fréquence instantanée et la fréquence porteuse si la sortie du décodeur doit représenter le signal d'information démodulé.

La suite de la présente description va concerner un circuit convertisseur analogique-numérique et démodulateur FM. Un circuit convertisseur analogique-numérique et démodulateur PM peut être construit de façon similaire.

Le décodeur exigé pour produire les inverses de (S+R) peut être un dispositif de type connu tel qu'un réseau logique programmé ou programmable (PLA). Alternativement le décodeur 14 peut comprendre un encodeur de priorité 16 et une mémoire morte ROM 17. L'encodeur de priorité produit un code de sortie PCM de n bits pour des connexions à 2^n entrées et dans la présente application produit la représentation binaire R. La sortie PCM de l'encodeur de priorité est ensuite reliée aux entrées d'adresse de la mémoire ROM 17 qui est programmée pour produire à sa sortie une manifestation binaire correspondant à l'inverse de la somme de la valeur des entrées d'adresse et de la valeur S. De plus, la mémoire peut être programmée de façon non linéaire pour compenser le signal ou certaines non linéarités du système.

Le fonctionnement du dispositif va être décrit en référence aux figures 2 et 3. En figure 2 le signal A correspond à un signal FM limité ou écrêté dans lequel les transitions de niveau correspondent aux passages par zéro. Par commodité, une période maximum $\tau_{\max}$ et une période

minimum $\tau_{\min}$ entre les passages par zéro sont montrées adjacentes l'une par rapport à l'autre bien qu'en pratique une telle condition n'est peu probable de se produire à cause des limitations de largeur de bande.

5 Le signal A est appliqué au monostable 11 de la figure 1 qui est sensible aux transitions de celui-ci et produit des impulsions de durée constante représentées par le signal B. Le signal B est appliqué à chacun des éléments à retard 12. Les signaux C, D, E correspondent
 10 aux signaux de sortie des éléments à retard τ_0 , τ_1 , τ_2 , respectivement. On voit que chaque élément à retard retarde le signal appliqué de périodes successivement plus grandes. Le signal K correspond à la sortie de l'élément à retard τ_n et produit un retard de signal de
 15 $\tau_0 + n\tau$. La transition du signal A au temps T_0 produit l'impulsion P_1 du signal B qui est appliquée aux éléments à retard et sort de ceux-ci comme impulsions P_{1R} comme montré au signal F. Au temps $T_1 = \tau_{\max} = \tau_0 + n\tau$ l'impulsion P_{1n} sort de l'élément à retard τ_n (signal K).
 20 Au temps T_1 une seconde transition du signal A se produit produisant l'impulsion suivante P_2 (signal B). Les impulsions P_2 et P_{1n} de l'élément à retard τ_n apparaissent concurremment et amèneraient la porte ET reliée à l'élément à retard de τ_n à changer d'état de sortie et enregistrer
 25 une détection. On notera que les impulsions P_{1R} illustrées aux signaux C, D, E, F, G, H, I et J devraient préalablement sortir de leurs éléments à retard respectifs alors que le signal B, qui est relié à une entrée de chacune des portes ET, est à un niveau bas empêchant les portes ET
 30 reliées à ces éléments à retard de produire des signaux de détection.

Le décodeur sensible au signal de la porte ET reliée à l'élément à retard τ_n émettrait un signal en rapport ou en relation avec le nombre n . Si l'impulsion
 35 P_2 apparaissait avant le temps T_1 , représentée par l'impulsion P'_{22} en pointillé au signal B de la figure 2, elle serait en coïncidence avec une impulsion retardée

d'un élément à retard intermédiaire à savoir l'impulsion P_{1R} du signal F.

L'impulsion P_2 appliquée aux éléments à retard respectifs sort comme impulsion P_{2R} des éléments à retard respectifs. Une autre transition du signal A à $\tau_{\min} = \tau_0$ secondes plus tard produit l'impulsion P_3 du signal B. L'impulsion P_3 se produit simultanément avec l'impulsion P_{21} sortant de l'élément à retard τ_0 . La porte ET reliée à l'élément à retard τ_0 détectera la coïncidence et le décodeur 14 émettra une valeur binaire en relation avec la période de retard minimum c'est-à-dire les retards d'incrément zéro. On notera que lorsque l'impulsion P_3 se produit les impulsions P_2 se propageant à travers tous les étages à retard se suivant ne seront pas encore disponibles à leurs sorties respectives. On notera également que si trois passages par zéro (transitions du signal A) se produisent de façon très proche produisant trois impulsions successives P_2 , P_3 , P_4 du signal B, il est possible que deux impulsions (P_{2R} du signal F et P_{31} du signal C) peuvent simultanément être émises des étages à retard séparés concurremment avec l'apparition de la troisième impulsion (P_4 du signal B). Dans ce cas il y aura double détection (P_4 et P_{31}) et (P_4 et P_{2R}), la dernière produisant un résultat erroné. Ce problème va être résolu au vu de la description ci-dessous faite en référence au circuit de la figure 4.

Dans un agencement alternatif, la double détection peut être utilisée comme un avantage. En proportionnant de façon convenable ou appropriée la largeur d'impulsion du monostable vis-à-vis de la période τ , des circuits de détection adjacents peuvent être simultanément validés. On considèrera les impulsions comme étant des impulsions carrées ou rectangulaires et d'une largeur de $3\tau/4$. Les impulsions des éléments à retard successifs seront séparées de $\tau/4$. Une impulsion suivante du monostable peut de ce fait chevaucher des impulsions retardées des éléments à retard adjacents. La même porte de détection

sera seulement uniquement validée par l'impulsion suivante ayant un front de montée se produisant sur la gamme incrémentale de $-\tau/4$ à $\tau/4$. Pour le front de montée de l'impulsion suivante se produisant entre la gamme $-\tau/4$ et $3\tau/4$ par rapport au Rième retard, les Rième et (R-1)ième portes de détection seront validées. Et pour le front de montée de l'impulsion suivante se produisant sur la gamme de $\tau/4$ et $3\tau/4$, par rapport au Rième retard, les Rième et (R+1)ième portes de détection seront validées. Par une conception appropriée du décodeur pour interpréter des apparitions simultanées des signaux de détection des éléments de détection adjacents la résolution du système à n portes peut être réhaussée ou augmentée à la résolution d'un système à (2n-1) éléments à retard.

En figure 3, le signal supérieur désigné par FM est un signal FM arbitraire dans lequel la période entre les passages par zéro augmente linéairement et diminue ensuite. La première période désignée τ_0 est présumée être une période minimum. La période τ_0 a été choisie comme étant égale à dix retards incrémentaux c'est-à-dire $\tau_0 = 10\tau$, et les périodes entre les passages par zéro sont augmentées par incréments de 5τ . Le signal modulant pour un signal FM avec périodes symétriques augmentant et diminuant linéairement est hyperbolique et proportionnel à $1/\tau$. Ce signal est illustré en pointillé.

Les augmentations incrémentales entre les passages par zéro sont inscrites en unités de τ dans la ligne ou rangée de nombres désignée par R. Immédiatement en dessous de la rangée R est la somme des unités R des retards incrémentaux et des unités, $S=10$, du retard fixe contribué par τ_0 . Les inverses des sommes (R+S) sont inscrites sur la rangée des nombres désignée par $1/(R+S)$. Ces valeurs, multipliées par la constante arbitraire de 500, sont ensuite montrées graphiquement par le signal marqué PCM ANALOGIQUE, et représentent la sortie du décodeur en escalier ou échelonné de 500 pour le signal FM

appliqué au convertisseur. On voit que le signal modulant se rapproche beaucoup de l'enveloppe du signal de donnée échantillonné PCM ANALOGIQUE. Le signal PCM ANALOGIQUE est incliné à droite parce que les valeurs correspondant à une période particulière sont produites pendant la période suivante. En plus il existe une faible distorsion de fréquence car la durée d'une valeur particulière d'échantillon est déterminée par la période suivante. Cette dernière distorsion peut être réduite en échantillonnant la donnée de sortie PCM à une fréquence constante et interpolant ou moyennant chaque valeur sur plusieurs valeurs.

La figure 4 représente une variante du convertisseur de la figure 1 et qui comprend un dispositif spécifique pour créer les retards incrémentaux. Le signal FM à convertir est appliqué par la liaison 10 à un générateur monostable d'impulsions 11. La sortie du monostable est appliquée par la liaison 20 à un élément à retard 21, une porte ET 23 et un décodeur 25. L'élément à retard 21 produit un retard τ_0 équivalent à la période minimum entre les passages par zéro du signal FM. La sortie de l'élément 21 est reliée à l'entrée d'une porte logique 22a qui peut être par exemple un simple tampon ou une porte OU ou une porte ET avec ses entrées reliées ensemble etc., ayant une période de retard définie entre son entrée et ses connexions de sortie (traditionnellement connue comme retard de propagation ou de porte). Des portes similaires 22b à 22n sont reliées en cascade à la porte 22a, chacune ayant des périodes de retard de porte similaires. Le retard de porte des éléments 22a, 22b... etc dans cet agencement est le retard incrémental τ qui détermine la résolution du convertisseur. A cause des agencements en cascade des portes 22, chaque porte successive ajoute un retard additionnel aux impulsions appliquées à l'élément à retard 21. Les périodes de retard aux connexions de sortie de l'élément 21, des portes 22a, 22b et 22n sont respectivement τ_0 , $\tau_0 + \tau$, $\tau_0 + 2\tau$ et $\tau_0 + n\tau$.

Les retards de propagation ou de porte sont en relation ou fonction de la technologie utilisée dans la fabrication des dispositifs. Par exemple des dispositifs bipolaires à émetteur couplé peuvent avoir des retards de porte de moins d'une nanoseconde. En technologie CMOS des retards de porte de 10 nanosecondes (technologie à vitesse élevée) et de 30 nanosecondes (technologie standard) sont typiques. Dans les deux cas les vitesses peuvent être variées en changeant les potentiels d'alimentation du circuit ou en variant les capacités internes ou externes associées aux portes permettant un certain contrôle adaptatif ou de façon programmable de la résolution du circuit. En figure 4 la programmabilité des retards de porte est indiquée par la source d'alimentation 28 de porte variable. Lorsqu'intégrée sur un seul échantillon de silicium l'uniformité de retard de porte à porte peut être maintenue dans quelques pour-cents.

En se référant de nouveau à la figure 4, des portes OU respectives sont interposées entre les portes ET 23 de détection de coïncidence d'impulsion et le décodeur 25. Les portes OU sont incluses pour empêcher des lectures fausses lorsque le total des retards incrémentaux produits par les portes 22 est plus grand que le temps minimum entre des passages par zéro. Si le retard total incrémental est plus grand que l'intervalle minimum de passages par zéro $\tau_{\min}$, il est possible que deux impulsions successives, produites par les passages par zéro définissant une période proche de $\tau_{\min}$, de traverser concurremment les étages à retard 22. A l'apparition de l'impulsion suivante, les deux impulsions présentes dans les étages à retard amèneront deux des portes ET 23 à produire concurremment des signaux de détection. Cependant, puisque la dernière impulsion introduite dans les étages à retard produit le signal de détection correct, des moyens sont prévus pour outrepasser ou chevaucher le signal de détection produit par l'impulsion introduite plus tôt qui restait dans les étages à retard. Un procédé pour

accomplir ce chevauchement est d'amener tous les signaux d'entrée au décodeur 25 représentant des retards égaux à et plus grands que le retard de la porte ET située la plus proche du monostable à détecter une coïncidence pour
5 produire également des signaux de détection. En d'autres termes, les signaux d'entrée du décodeur de tous les circuits de détection précédant le premier circuit qui enregistre la coïncidence d'impulsions seront maintenus à un niveau logique bas et les signaux d'entrée du
10 décodeur de tous les circuits de détection suivants seront forcés à un niveau logique haut.

En figure 4, chaque signal d'entrée du décodeur (excepté le dernier) est appliqué à l'entrée d'une porte OU dont l'autre entrée reçoit le signal de détection
15 suivant. Le signal de détection de la première porte ET pour enregistrer la coïncidence sera ainsi appliqué par les portes OU à toutes les entrées successives du décodeur amenant celles-ci à être à un niveau logique haut. Le décodeur 25 est conçu pour émettre des échantillons PCM
20 qui correspondent au premier (en position et non pas en temps) signal d'entrée du décodeur enregistrant un niveau logique haut. On notera cependant que la condition de deux impulsions traversant simultanément les éléments à retard ne peut pas se produire si la période minimum entre des
25 passages par zéro est plus grande qu'une moitié de la période maximum entre les passages par zéro du signal FM. Lorsque ces conditions existent il n'est pas nécessaire d'inclure le circuit de chevauchement dans le convertisseur.

En figure 4, la sortie PCM 26 du décodeur 25 est
30 reliée à un interpolateur 27 qui est cadencé à une fréquence fixe par un signal d'horloge ϕ laquelle fréquence peut être plus élevée que la fréquence de la porteuse FM. L'interpolateur 27 pondère et combine un nombre d'échantillons par exemple quatre produits par le décodeur et
35 produit des échantillons moyennés, à la fréquence fixe, à sa sortie 30. L'interpolation peut être linéaire, cubique ou de toute autre fonction polynomiale. Des

informations détaillées sur l'interpolation peuvent être trouvées dans R.E. Crochiere et al.; "Interpolation and Decimation of Digital Signals - A Tutorial Review", Proc. IEEE, Vol. 69, N° 3, Mars 1981. L'interpolateur
5 produit des échantillons de fréquence fixe pour un traitement synchrone subséquent et tend à lisser l'enveloppe définie par les échantillons de sortie du décodeur et linéariser la réponse de sortie.

La figure 5 est un autre mode de réalisation de
10 l'invention où les retards incrémentaux sont produits par un réseau récurrent ou itératif de résistances avec des capacités reliées aux points de liaison respectifs 41, 42... Ceci correspond aux étages à retard 22 de la figure 4. Le retard par section est déterminé par la
15 constante de temps RC. Si les capacités C sont du type à tension variable, les temps de retard incrémentaux peuvent être ajustés en changeant la tension de polarisation continue V_{BIAS} , imposée à travers les capacités. Le réseau RC est terminé par son impédance caractéristique
20 Z_0 pour empêcher des réflexions.

Un élément à retard 41 ayant un retard τ_0 est relié entre le monostable 11 et le réseau RC 22 et peut consister d'un nombre de réseaux RC similaires reliés en cascade. Alternativement, l'élément à retard 40 peut
25 consister d'un multivibrateur à retard fixe et d'un second monostable ou d'un circuit résistance-capacité de tension variable comme montré en figure 5b. Dans ce cas, la résistance de canal d'un transistor à effet de champ FET 49, laquelle résistance dépend des tensions de
30 polarisation entre les électrodes de porte, de source et de drain, est utilisée comme résistance variable de tension. Les changements de résistance sont effectués en réglant ou ajustant le potentiel de porte du transistor FET. La résistance variable de tension produit un retard
35 variable τ_0 qui permet l'accord du convertisseur-démodulateur pour différentes porteuses ou conditions de modulation.

Les détecteurs de coïncidence d'impulsions de la figure 5a sont de simples transistors FET 44 ayant leurs portes reliées aux bornes respectives du réseau à retard RC et leurs sources reliées en commun au mono-
5 stable 11 par l'intermédiaire d'un inverseur 49. Les drains des transistors FET sont reliés aux bornes d'entrée du décodeur 47 et celui-ci est conçu pour répondre aux signaux de détection du courant d'entrée dans ce cas.

On supposera que les transistors FET sont des
10 dispositifs à enrichissement du type N qui sont conditionnés pour conduire un courant drain-source en réponse à un potentiel positif porte-source. Lorsque le potentiel de sortie du monostable est bas, à savoir pendant les intervalles entre des impulsions, le potentiel de sortie
15 de l'inverseur 49 est haut. Ce potentiel de niveau haut appliqué aux sources des transistors FET 44 crée un potentiel négatif porte-source sur chaque transistor et les empêche de conduire un courant de drain. A l'apparition de l'impulsion suivante la sortie de l'inverseur passe à
20 un niveau bas et l'impulsion précédente émerge ou apparaît de l'un des éléments à retard produisant un potentiel positif porte-source au transistor respectif qui à son tour produit un signal de courant de détection au décodeur 47. Si les sources des transistors FET 44 étaient
25 reliées aux connexions d'entrée du décodeur et le monostable était relié aux drains des transistors FET, l'inverseur 49 ne serait pas nécessaire. Dans cet agencement, les transistors FET ont une polarisation de drain pour conduction d'un courant de drain seulement lorsqu'une
30 impulsion est produite par le monostable. Ainsi seulement un transistor FET ayant une impulsion de porte produite à partir de son élément à retard respectif en coïncidence avec une impulsion produite par le monostable conduira et produira un signal de détection au décodeur.

35 La figure 6 est une représentation illustrative du réseau RC et des transistors FET de détection de la figure 5 comme pouvant être réalisés sous forme de circuit

intégré . En figure 6, les résistances R sont formées à partir d'une électrode 51 en polysilicium continu fabriquée sur un diélectrique sur un échantillon semi-conducteur. Le polysilicium (ou autre électrode réfractaire) est légèrement dopé de sorte qu'il est rendu
5 seulement légèrement conducteur c'est-à-dire qu'il est hautement résistif. L'électrode 51 a une capacité inhérente distribuée 55 sur sa longueur associée au diélectrique et échantillon semiconducteur sur lequel elle est fabriquée.
10 La résistance 56 sur sa longueur peut être fabriquée uniforme comme peut l'être la capacité distribuée, ainsi sur une longueur d'une unité on peut les supposer être des éléments localisés ou concentrés de résistance en série reliées en cascade avec des capacités de shunt entre
15 les connexions en cascade. Des diffusions de drain 53 et de source 52 sont disposées dans l'échantillon de silicium adjacentes à l'électrode en polysilicium 51 de sorte qu'elle accomplit une fonction de porte pour les transistors FET respectifs. Un nombre de paires de diffusions
20 source et drain sont montrées le long de l'électrode de polysilicium formant chacune un transistor FET avec elle. Les résistances des éléments à retard sont déterminées par l'espacement des transistors FET le long de l'électrode de porte (polysilicium 51). La capacité est déterminée
25 principalement par l'épaisseur du diélectrique et le rapport d'aspect largeur-longueur de l'électrode 51.

Les diffusions de source respectives sont reliées au monostable par l'intermédiaire d'un conducteur de faible impédance 50 qui contacte également une extrémité de
30 l'électrode de polysilicium 51. Les diffusions de drain respectives sont reliées au décodeur par des conducteurs de faible impédance 54.

Une autre approche de réalisation des retards incrémentaux est d'utiliser le phénomène d'onde acoustique
35 de surface (SAW) avec le signal pris du milieu de transport aux endroits appropriés, et appliqué au circuit de détection de coïncidence de signaux. Ceci peut être

effectué dans le silicium aussi bien que dans les matériaux à onde acoustique de surface plus conventionnels. Cependant si le phénomène d'onde acoustique de surface du silicium est utilisé le circuit de détection et décodeur
5 peut être intégré sur le même substrat semiconducteur.

R E V E N D I C A T I O N S

1.- Circuit convertisseur analogique-numérique et démodulateur pour signaux analogiques modulés en argument par un signal d'information, comprenant un
5 moyen (11) sensible aux passages par zéro desdits signaux analogiques pour produire des impulsions qui sont étroites par rapport à la période entre lesdits passages par zéro; caractérisé en ce que ledit moyen générateur d'impulsions est également sensible aux
10 passages par zéro dans l'autre sens ou direction desdits signaux analogiques pour produire lesdites impulsions; et également caractérisé par un moyen (12) sensible auxdites impulsions pour produire plusieurs répliques retardées desdites impulsions, lesquelles répliques sont
15 retardées par des périodes de retard respectives augmentant par incréments prédéterminés; plusieurs moyens (13) de détection de la coïncidence d'impulsions sensibles auxdites répliques produites et retardées respectives pour produire des signaux de détection à l'apparition simultanée des-
20 dites impulsions dudit moyen générateur d'impulsions et une réplique retardée desdites impulsions; et par un décodeur (14) sensible aux signaux de détection dudit moyen de détection de coïncidence pour produire des manifestations numériques correspondant audit signal
25 d'information.

2.- Circuit selon la revendication 1, caractérisé en ce que la manifestation numérique précitée correspond à la phase ou fréquence instantanée du signal analogique définie par les passages par zéro successifs.

30 3.- Circuit selon la revendication 2, caractérisé en ce que le moyen (12) précité produisant plusieurs répliques retardées des impulsions précitées comprend n éléments à retard ($\tau_0 - \tau_n$) ayant des liaisons d'entrée respectives reliées en parallèle pour y appliquer lesdites
35 impulsions, des liaisons de sortie respectives auxquelles

sont disponibles lesdites répliques retardées, un premier (τ_0) desdits éléments à retard ayant une période de retard τ_0 , un second (τ_1) desdits éléments à retard ayant une période de retard $\tau_0 + \tau$, et chaque Rième
5 élément à retard ayant une période de retard $\tau_0 + (R-1)\tau$, où R est un nombre entier et τ représente l'incrément de retard prédéterminé.

4.- Circuit selon la revendication 2, caractérisé en ce que le moyen (11) précité pour produire des
10 impulsions comprend un monostable sensible auxdits passages par zéro et produisant une impulsion pour chaque passage par zéro du signal analogique.

5.- Circuit selon la revendication 1, caractérisé en ce que le décodeur précité comprend un réseau logique
15 programmable (25) sensible auxdits signaux de détection et programmé pour émettre un signal numérique (26) correspondant à la phase ou fréquence instantanée définie par la période entre les passages par zéro indiquée par les signaux de détection respectifs.

20 6.- Circuit selon la revendication 1, caractérisé en ce que le décodeur (14) précité comprend un encodeur de priorité (16) sensible aux signaux de détection précités pour produire un nombre binaire représentant le moyen de détection de coïncidence produisant un signal
25 de détection particulier; et un élément mémoire (17) ayant une entrée d'adresse reliée audit encodeur de priorité et programmé pour produire à un bus de sortie une valeur correspondant à la phase ou fréquence instantanée du signal analogique pour des périodes respectives entre
30 les passages par zéro indiquées par lesdits signaux de détection.

7.- Circuit selon la revendication 1, caractérisé en ce que le moyen précité produisant des répliques retardées comprend (n-1) éléments à retard similaires
35 (21, 22_a-22_n) reliés en cascade, dont le premier est relié au moyen (11) générant les impulsions.

8.- Circuit selon la revendication 7,
caractérisé en ce que les éléments à retard similaires
précités (21, 22_a-22_n) sont des portes logiques respectives
et la période de retard incrémental est le retard de
5 propagation des portes respectives.

9.- Circuit selon la revendication 7,
caractérisé en ce que la période de retard des éléments
à retard similaires précités est réglable.

10 10.- Circuit selon la revendication 1,
caractérisé en ce qu'il comprend également un interpolateur
(27) sensible à un signal d'échantillonnage ($\emptyset$) de
fréquence fixe pour échantillonner la manifestation
numérique précitée produite par le décodeur (25) précité
pour produire des échantillons correspondant aux sommes
15 pondérées desdites manifestations numériques.

11.- Circuit selon la revendication 1,
caractérisé en ce que les détecteurs de coïncidence
d'impulsions (13) précités sont des portes ET.

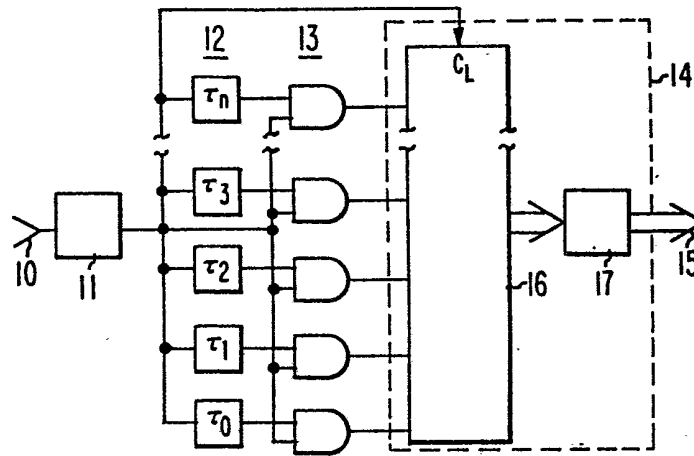


Fig. 1

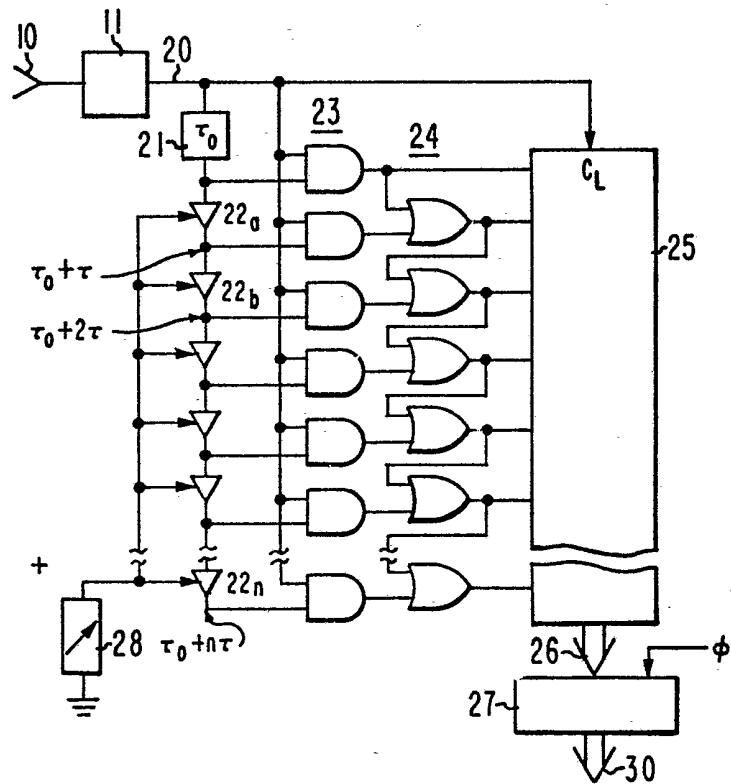


Fig. 4

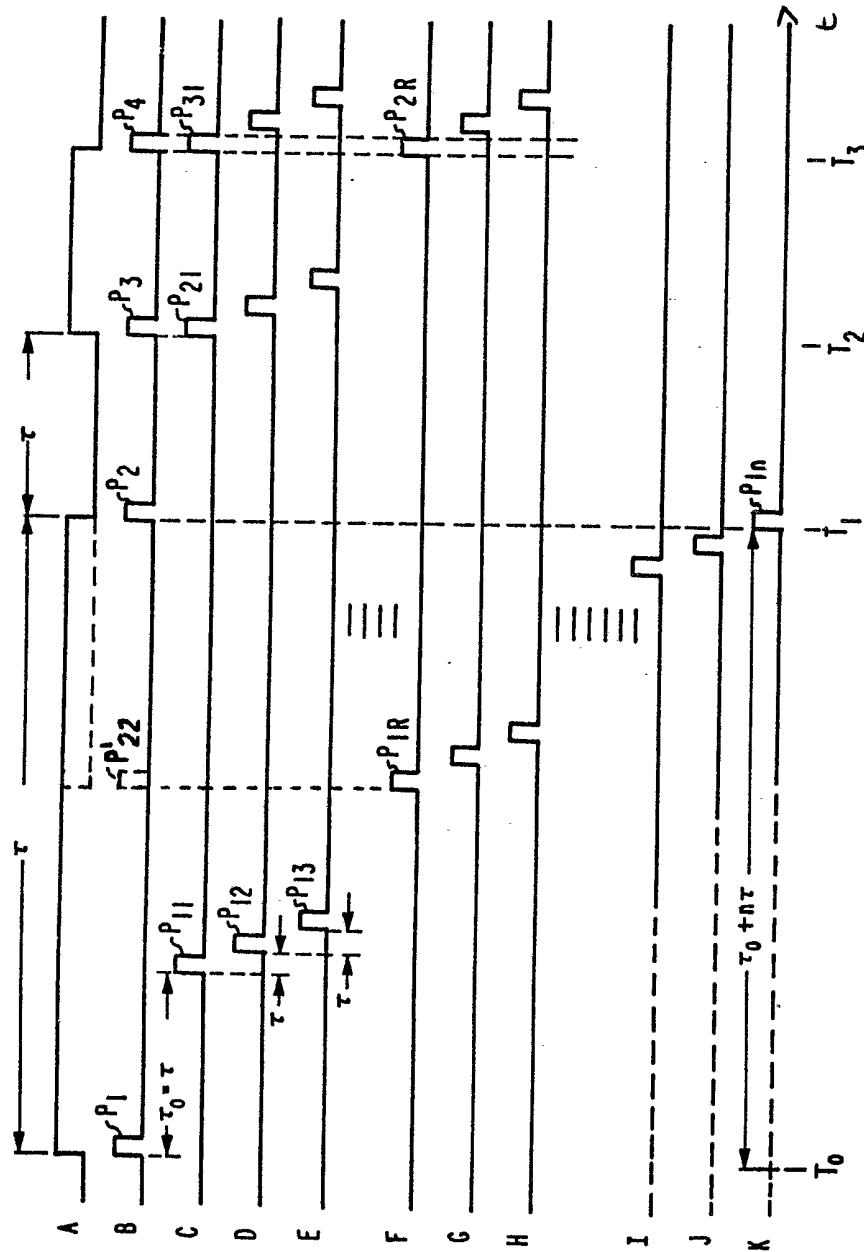


Fig. 2

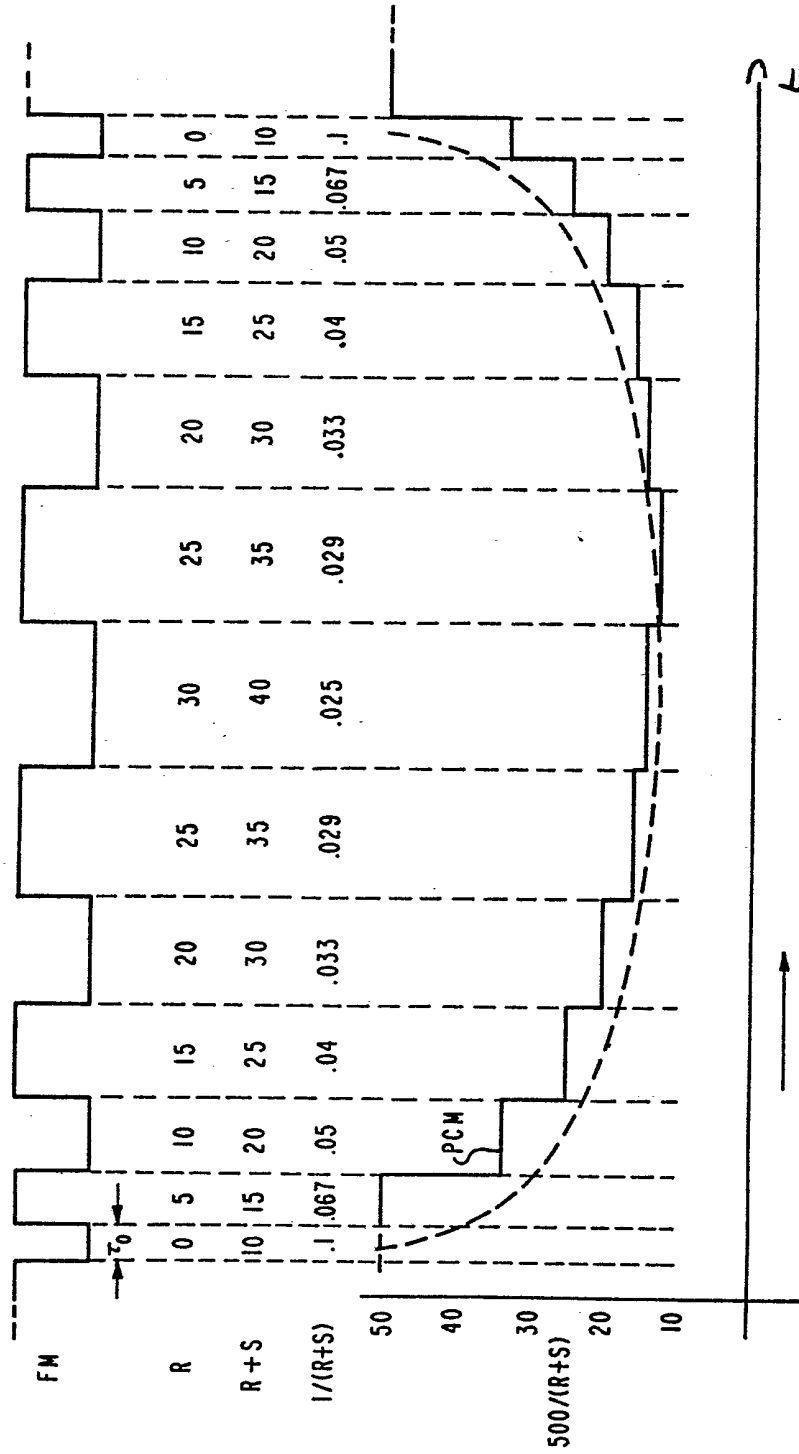


Fig. 3

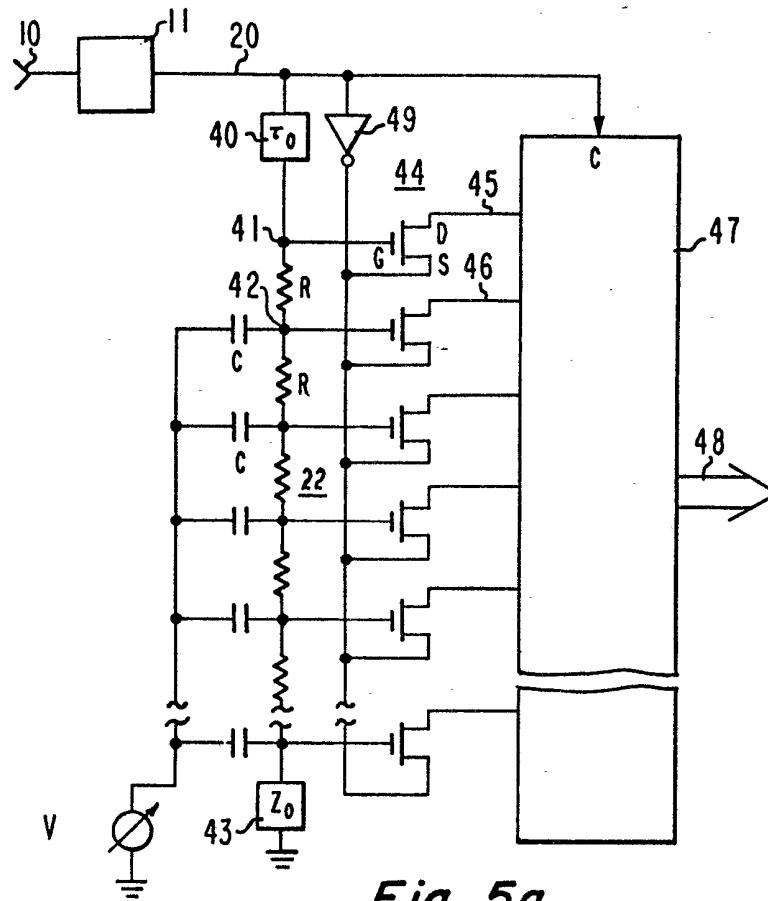


Fig. 5a

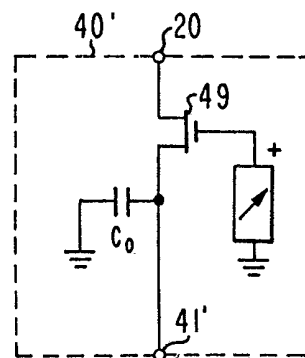


Fig. 5b

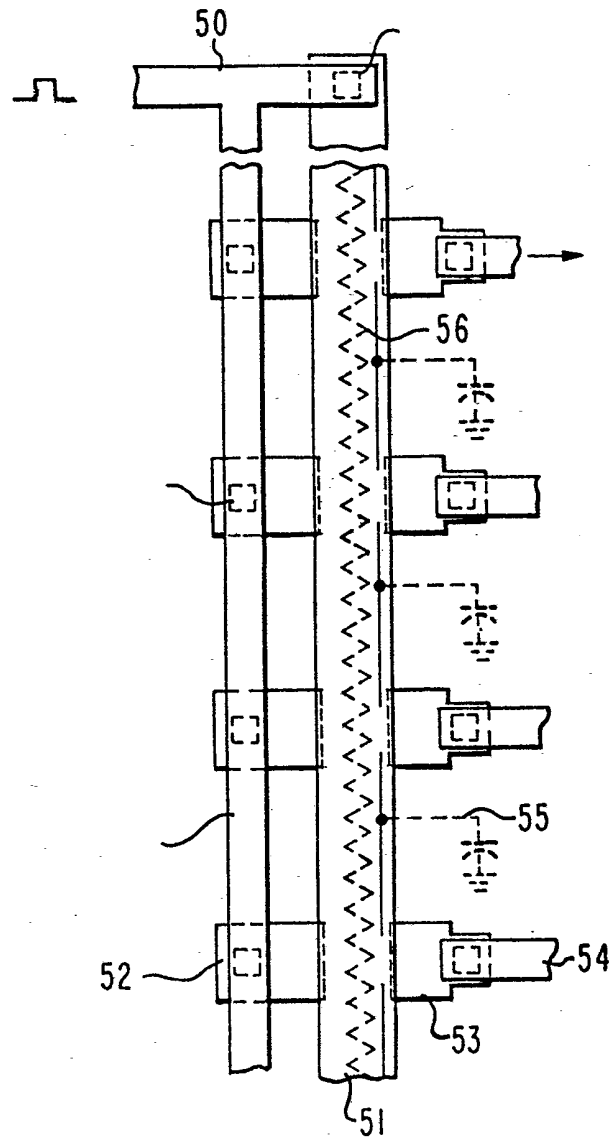


Fig. 6