



Patent dodatkowy
do patentu nr _____

Zgłoszono: 30.03.77 (P. 197036)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 09.10.78

Opis patentowy opublikowano: 31.03.1981

Int. Cl.²

H02H 3/24

Twórca wynalazku: Andrzej Szajewski

Uprawniony z patentu: Politechnika Warszawska, Warszawa (Polska)

**Układ zabezpieczający przy zaniku napięcia wielofazowego
sieci elektroenergetycznej**

1

Przedmiot wynalazku. Przedmiotem wynalazku jest układ zabezpieczający przy zaniku napięcia wielofazowego sieci elektroenergetycznej, stosowany zwłaszcza do zabezpieczenia w przypadku zaniku napięcia na wyjściu falownika wielofazowego.

Stan techniki. Znany jest układ przyrządu do kontroli napięcia fazowego w celu ochrony urządzeń przemysłowych prądu trójfazowego przy zaniku lub zmianie napięcia fazowego jednej lub dwóch faz, który zawiera układ trzech rezystorów połączonych w gwiazdę. Z punktem zerowym tego układu są połączone poprzez prostownik równolegle rezystor oraz kondensator, przy czym rezystor ten służy jako opornik upływowy siatki sterującej tyratronu, w którego obwodzie anodowym jest umieszczony elektromagnetyczny przekaźnik. Wadą tego układu jest to, że ze względu na układ trzech rezystorów połączonych w gwiazdę nie może być stosowany do ochrony urządzeń przemysłowych n-fazowych. Ponadto układ ten jest galwanicznie połączony z urządzeniem trójfazowym, powoduje to bezpośrednie przedostawanie się zakłóceń i wrażliwość na wszelkiego rodzaju przepięcia, zwarcia itp. oraz nie uwzględnia niesymetrii napięć jaka może wystąpić przy nierównomiernym obciążeniu faz. Dalszą wadą tego układu jest to, że nie może być stosowany w przypadku regulowanego napięcia fazowego, jak również w przypadku źródeł napięcia połączonych w trójkąt, oraz wymaga sto-

2

sowania elementów układu przystosowanych do pracy na napięcie fazowe źródła.

Istota wynalazku. Układ według wynalazku charakteryzuje się tym, że posiada w każdej fazie sieci elektroenergetycznej człon przetwarzający napięcie fazowe sieci na napięcie sygnału poziomu logicznego, połączony poprzez element logiczny NAND z członem wykonawczym, którego wyjście jest połączone z siecią elektroenergetyczną. Korzystne jest jeśli człon przetwarzający napięcie fazowe sieci na napięcie sygnału logicznego posiada transformator na wyjściu którego są połączone szeregowo rezystor z diodą Zenera, przy czym na wyjściu diody Zenera włączony jest poprzez diodę zwrotną filtr wygładzający, składający się z równolegle połączonych rezystora i kondensatora oraz szeregowo rezystora ograniczającego. Korzystne jest również jeśli człon wykonawczy posiada na wejściu rezystor połączony z bazą tranzystora, z którego kolektorem są połączone cewka przekaźnika oraz człon przeciwprzepięciowy składający się z połączonego szeregowo rezystora oraz diody półprzewodnikowej, zaś emiter jest połączony z masą układu.

Korzystne skutki techniczne wynalazku. Układ zgodnie z wynalazkiem zabezpiecza w szerokim zakresie regulację napięcia sieci elektroenergetycznej. Dzięki zastosowaniu elementu logicznego n-wejściowego możliwe jest stosowanie jednego członu wykonawczego niezależnie od ilości faz sieci,

co pozwala zmniejszyć gabaryty układu zabezpieczającego. Ponadto układ umożliwia stosowanie przekątnika i transformatorów małej mocy pracujących napięciowo, oraz jest niewrażliwy na chwilowe przepięcia jak również jest bezpieczny ze względu na oddzielenie galwaniczne sieci elektroenergetycznej od układu zabezpieczającego za pomocą transformatorów.

Objaśnienie rysunku. Przedmiot wynalazku jest bliżej objaśniony w przykładzie wykonania na rysunku, na którym fig. 1 przedstawia schemat blokowy układu zabezpieczającego przy zaniku napięcia wielofazowego falownika, zaś fig. 2 przedstawia schemat ideowy członu przetwarzającego napięcie fazy falownika na napięcie sygnału logicznego, a fig. 3, przedstawia schemat ideowy członu wykonawczego.

Przykład wykonania wynalazku. Jak uwidoczniło na fig. 1 rysunku, z siecią elektroenergetyczną 1 jest połączony falownik 2 o wyjściu trójfazowym **R S T** napięcia sinusoidalnie zmiennego. Każda z faz **R S T** falownika 2 jest połączona poprzez człon 3 przetwarzający napięcie fazowe falownika 2 na napięcie sygnału logicznego z wejściem elementu 4 logicznego NAND, którego wyjście jest połączone z członem 5 wykonawczym. Wyjście członu 5 wykonawczego jest połączone z siecią elektroenergetyczną 1. Przedstawiony na fig. 2 rysunku, człon 3 przetwarzający napięcie fazowe falownika 2 na napięcie sygnału poziomu logicznego, zawiera transformator **TR** na wyjściu którego są połączone szeregowo rezystor **R₁** z diodą **DZ** Zenera, przy czym na wyjściu diody **DZ** poprzez diodę zwrotną **D₁** włączony jest filtr wygładzający składający się z równolegle połączonych rezystora **R₂** i kondensatora **C₁** oraz szeregowego rezystora ograniczającego **R₃**. Przedstawiony na fig. 3 rysunku, człon 5 wykonawczy posiada na wejściu rezystor **R₄** połączony z bazą tranzystora **T** mocy, z którego kolektorem są połączone cewka przekątnika **PR** oraz człon przeciwprzepięciowy składający się z połączonych szeregowo rezystora **R₅** z diodą **D₂**, zaś emiter tego tranzystora jest połączony z masą układu.

Układ według wynalazku działa w sposób niżej opisany. Z sieci elektroenergetycznej 1 jest zasilany falownik 2, na wyjściu **R S T** którego uzyskiwane jest sinusoidalne napięcie trójfazowe.

Napięcie fazowe każdej z faz falownika 2 jest podawane na wejście członu 3, który posiada transformator **TR** oddzielający galwanicznie układ zabezpieczający od obwodu zabezpieczanego falownika 2. Na diodzie **DZ** Zenera ustalane jest napięcie poziomu logicznego 1. Następnie napięcie poziomu logicznego jest wygładzane za pomocą filtra wygładzającego, składającego się z równolegle połączonych rezystora **R₂** i kondensatora **C₁** i podawane jest przez rezystor **R₃** ograniczający prąd

na trzywejściowy element 4 logiczny NAND, który realizuje funkcję negacji iloczynu i tak przy sygnałach napięciowych o poziomie logicznym 1 na wszystkich wejściach elementu NAND, uzyskiwany jest na wyjściu tego elementu sygnał napięciowy o poziomie logicznym 0 i tranzystor **T** mocy nie przewodzi. W przypadku zaniku napięcia na którejkolwiek z faz **R S T** falownika 2 na wyjściu członu 3 włączonego w fazę, w której wystąpił zanik napięcia, występuje również zanik napięcia i na wejściu elementu 4 logicznego NAND pojawi się sygnał napięciowy o poziomie logicznym 0, co spowoduje pojawienie się na wyjściu tego elementu sygnału napięciowego o poziomie logicznym 1 i przejście tranzystora **T** usytuowanego na wyjściu członu 5 wykonawczego, w stan przewodzenia.

W stanie przewodzenia tranzystora **T** popłynie prąd w obwodzie składającym się z cewki przekątnika **PR**, złącza kolektor—emiter tego tranzystora, który spowoduje zadziałanie przekątnika **PR** i otwarcie styków podtrzymujących napięcie na cewce stwcznika zasilającego sieć elektroenergetyczną 1 zasilającą falownik 2 oraz wyłączenie tego falownika. Ponadto rezystor **R₅** połączony szeregowo z diodą **D₂** ma na celu wytłumienie przepięć powstających wskutek istnienia indukcyjności cewki przekątnika **PR** w obwodzie kolektora tranzystora **T**.

Zastrzeżenia patentowe

1. Układ zabezpieczający przy zaniku napięcia wielofazowego sieci elektroenergetycznej zawierający elektromagnetyczny przekątnik, **znamienny tym**, że posiada w każdej fazie sieci elektroenergetycznej człon (3) przetwarzający napięcie fazowe sieci na napięcie sygnału poziomu logicznego, połączony poprzez element (4) logiczny NAND z członem (5) wykonawczym, którego wyjście jest połączone z siecią (1) elektroenergetyczną.

2. Układ według zastrz. 1, **znamienny tym**, że człon (3) zawiera transformator (**TR**) na wyjściu którego są połączone szeregowo rezystor (**R₁**) z diodą (**DZ**) Zenera, przy czym na wyjściu diody Zenera (**DZ**) poprzez szeregową diodę zwrotną (**D₁**) włączony jest filtr wygładzający składający się z równolegle połączonych rezystora (**R₂**) i kondensatora (**C₁**), oraz szeregowego rezystora ograniczającego (**R₃**).

3. Układ według zastrz. 1, **znamienny tym**, że człon (5) wykonawczy posiada na wejściu rezystor (**R₄**) połączony z bazą tranzystora (**T**), z którego kolektorem są połączone cewka przekątnika (**PR**) oraz człon przeciwprzepięciowy składający się z połączonego szeregowo rezystora (**R₅**) z diodą (**D₂**), zaś emiter jest połączony z masą układu.

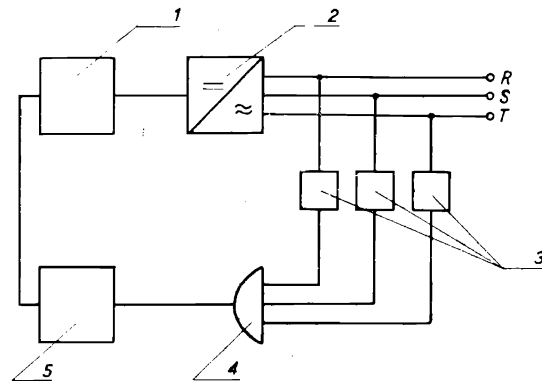


Fig. 1

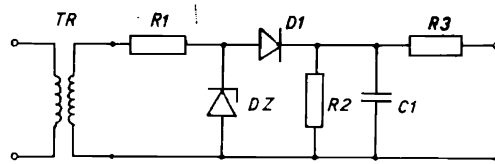


Fig. 2

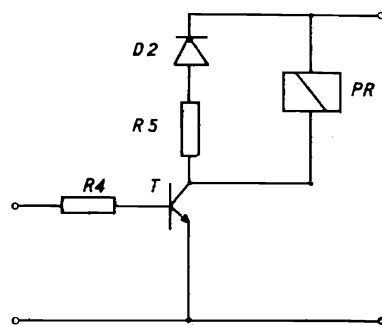


Fig. 3