

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5975066号
(P5975066)

(45) 発行日 平成28年8月23日(2016. 8. 23)

(24) 登録日 平成28年7月29日(2016. 7. 29)

(51) Int.Cl. F I
H O 3 L 7/093 (2006.01) H O 3 L 7/093

請求項の数 6 (全 16 頁)

(21) 出願番号	特願2014-107422 (P2014-107422)	(73) 特許権者	000003207
(22) 出願日	平成26年5月23日(2014. 5. 23)		トヨタ自動車株式会社
(65) 公開番号	特開2015-222926 (P2015-222926A)		愛知県豊田市トヨタ町1番地
(43) 公開日	平成27年12月10日(2015. 12. 10)	(74) 代理人	100107766
審査請求日	平成27年9月15日(2015. 9. 15)		弁理士 伊東 忠重
		(74) 代理人	100070150
			弁理士 伊東 忠彦
		(72) 発明者	利行 健
			愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内
		審査官	橋本 和志

最終頁に続く

(54) 【発明の名称】 チャージポンプ回路及びPLL回路

(57) 【特許請求の範囲】

【請求項1】

電源ノードに接続される一端を有する定電流回路と、
電流が入出力される第1のノードと、
前記第1のノードとの電位差が所定値以下になるように設定される第2のノードと、
前記第1のノードに接続される一端を有する第1のトランジスタと、
前記第2のノードに接続される一端を有し、前記第1のトランジスタの動作に対して反転して動作する第2のトランジスタと、
前記第1のトランジスタの他端と前記第2のトランジスタの他端とが接続される接続ノードと前記定電流回路の他端との間に接続される第3のトランジスタと、
前記第2のノードに接続されるダイオードと、
前記定電流回路よりも大きな定電流を生成して前記ダイオードに定電流を流す電流生成回路とを備え、

前記第3のトランジスタは、定電圧源に接続されるゲートを有し、定電流源として機能し、

前記電流生成回路は、前記第3のトランジスタのゲートに接続される定電圧源に接続されるゲートを有するトランジスタを備える、チャージポンプ回路。

【請求項2】

前記定電流回路は、前記第3のトランジスタのゲートに接続される定電圧源とは異なる定電圧源に接続されるゲートを有するトランジスタである、請求項1に記載のチャージポ

ンプ回路。

【請求項 3】

第 1 の電源ノードに接続される一端を有する第 1 の定電流回路と、

前記第 1 の電源ノードよりも低電位の第 2 の電源ノードに接続される一端を有する第 2 の定電流回路と、

電流が入出力される第 1 のノードと、

前記第 1 のノードとの電位差が所定値以下になるように設定される第 2 のノードと、

前記第 1 のノードに接続される一端を有する第 1 のハイサイドトランジスタと、

前記第 1 のノードに接続される一端を有する第 1 のローサイドトランジスタと、

前記第 2 のノードに接続される一端を有し、前記第 1 のハイサイドトランジスタの動作 10
に対して反転して動作する第 2 のハイサイドトランジスタと、

前記第 2 のノードに接続される一端を有し、前記第 1 のローサイドトランジスタの動作
に対して反転して動作する第 2 のローサイドトランジスタと、

前記第 1 のハイサイドトランジスタの他端と前記第 2 のハイサイドトランジスタの他端
とが接続される第 1 の接続ノードと前記第 1 の定電流回路の他端との間に接続される第 3
のハイサイドトランジスタと、

前記第 1 のローサイドトランジスタの他端と前記第 2 のローサイドトランジスタの他端
とが接続される第 2 の接続ノードと前記第 2 の定電流回路の他端との間に接続される第 3
のローサイドトランジスタと、

前記第 2 のノードに接続されるダイオードと、 20

前記第 2 の定電流回路よりも大きな定電流を生成して前記ダイオードに定電流を流す電
流生成回路とを備え、

前記第 3 のハイサイドトランジスタは、第 1 の定電圧源に接続されるゲートを有し、定
電流源として機能し、

前記第 3 のローサイドトランジスタは、前記第 1 の定電圧源よりも低電圧の第 2 の定電
圧源に接続されるゲートを有し、定電流源として機能し、

前記電流生成回路は、前記第 1 の定電圧源に接続されるゲートを有するトランジスタを
備える、チャージポンプ回路。

【請求項 4】

前記第 1 の定電流回路は、前記第 1 の定電圧源よりも高電圧の第 3 の定電圧源に接続さ 30
れるゲートを有するトランジスタであり、

前記第 2 の定電流回路は、前記第 2 の定電圧源よりも低電圧の第 4 の定電圧源に接続さ
れるゲートを有するトランジスタである、請求項 3 に記載のチャージポンプ回路。

【請求項 5】

前記ダイオードは、ダイオード接続されたトランジスタを有する、請求項 1 から 4 のい
ずれか一項に記載のチャージポンプ回路。

【請求項 6】

入力される基準周波数信号と所定周波数信号との位相差に応じた位相差信号を出力する
位相周波数比較器と、

前記位相周波数比較器から出力される前記位相差信号に応じて、前記第 1 のハイサイド 40
トランジスタ、前記第 1 のローサイドトランジスタ、前記第 2 のハイサイドトランジスタ
及び前記第 2 のローサイドトランジスタを動作させ、電荷を前記第 1 のノードから出力す
る請求項 3 又は 4 に記載のチャージポンプ回路と、

前記チャージポンプ回路から出力される前記電荷を蓄えるループフィルタと、

前記ループフィルタに蓄えられている前記電荷により発生する電圧に応じた周波数で発
振することにより、前記基準周波数信号を所定比で倍した出力周波数信号を出力する電圧
制御型発振器と、

前記電圧制御型発振器から出力される前記出力周波数信号を前記所定比で分周して前記
所定周波数信号を出力する分周器とを備える、PLL 回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、チャージポンプ回路及びPLL回路に関する。

【背景技術】

【0002】

入力クロック周波数を通倍することで高周波のクロック周波数信号を生成するPLL (Phase Locked Loop) 回路に用いられるチャージポンプ回路が知られている (例えば、特許文献1参照)。

【0003】

10

図1は、特許文献1に開示されるチャージポンプ回路を示す構成図である。チャージポンプ回路1は、電位VDDに接続される定電流源I1と、電位VSSに接続される定電流源I2とを備えている。チャージポンプ回路1は、p型MOSトランジスタMP1のオンにより、定電流源I1からノード2を介して後段のループフィルタに電流を吐き出し、n型MOSトランジスタMN1のオンにより、後段のループフィルタからノード2を介して定電流源I2に電流を引き込む。また、チャージポンプ回路1は、p型MOSトランジスタMP1の動作に対して反転して動作するp型MOSトランジスタMP2と、n型MOSトランジスタMN1の動作に対して反転して動作するn型MOSトランジスタMN2とを備えている。

【0004】

20

p型MOSトランジスタMP1, MP2のうち的一方がオンした際、ノードN1の電位が変動すると、定電流源I1の定電流に誤差が生じる。同様に、n型MOSトランジスタMN1, MN2のうち的一方がオンした際、ノードN2の電位が変動すると、定電流源I2の定電流に誤差が生じる。チャージポンプ回路1は、それらの誤差を低減するため、ノード2の電圧とノード3の電圧とをアンプ4により同一にすることで、ノードN1を常に一定電位にするとともに、ノードN2を常に一定電位にしている。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2011-130518号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、従来技術では、ノード2の電圧とノード3の電圧とが同一になるようにアンプ4の出力を入力にフィードバックするため、アンプ4のオフセットや追従性の遅れによって、ノード2とノード3との間に電位差が発生する場合がある。

【0007】

そのため、p型MOSトランジスタMP1, MP2のうち的一方がオンし他方がオフする際、ノード2とノード3の間の電位差によりノードN1の電位が変動すると、定電流源I1の両端電圧の変動が残るので、定電流源I1の定電流に生じる誤差を十分低減できないおそれがある。

40

【0008】

同様に、n型MOSトランジスタMN1, MN2のうち的一方がオンし他方がオフする際、ノード2とノード3の間の電位差によりノードN2の電位が変動すると、定電流源I2の両端電圧の変動が残るので、定電流源I2の定電流に生じる誤差を十分低減できないおそれがある。

【0009】

そこで、トランジスタの動作が反転する時における定電流回路の両端電圧の変動を抑制できる、チャージポンプ回路及びPLL回路の提供を目的とする。

【課題を解決するための手段】

50

【 0 0 1 0 】

一つの案では、

電源ノードに接続される一端を有する定電流回路と、

電流が入出力される第 1 のノードと、

前記第 1 のノードとの電位差が所定値以下になるように設定される第 2 のノードと、

前記第 1 のノードに接続される一端を有する第 1 のトランジスタと、

前記第 2 のノードに接続される一端を有し、前記第 1 のトランジスタの動作に対して反転して動作する第 2 のトランジスタと、

前記第 1 のトランジスタの他端と前記第 2 のトランジスタの他端とが接続される接続ノードと前記定電流回路の他端との間に接続される第 3 のトランジスタと、

前記第 2 のノードに接続されるダイオードと、

前記定電流回路よりも大きな定電流を生成して前記ダイオードに定電流を流す電流生成回路とを備え、

前記第 3 のトランジスタは、定電圧源に接続されるゲートを有し、定電流源として機能し、

前記電流生成回路は、前記第 3 のトランジスタのゲートに接続される定電圧源に接続されるゲートを有するトランジスタを備える、チャージポンプ回路が提供される。

【 発明の効果 】

【 0 0 1 1 】

一態様によれば、上記の接続ノードの電位が変動しても定電流回路の他端の電圧は一定となるので、トランジスタの動作が反転する時における定電流回路の両端電圧の変動を抑制できる。

【 図面の簡単な説明 】

【 0 0 1 2 】

【 図 1 】 特許文献 1 に開示されるチャージポンプ回路を示す構成図

【 図 2 】 実施形態に係るチャージポンプ回路の一例を示す構成図

【 図 3 】 M O S (Metal Oxide Semiconductor) トランジスタにおける、ドレイン - ソース間の電圧 V_{ds} とドレイン電流 I_d との関係の一例を示す図

【 図 4 】 実施形態に係るチャージポンプ回路の一例の一部を示す構成図

【 図 5 】 実施形態に係るチャージポンプ回路の一例の一部を示す構成図

【 図 6 】 実施形態に係る P L L 回路の一例を示す構成図

【 図 7 】 実施形態に係る P L L 回路が備える電圧制御型発振器において、入力される出力電圧 V_{out} と出力される出力周波数信号 f_{out} との関係の一例を示す図

【 図 8 】 実施形態に係る P L L 回路が備える電圧制御型発振器に入力される出力電圧 V_{out} の、起動開始時からの時間波形の一例を示す図

【 図 9 】 実施形態に係るチャージポンプ回路の動作の一例を示すタイムチャート

【 発明を実施するための形態 】

【 0 0 1 3 】

図 2 は、チャージポンプ回路（以下、C P 回路と称す。）1 0 の一例を示す構成図である。C P 回路 1 0 は、トランジスタ S 3 1 のオンにより、トランジスタ M 3 1 からノード A を介して後段のループフィルタに電流を吐き出し、トランジスタ S 3 2 のオンにより、後段のループフィルタからノード A を介してトランジスタ M 3 3 に電流を引き込む回路の一例である。

【 0 0 1 4 】

C P 回路 1 0 は、トランジスタ M 3 1 と、ノード A と、ノード B と、トランジスタ S 3 1 と、トランジスタ S 3 1 b と、トランジスタ M 3 2 とを備えている。

【 0 0 1 5 】

トランジスタ M 3 1 は、電源ノード 5 0 に接続される一端を有する定電流回路の一例である。トランジスタ M 3 1 は、例えば、定電流源として動作する P チャネル型 M O S トランジスタであり、電源ノード 5 0 に接続されるソースと、定電圧源 6 0 に接続されるゲート

10

20

30

40

50

トとを有する。

【 0 0 1 6 】

電源ノード50は、直流の電源電圧 V_{CC} を出力する電源ノードの一例であり、電位が略一定の高電源電位部である。定電圧源60は、電源電圧 V_{CC} よりも低い定電圧 V_{G1} を出力する定電圧源の一例である。

【 0 0 1 7 】

ノードAは、電流が入出力される第1のノードの一例であり、ノードBは、第1のノードとの電位差が所定値以下になるように設定される第2のノードの一例である。ノードBは、例えば図2の場合、ノードAとの電位差がトランジスタMC1, MC2, MDにより所定値以下（具体的には、零又は零の近傍値）になるように設定される。ノードAとノードBとの電位差を所定値以下に設定する手段は、トランジスタMC1, MC2, MDに限られず、他の構成により実現されてもよい。トランジスタMC1, MC2, MDについては、後述する。

10

【 0 0 1 8 】

トランジスタS31は、第1のノードに接続される一端を有する第1のトランジスタの一例である。トランジスタS31は、例えば、スイッチとして動作するPチャネル型MOSトランジスタであり、ノードAに接続されるドレインを有する。

【 0 0 1 9 】

トランジスタS31bは、第2のノードに接続される一端を有し、第1のトランジスタの動作に対して反転して動作する第2のトランジスタの一例である。トランジスタS31bは、例えば、スイッチとして動作するPチャネル型MOSトランジスタであり、ノードBに接続されるドレインを有する。トランジスタS31bは、トランジスタS31がオフからオンに切り替わる時にオンからオフに切り替わり、トランジスタS31がオンからオフに切り替わる時にオフからオンに切り替わる。

20

【 0 0 2 0 】

トランジスタM32は、第1のトランジスタの他端と第2のトランジスタの他端とが接続される接続ノードと定電流回路の他端との間に接続される第3のトランジスタの一例である。トランジスタM32は、例えば、接続ノードCとトランジスタM31のドレインとの間に接続され、定電流源として動作するPチャネル型MOSトランジスタである。トランジスタM32は、例えば、トランジスタM31のドレインに接続されるソースと、定電圧源61に接続されるゲートとを有する。

30

【 0 0 2 1 】

接続ノードCは、トランジスタS31のソースとトランジスタS31bのソースとが接続される接続ノードの一例である。定電圧源61は、定電圧源60とは異なる定電圧源の一例であり、例えば、定電圧 V_{G1} よりも低い定電圧 V_{G1c} を出力する（ $V_{G1} > V_{G1c}$ ）。

【 0 0 2 2 】

トランジスタM32は、定電圧源61に接続されるゲートとを有し、定電流源として機能する。そのため、トランジスタM32のドレインに接続される接続ノードCの電位の変動により、トランジスタM32のドレイン - ソース間の電圧 V_{ds} が変動しても、トランジスタM32のゲート - ソース間の電圧 V_{gs} は、略一定である。なぜならば、トランジスタM32は、一定のドレイン電流 I_d を流す定電流源として機能する飽和領域S2（図3参照）で動作するため、トランジスタM32のゲート - ソース間の電圧 V_{gs} は、電圧 V_{ds} が変動しても、トランジスタM32の一定の閾値電圧 V_{th} に等しいからである。

40

【 0 0 2 3 】

なお、図3は、電圧 V_{gs} が所定の一定値（閾値電圧 V_{th} ）であるときの、電圧 V_{ds} とドレイン電流 I_d との関係の一例を示す図である。電圧 V_{ds} が増加するにつれてドレイン電流 I_d が上昇する線形領域S1と、電圧 V_{ds} が増加してもドレイン電流 I_d が略一定の飽和領域S2とは、電圧 V_{gs} の各値に対して、 $V_{ds} = V_{gs} - V_{th}$ で分けられる。

50

【 0 0 2 4 】

したがって、図 4 に示されるように、トランジスタ M 3 2 のドレイン（接続ノード C）の電位が変動しても、トランジスタ M 3 1 のドレイン電圧は、一定の電圧値（ $V_{G1c} + V_{th}$ ）となる。よって、トランジスタ M 3 1 のドレイン - ソース間に印加される両端電圧 V_{ds1} は、一定の電圧値（ $V_{CC} - (V_{G1c} + V_{th})$ ）となる。

【 0 0 2 5 】

つまり、図 2 において、CP 回路 1 0 は、トランジスタ S 3 1、S 3 1 b のうちの一方がオンし他方がオフする際、接続ノード C の電位が変動しても、トランジスタ M 3 1 の両端電圧 V_{ds1} の変動を抑制できる。その結果、トランジスタ S 3 1、S 3 1 b のうちの一方がオンし他方がオフする際、例えば、トランジスタ M 3 1 に流れる定電流がトランジスタ M 3 1 の両端電圧 V_{ds1} の変動により変動することを抑制でき、トランジスタ M 3 1 に流れる定電流に生じる誤差を十分に低減できる。

10

【 0 0 2 6 】

また、図 2 において、CP 回路 1 0 は、トランジスタ M 3 3 と、トランジスタ S 3 2 と、トランジスタ S 3 2 b と、トランジスタ M 3 4 とを備えている。

【 0 0 2 7 】

トランジスタ M 3 3 は、接地ノード 5 2 に接続される一端を有する定電流回路の一例である。トランジスタ M 3 3 は、例えば、定電流源として動作する N チャネル型 MOS トランジスタであり、接地ノード 5 2 に接続されるソースと、定電圧源 6 2 に接続されるゲートとを有する。

20

【 0 0 2 8 】

接地ノード 5 2 は、略零の接地電圧を出力する電源ノードの一例であり、電位が略一定の低電源電位部である。接地ノード 5 2 は、電源ノード 5 0 よりも低電位のノードである。定電圧源 6 2 は、接地電圧よりも高い定電圧 V_{G2} を出力する定電圧源の一例である。

【 0 0 2 9 】

トランジスタ S 3 2 は、第 1 のノードに接続される一端を有する第 1 のトランジスタの一例である。トランジスタ S 3 2 は、例えば、スイッチとして動作する N チャネル型 MOS トランジスタであり、ノード A に接続されるドレインを有する。

【 0 0 3 0 】

トランジスタ S 3 2 b は、第 2 のノードに接続される一端を有し、第 1 のトランジスタの動作に対して反転して動作する第 2 のトランジスタの一例である。トランジスタ S 3 2 b は、例えば、スイッチとして動作する N チャネル型 MOS トランジスタであり、ノード B に接続されるドレインを有する。トランジスタ S 3 2 b は、トランジスタ S 3 2 がオフからオンに切り替わる時にオンからオフに切り替わり、トランジスタ S 3 2 がオンからオフに切り替わる時にオフからオンに切り替わる。

30

【 0 0 3 1 】

トランジスタ M 3 4 は、第 1 のトランジスタの他端と第 2 のトランジスタの他端とが接続される接続ノードと定電流回路の他端との間に接続される第 3 のトランジスタの一例である。トランジスタ M 3 4 は、例えば、接続ノード D とトランジスタ M 3 3 のドレインとの間に接続され、定電流源として動作する N チャネル型 MOS トランジスタである。トランジスタ M 3 4 は、例えば、トランジスタ M 3 3 のドレインに接続されるソースと、定電圧源 6 3 に接続されるゲートとを有する。

40

【 0 0 3 2 】

接続ノード D は、トランジスタ S 3 2 のソースとトランジスタ S 3 2 b のソースとが接続される接続ノードの一例である。定電圧源 6 3 は、定電圧源 6 2 とは異なる定電圧源の一例であり、例えば、定電圧 V_{G2} よりも高く定電圧 V_{G1c} よりも低い定電圧 V_{G2c} を出力する（ $V_{G2} < V_{G2c} < V_{G1c}$ ）。

【 0 0 3 3 】

トランジスタ M 3 4 は、定電圧源 6 3 に接続されるゲートを有し、定電流源として機能する。そのため、トランジスタ M 3 4 のドレインに接続される接続ノード D の電位の変動

50

により、トランジスタM34のドレイン - ソース間の電圧 V_{ds} が変動しても、トランジスタM34のゲート - ソース間の電圧 V_{gs} は、略一定である。なぜならば、トランジスタM34は、一定のドレイン電流 I_d を流す定電流源として機能する飽和領域S2（図3参照）で動作するため、トランジスタM34のゲート - ソース間の電圧 V_{gs} は、電圧 V_{ds} が変動しても、トランジスタM34の一定の閾値電圧 V_{th} に等しいからである。

【0034】

したがって、図5に示されるように、トランジスタM34のドレイン（接続ノードD）の電位が変動しても、トランジスタM33のドレイン電圧は、一定の電圧値（ $V_{G2c} - V_{th}$ ）となる。よって、トランジスタM33のドレイン - ソース間に印加される両端電圧 V_{ds3} は、一定の電圧値（ $V_{G2c} - V_{th}$ ）となる。

10

【0035】

つまり、図2において、CP回路10は、トランジスタS32、S32bのうちの一方がオンし他方がオフする際、接続ノードDの電位が変動しても、トランジスタM33の両端電圧 V_{ds3} の変動を抑制できる。その結果、トランジスタS32、S32bのうちの一方がオンし他方がオフする際、例えば、トランジスタM33に流れる定電流がトランジスタM33の両端電圧 V_{ds3} の変動により変動することを抑制でき、トランジスタM33に流れる定電流に生じる誤差を十分に低減できる。

【0036】

図6は、CP回路10を備えるPLL回路12の一例を示す構成図である。本実施例のPLL回路12は、例えばデジタル回路を駆動するクロックの高周波化（数十MHz）に対応して、マイクロコンピュータなどから送られてくる基準周波数を逡倍して高周波の周波数を生成する回路である。図6に示す如く、PLL回路12は、PFD回路14と、CP回路10と、LPF回路16と、VCO回路18と、DIV回路20とを備えている。

20

【0037】

PFD回路14は、マイクロコンピュータなどから供給される所定周波数（例えば、2MHz）以下のクロックを示す基準周波数信号 f_{ref} と、本実施例のPLL回路12の出力周波数信号 f_{out} を $1/N$ （但し、 N は整数である。）倍した周波数信号 f_{divout} と、の位相及び周波数を比較する位相周波数比較器である。PFD回路14は、入力される基準周波数信号 f_{ref} と周波数信号 f_{divout} との位相差に応じた位相差信号を出力する。

30

【0038】

PFD回路14の出力端子には、CP回路10の入力端子が接続されている。CP回路10は、後に詳述する如く、PFD回路14から供給される位相差信号に応じた電荷をノードAから出力する回路である。PFD回路14から出力される位相差信号は、CP回路10の出力電流をノードAから外部に向けて出力するためのアップ信号UP、及び、CP回路10のノードAに外部から電流を引き込むためのダウン信号DNの何れかである。CP回路10は、PFD回路14から供給されるアップ信号UP及びダウン信号DNに応じて電荷をノードAから出力する。具体的には、アップ信号UPがハイレベルであるときは電荷はノードAを介して外部に向けて出力され、また、ダウン信号DNがハイレベルであるときは外部からノードAを介して電荷が引き込まれる。

40

【0039】

CP回路10の出力端子には、ノードAに接続されるLPF回路16の入力端子が接続されている。LPF回路16は、主に抵抗とコンデンサとからなるローパスフィルタであって、CP回路10から供給される電荷を蓄えることが可能なループフィルタである。LPF回路16は、CP回路10の電荷の入出力に応じて充電し又は放電する。LPF回路16に電荷が溜まると、その溜まった電荷量に応じた出力電圧 V_{out} が発生する。

【0040】

CP回路10の出力端子には、ノードAに接続されるVCO回路18の入力端子が接続されている。VCO回路18は、LPF回路16に蓄えられた電荷により発生した出力電圧 V_{out} の電圧値に応じた周波数で発振する電圧制御型発振器である。VCO回路18

50

は、LPF回路16からの出力電圧 V_{out} に基づいて、PLL回路12に入力した基準周波数信号 f_{ref} を逡倍した高周波の出力周波数信号 f_{out} をPLL回路12の出力として出力する。具体的には、図7に示す如き関係に従って出力電圧 V_{out} が高いほど高周波の出力周波数信号 f_{out} を出力する。

【0041】

VCO回路18の出力端子には、DIV回路20の入力端子が接続されている。DIV回路20は、VCO回路18の出力した出力周波数信号 f_{out} を所定の分周比 N で分周する分周器である。DIV回路20は、VCO回路18の出力周波数信号 f_{out} を $1/N$ 倍した周波数信号 f_{divout} を出力する。DIV回路20の出力する周波数信号 f_{divout} は、上記したPFD回路14に供給される。

10

【0042】

CP回路10は、上述の如く、トランジスタ S_{31} 、 S_{31b} 、 S_{32} 、 S_{32b} を備えている。

【0043】

トランジスタ S_{31} は、PFD回路14から供給されるアップ信号 UP が入力されるゲートを有し、アップ信号 UP の論理レベルに応じてオンオフする。トランジスタ S_{31} は、アップ信号 UP がハイレベルであるときオフし、アップ信号 UP がローレベルであるときオンする。

【0044】

トランジスタ S_{31b} は、PFD回路14から供給される反転信号 UPB が入力されるゲートを有し、反転信号 UPB の論理レベルに応じてオンオフする。反転信号 UPB は、アップ信号 UP の論理レベルに対して反転した信号であり、アップ信号 UP がハイレベルであるときローレベルであり、アップ信号 UP がローレベルであるときハイレベルである。トランジスタ S_{31b} は、反転信号 UPB がハイレベルであるときオフし、反転信号 UPB がローレベルであるときオンする。

20

【0045】

トランジスタ S_{32} は、PFD回路14から供給されるダウン信号 DN が入力されるゲートを有し、ダウン信号 DN の論理レベルに応じてオンオフする。トランジスタ S_{32} は、ダウン信号 DN がハイレベルであるときオンし、ダウン信号 DN がローレベルであるときオフする。

30

【0046】

トランジスタ S_{32b} は、PFD回路14から供給される反転信号 DNB が入力されるゲートを有し、反転信号 DNB の論理レベルに応じてオンオフする。反転信号 DNB は、ダウン信号 DN の論理レベルに対して反転した信号であり、ダウン信号 DN がハイレベルであるときローレベルであり、ダウン信号 DN がローレベルであるときハイレベルである。トランジスタ S_{32b} は、反転信号 DNB がハイレベルであるときオンし、反転信号 DNB がローレベルであるときオフする。

【0047】

CP回路10は、ダイオードMDと、トランジスタ $MC1$ 、 $MC2$ とを備えている。ダイオードMDは、ノードBに接続される一端を有するダイオードの一例である。図示の場合、ダイオードMDは、ダイオード接続されたトランジスタを有し、ダイオード接続されたトランジスタによってダイオードとして機能する回路である。トランジスタ $MC1$ 、 $MC2$ は、トランジスタ $M33$ 、 $M34$ よりも大きな定電流を生成してダイオードMDに定電流を流す電流生成回路の一例である。

40

【0048】

CP回路10は、ダイオードMDとトランジスタ $MC1$ 、 $MC2$ を備えることにより、ノードAとノードBとの電位差が所定値以下になるようにノードBの電圧を設定できる。また、ノードBの電圧がダイオードMDによって設定されるため、トランジスタ S_{31b} のオンによりノードBを介してダイオードMDに電流が流れ込んでも、ダイオードMDの順方向電圧で決まる一定値にノードBの電圧をクランプできる。

50

【 0 0 4 9 】

また、トランジスタM C 1 , M C 2 は、トランジスタM 3 3 , M 3 4 よりも大きな定電流を生成することによって、ノードBに接続されるトランジスタS 3 2 bのオンによりトランジスタM 3 3 , M 3 4 に電流が流れても、ダイオードM Dに流れる電流が不足することを防止できる。

【 0 0 5 0 】

トランジスタM C 1 に流れる定電流の電流値は、例えばトランジスタM C 1 のサイズをトランジスタM 3 3 よりも大きくすることにより、トランジスタM 3 3 に流れる定電流の電流値よりも大きくなるように設定可能である。同様に、トランジスタM C 2 に流れる定電流の電流値は、例えばトランジスタM C 2 のサイズをトランジスタM 3 4 よりも大きくすることにより、トランジスタM 3 4 に流れる定電流の電流値よりも大きくなるように設定可能である。

10

【 0 0 5 1 】

トランジスタM C 1 は、例えば、トランジスタM 3 1 の一端と同じ電源ノード5 0 に接続される一端を有する定電流回路の一例である。トランジスタM C 1 は、例えば、定電流源として機能するPチャネル型M O Sトランジスタであり、電源ノード5 0 に接続されるソースと、定電圧源6 0 に接続されるゲートと、トランジスタM C 2 のソースに接続されるドレインとを有する。

【 0 0 5 2 】

トランジスタM C 2 は、例えば、トランジスタM 3 2 のゲートと同じ定電圧源6 1 に接続されるゲートを有する定電流回路の一例である。トランジスタM C 2 は、例えば、定電流源として機能するPチャネル型M O Sトランジスタであり、トランジスタM C 1 のドレインに接続されるソースと、定電圧源6 1 に接続されるゲートと、ノードBに接続されるドレインとを有する。

20

【 0 0 5 3 】

なお、トランジスタM 3 1 , M 3 2 , M 3 3 , M 3 4 , M C 1 , M C 2 は、いずれも、図3に示す線形領域S 1ではなく飽和領域S 2で動作し、一定値の電流を流通させる定電流源として機能する。

【 0 0 5 4 】

ダイオードM Dは、例えば、ダイオード接続されたトランジスタが直列に複数接続された構成を有し、ノードBの電圧を一定値にクランプするクランプ回路である。図示のダイオードM Dは、ダイオード接続されたトランジスタM D 1と、ダイオード接続されたトランジスタM D 2とが直列に接続された構成を有している。トランジスタM D 1 , M D 2は、それぞれ、例えば、ゲートとドレインが接続された(すなわち、ダイオード接続された)Nチャネル型M O Sトランジスタである。

30

【 0 0 5 5 】

ダイオード接続されたトランジスタが直列に接続されるだけでは、ノードBの電圧を、ダイオード接続されたトランジスタの閾値電圧 V_{th} の整数倍の値にしか設定できず、連続的な任意の値に設定できない。そのため、ノードAとノードBとの電位差が最大で $(V_{th}/2)$ だけずれる。しかしながら、ノードAとノードBとの電位差が最大で $(V_{th}/2)$ だけずれていても、その電位差はトランジスタM 3 2 , M 3 4 のドレイン - ソース間の電圧 V_{ds} で吸収されるので、トランジスタM 3 1 の両端電圧 V_{ds1} 及びトランジスタM 3 3 の両端電圧 V_{ds3} の変動の抑制が可能となる。

40

【 0 0 5 6 】

ダイオード接続されたトランジスタの閾値電圧を V_{th} 、V C O回路1 8の出力周波数信号 f_{out} が目標周波数 f_{out}^* (= P L L回路1 2の出力目標値)に一致する時のV C O回路1 8の入力電圧を V_{in}^* (= L P F回路1 6の出力電圧 V_{out}^*)とする。このとき、ダイオード接続されたトランジスタがダイオードM Dにおいて直列に接続される個数 n は、

$$(n - 0.5) \times V_{th} < V_{in}^* < (n + 0.5) \times V_{th}$$

50

・・・式 1

を満たす正の整数が選択されるとよい。式 1 を満たす個数 n が選択されることにより、ノード A とノード B との電位差を最小化できる。なお、図示の場合、 $n = 2$ である。

【 0 0 5 7 】

図 8 は、PLL 回路 1 2 が備える VCO 回路 1 8 の入力電圧 V_{in} (すなわち、LPF 回路 1 6 の出力電圧 V_{out}) の、起動開始時 (時刻 $t = t_0$) からの時間波形の一例を示す図である。

【 0 0 5 8 】

PLL 回路 1 2 の起動時 (時刻 $t = t_0$ 以後) は、起動開始当初は出力周波数信号 f_{out} が目標周波数 f_{out}^* よりも低いので、CP 回路 1 0 が LPF 回路 1 6 に向けて電荷を送ることでその LPF 回路 1 6 が充電され、その出力電圧 V_{out} が徐々に上昇する。そして、出力周波数信号 f_{out} が目標周波数 f_{out}^* よりも高くなると、CP 回路 1 0 が LPF 回路 1 6 の電荷を引き込むことでその LPF 回路 1 6 が放電され、その出力電圧 V_{out} が徐々に低下する。かかる出力電圧 V_{out} の上昇と低下とが繰り返されることで出力周波数信号 f_{out} が目標周波数 f_{out}^* 付近で安定すると、出力電圧 V_{out} を所望の出力電圧 V_{out}^* 付近で一定に維持させることで出力周波数信号 f_{out} を目標周波数 f_{out}^* 付近で固定させる周波数ロックが行われる。

【 0 0 5 9 】

上記の周波数ロック開始後 (時刻 $t = t_L$ 以後) は、PLL 回路 1 2 において発振周波数の微調整が行われる。具体的には、CP 回路 1 0 が各トランジスタ S_{31} , S_{31b} , S_{32} , S_{32b} に対するスイッチ動作を以下の如く行う。

【 0 0 6 0 】

図 9 は、PLL 回路 1 2 が備える CP 回路 1 0 の動作の一例を示すタイムチャートである。

【 0 0 6 1 】

まず、出力電圧 V_{out} を一定に維持して出力周波数信号 f_{out} を固定させるべくトランジスタ S_{31} 及びトランジスタ S_{32} が共にオンされている状態から、その出力電圧 V_{out} を微減させるべくトランジスタ S_{31} がオンからオフへ切り替わる (時刻 t_1)。

【 0 0 6 2 】

トランジスタ S_{32} がオンされたままトランジスタ S_{31} がオンからオフへ切り替わると、同時にトランジスタ S_{31b} がオフからオンへ切り替わる。かかるスイッチ切り替えが行われると、トランジスタ M_{31} のソースとトランジスタ M_{32} のドレインとの間の電圧は、電源電圧 V_{CC} と出力電圧 V_{out} との電圧差 ($V_{CC} - V_{out}$) から電源電圧 V_{CC} とノード B での電圧 V_x との電圧差 ($V_{CC} - V_x$) へ変化する。

【 0 0 6 3 】

時刻 t_1 でのスイッチ切り替え時、トランジスタ M_{31} のドレイン電圧は ($V_{G1c} + V_{th}$) に保たれるため、ノード A とノード B との電位差 ($V_{out} - V_x$) は、トランジスタ M_{32} のドレイン - ソース間の電圧 V_{ds2} の上昇分として吸収される。よって、時刻 t_1 でのスイッチ切り替えの前後で、トランジスタ M_{31} の両端電圧 V_{ds1} の変動が抑制可能となるので、トランジスタ M_{31} を流れる一定のドレイン電流 I_{d1} の変化が小さく抑えられる。

【 0 0 6 4 】

また、上記の如くトランジスタ S_{31b} がオフからオンへ切り替わった際、トランジスタ S_{32b} はオフしたままである。この場合、そのスイッチ切り替え後、トランジスタ M_{31} を流れる一定のドレイン電流 I_{d1} はノード B を経由してダイオード MD に流入する。しかし、ノード B の電圧 V_x は、ダイオード MD の閾値 (この場合、 $2V_{th}$) でクランプされるので、ほとんど変化しない。

【 0 0 6 5 】

次に、トランジスタ S_{31} がオフしたままトランジスタ S_{32} がオンからオフへ切り替

10

20

30

40

50

わる（時刻 t_2 ）。

【0066】

トランジスタ S_{31} がオフしたままトランジスタ S_{32} がオンからオフへ切り替わり、同時にトランジスタ S_{32b} がオフからオンへ切り替わる。かかるスイッチ切り替えが行われると、トランジスタ M_{33} のソースとトランジスタ M_{34} のドレインとの間の電圧は、出力電圧 V_{out} と接地電圧との電圧差（すなわち、 V_{out} ）からノード B での電圧 V_x と接地電圧との電圧差（すなわち、 V_x ）へ変化する。

【0067】

時刻 t_2 でのスイッチ切り替え時、トランジスタ M_{33} のドレイン電圧は（ $V_{G2c} - V_{th}$ ）に保たれるため、ノード A とノード B との電位差（ $V_x - V_{out}$ ）は、トランジスタ M_{34} のドレイン - ソース間の電圧 V_{ds4} の降下分として吸収される。よって、時刻 t_2 でのスイッチ切り替えの前後で、トランジスタ M_{33} の両端電圧 V_{ds3} の変動が抑制可能となるので、トランジスタ M_{33} を流れる一定のドレイン電流 I_{d3} の変化が小さく抑えられる。

10

【0068】

また、上記の如くトランジスタ S_{32b} がオフからオンへ切り替わった際、トランジスタ S_{31b} はオンしたままである。この場合、そのスイッチ切り替え後、トランジスタ M_{31} から流出したドレイン電流 I_{d1} がトランジスタ S_{31b} を流れ、かつ、トランジスタ M_{33} に流入するドレイン電流 I_{d2} がトランジスタ S_{32b} を流れることで、ドレイン電流 I_{d1} とドレイン電流 I_{d2} とが相殺し合う。よって、ノード B 側からトランジスタ MD 側へ流れ込む電流はほとんどないので、トランジスタ MC_1 、 MC_2 からダイオード MD に流れ込む電流により、ノード B の電圧 V_x は、時刻 t_2 、 t_3 以降、ほとんど変化しない。

20

【0069】

次に、トランジスタ S_{31b} 及びトランジスタ S_{32b} が共にオンされている状態から、出力電圧 V_{out} を微増させるべくトランジスタ S_{31b} がオンからオフへ切り替わりと共にトランジスタ S_{31} がオフからオンへ切り替わる（時刻 t_4 ）。

【0070】

かかるスイッチ切り替えが行われると、トランジスタ M_{31} のソースとトランジスタ M_{32} のドレインとの間の電圧は、電源電圧 V_{CC} とノード B での電圧 V_x との電圧差（ $V_{CC} - V_x$ ）から電源電圧 V_{CC} と出力電圧 V_{out} との電圧差（ $V_{CC} - V_{out}$ ）へ変化する。

30

【0071】

時刻 t_4 でのスイッチ切り替え時、トランジスタ M_{31} のドレイン電圧は（ $V_{G1c} + V_{th}$ ）に保たれるため、ノード A とノード B との電位差（ $V_x - V_{out}$ ）は、トランジスタ M_{32} のドレイン - ソース間の電圧 V_{ds2} の降下分として吸収される。よって、時刻 t_4 でのスイッチ切り替えの前後で、トランジスタ M_{31} の両端電圧 V_{ds1} の変動が抑制可能となるので、トランジスタ M_{31} を流れる一定のドレイン電流 I_{d1} の変化が小さく抑えられる。

40

【0072】

また、上記の如くトランジスタ S_{31b} がオンからオフへ切り替わった際、トランジスタ S_{32b} はオンしたままである。この場合、そのスイッチ切り替え後、トランジスタ MC_1 、 MC_2 からの電流はノード B を経由してトランジスタ M_{33} に流入する。しかし、トランジスタ MC_1 、 MC_2 を流れる電流はトランジスタ M_{33} を流れる電流よりも大きいため、トランジスタ MC_1 、 MC_2 からの電流はダイオード MD にも流入する。よって、ノード B で発生しているダイオード MD の閾値（この場合、 $2V_{th}$ ）は維持される。

【0073】

次に、トランジスタ S_{31} がオンしたままトランジスタ S_{32} がオフからオンへ切り替わる（時刻 t_5 ）。

【0074】

50

トランジスタ S_{31} がオンしたままトランジスタ S_{32} がオフからオンへ切り替わると、同時にトランジスタ S_{32b} がオンからオフへ切り替わる。かかるスイッチ切り替えが行われると、トランジスタ M_{33} のソースとトランジスタ M_{34} のドレインとの間の電圧は、ノード B での電圧 V_x と接地電圧との電圧差（すなわち、 V_x ）から出力電圧 V_{out} と接地電圧との電圧差（すなわち、 V_{out} ）へ変化する。

【0075】

時刻 t_5 でのスイッチ切り替え時、トランジスタ M_{33} のドレイン電圧は（ $V_{G2c} - V_{th}$ ）に保たれるため、ノード A とノード B との電位差（ $V_{out} - V_x$ ）は、トランジスタ M_{34} のドレイン - ソース間の電圧 V_{ds4} の上昇分として吸収される。よって、時刻 t_5 でのスイッチ切り替えの前後で、トランジスタ M_{33} の両端電圧 V_{ds3} の変動が抑制可能となるので、トランジスタ M_{33} を流れる一定のドレイン電流 I_{d3} の変化が小さく抑えられる。

10

【0076】

また、上記の如くトランジスタ S_{32b} がオンからオフへ切り替わった際、トランジスタ S_{31b} はオフしたままである。この場合、そのスイッチ切り替え後、トランジスタ M_{31} 、 M_{33} からダイオード MD に流れ込む電荷はほとんどないので、トランジスタ MC_1 、 MC_2 からトランジスタ MD に流れ込む電流により、ノード B の電圧 V_x は、時刻 t_5 、 t_6 以降、ほとんど変化しない。

【0077】

このように、本実施例の PLL 回路 12 において、 PFD 回路 14 は、基準周波数信号 f_{ref} と出力周波数信号 f_{out} を分周比 N で分周したフィードバック周波数信号 f_{divout} との位相差に基づく制御信号（アップ信号 UP やダウン信号 DN など）を生成する。 CP 回路 10 は、 PFD 回路 14 からの制御信号に従って、スイッチ S_{31} 、 S_{31b} 、 S_{32} 、 S_{32b} をオン / オフ動作させる。かかるスイッチ動作が行われると、 CP 回路 10 のトランジスタ M_{31} 又はトランジスタ M_{33} から LPF 回路 16 に送られる電荷量が調整される。これにより、 VCO 回路 18 に入力される電圧が調整され、その VCO 回路 18 から出力される出力周波数信号 f_{out} が制御される。従って、本実施例の PLL 回路 12 によれば、低周波の基準周波数信号 f_{ref} を逡倍した高周波の出力周波数信号 f_{out} を出力することができる。

20

【0078】

また、本実施例の CP 回路 10 においては、出力電圧 V_{out} 又は PLL 回路 12 の出力周波数信号 f_{out} を調整すべく、トランジスタ S_{31} がオンからオフへ切り替わったときは、同時に、トランジスタ S_{31} のソースに接続されるソースを有するトランジスタ S_{31b} がオフからオンへ切り替わる。また、トランジスタ S_{31} がオフからオンへ切り替わったときは、同時に、トランジスタ S_{31b} がオンからオフへ切り替わる。同様に、トランジスタ S_{32} がオンからオフへ切り替わったときは、同時に、トランジスタ S_{32} のソースに接続されるソースを有するトランジスタ S_{32b} がオフからオンへ切り替わる。また、トランジスタ S_{32} がオフからオンへ切り替わったときは、同時に、トランジスタ S_{32b} がオンからオフへ切り替わる。

30

【0079】

上記のスイッチ切り替えが行われると、その切り替え前後で、トランジスタ M_{31} を流れた電流の経路がトランジスタ M_{31} の下流側においてトランジスタ S_{31} 側とトランジスタ S_{31b} 側との間で切り替わるので、トランジスタ M_{31} を電流が流れる状態が維持される。又は、トランジスタ M_{33} を流れる電流の経路がトランジスタ M_{33} の上流側においてトランジスタ S_{32} 側とトランジスタ S_{32b} 側との間で切り替わるので、トランジスタ M_{33} を電流が流れる状態が維持される。このため、本実施例によれば、スイッチ切り替え時にトランジスタ M_{31} 、 M_{33} がオフするのを防ぐことができるので、トランジスタ M_{31} 、 M_{33} の、定電流を流すうえでの追従性を向上させることができる。

40

【0080】

また、本実施例の CP 回路 10 において、トランジスタ M_{32} は、定電圧源 61 に接続

50

されるゲートを有し、定電流源として機能する。これにより、トランジスタ S_{31} , S_{31b} のうち一方がオンし他方がオフする際、ノード A とノード B の間の電位差により接続ノード C の電位が変動しても、トランジスタ M_{32} のゲート - ソース間の電圧 V_{gs} は、略一定である。したがって、トランジスタ S_{31} , S_{31b} のうち一方がオンし他方がオフする際、トランジスタ M_{31} の両端電圧 V_{ds1} の変動を抑制できるので、トランジスタ M_{31} に流れる定電流がトランジスタ M_{31} の両端電圧 V_{ds1} の変動により変動することを抑制できる。その結果、出力電圧 V_{out} 及び出力周波数信号 f_{out} の変動も抑制できる。

【0081】

同様に、本実施例の CP 回路 10 において、トランジスタ M_{34} は、定電圧源 63 に接続されるゲートを有し、定電流源として機能する。これにより、トランジスタ S_{32} , S_{32b} のうち一方がオンし他方がオフする際、ノード A とノード B の間の電位差により接続ノード D の電位が変動しても、トランジスタ M_{34} のゲート - ソース間の電圧 V_{gs} は、略一定である。したがって、トランジスタ S_{32} , S_{32b} のうち一方がオンし他方がオフする際、トランジスタ M_{33} の両端電圧 V_{ds3} の変動を抑制できるので、トランジスタ M_{33} に流れる定電流がトランジスタ M_{33} の両端電圧 V_{ds3} の変動により変動することを抑制できる。その結果、出力電圧 V_{out} 及び出力周波数信号 f_{out} の変動も抑制できる。

【0082】

また、本実施例の CP 回路 10 によれば、ノード A とノード B との電圧を一致させるため、図 1 のように、オペアンプや位相補償キャパシタなどを用いたフィードバック回路を採用しなくてもよくなる。

【0083】

オペアンプは、IC 内部で常に動作するため、消費電流を増大させる負荷となる。また、位相補償キャパシタは、発振抑制のために必要な素子であるが、一般的に数十 pF の容量値を有するため、IC 内部で多くの面積を要する。従って、本実施例によれば、トランジスタ M_{31} , M_{33} の電流出力の安定性の向上を、オペアンプや位相補償キャパシタなどを用いたフィードバック回路を採用した回路に比べて、簡素かつ安価な構成でコンパクトに実現することが可能である。

【0084】

以上、チャージポンプ回路及び PLL 回路を実施形態により説明したが、本発明は上記実施形態に限定されるものではない。他の実施形態の一部又は全部との組み合わせや置換などの種々の変形及び改良が、本発明の範囲内で可能である。

【符号の説明】

【0085】

10 チャージポンプ回路 (CP 回路)

12 PLL 回路

14 PFD 回路

16 LPF 回路

18 VCO 回路

20 DIV 回路

50 電源ノード (第 1 の電源ノードの一例)

52 接地ノード (第 2 の電源ノードの一例)

60 定電圧源 (第 3 の定電圧源の一例)

61 定電圧源 (第 1 の定電圧源の一例)

62 定電圧源 (第 4 の定電圧源の一例)

63 定電圧源 (第 2 の定電圧源の一例)

M_{31} トランジスタ (第 1 の定電流回路の一例)

M_{33} トランジスタ (第 2 の定電流回路の一例)

S_{31} トランジスタ (第 1 のハイサイドトランジスタの一例)

10

20

30

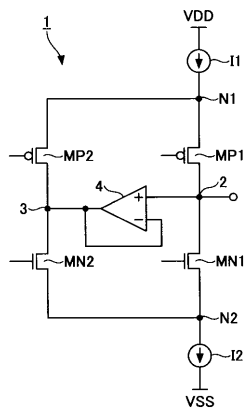
40

50

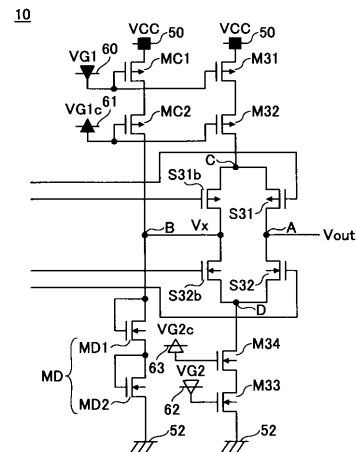
S 3 2 トランジスタ（第 1 のローサイドトランジスタの一例）
 S 3 1 b トランジスタ（第 2 のハイサイドトランジスタの一例）
 S 3 2 b トランジスタ（第 2 のローサイドトランジスタの一例）
 M 3 2 トランジスタ（第 3 のハイサイドトランジスタの一例）
 M 3 4 トランジスタ（第 3 のローサイドトランジスタの一例）
 C 接続ノード（第 1 の接続ノードの一例）
 D 接続ノード（第 2 の接続ノードの一例）
 f r e f 基準周波数
 f d i v o u t フィードバック周波数
 f o u t 出力周波数
 f o u t * 目標周波数
 V C C 電源電圧
 V o u t 出力電圧
 V x 入力端子 B での電圧

10

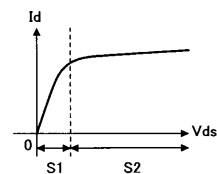
【図 1】



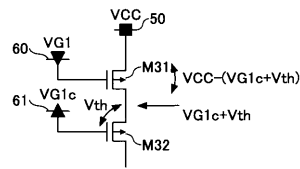
【図 2】



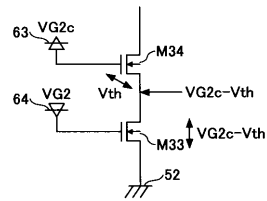
【図 3】



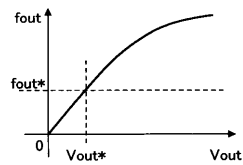
【図 4】



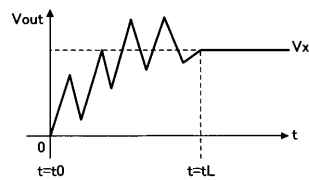
【図 5】



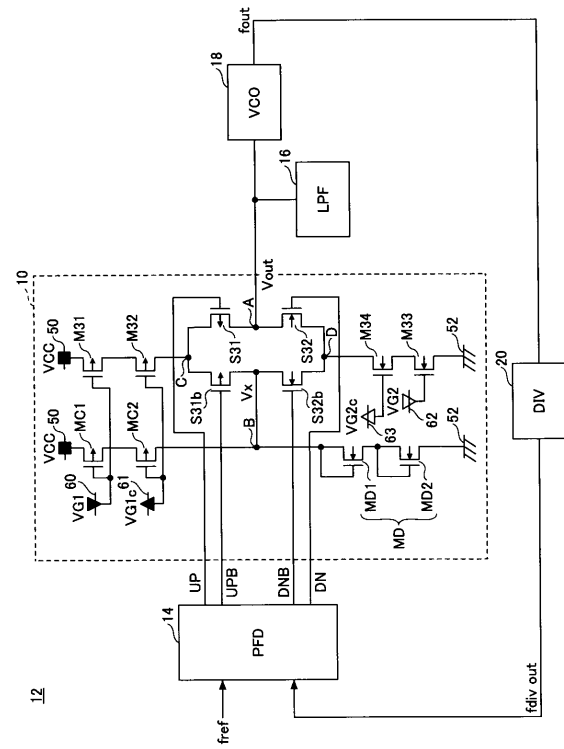
【図 7】



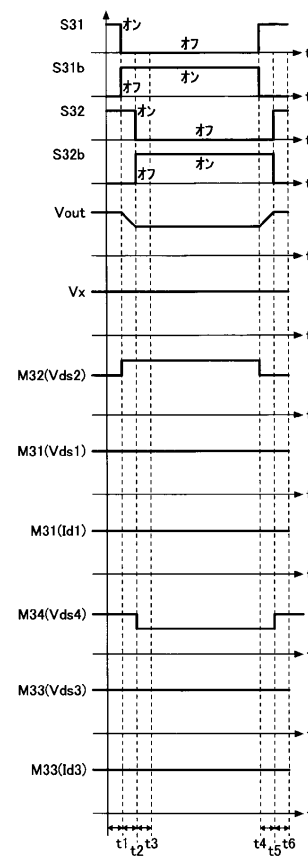
【図 8】



【図 6】



【図 9】



フロントページの続き

- (56)参考文献 特開平 1 0 - 1 5 4 9 3 1 (J P , A)
特開 2 0 0 7 - 2 9 5 1 8 0 (J P , A)
特開 2 0 0 9 - 2 0 0 7 0 3 (J P , A)
特開 2 0 0 2 - 1 8 5 2 9 0 (J P , A)
特開 2 0 1 2 - 0 0 3 6 7 8 (J P , A)
特開 2 0 0 8 - 0 5 4 0 3 4 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
H 0 3 L 7 / 0 9 3