

POPIS VYNÁLEZU

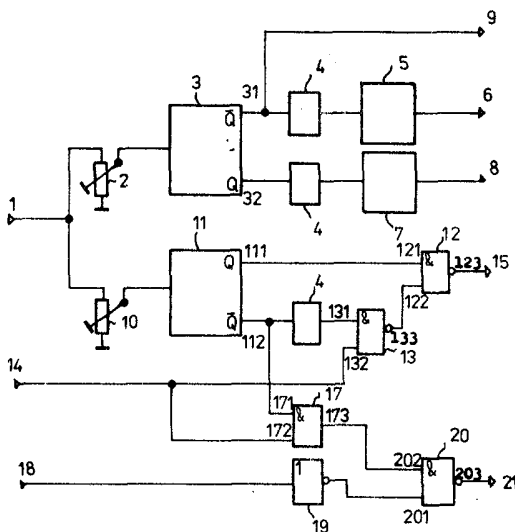
K AUTORSKÉMU OSVĚDČENÍ

G 06 F 9/22

(45) Vydáno 15 02 89

BEZDÍČEK JAN, ŘEHÁK JAROSLAV ing., PŘELOUČ

Řešení tvoří komplexní systém pro zajištění běžícího programu v mikro počítači podle obr. 1. Chronologie činnosti: při výpadku nebo poklesu síťového napětí dojde k přerušení běžícího programu a uložení potřebných informací do zálohované paměti RWM, podle potřeby uživatele k dalším nutným činnostem mikro počítače. Zálohovaná paměť RWM a mikroprocesor se zablokuje. Při vzestupu síťového napětí proběhne podle potřeby uživatele činnost nutná pro výpadku a potom program pokračuje v místě, kde byl přerušen výpadkem. Novost spočívá v komplexnosti hardware a software, v programové kontrole a případné korekci činnosti mikro počítače, jinak ovládaného jen hardwarem. To činí celý systém odolný proti poruchám a schopný úspěšně řešit libovolný průběh výpadku, nebo kolísání síťového napětí.



Vynález řeší zapojení pro zajištění běžícího programu mikropočítače při výpadcích napájení.

Doposud známá zapojení nejsou plně spolehlivá a jsou zabezpečována pouze vlastním zapojením napájecích obvodů mikropočítače. Tato zapojení jsou citlivá na vnější průmyslová rušení a nejsou schopna řešit libovolný průběh výpadku napájecího napětí.

Výše uvedené nedostatky dosud známých zapojení pro zajištění běžícího programu mikropočítače při výpadcích napájení odstraňuje zapojení podle vynálezu, jehož podstata spočívá v tom, že mezi vstup pro napájecí napětí a řídicí výstupy RST2 a RST1 je zapojen první odporový trimr, první komparátor s hysterezí, filtry a monostabilní klopné obvody. Mezi negovaným výstupem prvního komparátoru s hysterezí a filtrem je výstup pro čtení INFKO. Na vstup pro napájecí napětí je zároveň zapojen druhý odporový trimr, jenž je spojen s druhým komparátorem s hysterezí, jehož výstup je spojen s prvním vstupem prvního logického členu NAND a negovaný výstup je spojen přes filtr na první vstup druhého logického členu NAND.

Výstup druhého logického členu NAND je spojen na druhý vstup prvního logického NAND, jehož výstup je spojen na řídicí výstup RESET. Vstup ovládání OVLMP je zapojen do druhého vstupu druhého logického členu NAND a do druhého vstupu logického členu AND, jehož první vstup je zapojen na negovaný výstup druhého komparátoru s hysterezí. Výstup logického členu AND je spojen s druhým vstupem třetího logického členu NAND, jehož první vstup je přes invertor zapojen na vstup pro výběr a výstup je spojen na výstup pro výběr paměti.

Výhodou zapojení je snížení citlivosti na vnější průmyslová rušení a zvýšení spolehlivosti systému, v němž je zapojení podle vynálezu použito a který je pak schopen řešit libovolný průběh výpadku napájení v závislosti na čase a úrovni. To je zabezpečeno jednak vlastním zapojením, jednak programovým vybavením, které provede vždy před zásahem do činnosti mikropočítače kontrolu a korekci této kontroly, což činí systém odolný proti poruchám a chybám.

Na připojených výkresech je znázorněno zapojení a činnost zapojení pro zajištění běžícího programu mikropočítače při výpadcích napájení. Na obr. 1 je vlastní zapojení zabezpečovacího obvodu, na obr. 2a a 2b jsou znázorněny průběhy výstupů komparátorů s hysterezí v závislosti na úrovni napětí.

Podle obr. 1 mezi vstup 1 napájecího napětí a řídicí výstupy 6 a 8 přerušení je zapojen odporový trimr 2, komparátor s hysterezí 3, filtry 4 a monostabilní klopné obvody 5 a 7. Negovaný výstup 31 komparátoru s hysterezí 3 je vyveden jako výstup pro čtení mikropočítačem 9. Mezi vstup 1 napájecího napětí a řídicí výstup 15 RESET je zapojen odporový trimr 10, komparátor s hysterezí 11 a dvouvstupový logický člen NAND 12.

Vstup 121 logického členu NAND 12 je spojen s výstupem 111 komparátoru s hysterezí 11. Negovaný výstup 112 komparátoru s hysterezí 11 je spojen přes filtr 4 se vstupem dvouvstupového logického členu NAND 13, jehož výstup je spojen se vstupem 122 logického členu NAND 12. Do druhého vstupu 131 logického členu NAND 13 je zapojen vstup 14 pro ovládání mikropočítačem.

Vstup 18 je zapojen přes invertor 19 do vstupu 201 logického členu NAND 20, jehož výstup je vyveden na řídicí výstup 21 pro řízení pamětí. Negovaný výstup 112 komparátoru s hysterezí 11 a vstup 14 je spojen se vstupy 171 a 172 logického členu AND 17, jehož výstup je spojen se vstupem 202 logického členu NAND 20.

Funkce zapojení spočívá v tom, že na vstup 1 je přivedeno napájecí napětí. Vstupní napětí je vedeno přes odporový trimr 2 na komparátor s hysterezí 3, jehož charakteristika je na obr. 2a. Na výstupech komparátoru s hysterezí 3 jsou zapojeny filtry 4 a monostabilní klopné obvody 5 a 7, které generují řídicí signály přerušovacího systému mikropočítače RST1 a RST2. Při poklesu napájecího napětí nebo při jeho následném vzestupu vyhodnotí komparátor s hysterezí 3 tyto změny a způsobí překlopení monostabilních klopných obvodů 5 a 7, na jejichž vý-

stupech 6 a 8 se pak objeví signál hlášení těchto změn napájecího napětí. Filtry 4 ovlivňují citlivost reakce na krátkodobé změny a poruchy. Negovaný výstup 31 komparátoru s hysterezí 3 je veden na výstup 9 pro čtení mikropočítačem. Tento výstup 9 slouží k programové kontrole činnosti. Výsledek kontroly ovlivňuje výslednou činnost systému a také signál na vstupu 14 pro ovládání mikropočítačem, který blokuje řídicí výstupy 15 a 21.

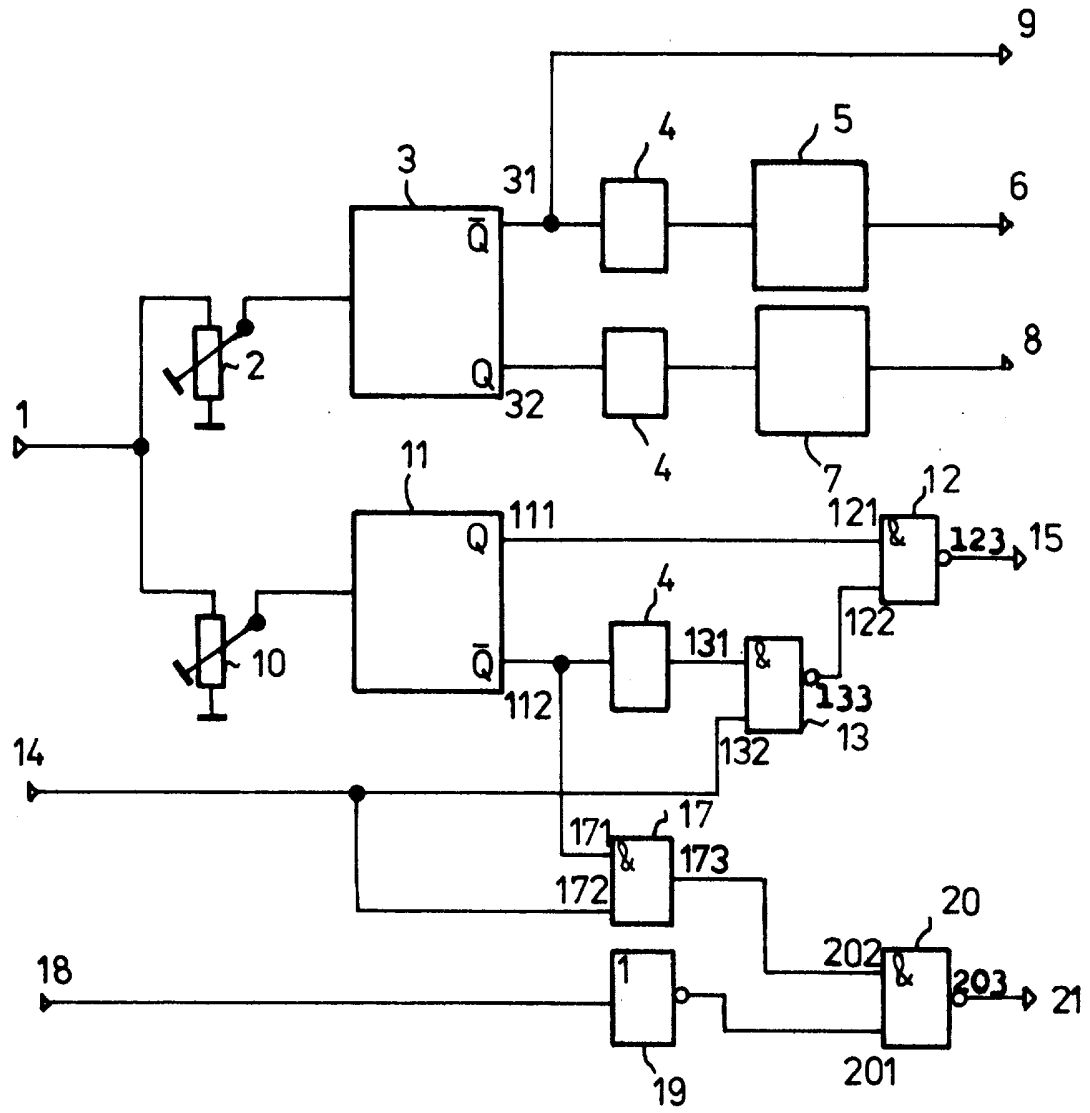
Vstupní napětí je také vedeno na odporový trimr 10. Výstup odporového trimru 10 je zapojen na komparátor s hysterezí 11, jehož charakteristika je na obr. 2b. Poklesne-li vstupní napětí pod nastavenou hodnotu komparátoru s hysterezí 11, tuto změnu vyhodnotí a výsledkem je signál RESET na řídicím výstupu 15, který zastaví činnost mikroprocesoru. Signál z komparátoru s hysterezí 11 je též veden na logický člen NAND 20 přes logický člen 17. Výstup 21, který je výstupem logického členu NAND 20 ovládá zálohované paměti.

Zapojení pro zajištění běžícího programu mikropočítače při výpadcích napájení je určeno zejména pro systémy, kdy výpadek napájecího napětí nenaruší probíhající činnost a po skončení výpadku pokračuje systém v činnosti.

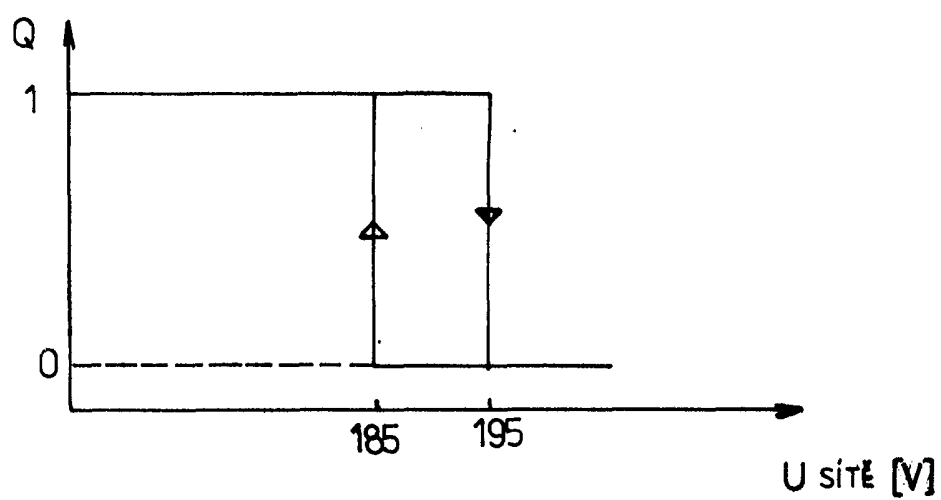
P Ř E D M Ě T V Y N Á L E Z U

Zapojení pro zajištění běžícího programu mikropočítače při výpadcích napájení vyznačené tím, že mezi vstup pro napájecí napětí (1) a řídicí výstupy RST2 (6) a RST1 (8) je zapojen první odporový trimr (2), první komparátor s hysterezí (3), filtry (4) a monostabilní klopné obvody (5) a (7), přičemž mezi negovaným výstupem (31) komparátoru s hysterezí (3) a filtrem (4) je výstup pro čtení INFKO (9), a zároveň je na vstup pro napájecí napětí (1) zapojen druhý odporový trimr (10), jenž je spojen s druhým komparátorem s hysterezí (11), jehož výstup (111) je spojen s prvním vstupem (121) prvního logického členu NAND (12) a negovaný výstup (112) je spojen přes filtr (4) na první vstup (131) druhého logického členu NAND (13), jehož výstup (133) je spojen na druhý vstup (122) prvního logického členu NAND (12), jehož výstup (123) je spojen na řídicí výstup RESET (15), a současně je vstup ovládací OVLMP (14) zapojen do druhého vstupu (132) druhého logického členu NAND (13) a do druhého vstupu (172) logického členu AND (17), jehož první vstup (171) je zapojen na negovaný výstup (112) druhého komparátoru s hysterezí (11) a výstup (173) je spojen s druhým vstupem (202) třetího logického členu NAND (20), jehož první vstup (201) je přes invertor (19) zapojen na vstup pro výběr (18) a výstup (203) je spojen na výstup pro výběr paměti (21).

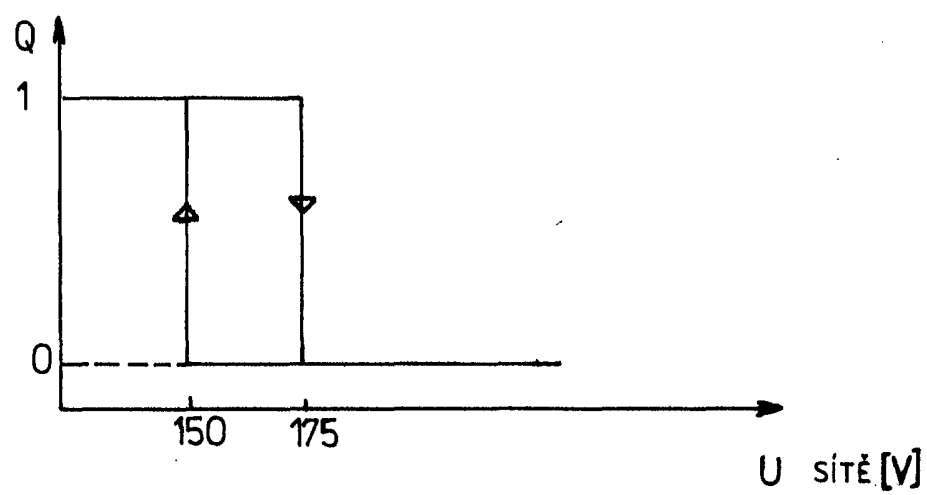
2 výkresy



Обр. 1



Obr. 2a



Obr. 2b