(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G11C 11/15

(45) 공고일자 2005년08월23일
(11) 등록번호 10-0509527
(24) 등록일자 2005년08월12일

(21) 출원번호 10-2002-0070316
(22) 출원일자 2002년11월13일

(65) 공개번호 10-2003-0040129
(43) 공개일자 2003년05월22일

(30) 우선권주장 JP-P-2001-00350013 2001년11월15일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바
일본국 도쿄도 미나또꾸 시바우라 1쪼메 1방 1고

(72) 발명자 이와따요시히사
일본가나가와껭가와사끼시사이와이꾸고무까이도시바쪼1가부시끼가이샤도시바마이크로일렉트로닉스센터내

(74) 대리인 주성민
구영창

심사관 : 오응기

(54) 자기 랜덤 액세스 메모리 및 그 판독 방법

요약

1회째 판독에서는, 1 컬럼 내 또는 1 블록 내의 병렬 접속된 복수의 TMR 소자에 판독 전류를 흘려, 이니셜 데이터를 검출한다. 이 후, 선택된 메모리 셀에 대하여, 시행(試行) 데이터의 기입이 실행된다. 시행 데이터의 기입과 동시 또는 이것에 병행하여, 2회째 판독이 행해진다. 2회째 판독에서는 1 컬럼 내 또는 1 블록 내의 병렬 접속된 복수의 TMR 소자에 판독 전류를 흘리고, 비교 데이터를 판독한다. 계속하여, 이니셜 데이터와 비교 데이터를 비교하여, 선택된 메모리 셀의 데이터 값을 판단한다. 마지막으로, 선택된 메모리 셀에 대하여, 재기입을 행한다.

대표도

도 1

색인어

시행, 이니셜, 드라이버, 싱커

명세서

도면의 간단한 설명

도 1은 본 발명의 참고예에 따른 자기 랜덤 액세스 메모리를 도시하는 도면.

도 2는 본 발명의 참고예에 따른 파괴 판독 동작 원리를 도시하는 파형도.

도 3은 본 발명의 개량예 1에 따른 자기 랜덤 액세스 메모리를 도시하는 도면.

도 4는 도 3의 메모리의 1 컬럼분을 도시하는 도면.

도 5는 본 발명의 개량예 2에 따른 메모리의 1 컬럼분을 도시하는 도면.

도 6은 기입 워드선 드라이버/싱커의 일례를 도시하는 도면.

도 7은 컬럼 디코더의 일례를 도시하는 도면.

도 8은 컬럼 디코더의 다른 일례를 도시하는 도면.

도 9는 판독 컬럼 디코더의 일례를 도시하는 도면.

도 10은 판독 컬럼 디코더의 다른 일례를 도시하는 도면.

도 11은 기입 컬럼 디코더의 일례를 도시하는 도면.

도 12는 기입 비트선 드라이버/싱커의 일례를 도시하는 도면.

도 13은 기입 비트선 드라이버/싱커의 다른 일례를 도시하는 도면.

도 14는 개량예 1, 2의 파괴 판독 동작 원리의 일례를 도시하는 파형도.

도 15는 개량예 1, 2의 파괴 판독 동작 원리의 다른 예를 도시하는 파형도.

도 16은 개량예 1, 2의 개량된 파괴 판독 동작 원리의 일례를 도시하는 파형도.

도 17은 본 발명의 개량예 3에 따른 자기 랜덤 액세스 메모리를 도시하는 도면.

도 18은 도 17의 메모리의 1 컬럼분을 도시하는 도면.

도 19는 본 발명의 개량예 4에 따른 메모리의 1 컬럼분을 도시하는 도면.

도 20은 기입 워드선 드라이버/싱커의 일례를 도시하는 도면.

도 21은 판독 워드선 드라이버의 일례를 도시하는 도면.

도 22는 판독 워드선 드라이버의 다른 일례를 도시하는 도면.

도 23은 컬럼 디코더의 일례를 도시하는 도면.

도 24는 컬럼 디코더의 다른 일례를 도시하는 도면.

도 25는 판독 컬럼 디코더의 일례를 도시하는 도면.

도 26은 판독 컬럼 디코더의 다른 일례를 도시하는 도면.

도 27은 기입 컬럼 디코더의 일례를 도시하는 도면.

도 28은 기입 비트선 드라이버/싱커의 일례를 도시하는 도면.

도 29는 기입 비트선 드라이버/싱커의 다른 일례를 도시하는 도면.

도 30은 로우 디코더의 일례를 도시하는 도면.

도 31은 개량예 3, 4의 파괴 판독 동작 원리의 일례를 도시하는 파형도.

도 32는 개량예 3, 4의 파괴 판독 동작 원리의 다른 예를 도시하는 파형도.

도 33은 개량예 3, 4의 개량된 파괴 판독 동작 원리의 일례를 도시하는 파형도.

도 34는 본 발명의 개량예 5에 따른 자기 랜덤 액세스 메모리를 도시하는 도면.

도 35는 도 34의 메모리의 1 컬럼분을 도시하는 도면.

도 36은 본 발명의 개량예 6에 따른 자기 랜덤 액세스 메모리를 도시하는 도면.

도 37은 도 36의 메모리의 1 컬럼분을 도시하는 도면.

도 38은 판독 컬럼 디코더의 일례를 도시하는 도면.

도 39는 판독 컬럼 디코더의 다른 예를 도시하는 도면.

도 40은 기입 컬럼 디코더의 일례를 도시하는 도면.

도 41은 개량예 6의 디바이스 구조의 일례를 도시하는 도면.

도 42는 판독 회로의 회로예 1을 도시하는 도면.

도 43은 판독 회로의 회로예 2를 도시하는 도면.

도 44는 판독 회로의 회로예 3을 도시하는 도면.

도 45는 감지 증폭기의 일례를 도시하는 도면.

도 46은 감지 증폭기 내의 차동 증폭기의 일례를 도시하는 도면.

도 47은 감지 증폭기 내의 차동 증폭기의 다른 예를 도시하는 도면.

도 48은 감지 증폭기의 다른 일례를 도시하는 도면.

도 49는 판독 회로 내의 연산 증폭기의 일례를 도시하는 도면.

도 50은 판독 회로 내의 연산 증폭기의 다른 예를 도시하는 도면.

도 51은 판독 회로의 회로예 4를 도시하는 도면.

도 52는 BGR 회로의 일례를 도시하는 도면.

도 53은 오실레이터의 일례를 도시하는 도면.

도 54는 샘플 홀드 회로의 일례를 도시하는 도면.

도 55는 카운터 트리거 회로의 일례를 도시하는 도면.

도 56은 카운터 구동 회로의 일부분을 도시하는 도면.

도 57은 카운터 구동 회로의 일부분을 도시하는 도면.

도 58은 카운터 구동 회로의 일부분을 도시하는 도면.

도 59는 카운터 구동 회로의 일부분을 도시하는 도면.

도 60은 카운터 구동 회로의 일부분을 도시하는 도면.

도 61은 카운터 구동 회로의 일부분을 도시하는 도면.

도 62는 카운터 구동 회로의 일부분을 도시하는 도면.

도 63은 카운터 구동 회로의 일부분을 도시하는 도면.

도 64는 카운터의 일례를 도시하는 도면.

도 65는 도 64의 카운터 내의 블록의 일례를 도시하는 도면.

도 66은 DAC의 일례를 도시하는 도면.

도 67은 판독 회로의 회로예 5를 도시하는 도면.

도 68은 인덕턴스 소자의 일례를 도시하는 도면.

도 69는 인덕턴스 소자의 일례를 도시하는 도면.

도 70은 판독 회로의 회로예 6을 도시하는 도면.

도 71은 판독 회로의 회로예 7을 도시하는 도면.

도 72는 판독 회로의 회로예 8을 도시하는 도면.

도 73은 부가 전류 생성부의 일례를 도시하는 도면.

〈도면의 주요 부분에 대한 부호의 설명〉

11 : 메모리 셀 어레이

12 : TMR 소자

13 : 로우 디코더 전류원 & 전류 싱커

14 : 전류원 & 전류 싱커

15 : 제1 데이터 전송선

16 : 제2 데이터 전송선

17 : 전압원 & 전류원

18 : 기입 선택 스위치

19 : 판독 선택 스위치

20 : 감지 저항

21 : 컬럼 디코더

22 : 감지 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 자기 저항(Magneto Resistive) 효과를 이용하여 "1", "0" 데이터를 기억하는 자기 랜덤 액세스 메모리(MRAM: Magnetic Random Access Memory)에 관한 것이다.

최근, 새로운 원리에 의해 데이터를 기억하는 메모리가 수많이 제안되어 있는데, 그 중의 하나로, 터널 자기 저항(Tunneling Magneto Resistive: 이후, TMR와 표기함) 효과를 이용하여 "1", "0" 데이터를 기억하는 자기 랜덤 액세스 메모리가 있다.

자기 랜덤 액세스 메모리의 제안으로서는, 예를 들면 Roy Scheuerlein et. al에 의한, ISSCC2000 Technical Digest p. 128「A 10ns Read and Write Non-Volatile Memory Array Using a Magnetic Tunnel Junction and FET Switch in each Cell」이 알려져 있다.

자기 랜덤 액세스 메모리는 TMR 소자에 의해, "1", "0" 데이터를 기억한다. TMR 소자의 기본 구조는 2개의 자성층(강자성층) 사이에 절연층(터널 배리어)을 끼운 구조이다. 단, TMR 소자의 구조에 대해서는 MR(Magneto Resistive)비의 최적화 등을 위해, 다양한 구조가 제안되어 있다.

TMR 소자에 기억되는 데이터는 2개의 자성층의 자화 상태가 평행인지나, 반평행인지에 따라 판단된다. 여기서, 평행은 2개의 자성층의 자화의 방향이 동일한 것을 의미하고, 반평행은 2개의 자성층의 자화의 방향이 역 방향인 것을 의미한다.

통상, 2개의 자성층 중의 1개(고정층)에는 반강자성층이 부설된다. 반강자성층은 고정층의 자화의 방향을 고정하기 위한 부재이다. 따라서, 실제로는 2개의 자성층 중의 다른 1개(자유층)의 자화의 방향에 따라, TMR 소자에 기억되는 데이터("1" 또는 "0")가 결정된다.

TMR 소자의 자화 상태가 평행하게 된 경우, 그 TMR 소자를 구성하는 2개의 자성층의 사이에 끼워진 절연층(터널 배리어)의 터널 저항은 가장 낮게 된다. 예를 들면, 이 상태를 "1" 상태로 한다. 또한, TMR 소자의 자화 상태가 반평행하게 된 경우, 그 TMR 소자를 구성하는 2개의 자성층의 사이에 끼워진 절연층(터널 배리어)의 터널 저항은 가장 비싸게 된다. 예를 들면, 이 상태를 "0" 상태로 한다.

다음에, TMR 소자에 대한 기입/판독 동작 원리에 대하여 간단히 설명한다.

TMR 소자는 상호 교차하는 기입 워드선과 데이터 선택선(비트선)과의 교점에 배치된다. 그리고, 기입은 기입 워드선 및 데이터 선택선에 전류를 흘려, 양 배선에 흐르는 전류에 의해 만들어지는 자계를 이용하여, TMR 소자의 자유층의 자화의 방향을 결정함으로써 달성된다.

예를 들면, 기입 시, 기입 워드선에는 한 방향으로 향하는 전류만을 흘리고, 기입 비트선에는 기입 데이터에 따라, 한쪽 측 또는 다른 쪽측을 향하는 전류를 흘린다. 기입 비트선에 한쪽 측을 향하는 전류를 흘릴 때, 기입 워드선과 기입 비트선의 교점에 배치된 TMR 소자의 자화 상태는 평행("1" 상태)이 된다. 한편, 기입 비트선에 다른 쪽측을 향하는 전류를 흘릴 때, 기입 워드선과 기입 비트선의 교점에 배치된 TMR 소자의 자화 상태는 반평행("0" 상태)이 된다.

판독은 예를 들면, 선택된 TMR 소자에 판독 전류를 흘려, 그 선택된 TMR 소자의 저항값을 검출함으로써 행한다.

판독 동작 원리는 자기 랜덤 액세스 메모리의 어레이 구조에 따라 크게 변화한다. 하나의 TMR 소자에 하나의 스위칭 소자를 직렬 접속한 어레이 구조의 경우에는, 선택된 리드 워드선에 접속되는 스위칭 소자를 온 상태로 하여, 선택된 TMR 소자에 판독 전류를 흘린다. 이 판독 전류를 감지 증폭기로 유도하고, 선택된 TMR 소자의 저항값을 판독하면, 그 TMR 소자의 데이터를 판단할 수 있다.

그러나, 판독에 관해서는 하나의 큰 문제가 있다.

판독 전류는 TMR 소자 내의 절연층(터널 배리어)을 통과하여 흐르기 때문에, TMR 소자의 저항값은 그 절연층의 두께에 크게 의존한다. 구체적으로는, TMR 소자의 저항값은 TMR 소자 내의 절연층의 두께의 변화분에 대하여 대수적으로 변화한다.

즉, 현재, 보고되어 있는 TMR 소자 내의 터널 배리어의 두께는, 수 ㎚ 정도이지만, 복수의 TMR 소자 사이에서, 터널 배리어의 두께의 변동이 커질수록, 저항값의 변동에 관해서는 대수적으로 커진다.

따라서, 자기 랜덤 액세스 메모리에서는, 예를 들면 NOR형 플래시 메모리로 채용되어 있는 기준 셀을 이용한 감지 방식을 채용하는 것이 곤란하게 된다.

만일, 자기 랜덤 액세스 메모리에 있어서, 선택된 TMR 소자의 저항값과 기준 셀의 저항값을 차동 감지 증폭기에 의해 비교하여, 선택된 TMR 소자에 기억된 데이터를 판독하고자 하면, 데이터가 터널 배리어의 두께의 변동에 의한 노이즈에 파묻히지 않도록 할 필요가 있다.

즉, MR비(자기 저항 변화율)에 의해 결정되는 TMR 소자의 저항 변화분(자화 상태가 평행일 때의 저항값과 반평행일 때의 저항값의 차) ΔR을, TMR 소자 및 기준 셀의 저항값의 변동보다 충분히 크게 해야 한다.

그러나, 현재, 실현할 수 있는 MR비는 일반적으로는 20~40%이고, 최대로도, 50% 정도이다. 이 정도의 MR비에서는 양산 시의 제조 마진이나 수율 등을 고려하면, 노이즈에 파묻히지 않은 충분히 큰 TMR 소자의 저항 변화분 ΔR를 얻는다, 라는 목적을 달성할 수 없다.

상술의 판독에 관한 문제를 해결하기 위한 제안의 하나로서, 2개의 TMR 소자에 1 비트의 데이터를 기억시키는 기술, 즉 2개의 TMR 소자의 한쪽에 바른 데이터를 기억시키고, 다른 쪽에 역의 데이터를 기억시키고, 판독 시에 양자의 데이터를 비교하는 기술이 알려져 있다. 이 기술에서는 실질적으로, MR비에 의한 저항 변화분 ΔR를 2배로 할 수 있다.

그러나, 이 경우, 2개의 TMR 소자에 1 비트의 데이터를 기억시키기 때문에, 당연히, 메모리 용량의 증대에는 불리하게 된다. 또한, 이 기술에서는 복수의 TMR 소자 사이의 저항값의 변동에 의한 영향이 없어진 것은 아니므로, 복수의 TMR 소자 사이의 저항값의 변동의 크기에 따라서는, 아직, TMR 소자의 저항 변화분 ΔR이 충분히 크다고 할 수는 없다.

발명이 이루고자 하는 기술적 과제

그런데, 판독에 관한 문제, 즉 복수의 TMR 소자 사이의 저항값의 변동에 관한 문제를 해결함과 함께, 메모리 셀의 고집적화, 메모리 용량의 대용량화 등에도 유리하게 되는 획기적인 기술이 미국 출원 09/961,326에 제안되어 있다.

이 기술을 채용한 자기 랜덤 액세스 메모리는 복수의 TMR 소자를 병렬로 접속한 어레이 구조를 갖는다.

판독 시, 병렬 접속된 복수의 TMR 소자에 판독 전류를 흘려, 그 때의 복수의 TMR 소자의 저항값을 감지 증폭기에 의해 검출한다. 이 후, 복수의 TMR 소자중 선택된 TMR 소자에 소정 데이터를 기입한다. 이 후, 다시, 병렬 접속된 복수의 TMR 소자에 판독 전류를 흘려, 그 때의 복수의 TMR 소자의 저항값을 감지 증폭기에 의해 검출한다.

먼저 검출된 복수의 TMR 소자의 저항값과 후에 검출된 복수의 TMR 소자의 저항값을 비교하여, 양자가 실질적으로 동일하면, 선택된 TMR 소자의 데이터는 소정 데이터라고 판단되고, 다르면, 선택된 TMR 소자의 데이터는 소정 데이터의 값과 반대의 값을 갖는 데이터라고 판단된다.

이 판독 동작 원리에 따르면, 판독 시에 복수의 TMR 소자 사이의 저항값의 변동에 상관없이, 선택된 TMR 소자의 저항값(또는 MR비)을 정확하게 판독할 수 있다. 따라서, 이 판독 동작 원리를 채용한 자기 랜덤 액세스 메모리는 실현성이 높다고 할 수 있다.

또, 이 판독 동작 원리에서는, 판독에 있어서, 선택된 TMR 소자에 기억된 데이터가 파괴되는 경우가 있다(파괴 판독). 따라서, 선택된 TMR 소자의 데이터값을 판단한 후, 그 TMR 소자에 대하여, 데이터의 재기입을 행할 필요가 있다.

이와 같이 미국 출원 09/961,326에 제안되는 기술은, 매우 유효한데, 기입 드라이버 등의 기입 회로 및 감지 증폭기 등의 판독 회로에 대하여 구체적으로 제안되어 있다. 또한, 자기 랜덤 액세스 메모리의 어레이 구조나 판독 동작 원리에 대해서도, 실현성을 더욱 높게 하기 위한 개량이 필요하다.

발명의 구성 및 작용

(1) 본 발명의 일 양태에 따르면, 자기 저항 효과를 이용하여 데이터를 기억하는 메모리 셀을 포함하는 자기 랜덤 액세스 메모리의 판독 방법에 있어서, 상기 메모리 셀에 제1 판독 전류를 흘리고, 상기 메모리 셀에 대하여 미리 정해진 값을 갖는 기입 데이터를 기입함과 동시 또는 이것에 병행하여, 상기 메모리 셀에 제2 판독 전류를 흘리고, 상기 제1 및 제2 판독 전류의 차 또는 시간 에 대한 변화량을 검출하여, 상기 메모리 셀의 데이터를 판단한다.

(2) 본 발명의 제1 양태에 따르면, 상호 병렬 접속되는 자기 저항 효과를 이용하여 데이터를 기억하는 복수의 메모리 셀; 상기 복수의 메모리 셀의 일단에 접속되어, 제1 방향으로 연장되는 비트선; 상기 비트선에 기입 전류를 공급하거나, 상기 비트선으로부터 상기 기입 전류를 흡수하는 제1 및 제2 기입 비트선 드라이버/싱커와, 상기 비트선의 일단과 상기 제1 기입 비트선 드라이버/싱커 사이에 접속되는 제1 스위치와, 상기 비트선의 타단과 상기 제2 기입 비트선 드라이버/싱커 사이에 접속되는 제2 스위치와, 상기 비트선에 판독 전류를 공급하는 판독 회로, 및 상기 제1 방향에 직교하는 제2 방향으로 연장되는 복수의 기입 워드선을 포함하는 자기 랜덤 액세스 메모리가 제공된다.

본 발명의 제2 양태에 따르면, 자기 저항 효과를 이용하여 데이터를 기억하는 메모리 셀과, 상기 메모리 셀에 판독 전류를 공급하는 전류원과, 상기 판독 전류 또는 상기 판독 전류에 비례한 전류를 기억하는 기억 회로, 및 상기 판독 전류 또는 상기 판독 전류에 비례한 전류와 상기 기억 회로에 기억된 전류에 기초하여, 상기 메모리 셀의 데이터를 판단하는 감지 증폭기를 포함하는 자기 랜덤 액세스 메모리가 제공된다.

본 발명의 기타 목적 및 특징은, 첨부 도면을 참조한 이하의 실시예를 통해 명백해질 것이다.

이하, 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

본 발명의 추가적인 목적 및 장점은 아래의 상세한 설명에 의해 명백해질 것이다.

〈실시예〉

1. 참고예

도 1은 본 발명의 참고예로서의 자기 랜덤 액세스 메모리의 주요부를 도시하고 있다.

메모리 셀 어레이(11)는, X 방향 및 Y 방향으로 어레이형으로 배치되는 복수의 TMR 소자(12)를 갖는다. X 방향으로 배치되는 TMR 소자(12)의 근방에는 X 방향으로 연장되는 기입 워드선 WL0, WL1, … WL11이 배치된다. 기입 워드선 WL0, WL1, … WL11의 일단은, 로우 디코더, 전류원 및 전류 싱커를 포함하는 회로 블록(13)에 접속되고, 그 타단은 전류원 및 전류 싱커를 포함하는 회로 블록(14)에 접속된다.

전류 싱커는, 전류원에서 발생한 전류를 흡수하는 회로이다.

Y 방향으로 배치되는 TMR 소자(12)는 제1 데이터 전송선(15)과 제2 데이터 전송선(16) 사이에 병렬로 접속된다. 제1 데이터 전송선(15)의 일단은 전압원 및 전류원을 포함하는 회로 블록(17)에 접속되고, 그 타단은 기입 선택 스위치(MOS 트랜지스터)(18)를 경유하여, 접지점에 접속된다. 제2 데이터 전송선(16)의 일단은 판독 선택 스위치(MOS 트랜지스터)(19) 및 감지 저항(20)을 경유하여, 접지점에 접속된다.

컬럼 디코더(21)는 기입/판독 선택 스위치(18, 19)의 게이트에 접속된다. 감지 회로(22)는 감지 저항(20)의 양단에 접속되어, 감지 저항(20)의 양단 사이의 전압을 검출한다.

다음으로, 도 2의 타이밍차트를 참조하면서, 도 1의 자기 랜덤 액세스 메모리의 판독 동작 원리에 대하여 설명한다.

이하에 설명하는 판독 동작은 4개의 사이클로 구성된다.

① 제1 사이클에서는 이니셜 데이터의 판독을 행한다. 여기서, 이니셜 데이터는, 선택된 TMR 소자의 데이터의 값을 판단하기 위해서 필요한 기준 데이터를 의미한다.

우선, 선택된 TMR 소자(12)를 포함하는 선택된 컬럼에 접속되는 판독 선택 스위치(19)를 온 상태로 한다. 컬럼은, Y 방향으로 배치되고, 상호 병렬 접속되는 복수의 TMR 소자의 그룹이다. 그 결과, 회로 블록(17) 내의 전류원에서 발생한 판독 전류는 선택된 컬럼의 복수의 TMR 소자(12) 및 감지 저항(20)을 경유하여, 접지점으로 흐른다.

판독 전류가 흐르고 있는 상태에서, 감지 저항(20)의 양단의 사이에 발생하는 전압은, 선택된 컬럼을 구성하는 병렬 접속된 복수의 TMR 소자(12)의 합성 저항에 의존한다. 따라서, 감지 회로(22)를 이용하여, 감지 저항(20)의 양단 사이에 발생하는 전압을 검출하면, 이니셜 데이터를 검출할 수 있다. 이니셜 데이터는 감지 회로(22)에 기억된다.

이 후, 판독 선택 스위치(19)를 오프 상태로 한다.

② 제2 사이클에서는 선택된 TMR 소자(12)에 대하여, 시행 데이터의 기입을 행한다. 여기서, 시행 데이터는, 기준 데이터와 비교하는 비교 데이터를 얻기 위해서, 선택된 TMR 소자에 기입선하는 미리 정해진 값을 갖는 데이터이고, 구체적으로는 "1" 또는 "0"이 된다.

우선, 선택된 TMR 소자(12)를 포함하는 선택된 컬럼에 접속되는 기입 선택 스위치(18)를 온 상태로 한다. 그 결과, 회로 블록(17) 내의 전류원에서 발생한 기입 전류는, 선택된 컬럼의 제1 데이터 전송선(15) 및 기입 선택 스위치(18)를 경유하여, 접지점으로 흐른다.

또한, 선택된 TMR 소자(12)를 포함하는 선택된 로우에 근접하여 배치되는 기입 워드선으로 기입 전류를 흘린다. 기입 워드선으로 흘리는 기입 전류의 방향은 시행 데이터의 값에 의해 결정된다. 또, 로우는, X 방향으로 배치되는 복수의 TMR 소자(12)의 그룹이다.

그 결과, 선택된 TMR 소자(12)에는, 시행 데이터("1" 또는 "0")가 기입된다. 이 후, 기입 선택 스위치(18)를 오프 상태로 하여, 제1 데이터 전송선(15)에 흐르는 기입 전류를 차단한다. 또한, 선택된 로우에 근접하여 배치되는 기입 워드선에 흐르는 기입 전류도 차단한다.

③ 제3 사이클에서는 비교 데이터의 판독을 행한다. 여기서, 비교 데이터는, 기준 데이터와의 비교에 의해, 선택된 TMR 소자의 데이터의 값을 판단하기 위한 데이터를 의미한다.

우선, 선택된 TMR 소자(12)를 포함하는 선택된 컬럼에 접속되는 판독 선택 스위치(19)를 온 상태로 한다. 그 결과, 회로 블록(17) 내의 전류원에서 발생한 판독 전류는 선택된 컬럼의 복수의 TMR 소자(12) 및 감지 저항(20)을 경유하여 접속점에 흐른다.

판독 전류가 흐르고 있는 상태에서, 감지 저항(20)의 양단의 사이에 발생하는 전압은 선택된 컬럼을 구성하는 병렬 접속된 복수의 TMR 소자의 합성 저항에 의존한다. 따라서, 감지 회로(22)를 이용하여, 감지 저항(20)의 양단 사이에 발생하는 전압을 검출하면, 비교 데이터를 검출할 수 있다.

이 후, 감지 회로(22)는 이니셜 데이터와 비교 데이터를 비교하여, 선택된 TMR 소자(12)의 데이터의 값을 판단한다.

즉, 이니셜 데이터와 비교 데이터가 동일하다고 판단된 경우에는, 시행 데이터의 기입에 의해 선택된 TMR 소자(12)의 저항값이 변하지 않은 것을 의미하므로, 선택된 TMR 소자(12)의 데이터의 값은, 시행 데이터의 값과 동일한 값이라고 판단된다.

반대로, 이니셜 데이터와 비교 데이터가 다른 것으로 판단된 경우에는, 시행 데이터의 기입에 의해 선택된 TMR 소자(12)의 저항값이 변화한 것을 의미하므로, 선택된 TMR 소자(12)의 데이터의 값은, 시행 데이터의 값과 역의 값을 갖는다고 판단된다.

예를 들면, 시행 데이터가 "1"의 경우, 이니셜 데이터와 비교 데이터가 동일하면, 선택된 TMR 소자(12)의 데이터는 "1"이라고 판단되고, 이니셜 데이터와 비교 데이터가 다르면, 선택된 TMR 소자(12)의 데이터는 "0"이라고 판단된다.

또한, 시행 데이터가 "0"의 경우, 이니셜 데이터와 비교 데이터가 동일하면, 선택된 TMR 소자(12)의 데이터는 "0"이라고 판단되고, 이니셜 데이터와 비교 데이터가 다르면, 선택된 TMR 소자(12)의 데이터는 "1"이라고 판단된다.

이와 같이 하여, 선택된 TMR 소자(12)의 데이터의 값이 결정된다.

이 후, 판독 선택 스위치(19)를 오프 상태로 한다.

④ 제4 사이클에서는 선택된 TMR 소자(12)에 대하여, 데이터의 재기입을 행한다.

본 예의 판독 동작 원리에서는 제2 사이클에 있어서, 시행 데이터가, 선택된 TMR 소자에 기입된다. 즉, 이 때, 선택된 TMR 소자의 데이터는 파괴되게 된다(파괴 판독).

따라서, 선택된 TMR 소자의 데이터의 값을 판단한 후, 선택된 TMR 소자(12)에 대하여, 데이터의 재기입을 행할 필요가 있다.

우선, 선택된 TMR 소자(12)를 포함하는 선택된 컬럼에 접속되는 기입 선택 스위치(18)를 온 상태로 한다. 그 결과, 회로 블록(17) 내의 전류원에서 발생한 기입 전류는 선택된 컬럼의 제1 데이터 전송선(15) 및 기입 선택 스위치(18)를 경유하여, 접지점으로 흐른다.

또한, 선택된 TMR 소자(12)를 포함하는 선택된 로우에 근접하여 배치되는 기입 워드선에 기입 전류를 흘린다. 기입 워드선에 흘리는 기입 전류의 방향은 제3 사이클에 의해 판단되는 선택된 TMR 소자의 데이터의 값에 의해 결정된다.

그 결과, 선택된 TMR 소자(12)에는 당초의 바른 데이터가 기입된다. 이 후, 기입 선택 스위치(18)를 오프 상태로 하여, 제1 데이터 전송선(15)에 흐르는 기입 전류를 차단한다. 또한, 선택된 로우에 근접하여 배치되는 기입 워드선에 흐르는 기입 전류도 차단한다.

이상, 참고예에 따른 자기 랜덤 액세스 메모리에서는, 소위 파괴 판독 동작 원리를 채용하고 있다. 따라서, 판독 시에 복수의 TMR 소자 사이의 저항값의 변동에 상관없이, 선택된 TMR 소자의 저항값(또는 MR비)을 정확하게 판독할 수 있다.

2. 개량예

참고예에서는 파괴 판독 동작 원리와 이 원리가 적용된 자기 랜덤 액세스 메모리의 일례에 대하여 설명하였다.

이하에서는 파괴 판독 동작 원리를 적용하는 것이 가능한 개량된 자기 랜덤 액세스 메모리와, 개량된 파괴 판독 동작 원리에 대하여, 각각 상세히 설명한다.

(1) 개량예 1

도 3은 본 발명의 개량예 1로서의 자기 랜덤 액세스 메모리의 주요부를 나타내고 있다. 도 4는 도 3의 자기 랜덤 액세스 메모리에 관하여 1 컬럼분만을 나타내고 있다.

이 개량예 1에 따른 자기 랜덤 액세스 메모리는 어레이 구조에 관해서는 참고예와 동일하다. 개량예 1은 참고예와 비교하면, 기입/판독을 위한 주변 회로에 특징을 갖는다.

메모리 셀 어레이(11)는, X 방향 및 Y 방향으로 어레이형으로 배치되는 복수의 TMR 소자(12)를 갖는다. X 방향으로 배치되는 TMR 소자(12)의 근방에는 X 방향으로 연장되는 복수 라인(본 예에서는 12개)의 기입 워드선 WL0, WL1, … WL11이 배치된다. 기입 워드선 WL0, WL1, … WL11의 일단은 기입 워드선 드라이버(23)에 접속되고, 그 타단은 기입 워드선 싱커(24)에 접속된다.

로우 디코더(25)는, 기입 동작 시, 로우 어드레스 신호에 기초하여, 기입 워드선 WL0, WL1, … WL11 중 1개를 선택한다. 기입 워드선 드라이버(23)는 선택된 기입 워드선에 기입 전류를 공급한다. 기입 전류는 선택된 워드선을 흘러, 기입 워드선 싱커(24)에 흡수된다.

Y 방향으로 배치되는 TMR 소자(12)는 제1 데이터 전송선(비트선)(26)과 제2 데이터 전송선(27) 사이에 병렬로 접속된다.

제1 데이터 전송선(26)의 일단은, 컬럼 선택 스위치(MOS 트랜지스터) SW를 경유하여, 공통 데이터선(28)에 접속된다. 공통 데이터선(28)은 판독 회로(감지 증폭기를 포함함), 기입 비트선 드라이버 및 기입 비트선 싱커를 포함하는 회로 블록(29)에 접속된다.

제1 데이터 전송선(26)의 타단은 컬럼 선택 스위치(MOS 트랜지스터) SW를 경유하여, 공통 드라이버선(30)에 접속된다. 공통 드라이버선(30)은 기입 비트선 드라이버 및 기입 비트선 싱커를 포함하는 회로 블록(31)에 접속된다.

컬럼 선택 스위치 SW의 게이트에는 컬럼 선택선 신호 CSL0, CSL1, …CSL7이 입력된다. 컬럼 디코더(32)는 컬럼 선택 스위치 SW에 대응하여 설치되고, 컬럼 선택선 신호 CSL0, CSL1, … CSL7을 출력한다. 제2 데이터 전송선(27)은 접지점에 접속된다.

본 예의 자기 랜덤 액세스 메모리에서는, 기입 동작 시, 선택된 기입 워드선에는, 기입 워드선 드라이버(23)로부터 기입 워드선 싱커(24)를 향하는 기입 전류가 흐른다. 또한, 선택된 컬럼에 있어서는, 제1 데이터 전송선(비트선)에 기입 전류가 흐른다. 제1 데이터 전송선에 흐르는 기입 전류의 방향은 기입 데이터의 값에 따라 변한다.

판독 동작 시, 선택된 컬럼에 있어서는, 회로 블록(29)으로부터, 제1 데이터 전송선, 복수의 TMR 소자 및 제2 데이터 전송선을 경유하여, 접지점에 판독 전류가 흐른다. 회로 블록(29) 내의 감지 증폭기는 판독 전류가 흐르고 있는 동안 복수의 TMR 소자의 합성 저항에 따른 판독 데이터를 검출한다.

또, 본 예의 자기 랜덤 액세스 메모리를 이용한 판독 동작 원리의 상세에 대해서는 후술한다.

(2) 개량예 2

도 5는 본 발명의 개량예 2로서의 자기 랜덤 액세스 메모리의 주요부를 도시하고 있다. 도 5에서는 도 4에 대응시켜, 메모리 셀 어레이의 1 컬럼분만을 나타내고 있다.

이 개량예 2에 따른 자기 랜덤 액세스 메모리는 개량예 1과 비교하면, 1 컬럼분의 TMR 소자의 배치에 특징을 갖는다. 즉, 개량예 1에서는 1 컬럼 내의 TMR 소자는 Y 방향으로 일렬로 배치되어 있지만, 개량예 2에서는 1 컬럼 내의 TMR 소자는 Z 방향으로 일렬로 배치되어 있다.

여기서, Z 방향은, X 방향 및 Y 방향에 직교하는 지면에 수직인 방향을 의미하는 것으로 한다. 즉, 도 5의 TMR 소자는 실제로는 지면에 수직인 방향으로 상호 중첩하고 있다.

메모리 셀 어레이(11)는 X 방향 및 Z 방향으로 어레이형으로 배치되는 복수의 TMR 소자(12)를 갖는다. 본 예에서는 TMR 소자(12)는 Z 방향으로 8단으로 중첩되어 있다. TMR 소자(12)의 근방에는 X 방향으로 연장되고, Z 방향으로 중첩되는 복수 라인(본 예에서는 8개)의 기입 워드선 WL0, WL1, … WL7이 배치된다.

예를 들면, 1단째(최하단)에 배치된 TMR 소자(MTJ(Magnetic Tunnel Junction) 0)의 근방에는 기입 워드선 WL0이 배치되고, 2단째에 배치된 TMR 소자(MTJ1)의 근방에는 기입 워드선 WL1이 배치되고, 8단째(최상단)에 배치된 TMR 소자(MTJ7)의 근방에는 기입 워드선 WL7이 배치된다.

기입 워드선 WL0, WL1, … WL7의 일단은 기입 워드선 드라이버(23)에 접속되고, 그 타단은 기입 워드선 싱커(24)에 접속된다.

로우 디코더(25)는 기입 동작 시, 로우 어드레스 신호에 기초하여, 기입 워드선 WL0, WL1, … WL7 중 1개를 선택한다. 기입 워드선 드라이버(23)는 선택된 기입 워드선에 기입 전류를 공급한다. 기입 전류는 선택된 워드선을 흘러, 기입 워드선 싱커(24)에 흡수된다.

Z 방향으로 배치되는 TMR 소자(12)는 상호 병렬로 접속된다. TMR 소자(12)의 일단은 제1 데이터 전송선(비트선 BLi)(26)에 접속되고, 그 타단은 접지점에 접속된다.

제1 데이터 전송선(26)의 일단은 컬럼 선택 스위치(MOS 트랜지스터) SWA를 경유하여, 공통 데이터선(28)에 접속된다. 공통 데이터선(28)은 판독 회로(감지 증폭기를 포함함)(29B)에 접속된다.

본 예의 자기 랜덤 액세스 메모리에서는 Y 방향으로 연장되는 기입 시에만 사용하는 기입선(33)이 메모리 셀 어레이(11) 내에 새롭게 설치되어 있다. 이 기입선(33)은 예를 들면, Z 방향의 8개의 TMR 소자(12)에 대응시켜 8개 설치해도 되지만, 본 예에서는 2개의 TMR 소자에 1개의 기입선(33)을 대응시키고 있다. 즉, 1 컬럼 내의 기입선(33)은 4개로 되어 있다.

기입선(33)의 일단은 컬럼 선택 스위치(MOS 트랜지스터) SWB를 경유하여, 공통 드라이버선(30A)에 접속된다. 공통 드라이버선(30A)은 기입 비트선 드라이버 및 기입 비트선 싱커를 포함하는 회로 블록(29A)에 접속된다.

기입선(33)의 타단은 컬럼 선택 스위치(MOS 트랜지스터) SWB를 경유하여, 공통 드라이버선(30B)에 접속된다. 공통 드라이버선(30B)은 기입 비트선 드라이버 및 기입 비트선 싱커를 포함하는 회로 블록(31)에 접속된다.

컬럼 선택 스위치 SWA의 게이트에는 컬럼 선택선 신호 CSLj(j=0, 1, … 7)가 입력된다. 판독 컬럼 디코더(32A)는 컬럼 선택 스위치 SWA에 대응하여 설치되고, 컬럼 선택선 신호 CSLj를 출력한다.

컬럼 선택 스위치 SWB의 게이트에는 컬럼 선택선 신호 CSLjk(j=0, 1, … 7, k=0, 1, 2, 3)가 입력된다. 기입 컬럼 디코더(32B)는 컬럼 선택 스위치 SWB에 대응하여 설치되고, 컬럼 선택선 신호 CSLjk를 출력한다.

본 예의 자기 랜덤 액세스 메모리에서는 1 컬럼을 구성하는 복수의 TMR 소자(메모리 셀)가 가로 방향(Y 방향), 즉 반도체 기판의 표면에 대하여 평행한 방향이 아니고, 세로 방향(Z 방향), 즉 반도체 기판의 표면에 대하여 수직인 방향으로 배치되어 있다.

따라서, 개량예 2는 개량예 1에 비하여, TMR 소자(메모리 셀)를 고집적화하는 데 적합한 어레이 구조를 갖는다.

(3) 개량예 1, 2의 주변 회로의 예

① 기입 워드선 드라이버/싱커

우선, 개량예 1, 2(도 3, 도 4 및 도 5)의 기입 워드선 드라이버(23) 및 기입 워드선 싱커(24)의 회로예에 대하여 설명한다.

기입 워드선 드라이버(23) 및 기입 워드선 싱커(24)에 대해서는 개량예 1, 2에서 동일한 것을 사용할 수 있다.

도 6은 기입 워드선 드라이버/싱커의 일례를 도시하고 있다.

기입 워드선 드라이버(23)는 OR 회로 OR1, NAND 회로 ND1 및 P 채널 MOS 트랜지스터 P1로 구성된다. 기입 워드선 싱커(24)는 N 채널 MOS 트랜지스터 N1로 구성된다. N 채널 MOS 트랜지스터 N1의 게이트에는 전원 전위 VDD가 입력되어 있다.

OR 회로 OR1에는 기입 신호 WRITE, 트라이얼 신호 TRIAL 및 재기입 신호 REWRITE가 입력된다.

기입 신호 WRITE는 선택된 TMR 소자에 대한 통상의 기입 동작 시에 "H(High)"로 되는 신호이다. 트라이얼 신호 TRIAL은 판독 동작(파괴 판독 동작) 시에, 선택된 TMR 소자에, 소위 시행 데이터를 기입할 때에 "H"로 되는 신호이다. 재기입 신호 REWRITE는 판독 동작(파괴 판독 동작) 시에, 선택된 TMR 소자에 바른 데이터를 재기입할 때에 "H"로 되는 신호이다.

이들 3개의 신호 WRITE, TRIAL, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR1의 출력 신호는 "H"로 된다.

NAND 회로 ND1에는 OR 회로 OR1의 출력 신호 및 로우 어드레스 신호(로우 i)가 입력된다. 로우 i(기입 워드선 WLi)를 선택할 때, 로우 어드레스 신호(로우 i)의 모든 비트는 "H"로 된다. 따라서, 로우 i가 선택되고, 또한 3개의 신호 WRITE, TRIAL, REWRITE 중 어느 1개가 "H"일 때, NAND 회로 ND1의 출력 신호는 "L"로 된다.

NAND 회로 ND1의 출력 신호가 "L"로 되면, P 채널 MOS 트랜지스터 P1이 온 상태로 되므로, 기입 전류는 전원 단자 VDD로부터, 기입 워드선 WLi를 경유하여, 기입 워드선 싱커(24)에 흐른다.

또, 로우 i 이외의 로우에 대해서는 로우 어드레스 신호 중 적어도 1비트가 "L"로 되므로, 로우 i 이외의 로우에 존재하는 기입 워드선에는 기입 전류가 흐르지 않는다.

② 컬럼 디코더

개량예 1(도 3 및 도 4)의 컬럼 디코더(32)의 회로예에 대하여 설명한다. 도 7은 컬럼 디코더의 일례를 도시하고 있다.

컬럼 디코더(32)는 OR 회로 OR2, AND 회로 AD1로 구성된다. OR 회로 OR2에는 판독 신호 READ1, READ2, 기입 신호 WRITE, 트라이얼 신호 TRIAL 및 재기입 신호 REWRITE가 입력된다.

기입 신호 WRITE, 트라이얼 신호 TRIAL 및 재기입 신호 REWRITE는 도 6의 기입 워드선 드라이버(23)에 입력되는 기입 신호 WRITE, 트라이얼 신호 TRIAL 및 재기입 신호 REWRITE와 동일하다.

판독 신호 READ1, READ2는 판독 동작(파괴 판독 동작) 시에, 선택된 컬럼을 구성하는 복수의 TMR 소자의 합성 저항의 값을 판독할 때에 "H"로 되는 신호이다. 예를 들면, 상술한 바와 같이 통상의 파괴 판독 동작 원리에서는 2회의 판독 동작(도 2의 제1 및 제2 사이클)이 필요하게 된다. 즉, 판독 신호 READ1은 제1 사이클에 있어서 "H"로 되고, 판독 신호 READ2는 제3 사이클에 있어서 "H"로 된다.

이들 5개의 신호 READ1, READ2, WRITE, TRIAL, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR2의 출력 신호는 "H"로 된다.

AND 회로 AD1에는 OR 회로 OR2의 출력 신호 및 컬럼 어드레스 신호(컬럼 j를 지정함)가 입력된다. 컬럼 j(비트선 BLj)를 선택할 때, 컬럼 어드레스 신호(컬럼 j를 지정함)의 모든 비트는 "H"로 된다. 따라서, 컬럼 j가 선택되고, 또한 5개의 신호 READ1, READ2, WRITE, TRIAL, REWRITE 중 어느 1개가 "H"일 때, AND 회로 AD1의 출력 신호는 "H"로 된다.

AND 회로 AD1의 출력 신호가 "H"로 되면, 도 4의 컬럼 선택 스위치(N 채널 MOS 트랜지스터) SW가 온 상태가 된다. 이 때문에, 기입 동작 시에는 기입 전류가 비트선 BLj에 흐르고, 판독 동작 시에는 판독 전류가 복수의 TMR 소자에 흐른다.

도 8은 컬럼 디코더의 다른 예를 도시하고 있다.

도 8의 컬럼 디코더(32)는 도 7의 컬럼 디코더(32)와 비교하면, 판독 신호 READ1, READ2가 없어지고, 그 대신에, 판독 신호 READ가 추가된 점에 특징을 갖는다.

이 컬럼 디코더(32)는 도 2에서 설명한 파괴 판독 동작 원리를 개량한 새로운 파괴 판독 동작 원리를 자기 랜덤 액세스 메모리에 적용하는 경우에 사용되는 것이다.

이 새로운 파괴 판독 동작 원리에 대해서는 후에 상술하지만, 그 특징을 간단히 설명하면, 이 파괴 판독 동작 원리에서는 도 2의 제2 사이클과 제3 사이클을 1개의 사이클에 통합하고 있다.

따라서, 컬럼 디코더(32)에는, 예를 들면 2개의 판독 신호 READ1, READ2 대신에, 도 2의 제1 사이클로 "H"로 되는 판독 신호 READ가 입력된다.

③ 판독/기입 컬럼 디코더

개량예 2 (도 5)의 판독/기입 컬럼 디코더(32A, 32B)의 회로예에 대하여 설명한다.

도 9는 판독 컬럼 디코더의 일례를 도시하고 있다.

판독 컬럼 디코더(32A)는 OR 회로 OR3, AND 회로 AD2로 구성된다. OR 회로 OR3에는 판독 신호 READ1, READ2가 입력된다.

판독 신호 READ1, READ2는 판독 동작(파괴 판독 동작) 시에, 선택된 컬럼을 구성하는 복수의 TMR 소자의 합성 저항의 값을 판독할 때에 "H"가 되는 신호이다. 예를 들면, 상술한 바와 같이 통상의 파괴 판독 동작 원리에서는 2회의 판독 동작(도 2의 제1 및 제2 사이클)이 필요하게 된다. 즉, 판독 신호 READ1은 제1 사이클에 있어서 "H"로 되고, 판독 신호 READ2는 제3 사이클에 있어서 "H"로 된다.

이들 2개의 신호 READ1, READ2 중 어느 1개가 "H"로 되면, OR 회로 OR3의 출력 신호는 "H"로 된다.

AND 회로 AD2에는 OR 회로 OR3의 출력 신호 및 컬럼 어드레스 신호(컬럼 j를 지정함)가 입력된다. 컬럼 j(비트선 BLj)를 선택할 때, 컬럼 어드레스 신호(컬럼 j를 지정함)의 모든 비트는 "H"로 된다. 따라서, 컬럼 j가 선택되고, 또한 2개의 신호 READ1, READ2 중 어느 1개가 "H"일 때, AND 회로 AD2의 출력 신호는 "H"로 된다.

AND 회로 AD2의 출력 신호가 "H"로 되면, 도 5의 컬럼 선택 스위치(N 채널 MOS 트랜지스터) SWA가 온 상태가 된다. 이 때문에, 판독 동작 시에는 판독 전류가 복수의 TMR 소자에 흐른다.

도 10은 판독 컬럼 디코더의 다른 예를 도시하고 있다.

도 10의 판독 컬럼 디코더(32A)는 도 9의 판독 컬럼 디코더(32A)와 비교하면, 판독 신호 READ1, READ2가 없어지고, 그 대신에 판독 신호 READ 및 트라이얼 신호 TRIAL이 추가된 점에 특징을 갖는다.

이 판독 컬럼 디코더(32A)는, 도 2에서 설명한 파괴 판독 동작 원리를 개량한 새로운 파괴 판독 동작 원리를 자기 랜덤 액세스 메모리에 적용하는 경우에 사용되는 것이다.

이 새로운 파괴 판독 동작 원리에 대해서는 후에 상세히 설명하지만, 그 특징을 간단히 설명하면, 이 파괴 판독 동작 원리에서는 도 2의 제2 사이클과 제3 사이클을 하나의 사이클로 통합하고 있다.

따라서, 판독 컬럼 디코더(32A)에는, 예를 들면 2개의 판독 신호 READ1, READ2 대신, 도 2의 제1 사이클로 "H"로 되는 판독 신호 READ 및 제2 사이클로 "H"로 되는 트라이얼 신호 TRIAL이 입력된다.

도 11은 기입 컬럼 디코더의 일례를 도시하고 있다.

기입 컬럼 디코더(32B)는 OR 회로 OR4, AND 회로 AD3으로 구성된다. OR 회로 OR4에는 기입 신호 WRITE, 트라이얼 신호 TRIAL 및 재기입 신호 REWRITE가 입력된다.

기입 신호 WRITE, 트라이얼 신호 TRIAL 및 재기입 신호 REWRITE는 도 6의 기입 워드선 드라이버(23)에 입력되는 기입 신호 WRITE, 트라이얼 신호 TRIAL 및 재기입 신호 REWRITE와 동일하다.

이들 3개의 신호 WRITE, TRIAL, REWRITE 중 어느 하나가 "H"로 되면, OR 회로 OR4의 출력 신호는 "H"로 된다.

AND 회로 AD3에는 OR 회로 OR4의 출력 신호 및 컬럼 어드레스 신호(컬럼 j를 지정함)가 입력된다. 컬럼 어드레스 신호는 상위 컬럼 어드레스 신호와 하위 컬럼 어드레스 신호로 구성된다.

상위 컬럼 어드레스 신호는 하나의 컬럼을 선택한다. 하위 컬럼 어드레스 신호는 선택된 컬럼 내에 존재하는 Z 방향으로 중첩된 복수의 TMR 소자를 선택하기 위해서 사용된다. 도 5의 예에서는 TMR 소자는 Z 방향으로 8단으로 중첩되고, 이들을 선택하기 위해서 4개의 기입선(33)을 설치하고 있다. 이 때문에, 하위 컬럼 어드레스 신호는 2 비트로 한다.

컬럼 어드레스 신호에 의해 컬럼 j 내의 (k+ 1)단째 TMR 소자가 선택되고, 또한 3개의 신호 WRITE, TRIAL, REWRITE 중 어느 하나가 "H"일 때, AND 회로 AD3의 출력 신호는 "H"로 된다.

AND 회로 AD3의 출력 신호가 "H", 즉 컬럼 선택선 신호 CSLjk가 "H"로 되면, 도 5의 컬럼 선택 스위치(N 채널 MOS 트랜지스터) SWB가 온 상태로 된다. 이 때문에, 기입 동작 시에는 기입 전류가 도 5의 기입선(33) 중의 1개에 흐른다.

또, 도 11의 기입 컬럼 디코더는 통상의 파괴 판독 원리 및 새로운 파괴 판독 원리의 어느 원리를 자기 랜덤 액세스 메모리에 적용하는 경우에도 사용할 수 있다.

④ 기입 비트선 드라이버/싱커

개량예 1, 2(도 3, 도 4 및 도 5)의 기입 비트선 드라이버/싱커(29, 31)의 회로예에 대하여 설명한다.

기입 비트선 드라이버/싱커(29, 31)에 대해서는 개량예 1, 2에서 동일한 것을 사용할 수 있다.

A. 도 12는 기입 비트선 드라이버/싱커의 일례를 도시하고 있다.

본 예의 기입 비트선 드라이버/싱커는 파괴 판독 동작 원리(예를 들면, 도 2 참조)의 제2 사이클로, 선택된 TMR 소자에 기입하는, 소위 시행 데이터가 "1"의 경우에 대응하고 있다.

a. 기입 비트선 드라이버/싱커(29)

기입 비트선 드라이버/싱커(29)는 OR 회로 OR5, OR6, OR7, AND 회로 AD4, AD5, NAND 회로 ND2, 인버터 회로 I1, P 채널 MOS 트랜지스터 P2 및 N 채널 MOS 트랜지스터 N2로 구성된다.

기입 비트선 드라이버는 OR 회로 OR5, NAND 회로 ND2, 인버터 회로 I1 및 P 채널 MOS 트랜지스터 P2로 구성된다. OR 회로 OR5에는 기입 신호 WRITE 및 재기입 신호 REWRITE가 입력된다.

기입 신호 WRITE는 선택된 TMR 소자에 대한 통상의 기입 동작 시에 "H"로 되는 신호이다. 재기입 신호 REWRITE는 판독 동작(파괴 판독 동작) 후에, 선택된 TMR 소자에 바른 데이터를 재기입할 때에 "H"로 되는 신호이다.

이들 2개의 신호 WRITE, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR5의 출력 신호는 "H"로 된다.

인버터 회로 I1에는 기입 데이터 DATA가 입력된다. 여기서, 기입 데이터는, 시행 데이터를 제외한, 통상의 기입 데이터(재기입 데이터를 포함함)를 의미한다.

NAND 회로 ND2에는 OR 회로 OR5의 출력 신호 및 인버터 회로 I1의 출력 신호가 입력된다. OR 회로 OR5의 출력 신호가 "H"의 경우, 기입 데이터 DATA가 "1"이면, 인버터 회로 I1의 출력 신호는 "L"로 되므로, NAND 회로 ND2의 출력 신호는 "H"로 된다. 한편, 기입 데이터 DATA가 "0"이면, 인버터 회로 I1의 출력 신호는 "H"로 되므로, NAND 회로 ND2의 출력 신호는 "L"로 된다.

또, "1"은 "H"에 대응하고, "0"은 "L"에 대응한다.

NAND 회로 ND2의 출력 신호가 "H"인 경우에는 P 채널 MOS 트랜지스터 P2는 오프 상태로 되고, NAND 회로 ND2의 출력 신호가 "L"인 경우에는 P 채널 MOS 트랜지스터 P2는 온 상태가 된다.

기입 비트선 싱커는 OR 회로 OR6, OR7, AND 회로 AD4, AD5 및 N 채널 MOS 트랜지스터 N2로 구성된다. OR 회로 OR6에는 기입 신호 WRITE 및 재기입 신호 REWRITE가 입력된다. 이들 2개의 신호 WRITE, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR6의 출력 신호는 "H"로 된다.

AND 회로 AD4에는 OR 회로 OR6의 출력 신호 및 기입 데이터 DATA가 입력된다.

OR 회로 OR6의 출력 신호가 "H"인 경우, 기입 데이터 DATA가 "1"이면, AND 회로 AD4의 출력 신호는 "H"로 된다. 한편, 기입 데이터 DATA가 "0"이면, AND 회로 AD4의 출력 신호는 "L"로 된다.

AND 회로 AD5에는 트라이얼 신호 TRIAL이 입력된다. 트라이얼 신호 TRIAL은 판독 동작(파괴 판독 동작) 시에, 선택된 TMR 소자에, 소위 시행 데이터를 기입할 때에 "H"로 되는 신호이다. AND 회로 AD5는 2개의 입력 단자를 갖고, 한쪽에는 트라이얼 신호 TRIAL이 입력되고, 다른 쪽은 항상 "1"로 고정된다.

OR 회로 OR7의 출력 신호는 2개의 AND 회로 AD4, AD5의 출력 신호 중의 어느 한쪽이 "H"일 때에, "H"로 된다. 즉, 2개의 신호 WRITE, REWRITE 중 1개가 "H"로 되고, 또한 기입 데이터 DATA가 "1"일 때, OR 회로 OR7의 출력 신호는 "H"로 된다. OR 회로 OR7의 출력 신호가 "H"로 되면, N 채널 MOS 트랜지스터 N2는 온 상태가 된다.

트라이얼 신호 TRIAL이 "H"로 되었을 때에도, OR 회로 OR7의 출력 신호는 "H"가 되고, 또한 N 채널 MOS 트랜지스터 N2는 온 상태가 된다. 즉, 시행 데이터가 "1"의 경우에는 기입 비트선 드라이버/싱커(31)로부터 기입 비트선 드라이버/싱커(29)를 향하는 전류를 기입선(26, 33)에 흘린다.

b. 기입 비트선 드라이버/싱커(31)

기입 비트선 드라이버/싱커(31)는 OR 회로 OR8, OR9, AND 회로 AD6, AD7, AD8, NOR 회로 NR1, 인버터 회로 I2, P 채널 MOS 트랜지스터 P3 및 N 채널 MOS 트랜지스터 N3으로 구성된다.

기입 비트선 드라이버는 OR 회로 OR8, AND 회로 AD6, AD7, NOR 회로 NR1 및 P 채널 MOS 트랜지스터 P3으로 구성된다. OR 회로 OR8에는 기입 신호 WRITE 및 재기입 신호 REWRITE가 입력된다. 이들 2개의 신호 WRITE, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR8의 출력 신호는 "H"로 된다.

AND 회로 AD6에는 OR 회로 OR8의 출력 신호 및 기입 데이터 DATA가 입력된다. OR 회로 OR8의 출력 신호가 "H"의 경우, 기입 데이터 DATA가 "1"이면, AND 회로 AD6의 출력 신호는 "H"로 된다. 한편, 기입 데이터 DATA가 "0"이면, AND 회로 AD6의 출력 신호는 "L"로 된다.

AND 회로 AD7에는 트라이얼 신호 TRIAL이 입력된다. 트라이얼 신호 TRIAL은 상술된 바와 같이 파괴 판독 동작 시에, 선택된 TMR 소자에, 소위 시행 데이터를 기입할 때에 "H"로 되는 신호이다. AND 회로 AD7은 2개의 입력 단자를 갖고, 한쪽에는 트라이얼 신호 TRIAL이 입력되고, 다른 쪽은 항상 "1"로 고정된다.

NOR 회로 NR1의 출력 신호는 2개의 AND 회로 AD6, AD7의 출력 신호 중의 적어도 1개가 "H"일 때에, "L"로 된다. 즉, 2개의 신호 WRITE, REWRITE 중의 1개가 "H"로 되고, 또한 기입 데이터 DATA가 "1"일 때, NOR 회로 NR1의 출력 신호는 "L"로 된다. NOR 회로 NR1의 출력 신호가 "L"로 되면, P 채널 MOS 트랜지스터 P3은 온 상태가 된다.

트라이얼 신호 TRIAL이 "H"로 되었을 때에도, NOR 회로 NR1의 출력 신호는 "L"이 되고, 또한 P 채널 MOS 트랜지스터 P3은 온 상태가 된다. 즉, 시행 데이터가 "1"의 경우에는 기입 비트선 드라이버/싱커(31)로부터 기입 비트선 드라이버/싱커(29)를 향하는 전류를 기입선(26, 33)에 흘린다.

기입 비트선 싱커는 OR 회로 OR9, AND 회로 AD8, 인버터 회로 I2 및 N 채널 MOS 트랜지스터 N3으로 구성된다. OR 회로 OR9에는 기입 신호 WRITE 및 재기입 신호 REWRITE가 입력된다. 이들 2개의 신호 WRITE, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR9의 출력 신호는 "H"로 된다.

기입 데이터 DATA는 인버터 회로 I2에 입력된다. AND 회로 AD8에는 OR 회로 OR9의 출력 신호 및 인버터 회로 I2의 출력 신호가 입력된다.

OR 회로 OR9의 출력 신호가 "H"의 경우, 기입 데이터 DATA가 "1"이면, AND 회로 AD8의 출력 신호는 "L"로 된다. 한편, 기입 데이터 DATA가 "0"이면, AND 회로 AD8의 출력 신호는 "H"로 된다. AND 회로 AD8의 출력 신호가 "L"의 경우에는 N 채널 MOS 트랜지스터 N3은 오프 상태로 되고, AND 회로 AD8의 출력 신호가 "H"의 경우에는 N 채널 MOS 트랜지스터 N3은 온 상태로 된다.

c. 이와 같이 도 12의 기입 비트선 드라이버/싱커에서는 기입 동작 시, 즉 신호 WRITE, REWRITE 중 어느 한쪽이 "H"일 때에는 기입 데이터 DATA의 값("1" 또는 "0")에 따라, 기입선(26, 33)에 흐르는 기입 전류의 방향이 결정된다.

또한, 판독 동작 시에도, 시행 데이터를 TMR 소자에 기입할 때는 트라이얼 신호 TRIAL이 "H"로 되므로, 본 예에서는 기입 비트선 드라이버/싱커(31)로부터 기입 비트선 드라이버/싱커(29)를 향하는 기입 전류가 기입선(26, 33)에 흐른다. 이 때, 선택된 TMR 소자에는 시행 데이터 "1"이 기입된다.

B. 도 13은 기입 비트선 드라이버/싱커의 다른 예를 도시하고 있다.

본 예의 기입 비트선 드라이버/싱커는 파괴 판독 동작 원리(예를 들면, 도 2 참조)의 제2 사이클로, 선택된 TMR 소자에 기입하는, 소위 시행 데이터가 "0"인 경우에 대응하고 있다.

a. 기입 비트선 드라이버/싱커(29)

기입 비트선 드라이버/싱커(29)는 OR 회로 OR10, OR11, AND 회로 AD9, AD10, AD11, NOR 회로 NR2, 인버터 회로 I3, I4, P 채널 MOS 트랜지스터 P4 및 N 채널 MOS 트랜지스터 N4로 구성된다.

기입 비트선 드라이버는 OR 회로 OR10, AND 회로 AD9, AD10, NOR 회로 NR2, 인버터 회로 I3, I4 및 P 채널 MOS 트랜지스터 P4로 구성된다. OR 회로 OR10에는 기입 신호 WRITE 및 재기입 신호 REWRITE가 입력된다. 이들 2개의 신호 WRITE, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR10의 출력 신호는 "H"로 된다.

기입 데이터 DATA는 인버터 회로 I3에 입력된다. AND 회로 AD9에는 OR 회로 OR10의 출력 신호 및 인버터 회로 I3의 출력 신호가 입력된다. OR 회로 OR10의 출력 신호가 "H"의 경우, 기입 데이터 DATA가 "1"이면, AND 회로 AD9의 출력 신호는 "L"로 된다. 한편, 기입 데이터 DATA가 "0"이면, AND 회로 AD9의 출력 신호는 "H"로 된다.

AND 회로 AD10에는 트라이얼 신호 TRIAL이 입력된다. 트라이얼 신호 TRIAL은 파괴 판독 동작 시에, 선택된 TMR 소자에, 소위 시행 데이터를 기입할 때에 "H"로 되는 신호이다. AND 회로 AD10은 2개의 입력 단자를 갖고, 한쪽에는 트라이얼 신호 TRIAL이 입력되고, 다른 쪽은 인버터 I4의 입력 신호가 "0"으로 고정되어 있기 때문에, 항상 "1"로 고정된다.

NOR 회로 NR2의 출력 신호는 2개의 AND 회로 AD9, AD10의 출력 신호 중 적어도 1개가 "H"일 때에, "L"로 된다. 즉, 2개의 신호 WRITE, REWRITE 중의 1개가 "H"로 되고, 또한 기입 데이터 DATA가 "0"일 때, NOR 회로 NR2의 출력 신호는 "L"로 된다. NOR 회로 NR2의 출력 신호가 "L"로 되면, P 채널 MOS 트랜지스터 P4는 온 상태가 된다.

트라이얼 신호 TRIAL이 "H"로 되었을 때에도, NOR 회로 NR2의 출력 신호는 "L"로 되고, 또한 P 채널 MOS 트랜지스터 P4는 온 상태로 된다. 즉, 시행 데이터가 "0"의 경우에는 기입 비트선 드라이버/싱커(29)로부터 기입 비트선 드라이버/싱커(31)를 향하는 전류를 기입선(26, 33)에 흘린다.

기입 비트선 싱커는 OR 회로 OR11, AND 회로 AD11 및 N 채널 MOS 트랜지스터 N4로 구성된다. OR 회로 OR11에는 기입 신호 WRITE 및 재기입 신호 REWRITE가 입력된다. 이들 2개의 신호 WRITE, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR11의 출력 신호는 "H"로 된다.

AND 회로 AD11에는 OR 회로 OR11의 출력 신호 및 기입 데이터 DATA가 입력된다.

OR 회로 OR11의 출력 신호가 "H"의 경우, 기입 데이터 DATA가 "1"이면, AND 회로 AD11의 출력 신호는 "H"로 된다. 한편, 기입 데이터 DATA가 "0"이면, AND 회로 AD11의 출력 신호는 "L"로 된다. AND 회로 AD11의 출력 신호가 출력 신호가 "H"의 경우에는 N 채널 MOS 트랜지스터 N4는 온 상태로 되고, AND 회로 AD11의 출력 신호가 "L"의 경우에는 N 채널 MOS 트랜지스터 N4는 오프 상태가 된다.

b. 기입 비트선 드라이버/싱커(31)

기입 비트선 드라이버/싱커(31)는 OR 회로 OR12, OR13, OR14, AND 회로 AD12, AD13, NAND 회로 ND3, 인버터 회로 I5, I6, P 채널 MOS 트랜지스터 P5 및 N 채널 MOS 트랜지스터 N5로 구성된다.

기입 비트선 드라이버는 OR 회로 OR12, NAND 회로 ND3 및 P 채널 MOS 트랜지스터 P5로 구성된다. OR 회로 OR12에는 기입 신호 WRITE 및 재기입 신호 REWRITE가 입력된다. 이들 2개의 신호 WRITE, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR12의 출력 신호는 "H"로 된다.

NAND 회로 ND2에는 OR 회로 OR12의 출력 신호 및 기입 데이터 DATA가 입력된다. OR 회로 OR12의 출력 신호가 "H"의 경우, 기입 데이터 DATA가 "1"이면, NAND 회로 ND3의 출력 신호는 "L"로 된다. 한편, 기입 데이터 DATA가 "0"이면, NAND 회로 ND3의 출력 신호는 "H"로 된다.

NAND 회로 ND3의 출력 신호가 "L"의 경우에는 P 채널 MOS 트랜지스터 P5는 온 상태로 되고, NAND 회로 ND3의 출력 신호가 "H"의 경우에는 P 채널 MOS 트랜지스터 P5는 오프 상태가 된다.

기입 비트선 싱커는 OR 회로 OR13, OR14, AND 회로 AD12, AD13, 인버터 회로 I5, I6 및 N 채널 MOS 트랜지스터 N5로 구성된다. OR 회로 OR13에는 기입 신호 WRITE 및 재기입 신호 REWRITE가 입력된다. 이들 2개의 신호 WRITE, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR13의 출력 신호는 "H"로 된다.

기입 데이터 DATA는 인버터 회로 I5에 입력된다. AND 회로 AD12에는 OR 회로 OR13의 출력 신호 및 인버터 회로 I5의 출력 신호가 입력된다.

OR 회로 OR13의 출력 신호가 "H"의 경우, 기입 데이터 DATA가 "1"이면, AND 회로 AD1 2의 출력 신호는 "L"로 된다. 한편, 기입 데이터 DATA가 "0"이면, AND 회로 AD12의 출력 신호는 "H"로 된다.

AND 회로 AD13에는 트라이얼 신호 TRIAL이 입력된다. 트라이얼 신호 TRIAL은 판독 동작(파괴 판독 동작) 시에, 선택된 TMR 소자에, 소위 시행 데이터를 기입할 때에 "H"로 되는 신호이다. AND 회로 AD13은 2개의 입력 단자를 포함하고, 한쪽에는 트라이얼 신호 TRIAL이 입력되고, 다른 쪽은 인버터 I6의 입력 신호가 "0"에 고정되어 있기 때문에, 항상 "1"로 고정된다.

OR 회로 OR14의 출력 신호는 2개의 AND 회로 AD12, AD13의 출력 신호 중 어느 한쪽이 "H"일 때에, "H"로 된다. 즉, 2개의 신호 WRITE, REWRITE 중 1개가 "H"로 되고, 또한 기입 데이터 DATA가 "0"일 때, OR 회로 OR14의 출력 신호는 "H"로 된다. OR 회로 OR14의 출력 신호가 "H"로 되면, N 채널 MOS 트랜지스터 N5는 온 상태가 된다.

트라이얼 신호 TRIAL이 "H"로 되었을 때에도, OR 회로 OR14의 출력 신호는 "H"로 되고, 또한 N 채널 MOS 트랜지스터 N5는 온 상태가 된다. 즉, 시행 데이터가 "0"의 경우에는 기입 비트선 드라이버/싱커(29)로부터 기입 비트선 드라이버/싱커(31)를 향하는 전류를 기입선(26, 33)에 흘린다.

c. 이와 같이 도 13의 기입 비트선 드라이버/싱커에서는, 판독 동작으로, 시행 데이터를 TMR 소자에 기입하는 경우에, 트라이얼 신호 TRIAL을 "H"로 하고, 기입 비트선 드라이버/싱커(29)로부터 기입 비트선 드라이버/싱커(31)를 향하는 기입 전류를 기입선(26, 33)에 흘리고 있다.

즉, 도 12의 예에서는 TMR 소자에 기입하는 시행 데이터가 "1"인 반면, 도 13의 예에서는 TMR 소자에 기입하는 시행 데이터가 "0"으로 되어 있다.

또, 통상의 기입 동작 시에서는 신호 WRITE, REWRITE 중 어느 한쪽이 "H"로 되므로(트라이얼 신호 TRIAL은 "L"), 기입 데이터 DATA의 값("1" 또는 "0")에 따라, 기입선(26, 33)에 흐르는 기입 전류의 방향이 결정된다.

(4) 개량예 1, 2를 이용한 판독 동작 원리

개량예 1, 2의 상세한 구성에 대해서는 상술한 바와 같다. 이하에서는 개량예 1, 2를 이용한 판독 동작 원리에 대하여 설명한다.

본 예에서는 최초로, 미국 출원 09/961,326에 제안되는 판독 동작 원리를 개량예 1, 2에서 실행하는 경우에 대해서 설명하고, 그 후 본원에서 신규로 제안하는 판독 동작 원리를 개량예 1, 2에서 실행하는 경우에 대해서 설명한다.

① 판독 동작 원리 1

도 14는 판독 동작 원리 1을 도시하는 파형도이다.

이 판독 동작 원리는 도 2에 도시하는 판독 동작 원리에 관한 것이다. 단, 본 예에서는 1회의 판독 동작이 5개의 단계로 구성된다. 즉, 본 예에서는 2회째 판독 단계와 재기입 단계 사이에, 판독 결과를 비교하는 단계를 삽입하고 있다.

이 판독 동작 원리를 실행하는 데에 있어서 사용하는 회로에 대해서는 도 3 및 도 4의 개량예 1에서는 도 6에 도시하는 기입 워드선 드라이버/싱커, 도 7에 도시하는 컬럼 디코더, 및 도 12에 도시하는 기입 비트선 드라이버/싱커(시행 데이터 "1")로 한다.

또한, 도 5의 개량예 2에서는 도 6에 도시하는 기입 워드선 드라이버/싱커, 도 9에 도시하는 판독 컬럼 디코더, 도 11에 도시하는 기입 컬럼 디코더, 및 도 12에 도시하는 기입 비트선 드라이버/싱커(시행 데이터 "1")로 한다.

A. 제1 단계

제1 단계에서는 이니셜 데이터의 판독을 행한다(1회째 판독). 이니셜 데이터는, 선택된 TMR 소자의 데이터의 값을 판단하기 위해 필요한 기준 데이터를 의미한다.

이 단계에서는 판독 신호 READ1이 "H"로 된다.

따라서, 개량예 1의 경우, 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 선택된 컬럼에서는 컬럼 선택선 신호 CSLj(도 7)가 "H"로 된다. 또한, 개량예 2의 경우, 상위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼에 있어서는 컬럼 선택선 신호 CSLj(도 9)가 "H"로 된다.

또한, 감지 증폭기 인에이블 신호가 "H"로 되고, 감지 증폭기가 동작 상태가 된다. 그 결과, 도 4의 개량예 1에서는 회로 블록(29) 내의 판독 회로 내의 전류원에서 발생한 판독 전류가, 선택된 컬럼의 복수의 TMR 소자를 경유하여, 접지점에 흐른다. 도 5의 개량예 2에서는 판독 회로(29B) 내의 전류원에서 발생한 판독 전류가, 선택된 컬럼의 복수의 TMR 소자를 경유하여, 접지점에 흐른다.

판독 회로는 판독 전류가 흐르고 있는 상태에서, 이니셜 데이터의 검출을 행한다. 이니셜 데이터는 선택된 컬럼을 구성하는 병렬 접속된 복수의 TMR 소자의 합성 저항에 의존한다. 이니셜 데이터는 감지 증폭기 내의 기억 회로에 기억된다.

B. 제2 단계

제2 단계에서는 선택된 TMR 소자에 대하여, 시행 데이터의 기입을 행한다. 시행 데이터는, 기준 데이터와 비교하는 비교 데이터를 얻기 위해서, 선택된 TMR 소자에 기입하는 미리 정해진 값을 갖는 데이터이다. 본 예에서는 시행 데이터는 "1"로 한다.

이 단계에서는 트라이얼 신호 TRIAL이 "H"로 된다.

따라서, 개량예 1, 2의 경우, 로우 어드레스 신호의 전체 비트가 "1"이 되는 선택된 로우에서는 기입 워드선 드라이버 내의 P 채널 MOS 트랜지스터 P1(도 6)이 온 상태가 된다. 이에 의해, 선택된 로우 내의 기입 워드선에는 기입 전류가 흐른다.

또한, 개량예 1의 경우, 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼에서는 컬럼 선택선 신호 CSLj(도 7)가 "H"로 된다. 또한, 개량예 2의 경우, 상위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼이고, 하위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 단에서는, 컬럼 선택선 신호 CSLjk(도 11)가 "H"로 된다.

즉, 개량예 1의 경우, 선택된 컬럼 내의 컬럼 선택 스위치 SW가 온 상태로 되고, 개량예 2의 경우, 선택된 컬럼 내의 선택된 단에 대응하는 컬럼 선택 스위치 SWB가 온 상태로 된다.

또한, 도 12의 기입 비트선 드라이버/싱커(29)에서는 트라이얼 신호 TRIAL이 "H"이므로, N 채널 MOS 트랜지스터 N2가 온 상태가 된다. 도 12의 기입 비트선 드라이버/싱커(31)에서는 트라이얼 신호 TRIAL이 "H"이므로, P 채널 MOS 트랜지스터 P2가 온 상태로 된다.

따라서, 도 4의 개량예 1의 경우에는 선택된 컬럼 내의 기입선(26)에 기입 비트선 드라이버/싱커(31)로부터 기입 비트선 드라이버/싱커(29)를 향하는 기입 전류가 흐른다. 또한, 도 5의 개량예 2의 경우에는 선택된 컬럼 내의 선택된 단 내의 기입선(33)에 기입 비트선 드라이버/싱커(31)로부터 기입 비트선 드라이버/싱커(29)를 향하는 기입 전류가 흐른다.

그 결과, 선택된 TMR 소자에는 시행 데이터("1")가 기입된다. 이 후, 컬럼 선택 스위치 SW, SWB를 오프 상태로 하여, 기입 전류를 차단한다. 또한, 선택된 로우 내의 기입 워드선에 흐르는 기입 전류에 대해서도 차단한다.

C. 제3 단계

제3 단계에서는 비교 데이터의 판독을 행한다(2회째 판독). 비교 데이터는 기준 데이터와의 비교에 의해, 선택된 TMR 소자의 데이터의 값을 판단하기 위한 데이터를 의미한다.

이 단계에서는 판독 신호 READ2가 "H"로 된다.

따라서, 개량예 1의 경우, 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 선택된 컬럼에서는 컬럼 선택선 신호 CSLj(도 7)가 "H"로 된다. 또한, 개량예 2의 경우, 상위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼에 있어서는 컬럼 선택선 신호 CSLj(도 9)가 "H"로 된다.

또한, 감지 증폭기 인에이블 신호가 "H"로 되고, 감지 증폭기가 동작 상태로 된다. 그 결과, 도 4의 개량예 1에서는 회로 블록(29) 내의 판독 회로 내의 전류원에서 발생한 판독 전류가, 선택된 컬럼의 복수의 TMR 소자를 경유하여, 접지점에 흐른다. 도 5의 개량예 2에서는 판독 회로(29B) 내의 전류원에서 발생한 판독 전류가, 선택된 컬럼의 복수의 TMR 소자를 경유하여, 접지점에 흐른다.

판독 회로는 판독 전류가 흐르고 있는 상태에서, 비교 데이터의 검출을 행한다. 비교 데이터는 선택된 컬럼을 구성하는 병렬 접속된 복수의 TMR 소자의 합성 저항에 의존한다.

D. 제4 단계

제4 단계에서는 이니셜 데이터와 비교 데이터를 비교하여, 선택된 TMR 소자의 데이터의 값을 판단한다.

즉, 이니셜 데이터와 비교 데이터가 동일하다고 판단된 경우에는 제2 단계의 시행 데이터의 기입에 의해, 선택된 TMR 소자의 저항값이 변하지 않은 것을 의미하므로, 선택된 TMR 소자의 데이터의 값은 시행 데이터의 값과 동일한 값이라고 판단된다.

반대로, 이니셜 데이터와 비교 데이터가 다른 것으로 판단된 경우에는 제2 단계의 시행 데이터의 기입에 의해, 선택된 TMR 소자의 저항값이 변화한 것을 의미하므로, 선택된 TMR 소자의 데이터의 값은 시행 데이터의 값과 역의 값을 갖는다고 판단된다.

본 예에서는 시행 데이터가 "1"이라고 가정하고 있기 때문에, 이니셜 데이터와 비교 데이터가 동일하면, 선택된 TMR 소자의 데이터는 "1"이라고 판단되고, 이니셜 데이터와 비교 데이터가 다르면, 선택된 TMR 소자의 데이터는 "0"이라고 판단된다.

이와 같이 하여, 선택된 TMR 소자의 데이터의 값이 결정된다.

또, 제4 단계는 트리거 신호에 기초하여, 2회의 판독 결과의 비교를 실행한다. 여기서, 본 예에서는 컬럼 선택선 신호 및 감지 증폭기 인에이블 신호는 트리거 신호가 "H"로 되기 직전에, "L"로 된다.

단, 도 15의 파형도에 도시한 바와 같이 컬럼 선택선 신호 및 감지 증폭기 인에이블 신호에 대해서는 제3 단계로부터 제4 단계에 걸쳐 "H" 레벨을 유지하도록 해도 된다.

그런데, 제4 단계를 실행하기 위한 회로, 즉 판독 회로(감지 증폭기를 포함함)의 구체적인 구성에 대해서는 「개량예 1, 2의 주변 회로의 예」의 항목에서는 설명하지 않았다. 단, 판독 회로(감지 증폭기를 포함함)에 대해서는 다종다양한 개량예를 제안하였기 때문에, 이들에 대해서는 후에 상세히 설명하기로 한다.

E. 제5 단계

제5 단계에서는 선택된 TMR 소자에 대하여, 데이터의 재기입을 행한다. 본 예의 판독 동작 원리에서는 제2 단계에서, 시행 데이터가, 선택된 TMR 소자에 기입된다. 즉, 이 때, 선택된 TMR 소자의 데이터는 파괴되게 된다.

따라서, 선택된 TMR 소자의 데이터의 값을 판단한 후, 선택된 TMR 소자에 대하여, 데이터의 재기입을 행한다.

이 단계에서는 재기입 신호 REWRITE가 "H"로 된다.

따라서, 개량예 1, 2의 경우, 로우 어드레스 신호의 전체 비트가 "1"이 되는 선택된 로우에서는 기입 워드선 드라이버 내의 P 채널 MOS 트랜지스터 P1(도 6)이 온 상태가 된다. 이에 의해, 선택된 로우 내의 기입 워드선에는 기입 전류가 흐른다.

또한, 개량예 1의 경우, 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼에서는 컬럼 선택선 신호 CSLj(도 7)가 "H"로 된다. 또한, 개량예 2의 경우, 상위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼이고, 하위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 단에 있어서는 컬럼 선택선 신호 CSLjk(도 11)가 "H"로 된다.

즉, 개량예 1의 경우, 선택된 컬럼 내의 컬럼 선택 스위치 SW가 온 상태로 되고, 개량예 2의 경우, 선택된 컬럼 내의 선택된 단에 대응하는 컬럼 선택 스위치 SWB가 온 상태가 된다.

또한, 도 12의 기입 비트선 드라이버/싱커(29)에서는 재기입 신호 REWRITE가 "H"이므로, 재기입 데이터 DATA의 값에 따라, MOS 트랜지스터 P2, N2의 온/오프 상태가 결정된다. 도 12의 기입 비트선 드라이버/싱커(31)에 있어서도, 재기입 신호 REWRITE가 "H"이므로, 재기입 데이터 DATA의 값에 따라, MOS 트랜지스터 P3, N3의 온/오프 상태가 결정된다.

따라서, 도 4의 개량예 1의 경우에는 선택된 컬럼 내의 기입선(26)에, 재기입 데이터 DATA의 값에 따라, 기입 비트선 드라이버/싱커(29)측으로, 또는 기입 비트선 드라이버/싱커(31)측으로 향하는 기입 전류가 흐른다.

또한, 도 5의 개량예 2의 경우에는 선택된 컬럼 내의 선택된 단 내의 기입선(33)에, 재기입 데이터 DATA의 값에 따라, 기입 비트선 드라이버/싱커(29) 측으로, 또는 기입 비트선 드라이버/싱커(31) 측으로 향하는 기입 전류가 흐른다.

그 결과, 선택된 TMR 소자에는 상술의 제1 내지 제5 단계로 이루어지는 판독 동작을 실행하기 전에 그 TMR 소자가 기억하고 있는 데이터("1" 또는 "0")이 재기입된다. 이 후, 컬럼 선택 스위치 SW, SWB를 오프 상태로 하여, 기입 전류를 차단한다. 또한, 선택된 로우 내의 기입 워드선에 흐르는 기입 전류에 대해서도 차단한다.

또, 제4 단계에서 이니셜 데이터와 비교 데이터가 동일하다고 판단된 경우, 선택된 TMR 소자에 기억되어 있던 데이터와 시행 데이터는, 동일한 값을 갖게 된다. 따라서, 이 경우에는 제5 단계를 생략해도 된다.

즉, 제4 단계에서 이니셜 데이터와 비교 데이터가 다르다고 판단된 경우에만, 제5 단계에서, 선택된 TMR 소자에, 시행 데이터의 값과 반대의 값을 갖는 데이터를 재기입하면 된다.

이상, 개량예 1, 2에 따른 자기 랜덤 액세스 메모리에서는, 소위 파괴 판독 동작 원리를 채용하여, 이것을 실제로 실행할 수 있다. 따라서, 판독 시의 복수의 TMR 소자 사이의 저항값의 변동에 상관없이, 선택된 TMR 소자의 저항값(또는 MR비)을 정확하게 판독할 수 있다.

② 판독 동작 원리 2

도 16은 판독 동작 원리 2를 도시하는 파형도이다.

이 판독 동작 원리는 상술의 판독 동작 원리 1의 개량예이다. 이 판독 동작 원리의 특징은, 시행 데이터의 기입 단계, 비교 데이터의 판독 단계(2회째 판독 단계) 및 판독 결과를 비교하여 TMR 소자의 데이터를 판단하는 단계를 1개의 단계에 통합한 점에 있다.

따라서, 본 예에서는 1회의 판독 동작이 3개의 단계로 구성된다. 본 예의 판독 동작 원리는 도 14 또는 도 15의 판독 동작 원리의 제2 내지 제4 단계를 1개의 단계로 한 것이다.

이 판독 동작 원리를 실행하는 데에 있어서 사용하는 회로에 대해서는 도 3 및 도 4의 개량예 1에서는, 도 6에 도시한 기입 워드선 드라이버/싱커, 도 8에 도시한 컬럼 디코더, 및 도 12에 도시한 기입 비트선 드라이버/싱커(시행 데이터 "1")로 한다.

또한, 도 5의 개량예 2에서는 도 6에 도시한 기입 워드선 드라이버/싱커, 도 10에 도시한 판독 컬럼 디코더, 도 11에 도시한 기입 컬럼 디코더, 및 도 12에 도시한 기입 비트선 드라이버/싱커(시행 데이터 "1")로 한다.

A. 제1 단계

제1 단계에서는 이니셜 데이터의 판독을 행한다(1회째 판독)

이 단계에서는 판독 신호 READ가 "H"로 된다.

따라서, 개량예 1의 경우, 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 선택된 컬럼에서는 컬럼 선택선 신호 CSLj(도 8)가 "H"로 된다. 또한, 개량예 2의 경우, 상위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼에 있어서는 컬럼 선택선 신호 CSLjk(도 10)가 "H"로 된다.

또한, 감지 증폭기 인에이블 신호가 "H"로 되고, 감지 증폭기가 동작 상태가 된다. 그 결과, 도 4의 개량예 1에서는 회로 블록(29) 내의 판독 회로 내의 전류원에서 발생한 판독 전류가, 선택된 컬럼의 복수의 TMR 소자를 경유하여, 접지점에 흐른다. 도 5의 개량예 2에서는 판독 회로(29B) 내의 전류원에서 발생한 판독 전류가, 선택된 컬럼의 복수의 TMR 소자를 경유하여 접지점에 흐른다.

판독 회로는 판독 전류가 흐르고 있는 상태에서, 이니셜 데이터의 검출을 행한다. 이니셜 데이터는 선택된 컬럼을 구성하는 병렬 접속된 복수의 TMR 소자의 합성 저항에 의존한다. 이니셜 데이터는 감지 증폭기 내의 기억 회로에 기억된다.

B. 제2 단계

제2 단계에서는 이하의 3개의 사항을 동시 또는 시간적으로 병행하여 행한다.

·선택된 TMR 소자에 대한 시행 데이터의 기입

·비교 데이터의 판독(2회째 판독)

·2회의 판독 결과의 비교(TMR 소자의 데이터값의 판정)

이 단계에서는 트라이얼 신호 TRIAL이 "H"로 된다.

따라서, 개량예 1, 2의 경우, 로우 어드레스 신호의 전체 비트가 "1"이 되는 선택된 로우에서는 기입 워드선 드라이버 내의 P 채널 MOS 트랜지스터 P1(도 6)이 온 상태로 된다. 이에 의해, 선택된 로우 내의 기입 워드선에는 기입 전류가 흐른다.

또한, 개량예 1의 경우, 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼에서는 컬럼 선택선 신호 CSLj(도 8)가 "H"로 된다. 또한, 개량예 2의 경우, 상위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼이고, 하위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 단에 있어서는 컬럼 선택선 신호 CSLj(도 11)가 "H"로 된다.

즉, 개량예 1의 경우, 선택된 컬럼 내의 컬럼 선택 스위치 SW가 온 상태로 되고, 개량예 2의 경우, 선택된 컬럼 내의 선택된 단에 대응하는 컬럼 선택 스위치 SWB가 온 상태가 된다.

또한, 도 12의 기입 비트선 드라이버/싱커(29)에서는 트라이얼 신호 TRIAL이 "H"이므로, N 채널 MOS 트랜지스터 N2가 온 상태가 된다. 도 12의 기입 비트선 드라이버/싱커(31)에서는 트라이얼 신호 TRIAL이 "H"이므로, P 채널 MOS 트랜지스터 P2가 온 상태가 된다.

따라서, 도 4의 개량예 1의 경우에는 선택된 컬럼 내의 기입선(26)에 기입 비트선 드라이버/싱커(31)로부터 기입 비트선 드라이버/싱커(29)를 향하는 기입 전류가 흐른다. 또한, 도 5의 개량예 2의 경우에는 선택된 컬럼 내의 선택된 단 내의 기입선(33)에 기입 비트선 드라이버/싱커(31)로부터 기입 비트선 드라이버/싱커(29)를 향하는 기입 전류가 흐른다.

그 결과, 선택된 TMR 소자에 대하여, 시행 데이터("1")의 기입이 실행된다.

이러한 시행 데이터의 기입과 동시에, 비교 데이터의 판독(2회째 판독)이 실행된다.

즉, 트라이얼 신호 TRIAL이 "H"일 때, 개량예 1에서는 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 선택된 컬럼의 컬럼 선택선 신호 CSLj(도 8)가 "H"로 된다. 또한, 개량예 2에서는 상위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼의 컬럼 선택선 신호 CSLjk(도 10)가 "H"로 된다.

또한, 감지 증폭기 인에이블 신호가 "H"로 되고, 감지 증폭기가 동작 상태가 된다. 그 결과, 도 4의 개량예 1에서는 회로 블록(29) 내의 판독 회로에 의해, 비교 데이터가 검출된다. 또한, 도 5의 개량예 2에서는 판독 회로(29B)에 의해, 비교 데이터가 검출된다. 비교 데이터는 선택된 컬럼을 구성하는 병렬 접속된 복수의 TMR 소자의 합성 저항에 의존한다.

판독 회로에 의해 검출된 비교 데이터는, 즉시 이니셜 데이터와 비교되어, 선택된 TMR 소자의 데이터의 값이 판단된다.

즉, 이니셜 데이터와 비교 데이터가 동일하다고 판단된 경우에는, 시행 데이터의 기입에 의해, 선택된 TMR 소자의 저항값이 변하지 않은 것을 의미하므로, 선택된 TMR 소자의 데이터의 값은 시행 데이터의 값과 동일한 값으로 판단된다.

반대로, 이니셜 데이터와 비교 데이터가 다르다고 판단된 경우에는, 시행 데이터의 기입에 의해, 선택된 TMR 소자의 저항값이 변화한 것을 의미하므로, 선택된 TMR 소자의 데이터의 값은 시행 데이터의 값과 반대의 값을 갖는 것으로 판단된다.

본 예에서는 시행 데이터가 "1"이라고 가정하고 있기 때문에, 이니셜 데이터와 비교 데이터가 동일하면, 선택된 TMR 소자의 데이터는 "1"이라고 판단되고, 이니셜 데이터와 비교 데이터가 다르면, 선택된 TMR 소자의 데이터는 "0"이라고 판단된다.

이와 같이 하여, 선택된 TMR 소자의 데이터의 값이 결정된다.

C. 제3 단계

제3 단계에서는 선택된 TMR 소자에 대하여, 데이터의 재기입을 행한다. 본 예의 판독 동작 원리에서는, 제2 단계에서, 시행 데이터가, 선택된 TMR 소자에 기입된다. 즉, 이 때, 선택된 TMR 소자의 데이터는 파괴된다.

따라서, 선택된 TMR 소자의 데이터의 값을 판단한 후, 선택된 TMR 소자에 대하여, 데이터의 재기입을 행한다.

이 단계에서는 재기입 신호 REWRITE가 "H"로 된다.

따라서, 개량예 1, 2의 경우, 로우 어드레스 신호의 전체 비트가 "1"이 되는 선택된 로우에서는 기입 워드선 드라이버 내의 P 채널 MOS 트랜지스터 P1(도 6)이 온 상태가 된다. 이에 의해, 선택된 로우 내의 기입 워드선에는 기입 전류가 흐른다.

또한, 개량예 1의 경우, 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼에서는 컬럼 선택선 신호 CSLj(도 8)가 "H"로 된다. 또한, 개량예 2의 경우, 상위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼이고, 하위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 단에 있어서는 컬럼 선택선 신호 CSLjk(도 11)가 "H"로 된다.

즉, 개량예 1의 경우, 선택된 컬럼 내의 컬럼 선택 스위치 SW가 온 상태로 되고, 개량예 2의 경우, 선택된 컬럼 내의 선택된 단에 대응하는 컬럼 선택 스위치 SWB가 온 상태가 된다.

또한, 도 12의 기입 비트선 드라이버/싱커(29)에서는 재기입 신호 REWRITE가 "H"이므로, 재기입 데이터 DATA의 값에 따라, MOS 트랜지스터 P2, N2의 온/오프 상태가 결정된다. 도 12의 기입 비트선 드라이버/싱커(31)에 있어서도, 재기입 신호 REWRITE가 "H"이므로, 재기입 데이터 DATA의 값에 따라, MOS 트랜지스터 P3, N3의 온/오프 상태가 결정된다.

따라서, 도 4의 개량예 1의 경우에는 선택된 컬럼 내의 기입선(26)에, 재기입 데이터 DATA의 값에 따라, 기입 비트선 드라이버/싱커(29) 측으로, 또는 기입 비트선 드라이버/싱커(31) 측으로 향하는 기입 전류가 흐른다.

또한, 도 5의 개량예 2의 경우에는 선택된 컬럼 내의 선택된 단 내의 기입선(33)에, 재기입 데이터 DATA의 값에 따라, 기입 비트선 드라이버/싱커(29) 측으로, 또는 기입 비트선 드라이버/싱커(31) 측으로 향하는 기입 전류가 흐른다.

그 결과, 선택된 TMR 소자에는 판독 동작을 실행하기 전에 그 TMR 소자가 기억하고 있는 데이터("1" 또는 "0")이 재기입된다. 이 후, 컬럼 선택 스위치 SW, SWB를 오프 상태로 하고, 기입 전류를 차단한다. 또한, 선택된 로우 내의 기입 워드선에 흐르는 기입 전류에 대해서도 차단한다.

또, 제2 단계에서 이니셜 데이터와 비교 데이터가 동일하다고 판단된 경우, 선택된 TMR 소자에 기억되어 있던 데이터와 시행 데이터는, 동일한 값을 갖게 된다. 따라서, 이 경우에는 제3 단계를 생략해도 된다.

즉, 제2 단계에서 이니셜 데이터와 비교 데이터가 다르다고 판단된 경우에만, 제3 단계에서, 선택된 TMR 소자에, 시행 데이터의 값과 반대의 값을 갖는 데이터를 재기입하면 된다.

이상, 개량예 1, 2에 따른 자기 랜덤 액세스 메모리에서는 개량된 파괴 판독 동작 원리를 채용하여, 이것을 실제로 실행할 수 있다. 따라서, 판독 시의 복수의 TMR 소자 사이의 저항값의 변동에 상관없이, 선택된 TMR 소자의 저항값(또는 MR비)을 정확하게 판독할 수 있다.

(5) 개량예 3

도 17은 본 발명의 개량예 3으로서의 자기 랜덤 액세스 메모리의 주요부를 도시하고 있다. 도 18은 도 17의 자기 랜덤 액세스 메모리에 관하여 1 컬럼분만을 도시하고 있다.

이 개량예 3에 따른 자기 랜덤 액세스 메모리는 개량예 1에 따른 자기 랜덤 액세스 메모리(도 3및 도 4)의 변형예이다.

즉, 개량예 1에서는 1개의 컬럼은 상호 병렬 접속되는 복수의 TMR 소자로 이루어지는 1개의 블록으로 구성된다. 이에 대하여, 개량예 3에서는 상호 병렬 접속되는 복수의 TMR 소자의 그룹을 1 블록으로 한 경우에, 1개의 컬럼은 복수의 블록의 집합으로 구성된다.

1개의 컬럼을 복수의 블록의 집합으로 구성한 주된 이유는 파괴 판독 동작 시에, 판독 전류가 흐르는 1개의 블록 내의 TMR 소자의 수를 줄임으로써, 셀 데이터가 시행 데이터와 다른 경우의 이니셜 데이터와 비교 데이터의 차를 크게 하여, 판독 마진(또는 감도)을 크게 하는 데 있다.

메모리 셀 어레이(11)는 X 방향 및 Y 방향으로 어레이형으로 배치되는 복수의 TMR 소자(12)를 갖는다. X 방향으로 배치되는 TMR 소자(12)의 근방에는 X 방향으로 연장되는 복수 라인(본 예에서는 12개)의 기입 워드선 WWL0, WWL1, … WWL11이 배치된다. 기입 워드선 WWL0, WWL1, … WWL11의 일단은 기입 워드선 드라이버(23A)에 접속되고, 그 타단은 기입 워드선 싱커(24)에 접속된다.

본 예에서는 하나의 컬럼은 3개의 블록 BK로 구성된다. 1개의 컬럼은 Y 방향으로 배치되는 12개의 TMR 소자(12)로 구성되므로, 1개의 블록 BK은 4개의 TMR 소자(12)로 구성된다.

하나의 블록 BK 내의 TMR 소자(12)는 제1 데이터 전송선(비트선)(26)과 제2 데이터 전송선(27) 사이에 병렬로 접속된다.

제1 데이터 전송선(26)의 일단은 컬럼 선택 스위치(MOS 트랜지스터) SW를 경유하여, 공통 데이터선(28)에 접속된다. 공통 데이터선(28)은 판독 회로(감지 증폭기를 포함함), 기입 비트선 드라이버 및 기입 비트선 싱커를 포함하는 회로 블록(29)에 접속된다.

제1 데이터 전송선(26)의 타단은 컬럼 선택 스위치(MOS 트랜지스터) SW를 경유하여, 공통 드라이버선(30)에 접속된다. 공통 드라이버선(30)은 기입 비트선 드라이버 및 기입 비트선 싱커를 포함하는 블록(31)에 접속된다.

컬럼 선택 스위치 SW의 게이트에는 컬럼 선택선 신호 CSL0, CSL1, … CSL7이 입력된다. 컬럼 디코더(32)는 컬럼 선택 스위치 SW에 대응하여 설치되고, 컬럼 선택선 신호 CSLO, CSL1, … CSL7을 출력한다.

제2 데이터 전송선(27)은 판독 선택 스위치(MOS 트랜지스터) RSW를 경유하여, 접지점에 접속된다. 판독 선택 스위치 RSW의 게이트는 판독 워드선 RWLo(o=0, 1, 2)에 접속된다. 1개의 판독 워드선 RWLo는 1개의 컬럼 내의 1개의 블록 BK에 대응하고, 또한 X 방향의 복수의 블록에 공통으로 되어 있다.

본 예에서는 1개의 컬럼이 3개의 블록으로 구성되므로, 판독 워드선 RWLo의 수는 3개로 되어 있다. 판독 워드선 RWLo는 X 방향으로 연장되고, 그 일단은 판독 워드선 드라이버(23B)에 접속된다.

로우 디코더(25)는 기입 동작 시, 로우 어드레스 신호에 기초하여, 기입 워드선 WWL0, WWL1, … WWL11 중 1개를 선택한다. 기입 워드선 드라이버(23A)는 선택된 기입 워드선에 기입 전류를 공급한다. 기입 전류는 선택된 워드선을 흘러, 기입 워드선 싱커(24)에 흡수된다.

로우 디코더(25)는 판독 동작 시, 예를 들면, 상위 로우 어드레스 신호에 기초하여, 1개의 블록을 선택한다. 판독 워드선 드라이버(23B)는 선택된 블록 BK에 접속되는 판독 워드선 RWLo에 판독 워드선 전압을 공급한다. 선택된 블록 BK에서는 판독 선택 스위치 RSW가 온 상태로 되므로, 판독 전류는 선택된 블록 BK 내의 복수의 TMR 소자를 경유하여, 접지점을 향하여 흐른다.

본 예의 자기 랜덤 액세스 메모리에서는 기입 동작 시, 선택된 기입 워드선에는 기입 워드선 드라이버(23A)로부터 기입 워드선 싱커(24)를 향하는 기입 전류가 흐른다. 또한, 선택된 컬럼에 있어서는 제1 데이터 전송선(비트선)(26)에 기입 전류가 흐른다. 제1 데이터 전송선(26)에 흐르는 기입 전류의 방향은 기입 데이터의 값에 따라 변한다.

판독 동작 시, 선택된 컬럼 내의 선택된 블록에 있어서는 회로 블록(29)으로부터, 제1 데이터 전송선, 복수의 TMR 소자 및 제2 데이터 전송선을 경유하여, 접지점에 판독 전류가 흐른다. 회로 블록(29) 내의 판독 회로는 판독 전류가 흐르고 있는 동안, 선택된 블록 내의 복수의 TMR 소자의 합성 저항에 따른 판독 데이터를 검출한다.

또, 본 예의 자기 랜덤 액세스 메모리를 이용한 판독 동작 원리의 상세에 대해서는 후술한다.

(6) 개량예 4

도 19는 본 발명의 개량예 4로서의 자기 랜덤 액세스 메모리의 주요부를 도시하고 있다. 도 19에서는 도 18에 대응시켜, 메모리 셀 어레이의 1 컬럼분만을 도시하고 있다.

이 개량예 4에 따른 자기 랜덤 액세스 메모리는 개량예 3과 비교하면, 1 컬럼분의 TMR 소자의 배치에 특징을 갖는다.

즉, 개량예 3에서는 1 컬럼 내의 복수의 블록 및 1 블록 내의 복수의 TMR 소자중 어디에 대해서도, Y 방향으로 일렬로 배치되어 있지만, 개량예 4에서는 1 컬럼 내의 복수의 블록에 대해서는 Y 방향으로 일렬로 배치하고, 1 블록 내의 복수의 TMR 소자에 대해서는 Z 방향으로 일렬로 배치한다.

여기서, Z 방향은 X 방향 및 Y 방향에 직교하는 지면에 수직인 방향을 의미하는 것으로 한다. 즉, 도 19의 TMR 소자는 실제로는 지면에 수직인 방향으로 상호 중첩하고 있다.

메모리 셀 어레이(11)는 X 방향, Y 방향 및 Z 방향으로 어레이형으로 배치되는 복수의 TMR 소자(12)를 갖는다. 본 예에서는 1 컬럼은 복수의 블록 BK로 구성된다.

하나의 블록 BK은 Z 방향으로 중첩된 복수(본 예에서는 4개)의 TMR 소자(12)로 구성된다. 1개의 블록 BK을 구성하는 TMR 소자(12)의 근방에는 X 방향으로 연장되고, Z 방향으로 중첩되는 복수 라인(본 예에서는 4개)의 기입 워드선 WWL0, WWL1, WWL2, WWL3이 배치된다.

예를 들면, 1단째(최하단)에 배치된 TMR 소자(MTJ(Magnetic Tunnel Junction) 0)의 근방에는 기입 워드선 WWL0이 배치되고, 2단째에 배치된 TMR 소자(MTJ1)의 근방에는 기입 워드선 WWL1이 배치되고, 4단째(최상단)에 배치된 TMR 소자(MTJ3)의 근방에는 기입 워드선 WWL3이 배치된다.

기입 워드선 WWLO, WWLl, WWL2, WWL3의 일단은 기입 워드선 드라이버(23A)에 접속되고, 그 타단은 기입 워드선 싱커(24)에 접속된다.

1 블록 BK 내의 Z 방향으로 배치되는 복수의 TMR 소자(12)는 상호 병렬로 접속된다.

TMR 소자(12)의 일단은 제1 데이터 전송선(비트선 BLi)(26)에 접속된다. 제1 데이터 전송선(26)의 일단은 컬럼 선택 스위치(MOS 트랜지스터) SWA를 경유하여, 공통 데이터선(28)에 접속된다. 공통 데이터선(28)은 판독 회로(감지 증폭기를 포함함)(29B)에 접속된다.

TMR 소자(12)의 타단은 판독 선택 스위치(MOS 트랜지스터) RSW를 경유하여, 접지점에 접속된다. 판독 선택 스위치 RSW의 게이트는 판독 워드선 RWLo(o=0, 1, 2)에 접속된다. 1개의 판독 워드선 RWLo는 1개의 컬럼 내의 1개의 블록 BK에 대응하고, 또한 X 방향의 복수의 블록에 공통으로 되어 있다.

예를 들면, 1개의 컬럼이 3개의 블록으로 구성되는 경우, 판독 워드선 RWLo의 수는 3개가 된다. 판독 워드선 RWLo는 X 방향으로 연장되고, 그 일단은 판독 워드선 드라이버(23B)에 접속된다.

로우 디코더(25)는 기입 동작 시, 로우 어드레스 신호에 기초하여, 기입 워드선 WWL0, WWL1, … WWL11 중 1개를 선택한다. 기입 워드선 드라이버(23A)는 선택된 기입 워드선에 기입 전류를 공급한다. 기입 전류는 선택된 워드선을 흘러, 기입 워드선 싱커(24)에 흡수된다.

로우 디코더(25)는 판독 동작 시, 예를 들면 상위 로우 어드레스 신호에 기초하여, 1개의 블록을 선택한다. 판독 워드선 드라이버(23B)는 선택된 블록 BK에 접속되는 판독 워드선 RWLo에 판독 워드선 전압을 공급한다. 선택된 플로터 BK에서는 판독 선택 스위치 RSW가 온 상태로 되므로, 판독 전류는 선택된 블록 BK 내의 복수의 TMR 소자를 경유하여, 접지점을 향하여 흐른다.

본 예에서는 Y 방향으로 연장되는 기입 시에만 사용하는 기입선(33)이 메모리 셀 어레이(11) 내에 새롭게 설치되어 있다. 이 기입선(33)은 예를 들면, 1 블록 내의 4개의 TMR 소자(12)에 대응시켜 4개 설치해도 되지만, 본 예에서는 2개의 TMR 소자에 1개의 기입선(33)을 대응시키고 있다. 즉, 1 블록 내의 기입선(33)은 2개로 되어 있다.

기입선(33)의 일단은 컬럼 선택 스위치(MOS 트랜지스터) SWB를 경유하여, 공통 드라이버선(30A)에 접속된다. 공통 드라이버선(30A)은 기입 비트선 드라이버 및 기입 비트선 싱커를 포함하는 회로 블록(29A)에 접속된다.

기입선(33)의 타단은 컬럼 선택 스위치(MOS 트랜지스터) SWB를 경유하여, 공통 드라이버선(30B)에 접속된다. 공통 드라이버선(30B)은 기입 비트선 드라이버 및 기입 비트선 싱커를 포함하는 회로 블록(31)에 접속된다.

컬럼 선택 스위치 SWA의 게이트에는 컬럼 선택선 신호 CSLj(j=0, 1, … 7)가 입력된다. 판독 컬럼 디코더(32A)는 컬럼 선택 스위치 SWA에 대응하여 설치되고, 컬럼 선택선 신호 CSLj를 출력한다.

컬럼 선택 스위치 SWB의 게이트에는 컬럼 선택선 신호 CSLjk(j=0, 1, … 7, k=0, 1)가 입력된다. 기입 컬럼 디코더(32B)는 컬럼 선택 스위치 SWB에 대응하여 설치되고, 컬럼 선택선 신호 CSLjk를 출력한다.

본 예의 자기 랜덤 액세스 메모리에서는 상호 병렬 접속되는 복수의 TMR 소자의 그룹을 1 블록으로 한 경우에, 1개의 컬럼은 복수의 블록의 집합으로 구성된다. 이 때문에, 파괴 판독 동작 시에, 판독 전류가 흐르는 1개의 블록 내의 TMR 소자의 수를 줄일 수 있어, 셀 데이터가 시행 데이터와 다른 경우의 이니셜 데이터와 비교 데이터의 차를 크게 하여, 판독 마진(또는 감도)을 크게 할 수 있다.

또한, 개량예 4에서는 1블록 내의 복수의 TMR 소자(메모리 셀)가, 가로 방향(Y 방향), 즉 반도체 기판의 표면에 대하여 평행한 방향이 아니고, 세로 방향(Z 방향), 즉 반도체 기판의 표면에 대하여 수직인 방향으로 배치되어 있다.

따라서, 개량예 4는 개량예 3에 비하여, TMR 소자(메모리 셀)를 고집적화하는 데 적합한 어레이 구조를 갖는다.

(7) 개량예 3, 4의 주변 회로의 예

① 기입 워드선 드라이버/싱커

우선, 개량예 3, 4(도 17, 도 18 및 도 19)의 기입 워드선 드라이버(23A) 및 기입 워드선 싱커(24)의 회로예에 대하여 설명한다.

기입 워드선 드라이버(23A) 및 기입 워드선 싱커(24)에 대해서는 개량예 3, 4에서 동일한 것을 사용할 수 있다.

도 20은 기입 워드선 드라이버/싱커의 일례를 도시하고 있다.

기입 워드선 드라이버(23A)는 OR 회로 OR15, NAND 회로 ND4 및 P 채널 MOS 트랜지스터 P6으로 구성된다. 기입 워드선 싱커(24)는 N 채널 MOS 트랜지스터 N6으로 구성된다. N 채널 MOS 트랜지스터 N6의 게이트에는 전원 전위 VDD가 입력되어 있다.

OR 회로 OR15에는 기입 신호 WRITE, 트라이얼 신호 TRIAL 및 재기입 신호 REWRITE가 입력된다.

기입 신호 WRITE는 선택된 TMR 소자에 대한 통상의 기입 동작 시에 "H"로 되는 신호이다. 트라이얼 신호 TRIAL은 판독 동작(파괴 판독 동작) 시에, 선택된 TMR 소자에, 소위 시행 데이터를 기입할 때에 "H"로 되는 신호이다. 재기입 신호 REWRITE는 판독 동작(파괴 판독 동작) 시에, 선택된 TMR 소자에 바른 데이터를 재기입할 때에 "H"로 되는 신호이다.

이들 3개의 신호 WRITE, TRIAL, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR15의 출력 신호는 "H"로 된다.

NAND 회로 ND4에는 OR 회로 OR15의 출력 신호 및 로우 어드레스 신호(로우 i)가 입력된다. 로우 i(기입 워드선 WLi)를 선택할 때, 로우 어드레스 신호(로우 i)의 모든 비트는 "H"로 된다. 따라서, 로우 i가 선택되고, 또한 3개의 신호 WRITE, TRIAL, REWRITE 중 어느 1개가 "H"일 때, NAND 회로 ND4의 출력 신호는 "L"로 된다.

로우 어드레스 신호는 상위 로우 어드레스 신호와 하위 로우 어드레스 신호로 구성된다. 본 예에서는 상위 로우 어드레스 신호는 1 컬럼 내의 복수의 블록 중 하나를 선택하기 위해서 사용되고, 하위 로우 어드레스 신호는 선택된 블록 내의 복수의 TMR 소자 중의 1개를 선택하기 위해서 사용된다.

예를 들면, 1 컬럼이 3개 또는 4개의 블록으로 구성되는 경우, 상위 로우 어드레스 신호는 2 비트, 1 블록이 4개의 TMR 소자로 구성되는 경우, 하위 로우 어드레스 신호는 2 비트가 된다.

NAND 회로 ND4의 출력 신호가 "L"로 되면, P 채널 MOS 트랜지스터 P6이 온 상태로 되기 때문에, 기입 전류는 전원 단자 VDD로부터, 기입 워드선 WLi를 경유하여, 기입 워드선 싱커(24)에 흐른다.

또, 로우 i 이외의 로우에 대해서는 로우 어드레스 신호 중 적어도 1 비트가 "L"로 되므로, 로우 i 이외의 로우에 존재하는 기입 워드선에는 기입 전류가 흐르지 않는다.

② 판독 워드선 드라이버

개량예 3, 4(도 17, 도 18 및 도 19)의 판독 워드선 드라이버(23B)의 회로예에 대하여 설명한다.

판독 워드선 드라이버(23B)에 대해서는 개량예 3, 4에서 동일한 것을 사용할 수 있다.

도 21은 판독 워드선 드라이버의 일례를 도시하고 있다.

판독 워드선 드라이버(23B)는 OR 회로 OR16 및 AND 회로 AD14로 구성된다. OR 회로 OR16에는 판독 신호 READ1, READ2가 입력된다.

판독 신호 READ1, READ2는 판독 동작(파괴 판독 동작) 시에, 선택된 블록 내의 복수의 TMR 소자의 합성 저항의 값을 판독할 때에 "H"가 되는 신호이다. 예를 들면, 상술한 바와 같이 통상의 파괴 판독 동작 원리에서는 2회의 판독 동작(도 2의 제1 및 제2 사이클)이 필요하게 된다. 즉, 판독 신호 READ1은 제1 사이클에 있어서 "H"로 되고, 판독 신호 READ2는 제3 사이클에 있어서 "H"로 된다.

이들 2개의 신호 READ1, READ2 중 어느 1개가 "H"로 되면, OR 회로 OR16의 출력 신호는 "H"로 된다.

AND 회로 AD14에는 OR 회로 OR16의 출력 신호 및 상위 로우 어드레스 신호(블록 m을 지정함)가 입력된다. 블록 m을 선택할 때, 상위 로우 어드레스 신호(블록 m을 지정함)의 모든 비트는 "H"로 된다. 따라서, 블록 m이 선택되고, 또한 2개의 신호 READ1, READ2 중 어느 1개가 "H"일 때, AND 회로 AD14의 출력 신호는 "H"로 된다.

AND 회로 AD14의 출력 신호가 "H"로 되면, 선택된 블록 BK 내의 판독 선택 스위치(N 채널 MOS 트랜지스터) RSW가 온 상태가 된다. 따라서, 판독 전류는 선택된 블록 BK 내의 복수의 TMR 소자에 흐른다. 또한, 선택되어 있지 않은 블록 BK 내의 판독 선택 스위치 RSW는 당연히, 오프 상태가 된다. 따라서, 판독 전류는 선택되어 있지 않은 블록 BK 내의 복수의 TMR 소자에 흐르지 않는다.

도 22는 판독 워드선 드라이버의 다른 예를 도시하고 있다.

본 예의 판독 워드선 드라이버는 도 21의 판독 워드선 드라이버와 비교하면, 판독 신호 READ1, READ2가 없어지고, 그 대신에 판독 신호 READ가 추가된 점에 특징을 갖는다.

이 판독 워드선 드라이버는 도 2에서 설명한 파괴 판독 동작 원리를 개량한 새로운 파괴 판독 동작 원리를 자기 랜덤 액세스 메모리에 적용하는 경우에 사용된다.

판독 워드선 드라이버(23B)는 OR 회로 OR17 및 AND 회로 AD15로 구성된다. OR 회로 OR17에는 판독 신호 READ 및 트라이얼 신호 TRIAL이 입력된다.

판독 신호 READ는 판독 동작(파괴 판독 동작) 시에, 선택된 블록 내의 복수의 TMR 소자의 합성 저항의 값을 판독할 때에 "H"로 되는 신호이다. 트라이얼 신호 TRIAL은 판독 동작(파괴 판독 동작) 시에, 선택된 TMR 소자에, 소위 시행 데이터를 기입할 때에 "H"로 되는 신호이다.

개량된 파괴 판독 동작 원리에서는 시행 데이터의 기입 단계에 병행하여, 2회째 판독(비교 데이터의 판독) 단계와 판독 결과의 비교(선택된 TMR 소자의 데이터의 판정) 단계가 행해진다. 즉, 트라이얼 신호 TRIAL이 "H"로 되었을 때에, 이들의 동작이 일제히 행해지도록 하고 있다.

이들 2개의 신호 READ, TRIAL 중 어느 1개가 "H"로 되면, OR 회로 OR17의 출력 신호는 "H"로 된다.

AND 회로 AD15에는 OR 회로 OR17의 출력 신호 및 상위 로우 어드레스 신호(블록 m)가 입력된다. 블록 m을 선택할 때, 상위 로우 어드레스 신호(블록 m)의 모든 비트는 "H"로 된다. 따라서, 블록 m이 선택되고, 또한 2개의 신호 READ, TRIAL 중 어느 하나가 "H"일 때, AND 회로 AD15의 출력 신호는 "H"로 된다.

AND 회로 AD15의 출력 신호가 "H"로 되면, 선택된 블록 BK 내의 판독 선택 스위치(N 채널 MOS 트랜지스터) RSW가 온 상태로 된다. 따라서, 판독 전류는 선택된 블록 BK 내의 복수의 TMR 소자에 흐른다. 또한, 선택되어 있지 않은 블록 BK 내의 판독 선택 스위치 RSW는 당연히, 오프 상태가 된다. 따라서, 판독 전류는 선택되어 있지 않은 블록 BK 내의 복수의 TMR 소자에 흐르지 않는다.

③ 로우 디코더

개량예 3, 4 (도 17, 도 18 및 도 19)의 로우 디코더(25)의 회로예에 대하여 설명한다. 로우 디코더(25)에 대해서는 개량예 3, 4에서 동일한 것을 사용할 수 있다.

도 30은 로우 디코더의 일례를 도시하고 있다.

로우 디코더(25)는 로우 어드레스 신호를 디코드하여, 선택된 로우 i 내의 기입 워드선 드라이버(23A)에 제공하는 로우 어드레스 신호의 전체 비트를 "1"로 한다. 또한, 로우 디코더(25)는 선택된 블록 BK에 대응하는 판독 워드선 드라이버(23B)에 제공하는 상위 로우 어드레스 신호의 전체 비트(본 예에서는 2 비트)를 "1"로 한다.

④ 컬럼 디코더

개량예 3(도 17 및 도 18)의 컬럼 디코더(32)의 회로예에 대해서 설명한다.

도 23은 컬럼 디코더의 일례를 도시하고 있다.

컬럼 디코더(32)는 OR 회로 OR18, AND 회로 AD16으로 구성된다. OR 회로 OR18에는 판독 신호 READ1, READ2, 기입 신호 WRITE, 트라이얼 신호 TRIAL 및 재기입 신호 REWRITE가 입력된다.

기입 신호 WRITE, 트라이얼 신호 TRIAL 및 재기입 신호 REWRITE는 도 20의 기입 워드선 드라이버(23A)에 입력되는 기입 신호 WRITE, 트라이얼 신호 TRIAL 및 재기입 신호 REWRITE와 동일하다.

판독 신호 READ1, READ2는 판독 동작(파괴 판독 동작) 시에, 선택된 컬럼을 구성하는 복수의 TMR 소자의 합성 저항의 값을 판독할 때에 "H"로 되는 신호이다.

이들 5개의 신호 READ1, READ2, WRITE, TRIAL, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR18의 출력 신호는 "H"로 된다.

AND 회로 AD16에는 OR 회로 OR18의 출력 신호 및 컬럼 어드레스 신호(컬럼 j를 지정함)가 입력된다. 컬럼 j(비트선 BLj)를 선택할 때, 컬럼 어드레스 신호(컬럼 j를 지정함)의 모든 비트는 "H"가 된다. 따라서, 컬럼 j가 선택되고, 또한 5개의 신호 READ1, READ2, WRITE, TRIAL, REWRITE 중 어느 1개가 "H"일 때, AND 회로 AD16의 출력 신호는 "H"로 된다.

AND 회로 AD16의 출력 신호가 "H"로 되면, 도 18의 컬럼 선택 스위치(N 채널 MOS 트랜지스터) SW가 온 상태가 된다. 이 때문에, 기입 동작 시에는 기입 전류가 비트선 BLj에 흐르고, 판독 동작 시에는 판독 전류가 복수의 TMR 소자에 흐른다.

도 24는 컬럼 디코더의 다른 예를 도시하고 있다.

도 24의 컬럼 디코더(32)는 도 23의 컬럼 디코더(32)와 비교하면, 판독 신호 READ1, READ2가 없어지고, 그 대신에 판독 신호 READ가 추가된 점에 특징을 갖는다.

이 컬럼 디코더(32)는 개량된 파괴 판독 동작 원리를 자기 랜덤 액세스 메모리에 적용하는 경우에 사용된다. 이 개량된 파괴 판독 동작 원리에서는, 예를 들면 도 2의 제2 사이클과 제3 사이클을 1개의 사이클에 통합하고 있다.

따라서, 컬럼 디코더(32)에는, 예를 들면 2개의 판독 신호 READ1, READ2 대신에, 판독 신호 READ가 입력된다.

⑤ 판독/기입 컬럼 디코더

개량예 4(도 19)의 판독/기입 컬럼 디코더(32A, 32B)의 회로예에 대하여 설명한다.

도 25는 판독 컬럼 디코더의 일례를 도시하고 있다.

판독 컬럼 디코더(32A)는 OR 회로 OR20, AND 회로 AD18로 구성된다. OR 회로 OR20에는 판독 신호 READ1, READ2가 입력된다.

판독 신호 READ1, READ2는 판독 동작(파괴 판독 동작) 시에, 선택된 컬럼을 구성하는 복수의 TMR 소자의 합성 저항의 값을 판독할 때에 "H"로 되는 신호이다.

이들 2개의 신호 READ1, READ2 중 어느 1개가 "H"로 되면, OR 회로 OR20의 출력 신호는 "H"로 된다.

AND 회로 AD18에는 OR 회로 OR20의 출력 신호 및 컬럼 어드레스 신호(컬럼 j를 지정함)가 입력된다. 컬럼 j(비트선 BLj)를 선택할 때, 컬럼 어드레스 신호(컬럼 j를 지정함)의 모든 비트는 "H"로 된다.

따라서, 컬럼 j가 선택되고, 또한 2개의 신호 READ1, READ2 중 어느 1개가 "H"일 때, AND 회로 AD18의 출력 신호는 "H"로 된다.

AND 회로 AD18의 출력 신호가 "H"로 되면, 도 19의 컬럼 선택 스위치(N 채널 MOS 트랜지스터) SWA가 온 상태로 된다. 이 때문에, 판독 동작 시에는 판독 전류가 복수의 TMR 소자에 흐른다.

도 26은 판독 컬럼 디코더의 다른 예를 도시하고 있다.

도 26의 판독 컬럼 디코더(32A)는 도 25의 판독 컬럼 디코더(32A)와 비교하면, 판독 신호 READ1, READ2가 없어지고, 그 대신에 판독 신호 READ 및 트라이얼 신호 TRIAL이 추가된 점에 특징을 갖는다.

이 판독 컬럼 디코더(32A)는 개량된 파괴 판독 동작 원리를 자기 랜덤 액세스 메모리에 적용하는 경우에 사용된다.

도 27은 기입 컬럼 디코더의 일례를 도시하고 있다.

기입 컬럼 디코더(32B)는 OR 회로 OR21, AND 회로 AD19로 구성된다. OR 회로 OR21에는 기입 신호 WRITE, 트라이얼 신호 TRIAL 및 재기입 신호 REWRITE가 입력된다.

기입 신호 WRITE, 트라이얼 신호 TRIAL 및 재기입 신호 REWRITE는 도 20의 기입 워드선 드라이버(23A)에 입력되는 기입 신호 WRITE, 트라이얼 신호 TRIAL 및 재기입 신호 REWRITE와 동일하다.

이들 3개의 신호 WRITE, TRIAL, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR21의 출력 신호는 "H"로 된다.

AND 회로 AD19에는 OR 회로 OR21의 출력 신호 및 컬럼 어드레스 신호(컬럼 j를 지정함)가 입력된다. 컬럼 어드레스 신호는 상위 컬럼 어드레스 신호와 하위 컬럼 어드레스 신호로 구성된다.

상위 컬럼 어드레스 신호는 1개의 컬럼을 선택한다. 하위 컬럼 어드레스 신호는 선택된 컬럼 내에 존재하는 Z 방향으로 중첩된 복수의 TMR 소자를 선택하기 위해서 사용된다. 도 19의 예에서는 TMR 소자는 Z 방향으로 4단으로 중첩되고, 이들의 선택을 위해 2개의 기입선(33)이 설치된다. 이 때문에, 하위 컬럼 어드레스 신호는 1 비트로 한다.

컬럼 어드레스 신호에 의해 컬럼 j 내의 (k+ 1)단째 TMR 소자가 선택되고, 또한 3개의 신호 WRITE, TRIAL, REWRITE 중 어느 하나가 "H"일 때, AND 회로 AD3의 출력 신호는 "H"로 된다.

AND 회로 AD19의 출력 신호가 "H", 즉 컬럼 선택선 신호 CSLjk 가 "H"로 되면, 도 19의 컬럼 선택 스위치(N 채널 MOS 트랜지스터) SWB가 온 상태로 된다. 이 때문에, 기입 동작 시에는 기입 전류가 도 19의 기입선(33) 중의 1개에 흐른다.

또, 도 27의 기입 컬럼 디코더는 통상의 파괴 판독 원리 및 개량된 새로운 파괴 판독 원리 중 어느 원리를 자기 랜덤 액세스 메모리에 적용하는 경우에도 사용할 수 있다.

⑥ 기입 비트선 드라이버/싱커

개량예 3, 4(도 17, 도 18 및 도 19)의 기입 비트선 드라이버/싱커(29, 31)의 회로예에 대하여 설명한다.

기입 비트선 드라이버/싱커(29, 31)에 대해서는 개량예 3, 4로 동일한 것을 사용할 수 있다.

A. 도 28은 기입 비트선 드라이버/싱커의 일례를 도시하고 있다.

본 예의 기입 비트선 드라이버/싱커는 파괴 판독 동작 원리(예를 들면, 도 2 참조)의 제2 사이클로, 선택된 TMR 소자에 기입하는, 소위 시행 데이터가 "1"의 경우에 대응하고 있다.

a. 기입 비트선 드라이버/싱커(29)

기입 비트선 드라이버/싱커(29)는 OR 회로 OR5, OR6, OR7, AND 회로 AD4, AD5, NAND 회로 ND2, 인버터 회로 I1, P 채널 MOS 트랜지스터 P2 및 N 채널 MOS 트랜지스터 N2로 구성된다.

기입 비트선 드라이버는 OR 회로 OR5, NAND 회로 ND2, 인버터 회로 I1 및 P 채널 MOS 트랜지스터 P2로 구성된다. OR 회로 OR5에는 기입 신호 WRITE 및 재기입 신호 REWRITE가 입력된다.

기입 신호 WRITE는 선택된 TMR 소자에 대한 통상의 기입 동작 시에 "H"로 되는 신호이다. 재기입 신호 REWRITE는 판독 동작(파괴 판독 동작) 시에, 선택된 TMR 소자에 바른 데이터를 재기입할 때에 "H"로 되는 신호이다.

이들 2개의 신호 WRITE, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR5의 출력 신호는 "H"로 된다.

인버터 회로 I1에는 기입 데이터 DATA가 입력된다. 여기서, 기입 데이터는, 시행 데이터를 제외한 통상의 기입 데이터(재기입 데이터를 포함함)를 의미한다.

NAND 회로 ND2에는 OR 회로 OR5의 출력 신호 및 인버터 회로 I1의 출력 신호가 입력된다. OR 회로 OR5의 출력 신호가 "H"의 경우, 기입 데이터 DATA가 "1"이면, 인버터 회로 I1의 출력 신호는 "L"로 되므로, NAND 회로 ND2의 출력 신호는 "H"로 된다. 한편, 기입 데이터 DATA가 "0"이면, 인버터 회로 I1의 출력 신호는 "H"로 되므로, NAND 회로 ND2의 출력 신호는 "L"로 된다.

또, "1"은 "H"에 대응하고, "0"은 "L"에 대응한다.

NAND 회로 ND2의 출력 신호가 "H"의 경우에는 P 채널 MOS 트랜지스터 P2는 오프 상태로 되고, NAND 회로 ND2의 출력 신호가 "L"의 경우에는 P 채널 MOS 트랜지스터 P2는 온 상태가 된다.

기입 비트선 싱커는 OR 회로 OR6, OR7, AND 회로 AD4, AD5 및 N 채널 MOS 트랜지스터 N2로 구성된다. OR 회로 OR6에는 기입 신호 WRITE 및 재기입 신호 REWRITE가 입력된다. 이들 2개의 신호 WRITE, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR5의 출력 신호는 "H"로 된다.

AND 회로 AD4에는 OR 회로 OR6의 출력 신호 및 기입 데이터 DATA가 입력된다.

OR 회로 OR6의 출력 신호가 "H"의 경우, 기입 데이터 DATA가 "1"이면, AND 회로 AD4의 출력 신호는 "H"로 된다. 한편, 기입 데이터 DATA가 "0"이면, AND 회로 AD4의 출력 신호는 "L"로 된다.

AND 회로 AD5에는 트라이얼 신호 TRIAL이 입력된다. 트라이얼 신호 TRIAL은 판독 동작(파괴 판독 동작) 시에, 선택된 TMR 소자에, 소위 시행 데이터를 기입할 때에 "H"로 되는 신호이다. AND 회로 AD5는 2개의 입력 단자를 갖고, 한쪽에는 트라이얼 신호 TRIAL이 입력되고, 다른 쪽은 항상 "1"에 고정된다.

OR 회로 OR7의 출력 신호는, 2개의 AND 회로 AD4, AD5의 출력 신호 중 어느 한쪽이 "H"일 때에, "H"로 된다. 즉, 2개의 신호 WRITE, REWRITE 중 1개가 "H"로 되고, 또한 기입 데이터 DATA가 "1"일 때, OR 회로 OR7의 출력 신호는 "H"로 된다. OR 회로 OR7의 출력 신호가 "H"로 되면, N 채널 MOS 트랜지스터 N2는 온 상태가 된다.

트라이얼 신호 TRIAL이 "H"가 되었을 때에도, OR 회로 OR7의 출력 신호는 "H"로 되고, 또한 N 채널 MOS 트랜지스터 N2는 온 상태가 된다. 즉, 시행 데이터가 "1"의 경우에는 기입 비트선 드라이버/싱커(31)로부터 기입 비트선 드라이버/싱커(29)를 향하는 전류를 기입선(26, 33)에 흘린다.

b. 기입 비트선 드라이버/싱커(31)

기입 비트선 드라이버/싱커(31)는 OR 회로 OR8, OR9, AND 회로 AD6, AD7, AD8, NOR 회로 NR1, 인버터 회로 I2, P 채널 MOS 트랜지스터 P3 및 N 채널 MOS 트랜지스터 N3으로 구성된다.

기입 비트선 드라이버는 OR 회로 OR8, AND 회로 AD6, AD7, NOR 회로 NR1 및 P 채널 MOS 트랜지스터 P3으로 구성된다. OR 회로 OR8에는 기입 신호 WRITE 및 재기입 신호 REWRITE가 입력된다. 이들 2개의 신호 WRITE, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR8의 출력 신호는 "H"로 된다.

AND 회로 AD6에는 OR 회로 OR8의 출력 신호 및 기입 데이터 DATA가 입력된다. OR 회로 OR8의 출력 신호가 "H"의 경우, 기입 데이터 DATA가 "1"이면, AND 회로 AD6의 출력 신호는 "H"로 된다. 한편, 기입 데이터 DATA가 "0"이면, AND 회로 AD6의 출력 신호는 "L"로 된다.

AND 회로 AD7에는 트라이얼 신호 TRIAL이 입력된다. 트라이얼 신호 TRIAL은 상술된 바와 같이 파괴 판독 동작 시에, 선택된 TMR 소자에, 소위 시행 데이터를 기입할 때에 "H"로 되는 신호이다. AND 회로 AD7은 두 개의 입력 단자를 갖고, 한쪽에는 트라이얼 신호 TRIAL이 입력되고, 다른쪽은 항상 "1"로 고정된다.

NOR 회로 NR1의 출력 신호는 2개의 AND 회로 AD6, AD7의 출력 신호 중의 적어도 1개가 "H"일 때에, "L"로 된다. 즉, 2개의 신호 WRITE, REWRITE 중의 1개가 "H"로 되고, 또한 기입 데이터 DATA가 "1"일 때, NOR 회로 NR1의 출력 신호는 "L"로 된다. NOR 회로 NR1의 출력 신호가 "L"로 되면, P 채널 MOS 트랜지스터 P3은 온 상태가 된다.

트라이얼 신호 TRIAL이 "H"로 되었을 때에도, NOR 회로 NR1의 출력 신호는 "L"로 되고, 또한 P 채널 MOS 트랜지스터 P3은 온 상태가 된다. 즉, 시행 데이터가 "1"의 경우에는 기입 비트선 드라이버/싱커(31)로부터 기입 비트선 드라이버/싱커(29)를 향하는 전류를 기입선(26, 33)에 흘린다.

기입 비트선 싱커는 OR 회로 OR9, AND 회로 AD8, 인버터 회로 I2 및 N 채널 MOS 트랜지스터 N3으로 구성된다. OR 회로 OR9에는 기입 신호 WRITE 및 재기입 신호 REWRITE가 입력된다. 이들 2개의 신호 WRITE, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR9의 출력 신호는 "H"로 된다.

기입 데이터 DATA는 인버터 회로 I2에 입력된다. AND 회로 AD8에는 OR 회로 OR9의 출력 신호 및 인버터 회로 I2의 출력 신호가 입력된다.

OR 회로 OR9의 출력 신호가 "H"의 경우, 기입 데이터 DATA가 "1"이면, AND 회로 AD8의 출력 신호는 "L"로 된다. 한편, 기입 데이터 DATA가 "0"이면, AND 회로 AD8의 출력 신호는 "H"가 된다. AND 회로 AD8의 출력 신호가 "L"의 경우에는 N 채널 MOS 트랜지스터 N3은 오프 상태로 되고, AND 회로 AD8의 출력 신호가 "H"의 경우에는 N 채널 MOS 트랜지스터 N3은 온 상태로 된다.

c. 이와 같이 도 28의 기입 비트선 드라이버/싱커에서는, 기입 동작 시, 즉 신호 WRITE, REWRITE 중 어느 한쪽이 "H"일 때에는 기입 데이터 DATA의 값("1" 또는 "0")에 따라, 기입선(26, 33)에 흐르는 기입 전류의 방향이 결정된다.

또한, 판독 동작 시에도, 시행 데이터를 TMR 소자에 기입할 때는 트라이얼 신호 TRIAL이 "H"로 되므로, 본 예에서는 기입 비트선 드라이버/싱커(31)로부터 기입 비트선 드라이버/싱커(29)를 향하는 기입 전류가 기입선(26, 33)에 흐른다. 이 때, 선택된 TMR 소자에는 시행 데이터 "1"이 기입된다.

B. 도 29는 기입 비트선 드라이버/싱커의 다른 예를 도시하고 있다.

본 예의 기입 비트선 드라이버/싱커는 파괴 판독 동작 원리(예를 들면, 도 2 참조)의 제2 사이클로, 선택된 TMR 소자에 기입하는, 소위 시행 데이터가 "0"의 경우에 대응하고 있다.

a. 기입 비트선 드라이버/싱커(29)

기입 비트선 드라이버/싱커(29)는 OR 회로 OR10, OR11, AND 회로 AD9, AD10, AD11, NOR 회로 NR2, 인버터 회로 I3, I4, P 채널 MOS 트랜지스터 P4 및 N 채널 MOS 트랜지스터 N4로 구성된다.

기입 비트선 드라이버는 OR 회로 OR10, AND 회로 AD9, AD10, NOR 회로 NR2, 인버터 회로 I3, I4 및 P 채널 MOS 트랜지스터 P4로 구성된다. OR 회로 OR10에는 기입 신호 WRITE 및 재기입 신호 REWRITE가 입력된다. 이들 2개의 신호 WRITE, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR10의 출력 신호는 "H"로 된다.

기입 데이터 DATA는 인버터 회로 I3에 입력된다. AND 회로 AD9에는 OR 회로 OR10의 출력 신호 및 인버터 회로 I3의 출력 신호가 입력된다. OR 회로 OR10의 출력 신호가 "H"의 경우, 기입 데이터 DATA가 "1"이면, AND 회로 AD9의 출력 신호는 "L"로 된다. 한편, 기입 데이터 DATA가 "0"이면, AND 회로 AD9의 출력 신호는 "H"로 된다.

AND 회로 AD10에는 트라이얼 신호 TRIAL이 입력된다. 트라이얼 신호 TRIAL은 파괴 판독 동작 시에, 선택된 TMR 소자에, 소위 시행 데이터를 기입할 때에 "H"로 되는 신호이다. AND 회로 AD10은 2개의 입력 단자를 갖고, 한쪽에는 트라이얼 신호 TRIAL이 입력되고, 다른 쪽은 인버터 I4의 입력 신호가 "0"에 고정되어 있기 때문에, 항상 "1"에 고정된다.

NOR 회로 NR2의 출력 신호는 2개의 AND 회로 AD9, AD10의 출력 신호 중의 적어도 1개가 "H"일 때에, "L"로 된다. 즉, 2개의 신호 WRITE, REWRITE 중의 1개가 "H"로 되고, 또한 기입 데이터 DATA가 "0"일 때, NOR 회로 NR2의 출력 신호는 "L"로 된다. NOR 회로 NR2의 출력 신호가 "L"로 되면, P 채널 MOS 트랜지스터 P4는 온 상태로 된다.

트라이얼 신호 TRIAL이 "H"가 되었을 때에도, NOR 회로 NR2의 출력 신호는 "L"로 되고, 또한 P 채널 MOS 트랜지스터 P4는 온 상태로 된다. 즉, 시행 데이터가 "0"의 경우에는 기입 비트선 드라이버/싱커(29)로부터 기입 비트선 드라이버/싱커(31)를 향하는 전류를 기입선(26, 33)에 흘린다.

기입 비트선 싱커는 OR 회로 OR11, AND 회로 AD11 및 N 채널 MOS 트랜지스터 N4로 구성된다. OR 회로 OR11에는 기입 신호 WRITE 및 재기입 신호 REWRITE가 입력된다. 이들 2개의 신호 WRITE, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR11의 출력 신호는 "H"로 된다.

AND 회로 AD11에는 OR 회로 OR11의 출력 신호 및 기입 데이터 DATA가 입력된다.

OR 회로 OR11의 출력 신호가 "H"의 경우, 기입 데이터 DATA가 "1"이면, AND 회로 AD11의 출력 신호는 "H"로 된다. 한편, 기입 데이터 DATA가 "0"이면, AND 회로 AD11의 출력 신호는 "L"로 된다. AND 회로 AD11의 출력 신호가 "H"의 경우에는 N 채널 MOS 트랜지스터 N4는 온 상태로 되고, AND 회로 AD11의 출력 신호가 "L"의 경우에는 N 채널 MOS 트랜지스터 N4는 오프 상태로 된다.

b. 기입 비트선 드라이버/싱커(31)

기입 비트선 드라이버/싱커(31)는 OR 회로 OR12, OR13, OR14, AND 회로 AD12, AD13, NAND 회로 ND3, 인버터 회로 I5, I6, P 채널 MOS 트랜지스터 P5 및 N 채널 MOS 트랜지스터 N5로 구성된다.

기입 비트선 드라이버는 OR 회로 OR12, NAND 회로 ND3 및 P 채널 MOS 트랜지스터 P5로 구성된다. OR 회로 OR12에는 기입 신호 WRITE 및 재기입 신호 REWRITE가 입력된다. 이들 2개의 신호 WRITE, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR12의 출력 신호는 "H"로 된다.

NAND 회로 ND2에는 OR 회로 OR12의 출력 신호 및 기입 데이터 DATA가 입력된다. OR 회로 OR12의 출력 신호가 "H"의 경우, 기입 데이터 DATA가 "1"이면, NAND 회로 ND3의 출력 신호는 "L"로 된다. 한편, 기입 데이터 DATA가 "0"이면, NAND 회로 ND3의 출력 신호는 "H"로 된다.

NAND 회로 ND3의 출력 신호가 "L"의 경우에는 P 채널 MOS 트랜지스터 P5는 온 상태로 되고, NAND 회로 ND3의 출력 신호가 "H"의 경우에는 P 채널 MOS 트랜지스터 P5는 오프 상태로 된다.

기입 비트선 싱커는 OR 회로 OR13, OR14, AND 회로 AD12, AD13, 인버터 회로 I5, I6 및 N 채널 MOS 트랜지스터 N5로 구성된다. OR 회로 OR13에는 기입 신호 WRITE 및 재기입 신호 REWRITE가 입력된다. 이들 2개의 신호 WRITE, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR13의 출력 신호는 "H"로 된다.

기입 데이터 DATA는 인버터 회로 I5에 입력된다. AND 회로 AD12에는 OR 회로 OR13의 출력 신호 및 인버터 회로 I5의 출력 신호가 입력된다.

OR 회로 OR13의 출력 신호가 "H"의 경우, 기입 데이터 DATA가 "1"이면, AND 회로 AD12의 출력 신호는 "L"로 된다. 한편, 기입 데이터 DATA가 "0"이면, AND 회로 AD12의 출력 신호는 "H"로 된다.

AND 회로 AD13에는 트라이얼 신호 TRIAL이 입력된다. 트라이얼 신호 TRIAL은 판독 동작(파괴 판독 동작) 시에, 선택된 TMR 소자에, 소위 시행 데이터를 기입할 때에 "H"로 되는 신호이다. AND 회로 AD13은 2개의 입력 단자를 갖고, 한쪽에는 트라이얼 신호 TRIAL이 입력되고, 다른 쪽은 인버터 I6의 입력 신호가 "0"에 고정되어 있기 때문에, 항상 "1"에 고정된다.

OR 회로 OR14의 출력 신호는 2개의 AND 회로 AD12, AD13의 출력 신호 중 어느 한쪽이 "H"일 때에, "H"로 된다. 즉, 2개의 신호 WRITE, REWRITE 중 1개가 "H"로 되고, 또한 기입 데이터 DATA가 "0"일 때, OR 회로 OR14의 출력 신호는 "H"로 된다. OR 회로 OR14의 출력 신호가 "H"로 되면, N 채널 MOS 트랜지스터 N5는 온 상태가 된다.

트라이얼 신호 TRIAL이 "H"로 되었을 때에도, OR 회로 OR14의 출력 신호는 "H"로 되고, 또한 N 채널 MOS 트랜지스터 N5는 온 상태가 된다. 즉, 시행 데이터가 "0"의 경우에는 기입 비트선 드라이버/싱커(29)로부터 기입 비트선 드라이버/싱커(31)를 향하는 전류를 기입선(26, 33)에 흘린다.

c. 이와 같이 도 29의 기입 비트선 드라이버/싱커에서는 판독 동작에서, 시행 데이터를 TMR 소자에 기입하는 경우에, 트라이얼 신호 TRIAL을 "H"로 하고, 기입 비트선 드라이버/싱커(29)로부터 기입 비트선 드라이버/싱커(31)를 향하는 기입 전류를 기입선(26, 33)에 흘리고 있다.

즉, 도 28의 예에서는 TMR 소자에 기입하는 시행 데이터가 "1"인 반면, 도 29의 예에서는 TMR 소자에 기입하는 시행 데이터가 "0"으로 되어 있다.

또, 통상의 기입 동작 시에서는 신호 WRITE, REWRITE의 어느 한쪽이 "H"로 되므로(트라이얼 신호 TRIAL은 "L"), 기입 데이터 DATA의 값("1" 또는 "0")에 따라, 기입선(26, 33)으로 흐르는 기입 전류의 방향이 결정된다.

(8) 개량예 3, 4를 이용한 판독 동작 원리

개량예 3, 4의 상세한 구성에 대해서는 상술한 바와 같다. 이하에서는 개량예 3, 4를 이용한 판독 동작 원리에 대하여 설명한다.

① 판독 동작 원리 1

도 31은 판독 동작 원리 1을 도시하는 파형도이다.

이 판독 동작 원리는 도 2에 도시하는 판독 동작 원리에 관한 것이다. 단, 본 예에서는 1회의 판독 동작이 5개의 단계로 구성된다. 즉, 본 예에서는 2회째 판독 단계와 재기입 단계 사이에, 판독 결과를 비교하는 단계를 삽입하고 있다.

이 판독 동작 원리를 실행하는 데에 있어서 사용하는 회로에 대해서는 도 17 및 도 18의 개량예 3에서는 도 20에 도시하는 기입 워드선 드라이버/싱커, 도 21에 도시하는 판독 워드선 드라이버, 도 23에 도시하는 컬럼 디코더 및 도 28에 도시하는 기입 비트선 드라이버/싱커(시행 데이터 "1")로 한다.

또한, 도 19의 개량예 4에서는 도 20에 도시하는 기입 워드선 드라이버/싱커, 도 21에 도시하는 판독 워드선 드라이버, 도 25에 도시하는 판독 컬럼 디코더, 도 27에 도시하는 기입 컬럼 디코더, 및, 도 28에 도시하는 기입 비트선 드라이버/싱커(시행 데이터 "1")로 한다.

A. 제1 단계

제1 단계에서는 이니셜 데이터의 판독을 행한다(1회째 판독)

이 단계에서는 판독 신호 READ1이 "H"로 된다.

따라서, 개량예 3의 경우, 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 선택된 컬럼에서는 컬럼 선택선 신호 CSLj(도 23)가 "H"로 된다. 또한, 개량예 4의 경우, 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼에 있어서는 컬럼 선택선 신호 CSLj(도 25)가 "H"로 된다.

또한, 개량예 3, 4에서는 상위 로우 어드레스 신호의 전체 비트가 "1"로 되는 판독 워드선 드라이버(23B)(도 21)의 출력 신호 RWL0이 "H"로 된다. 이 출력 신호 RWL0을 받는 선택된 블록 BK 내의 판독 선택 스위치 RSW가 온 상태로 된다.

또한, 감지 증폭기 인에이블 신호가 "H"로 되고, 감지 증폭기가 동작 상태가 된다. 그 결과, 도 18의 개량예 3에서는 회로 블록(29) 내의 판독 회로 내의 전류원에서 발생한 판독 전류가, 선택된 블록 BK 내의 복수의 TMR 소자를 경유하여, 접지점에 흐른다. 도 19의 개량예 4에서는 판독 회로(29B) 내의 전류원에서 발생한 판독 전류가, 선택된 블록 BK 내의 복수의 TMR 소자를 경유하여, 접지점에 흐른다.

판독 회로는 판독 전류가 흐르고 있는 상태에서, 이니셜 데이터의 검출을 행한다. 이니셜 데이터는 선택된 컬럼을 구성하는 병렬 접속된 복수의 TMR 소자의 합성 저항에 의존한다. 이니셜 데이터는 감지 증폭기 내의 기억 회로에 기억된다.

B. 제2 단계

제2 단계에서는 선택된 TMR 소자에 대하여, 시행 데이터의 기입을 행한다. 본 예에서는 시행 데이터는 "1"이다.

이 단계에서는 트라이얼 신호 TRIAL이 "H"로 된다.

따라서, 개량예 3, 4의 경우, 로우 어드레스 신호의 전체 비트가 "1"이 되는 선택된 로우에서는 기입 워드선 드라이버 내의 P 채널 MOS 트랜지스터 P6(도 20)이 온 상태로 된다. 이에 의해, 선택된 로우 내의 기입 워드선에는 기입 전류가 흐른다.

또한, 개량예 3의 경우, 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼에서는 컬럼 선택선 신호 CSLj(도 23)가 "H"로 된다. 또한, 개량예 4의 경우, 상위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼이고, 하위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 단에 있어서는 컬럼 선택선 신호 CSLjk(도 27)가 "H"로 된다.

즉, 개량예 3의 경우, 선택된 컬럼 내의 컬럼 선택 스위치 SW가 온 상태로 되고, 개량예 4의 경우, 선택된 컬럼 내의 선택된 단에 대응하는 컬럼 선택 스위치 SWB가 온 상태가 된다.

또한, 도 28의 기입 비트선 드라이버/싱커(29)에서는 트라이얼 신호 TRIAL이 "H"이므로, N 채널 MOS 트랜지스터 N2가 온 상태가 된다. 도 28의 기입 비트선 드라이버/싱커(31)에서는 트라이얼 신호 TRIAL이 "H"이므로, P 채널 MOS 트랜지스터 P2가 온 상태가 된다.

따라서, 도 18의 개량예 3의 경우에는 선택된 컬럼 내의 기입선(26)에 기입 비트선 드라이버/싱커(31)로부터 기입 비트선 드라이버/싱커(29)를 향하는 기입 전류가 흐른다. 또한, 도 19의 개량예 4의 경우에는 선택된 컬럼 내의 선택된 단 내의 기입선(33)에 기입 비트선 드라이버/싱커(31)로부터 기입 비트선 드라이버/싱커(29)를 향하는 기입 전류가 흐른다.

그 결과, 선택된 TMR 소자에는 시행 데이터("1")가 기입된다. 이 후, 컬럼 선택 스위치 SW, SWB를 오프 상태로 하여, 기입 전류를 차단한다. 또한, 선택된 로우 내의 기입 워드선에 흐르는 기입 전류에 대해서도 차단한다.

C. 제3 단계

제3 단계에서는 비교 데이터의 판독을 행한다(2회째 판독).

이 단계에서는 판독 신호 READ2가 "H"로 된다.

따라서, 개량예 3의 경우, 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 선택된 컬럼에서는 컬럼 선택선 신호 CSLj(도 23)가 "H"로 된다. 또한, 개량예 4의 경우, 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼에 있어서는 컬럼 선택선 신호 CSLj(도 25)가 "H"로 된다.

또한, 개량예 3, 4에서는 상위 로우 어드레스 신호의 전체 비트가 "1"이 되는 판독 워드선 드라이버(23B)(도 21)의 출력 신호 RWL0이 "H"로 된다. 이 출력 신호 RWL0을 받는 선택된 블록 BK 내의 판독 선택 스위치 RSW가 온 상태로 된다.

또한, 감지 증폭기 인에이블 신호가 "H"로 되고, 감지 증폭기가 동작 상태로 된다. 그 결과, 도 18의 개량예 3에서는 회로 블록(29) 내의 판독 회로 내의 전류원에서 발생한 판독 전류가, 선택된 블록 BK 내의 복수의 TMR 소자를 경유하여, 접지점에 흐른다. 도 19의 개량예 4에서는 판독 회로(29B) 내의 전류원에서 발생한 판독 전류가, 선택된 블록 BK 내의 복수의 TMR 소자를 경유하여, 접지점에 흐른다.

판독 회로는 판독 전류가 흐르고 있는 상태에서, 비교 데이터의 검출을 행한다. 비교 데이터는 선택된 컬럼을 구성하는 병렬 접속된 복수의 TMR 소자의 합성 저항에 의존한다.

D. 제4 단계

제4 단계에서는 이니셜 데이터와 비교 데이터를 비교하여, 선택된 TMR 소자의 데이터의 값을 판단한다.

즉, 이니셜 데이터와 비교 데이터가 동일하다고 판단된 경우에는 제2 단계의 시행 데이터의 기입에 의해, 선택된 TMR 소자의 저항값이 변하지 않은 것을 의미하므로, 선택된 TMR 소자의 데이터의 값은 시행 데이터의 값과 동일한 값으로 판단된다.

반대로, 이니셜 데이터와 비교 데이터가 다르다고 판단된 경우에는 제2 단계의 시행 데이터의 기입에 의해, 선택된 TMR 소자의 저항값이 변화한 것을 의미하므로, 선택된 TMR 소자의 데이터의 값은 시행 데이터의 값과 역의 값을 갖는다고 판단된다.

본 예에서는 시행 데이터가 "1"이라고 가정하고 있기 때문에, 이니셜 데이터와 비교 데이터가 동일하면, 선택된 TMR 소자의 데이터는 "1"이라고 판단되고, 이니셜 데이터와 비교 데이터가 다르면, 선택된 TMR 소자의 데이터는 "0"이라고 판단된다.

이와 같이 하여, 선택된 TMR 소자의 데이터의 값이 결정된다.

또, 제4 단계는 트리거 신호에 기초하여, 2회의 판독 결과의 비교를 실행한다. 여기서, 본 예에서는 컬럼 선택선 신호 및 감지 증폭기 인에이블 신호는 트리거 신호가 "H"로 되기 직전에, "L"로 된다.

단, 도 32의 파형도에 도시한 바와 같이 컬럼 선택선 신호 및 감지 증폭기 인에이블 신호에 대해서는 제3 단계로부터 제4 단계에 걸쳐, "H" 레벨을 유지하도록 해도 된다.

그런데, 제4 단계를 실행하기 위한 회로, 즉 판독 회로(감지 증폭기를 포함함)의 구체적인 구성에 대해서는 후에 상술한다.

E. 제5 단계

제5 단계에서는 선택된 TMR 소자에 대하여, 데이터의 재기입을 행한다. 본 예의 판독 동작 원리에서는 제2 단계에서, 시행 데이터가, 선택된 TMR 소자에 기입된다. 즉, 이 때, 선택된 TMR 소자의 데이터는 파괴되게 된다.

따라서, 선택된 TMR 소자의 데이터의 값을 판단한 후, 선택된 TMR 소자에 대하여, 데이터의 재기입을 행한다.

이 단계에서는 재기입 신호 REWRITE가 "H"로 된다.

따라서, 개량예 1, 2의 경우, 로우 어드레스 신호의 전체 비트가 "1"이 되는 선택된 로우에서는 기입 워드선 드라이버 내의 P 채널 MOS 트랜지스터 P6(도 20)이 온 상태로 된다. 이에 의해, 선택된 로우 내의 기입 워드선에는 기입 전류가 흐른다.

또한, 개량예 3의 경우, 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼에서는 컬럼 선택선 신호 CSLj(도 23)가 "H"로 된다. 또한, 개량예 4의 경우, 상위 컬럼 어드레스 신호의 전체 비트가 "1"가 되는 컬럼이고, 하위 컬럼 어드레스 신호의 전체 비트가 "1"가 되는 단에 있어서는 컬럼 선택선 신호 CSLjk(도 27)가 "H"로 된다.

즉, 개량예 3의 경우, 선택된 컬럼 내의 컬럼 선택 스위치 SW가 온 상태로 되고, 개량예 4의 경우, 선택된 컬럼 내의 선택된 단에 대응하는 컬럼 선택 스위치 SWB가 온 상태가 된다.

또한, 도 28의 기입 비트선 드라이버/싱커(29)에서는 재기입 신호 REWRITE가 "H"이므로, 재기입 데이터 DATA의 값에 따라, MOS 트랜지스터 P2, N2의 온/오프 상태가 결정된다. 도 28의 기입 비트선 드라이버/싱커(31)에 있어서도, 재기입 신호 REWRITE가 "H"이므로, 재기입 데이터 DATA의 값에 따라, MOS 트랜지스터 P3, N3의 온/오프 상태가 결정된다.

따라서, 도 18의 개량예 3의 경우에는 선택된 컬럼 내의 기입선(26)에 재기입 데이터 DATA의 값에 따라, 기입 비트선 드라이버/싱커(29) 측으로, 또는 기입 비트선 드라이버/싱커(31) 측으로 향하는 기입 전류가 흐른다.

또한, 도 19의 개량예 4의 경우에는 선택된 컬럼 내의 선택된 단 내의 기입선(33)에, 재기입 데이터 DATA의 값에 따라서, 기입 비트선 드라이버/싱커(29) 측으로, 또는 기입 비트선 드라이버/싱커(31) 측으로 향하는 기입 전류가 흐른다.

그 결과, 선택된 TMR 소자에는 상술의 판독 동작을 실행하기 전에 그 TMR 소자가 기억하고 있는 데이터("1" 또는 "0")이 재기입된다. 이 후, 컬럼 선택 스위치 SW, SWB를 오프 상태로 하여, 기입 전류를 차단한다. 또한, 선택된 로우 내의 기입 워드선에 흐르는 기입 전류에 대해서도 차단한다.

또, 제4 단계에서 이니셜 데이터와 비교 데이터가 동일하다고 판단된 경우, 선택된 TMR 소자에 기억되어 있던 데이터와 시행 데이터는 동일한 값을 갖게 된다. 따라서, 이 경우에는 제5 단계를 생략해도 된다.

즉, 제4 단계에서 이니셜 데이터와 비교 데이터가 다르다고 판단된 경우에만, 제5 단계에서, 선택된 TMR 소자에, 시행 데이터의 값과 반대의 값을 갖는 데이터를 재기입하면 된다.

이상, 개량예 3, 4에 따른 자기 랜덤 액세스 메모리에서는, 소위 파괴 판독 동작 원리를 채용하여, 이것을 실제로 실행할 수 있다. 따라서, 판독 시에 복수의 TMR 소자 사이의 저항값의 변동에 상관없이, 선택된 TMR 소자의 저항값(또는 MR비)을 정확하게 판독할 수 있다.

② 판독 동작 원리 2

도 33은 판독 동작 원리 2를 도시하는 파형도이다.

이 판독 동작 원리는 상술의 판독 동작 원리 1의 개량예이다. 이 판독 동작 원리의 특징은 시행 데이터의 기입 단계, 비교 데이터의 판독 단계(2회째 판독 단계) 및 판독 결과를 비교하여 TMR 소자의 데이터를 판단하는 단계를 하나의 단계로 통합한 점에 있다.

따라서, 본 예에서는 1회의 판독 동작이 3개의 단계로 구성된다. 본 예의 판독 동작 원리는 도 31 또는 도 32의 판독 동작 원리의 제2 내지 제4 단계를 1개의 단계로 한 것이다.

이 판독 동작 원리를 실행하는 데에 있어서 사용하는 회로에 대해서는 도 17 및 도 18의 개량예 3에서는 도 20에 도시하는 기입 워드선 드라이버/싱커, 도 22에 도시하는 판독 워드선 드라이버, 도 24에 도시하는 컬럼 디코더 및 도 28에 도시하는 기입 비트선 드라이버/싱커(시행 데이터 "1")로 한다.

또한, 도 19의 개량예 4에서는 도 20에 도시하는 기입 워드선 드라이버/싱커, 도 22에 도시하는 판독 워드선 드라이버, 도 26에 도시하는 판독 컬럼 디코더, 도 27에 도시하는 기입 컬럼 디코더, 및 도 28에 도시하는 기입 비트선 드라이버/싱커(시행 데이터 "1")로 한다.

A. 제1 단계

제1 단계에서는 이니셜 데이터의 판독을 행한다(1회째 판독).

이 단계에서는 판독 신호 READ가 "H"로 된다.

따라서, 개량예 3의 경우, 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 선택된 컬럼에서는 컬럼 선택선 신호 CSLj(도 24)가 "H"로 된다. 또한, 개량예 4의 경우, 상위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼에 있어서는 컬럼 선택선 신호 CSLjk(도 26)가 "H"로 된다.

또한, 개량예 3, 4에서는 상위 로우 어드레스 신호의 전체 비트가 "1"이 되는 판독 워드선 드라이버(23B)(도 22)의 출력 신호 RWL0이 "H"로 된다. 이 출력 신호 RWL0을 받는 선택된 블록 BK 내의 판독 선택 스위치 RSW가 온 상태로 된다.

또한, 감지 증폭기 인에이블 신호가 "H"로 되고, 감지 증폭기가 동작 상태로 된다. 그 결과, 도 18의 개량예 3에서는 회로 블록(29) 내의 판독 회로 내의 전류원에서 발생한 판독 전류가, 선택된 블록 BK 내의 복수의 TMR 소자를 경유하여, 접지점에 흐른다. 도 19의 개량예 4에서는 판독 회로(29B) 내의 전류원에서 발생한 판독 전류가, 선택된 블록 BK 내의 복수의 TMR 소자를 경유하여, 접지점에 흐른다.

판독 회로는 판독 전류가 흐르고 있는 상태에서, 이니셜 데이터의 검출을 행한다. 이니셜 데이터는 선택된 컬럼을 구성하는 병렬 접속된 복수의 TMR 소자의 합성 저항에 의존한다. 이니셜 데이터는 감지 증폭기 내의 기억 회로에 기억된다.

B. 제2 단계

제2 단계에서는 이하의 3개의 사항을 동시 또는 시간적으로 병행하여 행한다.

·선택된 TMR 소자에 대한 시행 데이터의 기입

·비교 데이터의 판독(2회째 판독)

·2회의 판독 결과의 비교(TMR 소자의 데이터값의 판정)

이 단계에서는 트라이얼 신호 TRIAL이 "H"로 된다.

따라서, 개량예 3, 4의 경우, 로우 어드레스 신호의 전체 비트가 "1"이 되는 선택된 로우에서는 기입 워드선 드라이버 내의 P 채널 MOS 트랜지스터 P6(도 20)이 온 상태로 된다. 이에 의해, 선택된 로우 내의 기입 워드선에는 기입 전류가 흐른다.

또한, 개량예 3의 경우, 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼에서는 컬럼 선택선 신호 CSLj(도 24)가 "H"로 된다. 또한, 개량예 4의 경우, 상위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼이고, 하위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 단에 있어서는 컬럼 선택선 신호 CSLjk(도 27)가 "H"로 된다.

즉, 개량예 3의 경우, 선택된 컬럼 내의 컬럼 선택 스위치 SW가 온 상태로 되고, 개량예 4의 경우, 선택된 컬럼 내의 선택된 단에 대응하는 컬럼 선택 스위치 SWB가 온 상태가 된다.

또한, 도 28의 기입 비트선 드라이버/싱커(29)에서는 트라이얼 신호 TRIAL이 "H"이므로, N 채널 MOS 트랜지스터 N2가 온 상태가 된다. 도 28의 기입 비트선 드라이버/싱커(31)에서는 트라이얼 신호 TRIAL이 "H"이므로, P 채널 MOS 트랜지스터 P2가 온 상태가 된다.

따라서, 도 18의 개량예 3의 경우에는 선택된 컬럼 내의 기입선(26)에 기입 비트선 드라이버/싱커(31)로부터 기입 비트선 드라이버/싱커(29)를 향하는 기입 전류가 흐른다. 또한, 도 19의 개량예 4의 경우에는 선택된 컬럼 내의 선택된 단 내의 기입선(33)에 기입 비트선 드라이버/싱커(31)로부터 기입 비트선 드라이버/싱커(29)를 향하는 기입 전류가 흐른다.

그 결과, 선택된 TMR 소자에 대하여, 시행 데이터("1")의 기입이 실행된다.

이러한 시행 데이터의 기입과 동시에, 비교 데이터의 판독(2회째 판독)이 실행된다.

즉, 트라이얼 신호 TRIAL이 "H"일 때, 개량예 3에서는 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 선택된 컬럼의 컬럼 선택선 신호 CSLj(도 2 4)가 "H"로 된다. 또한, 개량예 4에서는 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼의 컬럼 선택선 신호 CSLj(도 26)가 "H"로 된다.

또한, 개량예 3, 4에서는 상위 로우 어드레스 신호의 전체 비트가 "1"이 되는 판독 워드선 드라이버(23B)(도 22)의 출력 신호 RWL0이 "H"로 된다. 이 출력 신호 RWL0을 받는 선택된 블록 BK 내의 판독 선택 스위치 RSW가 온 상태로 된다.

또한, 감지 증폭기 인에이블 신호가 "H"로 되고, 감지 증폭기가 동작 상태로 된다. 그 결과, 도 18의 개량예 3에서는 회로 블록(29) 내의 판독 회로에 의해, 비교 데이터가 검출된다. 또한, 도 19의 개량예 4에서는 판독 회로(29B)에 의해, 비교 데이터가 검출된다. 비교 데이터는 선택된 컬럼을 구성하는 병렬 접속된 복수의 TMR 소자의 합성 저항에 의존한다.

판독 회로에 의해 검출된 비교 데이터는 즉시, 이니셜 데이터와 비교되고, 선택된 TMR 소자의 데이터의 값이 판단된다.

즉, 이니셜 데이터와 비교 데이터가 동일하다고 판단된 경우에는 시행 데이터의 기입에 의해, 선택된 TMR 소자의 저항값이 변하지 않은 것을 의미하므로, 선택된 TMR 소자의 데이터의 값은 시행 데이터의 값과 동일한 값으로 판단된다.

반대로, 이니셜 데이터와 비교 데이터가 다르다고 판단된 경우에는 시행 데이터의 기입에 의해, 선택된 TMR 소자의 저항값이 변화한 것을 의미하므로, 선택된 TMR 소자의 데이터의 값은 시행 데이터의 값과 반대의 값을 갖는다고 판단된다.

본 예에서는 시행 데이터가 "1"이라고 가정하고 있기 때문에, 이니셜 데이터와 비교 데이터가 동일하면, 선택된 TMR 소자의 데이터는 "1"이라고 판단되고, 이니셜 데이터와 비교 데이터가 다르면, 선택된 TMR 소자의 데이터는 "0"이라고 판단된다.

이와 같이 하여, 선택된 TMR 소자의 데이터의 값이 결정된다.

C. 제3 단계

제3 단계에서는 선택된 TMR 소자에 대하여, 데이터의 재기입을 행한다. 본 예의 판독 동작 원리에서는 제2 단계에서, 시행 데이터가, 선택된 TMR 소자에 기입된다. 즉, 이 때, 선택된 TMR 소자의 데이터는 파괴된다.

따라서, 선택된 TMR 소자의 데이터의 값을 판단한 후, 선택된 TMR 소자에 대하여, 데이터의 재기입을 행한다.

이 단계에서는 재기입 신호 REWRITE가 "H"로 된다.

따라서, 개량예 3, 4의 경우, 로우 어드레스 신호의 전체 비트가 "1"이 되는 선택된 로우에서는 기입 워드선 드라이버 내의 P 채널 MOS 트랜지스터 P6(도 20)이 온 상태가 된다. 이에 의해, 선택된 로우 내의 기입 워드선에는 기입 전류가 흐른다.

또한, 개량예 3의 경우, 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼에서는 컬럼 선택선 신호 CSLj(도 24)가 "H"로 된다. 또한, 개량예 4의 경우, 상위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 컬럼이고, 하위 컬럼 어드레스 신호의 전체 비트가 "1"이 되는 단에 있어서는 컬럼 선택선 신호 CSLjk(도 27)가 "H"로 된다.

즉, 개량예 3의 경우, 선택된 컬럼 내의 컬럼 선택 스위치 SW가 온 상태로 되고, 개량예 4의 경우, 선택된 컬럼 내의 선택된 단에 대응하는 컬럼 선택 스위치 SWB가 온 상태가 된다.

또한, 도 28의 기입 비트선 드라이버/싱커(29)에서는 재기입 신호 REWRITE가 "H"이므로, 재기입 데이터 DATA의 값에 따라, MOS 트랜지스터 P2, N2의 온/오프 상태가 결정된다. 도 28의 기입 비트선 드라이버/싱커(31)에 있어서도, 재기입 신호 REWRITE가 "H"이므로, 재기입 데이터 DATA의 값에 따라, MOS 트랜지스터 P3, N3의 온/오프 상태가 결정된다.

따라서, 도 18의 개량예 3의 경우에는 선택된 컬럼 내의 기입선(26)에, 재기입 데이터 DATA의 값에 따라, 기입 비트선 드라이버/싱커(29) 측으로, 또는 기입 비트선 드라이버/싱커(31) 측으로 향하는 기입 전류가 흐른다.

또한, 도 19의 개량예 4의 경우에는 선택된 컬럼 내의 선택된 단 내의 기입선(33)에, 재기입 데이터 DATA의 값에 따라, 기입 비트선 드라이버/싱커(29) 측으로, 또는 기입 비트선 드라이버/싱커(31) 측으로 향하는 기입 전류가 흐른다.

그 결과, 선택된 TMR 소자에는 판독 동작을 실행하기 전에 그 TMR 소자가 기억하고 있는 데이터("1" 또는 "0")이 재기입된다. 이 후, 컬럼 선택 스위치 SW, SWB를 오프 상태로 하여, 기입 전류를 차단한다. 또한, 선택된 로우 내의 기입 워드선에 흐르는 기입 전류에 대해서도 차단한다.

또, 제2 단계에서 이니셜 데이터와 비교 데이터가 동일하다고 판단된 경우, 선택된 TMR 소자에 기억되어 있던 데이터와 시행 데이터는, 동일한 값을 갖게 된다. 따라서, 이 경우에는 제3 단계를 생략해도 된다.

즉, 제2 단계에서 이니셜 데이터와 비교 데이터가 다르다고 판단된 경우에만, 제3 단계에서, 선택된 TMR 소자에, 시행 데이터의 값과 반대의 값을 갖는 데이터를 재기입하면 된다.

이상, 개량예 3, 4에 따른 자기 랜덤 액세스 메모리에서는 개량된 파괴 판독 동작 원리를 채용하고, 이것을 실제로 실행할 수 있다. 따라서, 판독 시에 복수의 TMR 소자 사이의 저항값의 변동에 상관없이, 선택된 TMR 소자의 저항값(또는 MR비)을 정확하게 판독할 수 있다.

(9) 개량예 5

도 34는 본 발명의 개량예 5로서의 자기 랜덤 액세스 메모리의 주요부를 도시하고 있다. 도 35는 도 34의 자기 랜덤 액세스 메모리에 관하여 1 컬럼분만을 도시하고 있다.

이 개량예 5에 따른 자기 랜덤 액세스 메모리는 개량예 1의 자기 랜덤 액세스 메모리의 변형예이다. 개량예 5는 개량예 1과 비교하면, 컬럼 내에 Y 방향으로 연장되는 기입만을 위해서 기입선(33)을 신규로 설치한 점에 특징을 갖는다.

이에 의해, 개량예 5는 개량예 1과 비교하여, 메모리 셀 어레이나 주변 회로의 구성에 대해서도 특징을 갖는다.

메모리 셀 어레이(11)는 X 방향 및 Y 방향으로 어레이형으로 배치되는 복수의 TMR 소자(12)를 갖는다. X 방향으로 배치되는 TMR 소자(12)의 근방에는 X 방향으로 연장되는 복수 라인(본 예에서는 12개)의 기입 워드선 WL0, WL1, … WL11이 배치된다. 기입 워드선 WL0, WL1, … WL11의 일단은 기입 워드선 드라이버(23)에 접속되고, 그 타단은 기입 워드선 싱커(24)에 접속된다.

로우 디코더(25)는 기입 동작 시, 로우 어드레스 신호에 기초하여, 기입 워드선 WL0, WL1, … WL11 중의 1개를 선택한다. 기입 워드선 드라이버(23)는 선택된 기입 워드선에 기입 전류를 공급한다. 기입 전류는 선택된 워드선을 흘러, 기입 워드선 싱커(24)에 흡수된다.

Y 방향으로 배치되는 TMR 소자(12)는 판독선(판독 비트선)(26)과 접지점 사이에 병렬로 접속된다.

판독선(26)의 일단은 컬럼 선택 스위치(MOS 트랜지스터) SWA를 경유하여, 공통 데이터선(28)에 접속된다. 공통 데이터선(28)은 판독 회로(감지 증폭기를 포함함)(29B)에 접속된다.

컬럼 선택 스위치 SWA의 게이트는 판독 컬럼 디코더(32A)에 접속된다. 판독 컬럼 디코더(32A)는 판독 동작 시에, 컬럼을 선택하기 위한 컬럼 선택선 신호 RCSLj를 출력한다.

컬럼 내에는 Y 방향으로 연장되는 기입선(기입 비트선)(33)이 배치된다. 기입선(33)은 컬럼 내의 복수의 TMR 소자(12)의 근방에 배치된다. 기입선(33)의 일단은 컬럼 선택 스위치(MOS 트랜지스터) SWB를 경유하여, 공통 드라이버선(30A)에 접속된다. 공통 드라이버선(30A)은 기입 비트선 드라이버/싱커를 포함하는 회로 블록(29A)에 접속된다.

기입선(33)의 타단은 컬럼 선택 스위치(MOS 트랜지스터) SWB를 경유하여, 공통 드라이버선(30B)에 접속된다. 공통 드라이버선(30B)은 기입 비트선 드라이버/싱커를 포함하는 회로 블록(31)에 접속된다.

컬럼 선택 스위치 SWB의 게이트는 기입 컬럼 디코더(32B)에 접속된다. 기입 컬럼 디코더(32B)는 기입 동작 시에, 컬럼을 선택하기 위한 컬럼 선택선 신호 WCSLj를 출력한다.

본 예의 자기 랜덤 액세스 메모리에서는 기입 동작 시, 선택된 기입 워드선에는 기입 워드선 드라이버(23)로부터 기입 워드선 싱커(24)를 향하는 기입 전류가 흐른다. 또한, 선택된 컬럼에 있어서는 컬럼 선택 스위치 SWB가 온 상태로 되고, 기입선(기입 비트선)(33)에 기입 전류가 흐른다. 기입선(33)에 흐르는 기입 전류의 방향은 기입 데이터의 값에 따라 변한다.

판독 동작 시, 선택된 컬럼에 있어서는 컬럼 선택 스위치 SWA가 온 상태로 되고, 판독 회로(29B)로부터 판독선(판독 비트선)(26) 및 복수의 TMR 소자(12)를 경유하여, 접지점에 판독 전류가 흐른다. 판독 회로(29B)는 판독 전류가 흐르고 있는 동안 복수의 TMR 소자의 합성 저항에 따른 판독 데이터를 검출한다.

(10) 개량예 6

도 36은 본 발명의 개량예 6으로서의 자기 랜덤 액세스 메모리의 주요부를 도시하고 있다. 도 37은 도 36의 자기 랜덤 액세스 메모리에 관하여 1 컬럼분만을 도시하고 있다.

이 개량예 6에 따른 자기 랜덤 액세스 메모리는 개량예 3에 따른 자기 랜덤 액세스 메모리의 변형예이다. 개량예 6은 개량예 3과 비교하면, 컬럼 내에 Y 방향으로 연장되는 기입만을 위한 기입선(33)을 신규로 설치한 점에 특징으로 갖는다.

이에 의해, 개량예 6은 개량예 3과 비교하여, 메모리 셀 어레이나 주변 회로의 구성에 대해서도 특징을 갖는다.

메모리 셀 어레이(11)는 X 방향 및 Y 방향으로 어레이형으로 배치되는 복수의 TMR 소자(12)를 갖는다. X 방향으로 배치되는 TMR 소자(12)의 근방에는 X 방향으로 연장되는 복수 라인(본 예에서는 12개)의 기입 워드선 WWL0, WWL1, … WWL11이 배치된다. 기입 워드선 WWL0, WWL1, … WWL11의 일단은 기입 워드선 드라이버(23A)에 접속되고, 그 타단은 기입 워드선 싱커(24)에 접속된다.

본 예에서는 1개의 컬럼은 3개의 플로터 BK로 구성된다. 1개의 컬럼은 Y 방향으로 배치되는 12개의 TMR 소자(12)로 구성되므로, 1개의 블록 BK는 4개의 TMR 소자(12)로 구성된다.

하나의 블록 BK 내의 TMR 소자(12)는 상호 병렬 접속되고, 그 일단은 판독선(판독 비트선)(26)에 접속된다. 또한, TMR 소자의 타단은 판독 선택 스위치(MOS 트랜지스터) RSW를 경유하여, 접지점에 접속된다.

판독선(26)의 일단은 컬럼 선택 스위치(MOS 트랜지스터) SWA를 경유하여, 공통 데이터선(28)에 접속된다. 공통 데이터선(28)은 판독 회로(감지 증폭기를 포함함)(29B)에 접속된다.

컬럼 선택 스위치 SWA의 게이트는 판독 컬럼 디코더(32A)에 접속된다. 판독 컬럼 디코더(32A)는 판독 동작 시에, 컬럼을 선택하기 위한 컬럼 선택선 신호 RCSLj를 출력한다.

판독 선택 스위치 RSW의 게이트는 판독 워드선 RWLo(o=0, 1, 2)에 접속된다. 판독 워드선 드라이버(23B)는 판독 동작 시에, 상위 로우 어드레스 신호에 기초하여, 블록 BK을 선택하기 위한 블록 선택 신호를 출력한다.

1개의 판독 워드선 RWLo는 1개의 컬럼 내의 1개의 블록 BK에 대응하고, 또한 X 방향의 복수의 블록에 공통으로 되어 있다.

본 예에서는 하나의 컬럼이 3개의 블록으로 구성되므로, 판독 워드선 RWLo의 수는 3개로 되어 있다. 판독 워드선 RWLo는 X 방향으로 연장되고, 그 일단은 판독 워드선 드라이버(23B)에 접속된다.

로우 디코더(25)는 기입 동작 시, 로우 어드레스 신호에 기초하여, 기입 워드선 WWL0, WWL1, … WWL11 중의 1개를 선택한다.

기입 워드선 드라이버(23A)는 선택된 기입 워드선에 기입 전류를 공급한다. 기입 전류는 선택된 워드선을 흐르고, 기입 워드선 싱커(24)에 흡수된다.

로우 디코더(25)는 판독 동작 시, 예를 들면, 상위 로우 어드레스 신호에 기초하여, 1개의 블록을 선택한다.

판독 워드선 드라이버(23B)는 선택된 블록 BK에 접속되는 판독 워드선 RWLo에 판독 워드선 전압을 공급한다. 선택된 블록 BK에서는 판독 선택 스위치 RSW가 온 상태로 되기 때문에, 판독 전류는 선택된 블록 BK 내의 복수의 TMR 소자를 경유하여, 접지점을 향하여 흐른다.

컬럼 내에는 Y 방향으로 연장되는 기입선(기입 비트선)(33)이 배치된다. 기입선(33)은 컬럼 내의 복수의 TMR 소자(12)의 근방에 배치된다. 또한, 기입선(33)은 1컬럼 내의 복수의 블록 BK에 공통으로 되어 있다.

기입선(33)의 일단은 컬럼 선택 스위치(MOS 트랜지스터) SWB를 경유하여, 공통 드라이버선(30A)에 접속된다. 공통 드라이버선(30A)은 기입 비트선 드라이버/싱커를 포함하는 회로 블록(29A)에 접속된다.

기입선(33)의 타단은 컬럼 선택 스위치(MOS 트랜지스터) SWB를 경유하여, 공통 드라이버선(30B)에 접속된다. 공통 드라이버선(30B)은 기입 비트선 드라이버/싱커를 포함하는 회로 블록(31)에 접속된다.

컬럼 선택 스위치 SWB의 게이트는 기입 컬럼 디코더(32B)에 접속된다. 기입 컬럼 디코더(32B)는 기입 동작 시에, 컬럼을 선택하기 위한 컬럼 선택선 신호 WCSLj를 출력한다.

본 예의 자기 랜덤 액세스 메모리에서는 기입 동작 시, 선택된 기입 워드선에는 기입 워드선 드라이버(23A)로부터 기입 워드선 싱커(24)를 향하는 기입 전류가 흐른다. 또한, 선택된 컬럼에 있어서는 기입선(기입 비트선)(33)에 기입 전류가 흐른다. 기입선(33)에 흐르는 기입 전류의 방향은 기입 데이터의 값에 따라 변한다.

판독 동작 시, 선택된 컬럼 내의 선택된 블록에 있어서는 판독 회로(29B)로부터, 판독선(판독 비트선)(26) 및 복수의 TMR 소자(12)를 경유하여, 접지점에 판독 전류가 흐른다. 판독 회로(29B)는 판독 전류가 흐르고 있는 사이 선택된 블록 내의 복수의 TMR 소자의 합성 저항에 따른 판독 데이터를 검출한다.

(11) 개량예 5, 6의 주변 회로의 예

① 기입 워드선 드라이버/싱커

개량예 5, 6에서는, 예를 들면 도 6에 도시하는 회로를 기입 워드선 드라이버/싱커로서 이용할 수 있다.

② 기입 비트선 드라이버/싱커

개량예 5, 6에서는, 예를 들면 도 12, 도 13에 도시하는 회로를 기입 비트선 드라이버/싱커로서 이용할 수 있다.

③ 판독/기입 컬럼 디코더

개량예 5, 6의 판독/기입 컬럼 디코더(32A, 32B)의 회로예에 대하여 설명한다.

도 38은 판독 컬럼 디코더의 일례를 도시하고 있다.

판독 컬럼 디코더(32A)는 OR 회로 OR3, AND 회로 AD2로 구성된다. OR 회로 OR3에는 판독 신호 READ1, READ2가 입력된다.

판독 신호 READ1, READ2는 판독 동작(파괴 판독 동작) 시에, 선택된 컬럼을 구성하는 복수의 TMR 소자의 합성 저항의 값을 판독할 때에 "H"로 되는 신호이다. 통상의 파괴 판독 동작 원리에서는 2회의 판독 동작이 필요하게 된다. 즉, 판독 신호 READ1은 1회째 판독 시에 "H"로 되고, 판독 신호 READ2는 2회째 판독 시에 "H"로 된다.

이들 2개의 신호 READ1, READ2 중 어느 하나가, "H"로 되면, OR 회로 OR3의 출력 신호는 "H"로 된다.

AND 회로 AD2에는 OR 회로 OR3의 출력 신호 및 컬럼 어드레스 신호(컬럼 j를 지정함)가 입력된다. 컬럼 j(비트선 BLj)를 선택할 때, 컬럼 어드레스 신호(컬럼 j를 지정함)의 모든 비트는 "H"로 된다. 따라서, 컬럼 j가 선택되고, 또한 2개의 신호 READ1, READ2 중 어느 1개가 "H"일 때, AND 회로 AD2의 출력 신호는 "H"로 된다.

AND 회로 AD2의 출력 신호가 "H", 즉 컬럼 선택선 신호 RCSLj가 "H"로 되면, 도 35 및 도 37의 컬럼 선택 스위치(N 채널 MOS 트랜지스터) SWA가 온 상태로 된다. 이 때문에, 판독 동작 시에는 판독 전류가, 선택된 컬럼 내의 복수의 TMR 소자에 흐른다.

도 39는 판독 컬럼 디코더의 다른 예를 도시하고 있다.

도 39의 판독 컬럼 디코더(32A)는 도 38의 판독 컬럼 디코더(32A)와 비교하면, 판독 신호 READ1, READ2가 없어지고, 그 대신에 판독 신호 READ 및 트라이얼 신호 TRIAL이 추가된 점에 특징을 갖는다.

도 40은 기입 컬럼 디코더의 일례를 도시하고 있다.

기입 컬럼 디코더(32B)는 OR 회로 OR4, AND 회로 AD3으로 구성된다. OR 회로 OR4에는 기입 신호 WRITE, 트라이얼 신호 TRIAL 및 재기입 신호 REWRITE가 입력된다. 이들 3개의 신호 WRITE, TRIAL, REWRITE 중 어느 1개가 "H"로 되면, OR 회로 OR4의 출력 신호는 "H"로 된다.

AND 회로 AD3에는 OR 회로 OR4의 출력 신호 및 컬럼 어드레스 신호(컬럼 j를 지정함)가 입력된다. 컬럼 어드레스 신호에 의해 컬럼 j가 선택되고, 또한 3개의 신호 WRITE, TRIAL, REWRITE 중 어느 1개가 "H"일 때, AND 회로 AD3의 출력 신호는 "H"가 된다.

AND 회로 AD3의 출력 신호가 "H", 즉 컬럼 선택선 신호 WCSLj가 "H"로 되면, 도 35 및 도 37의 컬럼 선택 스위치(N 채널 MOS 트랜지스터) SWB가 온 상태로 된다. 이 때문에, 기입 동작 시에는 기입 전류가 도 35 및 도 37의 기입선(33)에 흐른다.

(12) 개량예 5, 6을 이용한 판독 동작 원리

① 개량예 5를 이용한 판독 동작 원리

개량예 5에는 개량예 2의 자기 랜덤 액세스 메모리와 거의 마찬가지의 판독 동작 원리를 적용할 수 있다. 즉, 개량예 5에는 통상의 파괴 판독 동작(도 14 및 도 15) 및 개량된 파괴 판독 동작(도 16)을 각각 적용할 수 있다.

개량예 2와 개량예 5의 어레이 구조의 차이는, 1 컬럼 내의 복수의 TMR 소자(12)가 Y 방향(가로 방향)으로 배열되어 있는지, Z 방향(세로 방향)으로 배열되어 있는지에 있다. 그 결과, 개량예 2에서는 1개의 컬럼 내에 복수 라인의 기입 비트선이 배치되는 반면, 개량예 5에서는 1개의 컬럼 내에 1개의 기입 비트선이 배치된다.

따라서, 판독 동작에 관하여, 개량예 5는 개량예 2와 비교하여, 기입 컬럼 디코더의 동작이 다르다.

② 개량예 6을 이용한 판독 동작 원리

개량예 6에는 개량예 4의 자기 랜덤 액세스 메모리와 거의 마찬가지의 판독 동작 원리를 적용할 수 있다. 즉, 개량예 6에는 통상의 파괴 판독 동작(도 31 및 도 32) 및 개량된 파괴 판독 동작(도 33)을 각각 적용할 수 있다.

개량예 4와 개량예 6의 어레이 구조의 차이는 1 블록 내의 복수의 TMR 소자(12)가 Y 방향(가로 방향)으로 배열되어 있는지, Z 방향(세로 방향)으로 배열되어 있는지에 있다. 그 결과, 개량예 4에서는 1개의 컬럼 내에 복수 라인의 기입 비트선이 배치되는 반면, 개량예 6에서는 1개의 컬럼 내에 1개의 기입 비트선이 배치된다.

따라서, 판독 동작에 관하여, 개량예 6은 개량예 4와 비교하여, 기입 컬럼 디코더의 동작이 다르다.

(13) 개량예 5, 6의 디바이스 구조의 예

도 41은 개량예 6의 디바이스 구조의 일례를 도시하고 있다.

본 예에서는 개량예 6의 1 컬럼 내의 1 블록의 디바이스 구조를 도시하고 있다.

복수의 TMR 소자는 Y 방향으로 배치되고, 판독선(상부 배선)(26)과 하부 배선(34) 사이에 병렬로 접속된다. 하부 배선(34)은 판독 선택 스위치 RSW를 경유하여, 소스선(35)에 접속된다.

판독 선택 스위치 RSW는 TMR 소자의 바로 아래에 배치된다. 판독 워드선 RWLo 및 소스선(35)은 모두 X 방향(지면에 수직인 방향)으로 연장되어 있다. 소스선(35)은 접지점에 접속된다.

복수의 TMR 소자 상에는 Y 방향으로 연장되는 기입 비트선(33)이 배치된다. 기입 비트선(33)은 복수의 TMR 소자에 공통으로 되어 있다. 각 TMR 소자의 바로 아래에는 X 방향으로 연장되는 기입 워드선 WWL0, WWL1, WWL2, WWL3이 배치된다.

또, 도 41에서, 판독 선택 스위치 RSW를 없애고, 하부 배선(34)을 직접 접지점에 접속하고, 또한 TMR 소자 및 기입 워드선의 수를 늘리면, 개량예 5의 디바이스 구조를 얻을 수 있다.

3. 판독 회로

이상, 자기 랜덤 액세스 메모리에 관하여, 참고예, 개량예 1～6, 주변 회로(판독 회로를 제외함) 및 판독 동작 원리에 대하여, 각각 상세히 설명하였다. 이하에서는 참고예 및 개량예 1～6 중 어디에도 적용할 수 있고, 또한 상술한 파괴 판독 원리 1, 2를 실현할 수 있는 판독 회로(감지 증폭기를 포함함)의 구체예 및 그 동작에 대하여 설명한다.

(1) 회로예 1

도 42는 자기 랜덤 액세스 메모리의 판독 회로의 회로예 1을 도시하고 있다.

복수의 TMR 소자는 상호 병렬 접속되고, 그 일단은 접지점에 접속되고, 그 타단은 컬럼 선택 스위치로서의 N 채널 MOS 트랜지스터 N7(SW)을 경유하여, 노드 n1에 접속된다. 도시하는 TMR 소자의 그룹은 참고예, 개량예 1, 2, 5에서는 1 컬럼분에 상당하고, 개량예 3, 4, 6에서는 1 컬럼 내의 1 블록분에 상당한다.

노드 n1의 전위는 클램프 회로에 의해 클램프 전위 Vclamp로 설정된다. 클램프 회로는 연산 증폭기 OP1과 N 채널 MOS 트랜지스터 N8로 구성된다.

N 채널 MOS 트랜지스터 N8은 노드 n1과 전류 미러 회로 M1 사이에 배치된다. 연산 증폭기 OP1은, 예를 들면 노드 n1의 전위가 클램프 전위 Vclamp과 동등하게 되도록, N 채널 MOS 트랜지스터 N8의 게이트 전위를 제어한다.

클램프 회로의 역할은 1 컬럼 내 또는 1 블록 내의 TMR 소자의 양단 사이의 전압을 조정하는 데 있다.

즉, 예를 들면, TMR 소자의 일단에 접지 전위가 주어지고 있는 경우에, TMR 소자의 타단의 전위가 지나치게 커지면, TMR 소자의 MR비가 작아진다. TMR 소자의 MR비가 작다는 것은 "1" 상태의 TMR 소자의 저항값과 "0" 상태의 TMR 소자의 저항값과의 차가 작은 것을 의미한다. 즉, 판독 시의 "1", "0" 판정을 위한 마진이 작아진다.

이를 방지하기 위해서, 본 예에서는 클램프 회로를 이용하여, TMR 소자의 타단의 전위, 즉 TMR 소자의 양단 사이의 전압을 조정하여, TMR 소자의 MR비가 작아지지 않도록 한다.

전류 미러 회로 M1은 복수의 TMR 소자에 흐르는 판독 전류의 합계치와 같은 전류를 N 채널 MOS 트랜지스터 N9에 흘리는 역할을 한다. 이 때의 노드 n2의 전위(예를 들면, 이니셜 데이터)는 트랜스퍼 게이트 회로 TG1에 의해, 기억 회로(43)에 기억된다.

트랜스퍼 게이트 회로 TG1의 온/오프는 제어 신호 READ1S, bREAD1S에 의해 제어된다. 제어 신호 READ1S는 1회째 판독 동작 시(이니셜 데이터의 판독 시)에 "H"로 되는 신호이다. 또, 제어 신호 bREAD1S는 제어 신호 READ1S의 값과 반대의 값을 갖는 반전 신호이다.

제어 신호 READ1S가 "H"일 때(1회째 판독 동작 시), 노드 n2의 전위는 트랜스퍼 게이트 회로 TG1을 경유하여, 인버터 회로 I7에 입력된다. 인버터 회로 I7의 출력 신호는 연산 증폭기 OP2의 마이너스측 입력 단자에 입력된다. 연산 증폭기 OP2의 출력 신호는 인버터 회로 I8에 입력되고, 인버터 회로 I8의 출력 신호는 연산 증폭기 OP2의 플러스측 입력 단자에 입력된다.

연산 증폭기 OP2는 그 마이너스측 입력 단자에 입력되는 입력 전위와 그 플러스측 입력 단자에 입력되는 입력 전위가 상호 같아지도록, 예를 들면, 인버터 회로 I8 내의 N 채널 MOS 트랜지스터의 게이트 전위를 제어한다. 따라서, 결과로서, 연산 증폭기 OP2의 출력 신호를 받는 인버터 회로 I8에 흐르는 전류가 이니셜 데이터(셀 데이터)가 된다.

트랜스퍼 게이트 회로 TG2는 연산 증폭기 OP2의 출력 단자와 인버터 회로 I7의 입력 단자 사이에 접속된다. 1회째 판독 동작이 끝나면, 제어 신호 READ1S는 "L"로 되고, 제어 신호 bREAD1S는 "H"로 된다. 그 결과, 이니셜 데이터는 기억 회로(43) 내에 래치된다.

감지 증폭기 SA의 플러스측 입력 단자는 노드 n2에 접속되고, 그 마이너스측 입력 단자는 연산 증폭기 OP2의 출력 단자 n3에 접속된다. 선택된 TMR 소자의 데이터를 판정할 때, 감지 증폭기 SA는 노드 n2의 전위와 연산 증폭기 OP2의 출력 단자 n3의 전위를 비교한다.

즉, 노드 n2의 전위는 2회째 판독 결과(비교 데이터)를 나타내고, 연산 증폭기 OP2의 출력 단자 n3의 전위는 1회째 판독 결과(이니셜 데이터)를 나타내고 있다.

(2) 회로예 2

도 43은 자기 랜덤 액세스 메모리의 판독 회로의 회로예 2를 도시하고 있다.

이 회로예 2는 회로예 1의 변형예이다. 회로예 2는 회로예 1과 비교하면, 기억 회로(43)에 특징을 갖는다. 즉, 회로예 1에서는 기억 회로(43)는 2개의 인버터 회로 I7, I8과 연산 증폭기 OP2를 갖고 있었지만, 회로예 2에서는 기억 회로(43)는 연산 증폭기를 갖고 있지 않으며, 4개의 인버터 회로 I9, I9', I10, I11을 갖고 있다.

즉, 회로예 2에서는 연산 증폭기를 이용하지 않고 전류 미러 회로를 이용하여, 기억 회로(43)에 이니셜 데이터를 래치하고 있다.

예를 들면, 1회째 판독 동작 시(이니셜 데이터의 판독 시), 제어 신호 READ1S는 "H"로 되므로, 노드 n1의 전위(이니셜 데이터)는 4개의 인버터 회로 I9, I9', I10, I11로 이루어지는 기억 회로(43)에 전송된다. 1회째 판독 동작이 끝나면, 제어 신호 READ1S는 "L"로 되고, 제어 신호 bREAD1S는 "H"로 되므로, 이니셜 데이터는 기억 회로(43) 내에 래치된다.

(3) 회로예 3

도 44는 자기 랜덤 액세스 메모리의 판독 회로의 회로예 3을 도시하고 있다.

이 회로예 3도, 회로예 1의 변형예이고, 회로예 1과 비교하면, 기억 회로(43)에 특징을 갖는다. 즉, 회로예 3에서는 기억 회로(43)는 캐패시터 C1로 구성된다.

본 예에서는, 예를 들면 노드 n2의 전위(이니셜 데이터)를 캐패시터 C1에 동적으로 기억한다. 이 때문에, 예를 들면, 1회째 판독으로부터 2회째 판독까지의 기간을 캐패시터 C1이 데이터를 계속적으로 보유하는 기간보다 짧게 할 필요가 있다.

캐패시터 C1이 데이터를 계속 보유하는 기간은 DRAM(다이내믹 랜덤 액세스 메모리)의 분야에서 충분히 연구되어 있도록, 예를 들면 수 m초이다. 따라서, 1회째 판독부터 2회째 판독까지의 기간을 수 m초보다 짧게 하면, 기억 회로(43)에 캐패시터 C1을 사용할 수도 있다.

(4) 감지 증폭기의 구체예

회로예 1, 2, 3에 사용되는 감지 증폭기 SA의 구체예에 대하여 설명한다. 감지 증폭기 SA의 구성은 파괴 판독 동작 시에, 선택된 TMR 소자에 기입하는 시행 데이터의 값에 의해 결정된다.

① 시행 데이터가 "1"인 경우

도 45는 시행 데이터가 "1"인 경우의 감지 증폭기의 일례를 도시하고 있다.

감지 증폭기 SA는, 예를 들면 3개의 차동 증폭기 DI1, DI2, DI3과 NAND 회로 ND5로 구성된다.

초단의 차동 증폭기 DI1은 도 42 내지 도 44의 노드 n2의 전위(예를 들면, 비교 데이터)와 노드 n3의 전위(예를 들면, 이니셜 데이터)를 비교한다. 차동 증폭기 DI1은 2개의 입력 전위에 기초하여, 2개의 출력 전위를 출력한다. 차동 증폭기 DI1의 2개의 출력 전위의 차는, 2개의 입력 전위의 차에 기초하여 결정된다.

차동 증폭기 DI2의 플러스측 입력 단자에는 노드 n2의 전위에 기초하는 전위가 입력되고, 그 마이너스측 입력 단자에는 기준 전위 VrefH가 입력된다. 차동 증폭기 DI2는 플러스측 입력 단자에 입력되는 전위가 기준 전위 VrefH보다 클 때는 "H"를 출력하고, 그보다 작을 때는 "L"을 출력한다.

차동 증폭기 DI3의 마이너스측 입력 단자에는 노드 n3의 전위에 기초하는 전위가 입력되고, 그 플러스측 입력 단자에는 기준 전위 VrefL이 입력된다. 차동 증폭기 DI3은 마이너스측 입력 단자에 입력되는 전위가 기준 전위 VrefL보다 작을 때는 "H"를 출력하고, 그보다 클 때는 "L"을 출력한다.

예를 들면, 선택된 TMR 소자의 데이터가 "0", 시행 데이터가 "1"일 때에는 2회째 판독 동작에서 판독된 비교 데이터, 즉 노드 n2의 전위는 1회째 판독 동작에서 판독된 이니셜 데이터, 즉 노드 n3의 전위보다 높아진다.

이 때, 차동 증폭기 DI2의 플러스측 입력 단자에 입력되는 전위는 그 마이너스측 입력 단자에 입력되는 기준 전위 VrefH보다 높아지므로, 차동 증폭기 DI2의 출력 신호는 "H"가 된다. 또한, 차동 증폭기 DI3의 마이너스측 입력 단자에 입력되는 전위는 그 플러스측 입력 단자에 입력되는 기준 전위 VrefL보다 낮아지므로, 차동 증폭기 DI3의 출력 신호도, "H"로 된다.

따라서, NAND 회로 ND5의 출력 신호는 "L", 즉 감지 증폭기 SA의 출력 신호는 "0"으로 된다("L"="0"). 즉, 선택된 TMR 소자의 데이터가 "0"이라고 판단된다.

또한, 예를 들면, 선택된 TMR 소자의 데이터가 "1", 시행 데이터가 "1"일 때에는 2회째 판독 동작에서 판독된 비교 데이터, 즉 노드 n2의 전위와, 1회째 판독 동작에서 판독된 이니셜 데이터, 즉 노드 n3의 전위는 실질적으로, 동일하게 된다.

이 때, 차동 증폭기 DI1은 노드 n2, n3이 미소한 전위차에 기초하여, 2개의 출력 전위를 출력한다.

그러나, 차동 증폭기 DI2의 플러스측 입력 단자에 입력되는 전위는 그 마이너스측 입력 단자에 입력되는 기준 전위 VrefH보다 높아지지 않으므로, 차동 증폭기 DI2의 출력 신호는 "L"로 된다. 또한, 차동 증폭기 DI3의 마이너스측 입력 단자에 입력되는 전위는 그 플러스측 입력 단자에 입력되는 기준 전위 VrefL보다 낮아지지 않으므로, 차동 증폭기 DI3의 출력 신호도, "L"로 된다.

따라서, NAND 회로 ND5의 출력 신호는 "H", 즉 감지 증폭기 SA의 출력 신호는 "1"로 된다("H"="1"). 즉, 선택된 TMR 소자의 데이터가 "1"이라고 판단된다.

도 46은 도 45의 감지 증폭기의 초단의 차동 증폭기의 일례를 도시하고 있다.

이 차동 증폭기 DI1의 특징은 2개의 출력 단자의 사이에 큰 저항값을 갖는 저항 Rr를 접속한 점에 있다.

이와 같이 차동 증폭기 DI1의 2개의 출력 단자의 사이에 저항을 접속함으로써, 선택된 TMR 소자의 데이터와 시행 데이터가 동일한 경우, 즉 2개의 입력 전위에 거의 차가 없는 경우에는 차동 증폭기 DI1은 그 차를 증폭하여 출력하지 않는다. 차동 증폭기 DI1은 2개의 입력 전위에 분명한 차가 있는 경우에만, 그 차를 증폭하여 출력한다.

도 47은 도 45의 감지 증폭기의 초단의 차동 증폭기의 다른 예를 도시하고 있다.

이 차동 증폭기 DI1의 특징은 2개의 출력 단자의 사이에 공핍형 MOS 트랜지스터 QD를 접속한 점에 있다.

공핍형 MOS 트랜지스터 QD는 도 46의 저항 Rr와 동일한 기능을 갖는다. 즉, 선택된 TMR 소자의 데이터와 시행 데이터가 동일한 경우, 즉 2개의 입력 전위에 거의 차가 없는 경우에는 차동 증폭기 DI1은 그 차를 증폭하여 출력하지 않는다. 차동 증폭기 DI1은 2개의 입력 전위에 분명한 차가 있는 경우에만, 그 차를 증폭하여 출력한다.

② 시행 데이터가 "0"인 경우

도 48은 시행 데이터가 "0"인 경우의 감지 증폭기의 일례를 도시하고 있다.

감지 증폭기 SA는, 예를 들면 3개의 차동 증폭기 DI1, DI2, DI3과 NOR 회로 NR3으로 구성된다.

초단의 차동 증폭기 DI1은 도 42 내지 도 44의 노드 n2의 전위(예를 들면, 비교 데이터)와 노드 n3의 전위(예를 들면, 이니셜 데이터)를 비교한다. 차동 증폭기 DI1은 2개의 입력 전위에 기초하여, 2개의 출력 전위를 출력한다. 차동 증폭기 DI1의 2개의 출력 전위의 차는 2개의 입력 전위의 차에 기초하여 결정된다.

차동 증폭기 DI2의 마이너스측 입력 단자에는 노드 n2의 전위에 기초하는 전위가 입력되고, 그 플러스측 입력 단자에는 기준 전위 VrefL이 입력된다. 차동 증폭기 DI2는 마이너스측 입력 단자에 입력되는 전위가 기준 전위 VrefL보다 작을 때는 "H"를 출력하고, 그보다 클 때는 "L"을 출력한다.

차동 증폭기 DI3의 플러스측 입력 단자에는 노드 n3의 전위에 기초하는 전위가 입력되고, 그 마이너스측 입력 단자에는 기준 전위 VrefH가 입력된다. 차동 증폭기 DI3은 플러스측 입력 단자에 입력되는 전위가 기준 전위 VrefH보다 클 때는 "H"를 출력하고, 그보다 작을 때는 "L"을 출력한다.

예를 들면, 선택된 TMR 소자의 데이터가 "1", 시행 데이터가 "0"일 때에는 2회째 판독 동작에서 판독된 비교 데이터, 즉 노드 n2의 전위는 1회째 판독 동작에서 판독된 이니셜 데이터, 즉 노드 n3의 전위보다 낮아진다.

이 때, 차동 증폭기 DI2의 마이너스측 입력 단자에 입력되는 전위는 그 플러스측 입력 단자에 입력되는 기준 전위 VrefL보다 낮아지므로, 차동 증폭기 DI2의 출력 신호는 "L"로 된다. 또한, 차동 증폭기 DI3의 플러스측 입력 단자에 입력되는 전위는 그 마이너스측 입력 단자에 입력되는 기준 전위 VrefH보다 높아지므로, 차동 증폭기 DI3의 출력 신호도, "L"로 된다.

따라서, NOR 회로 NR3의 출력 신호는 "H", 즉 감지 증폭기 SA의 출력 신호는 "L"로 된다("H"="1"). 즉, 선택된 TMR 소자의 데이터가 "1"이라고 판단된다.

또한, 예를 들면, 선택된 TMR 소자의 데이터가 "0", 시행 데이터가 "0"일 때에는, 2회째 판독 동작에서 판독된 비교 데이터, 즉 노드 n2의 전위와, 1회째 판독 동작에서 판독된 이니셜 데이터, 즉 노드 n3의 전위는 실질적으로 동일하게 된다.

이 때, 차동 증폭기 DI1은 노드 n2, n3이 미소한 전위차에 기초하여, 2개의 출력 전위를 출력한다.

그러나, 차동 증폭기 DI2의 마이너스측 입력 단자에 입력되는 전위는 그 플러스측 입력 단자에 입력되는 기준 전위 VrefL보다 낮아지지 않으므로, 차동 증폭기 DI2의 출력 신호는 "H"로 된다. 또한, 차동 증폭기 DI3의 플러스측 입력 단자에 입력되는 전위는 그 마이너스측 입력 단자에 입력되는 기준 전위 VrefH보다 높아지지 않으므로, 차동 증폭기 DI3의 출력 신호도, "H"로 된다.

따라서, NAND 회로 ND5의 출력 신호는 "L", 즉 감지 증폭기 SA의 출력 신호는 "0"으로 된다("L"="0"). 즉, 선택된 TMR 소자의 데이터가 "0"이라고 판단된다.

또, 도 48의 감지 증폭기의 초단의 차동 증폭기 DI1에 관해도, 도 46 또는 도 47에 도시한 바와 같은 구성을 갖는 차동 증폭기 DI1을 이용할 수 있다.

이에 의해, 선택된 TMR 소자의 데이터와 시행 데이터가 동일한 경우, 즉 2개의 입력 전위에 거의 차가 없는 경우에는 감지 증폭기는 그 차를 증폭하여 출력하지 않는다. 감지 증폭기는 2개의 입력 전위에 분명한 차가 있는 경우에만, 그 차를 증폭하여 출력한다.

(5) 연산 증폭기의 구체예

도 49는 도 42 내지 도 44의 연산 증폭기 OP1의 구체예를 도시하고 있다.

연산 증폭기 OP1의 플러스측 입력 단자에는 클램프 전위 Vclamp가 입력되고, 그 마이너스측 입력 단자에는 노드 n1의 전위가 입력된다. 인에이블 신호 Enable가 "H"로 되면, 노드 n1의 전위가 클램프 전위 Clamp와 동등하게 되는 출력 신호 Out가 출력된다.

도 50은 도 42의 연산 증폭기 OP2의 구체예를 도시하고 있다.

연산 증폭기 OP2의 플러스측 입력 단자에는 도 42의 인버터 회로 I8의 출력 신호가 입력되고, 그 마이너스측 입력 단자에는 인버터 회로 I7의 출력 신호가 입력된다. 인에이블 신호 Enable가 "H"로 되면 인버터 회로 I7의 출력 신호가 인버터 회로 I8의 출력 신호와 동등하게 되는 출력 신호 Out가 출력된다.

(6) 회로예 1, 2, 3의 동작

회로예 1, 2, 3에 따른 판독 회로의 동작에 대하여 설명한다. 회로예 1, 2, 3에서는 통상의 파괴 판독 동작(도 14, 도 15 및 도 16) 및 개량된 파괴 판독 동작(도 31, 도 32 및 도 33) 중 어느 판독 동작도 실행할 수 있다.

① 1회째 판독 동작

1회째 판독 동작에서는 이니셜 데이터의 판독이 행해진다.

컬럼 어드레스 신호가 입력되고, 컬럼 선택 스위치 N7(SW)이 온 상태로 된다. 또한, 연산 증폭기 OP1은 노드 n1의 전위가 클램프 전위 Vclamp와 동등하게 되도록, N 채널 MOS 트랜지스터 N8의 게이트 전위를 제어한다.

이 때, 판독 전류는 전원 단자 VDD로부터, 트랜지스터 M7, M8 및 복수의 TMR 소자를 경유하여, 접지점에 유입된다. 전류 미러 회로 M1은 이 판독 전류와 같은 전류를 N 채널 MOS 트랜지스터 N9에 흘리는 역할을 한다.

따라서, 복수의 TMR 소자의 합성 저항에 따른 전위(이니셜 데이터)가 노드 n2에 나타난다.

또한, 제어 신호 READ1S는 1회째 판독 동작 시에서는 "H"로 되어 있다. 즉, 트랜스퍼 게이트 회로 TG1은 온 상태, 트랜스퍼 게이트 회로 TG2는 오프 상태로 되어 있다. 이 때문에, 노드 n2의 전위는 트랜스퍼 게이트 회로 TG1을 경유하여, 기억 회로(43)에 입력된다.

도 42의 예에서는 연산 증폭기 OP2는 그 마이너스측 입력 전위와 그 플러스측 입력 전위가 상호 동등하게 되도록, 인버터 회로 I8 내의 N 채널 MOS 트랜지스터의 게이트 전위를 제어한다. 결과적으로, 인버터 회로 I8에 흐르는 전류가 이니셜 데이터(셀 데이터)가 된다.

도 43의 예에서는 인버터 회로 I11의 출력 노드 n3의 전위가 이니셜 데이터(셀 데이터)가 된다. 도 44의 예에서는 캐퍼시터 C1의 일단 n3의 전위가 이니셜 데이터(셀 데이터)가 된다.

1회째 판독 동작이 끝나면, 제어 신호 READ1S는 "L"로 되고, 제어 신호 bREAD1S는 "H"로 된다. 그 결과, 이니셜 데이터는 기억 회로(43) 내에 래치된다.

② 2회째 판독 동작 및 데이터 판정 동작

선택된 TMR 소자에 시행 데이터를 기입한 후(통상의 파괴 판독 동작) 또는 기입함과 동시에(개량된 파괴 판독 동작), 2회째 판독 동작이 행해지고, 비교 데이터가 판독된다.

컬럼 어드레스 신호가 입력되고, 컬럼 선택 스위치 N7(SW)이 온 상태가 된다. 또한, 연산 증폭기 OP1은 노드 n1의 전위가 클램프 전위 Vclamp와 동등하게 되도록, N 채널 MOS 트랜지스터 N8의 게이트 전위를 제어한다.

이 때, 판독 전류는 전원 단자 VDD로부터, 트랜지스터 M7, M8 및 복수의 TMR 소자를 경유하여, 접지점에 유입된다. 전류 미러 회로 M1은 이 판독 전류와 같은 전류를 N 채널 MOS 트랜지스터 N9에 흘리는 역할을 한다.

따라서, 복수의 TMR 소자의 합성 저항에 따른 전위(비교 데이터)가 노드 n2에 나타난다.

이 때, 감지 증폭기 SA의 플러스측 입력 단자에는 노드 n2의 전위가 입력되고, 그 마이너스측 입력 단자에는 기억 회로(43)의 노드 n3의 전위가 입력된다. 그 결과, 감지 증폭기 SA는 노드 n2의 전위와 노드 n3의 전위에 기초하여, 선택된 TMR 소자의 데이터의 값을 판정한다.

또, 감지 증폭기 SA에서의 데이터 판정 동작은 (4)의 「감지 증폭기의 구체예」의 항목에서 설명한 바와 같다.

(7) 회로예 4

도 51은 자기 랜덤 액세스 메모리의 판독 회로의 회로예 4를 도시하고 있다.

회로예 1, 2, 3에서는 판독 데이터(이니셜 데이터)를 기억 회로에 아날로그값으로서 기억하였다. 이에 대하여, 회로예 4에서는 판독 데이터를 기억 회로에 디지털값으로서 기억한다.

복수의 TMR 소자는 상호 병렬 접속되고, 그 일단은 접지점에 접속되며, 그 타단은 컬럼 선택 스위치로서의 N 채널 MOS 트랜지스터 N7(SW)을 경유하여, 노드 n1에 접속된다. 도시하는 TMR 소자의 그룹은 참고예, 개량예 1, 2, 5에서는 1 컬럼분에 상당하고, 개량예 3, 4, 6에서는 1 컬럼 내의 1 블록분에 상당한다.

노드 n1의 전위는 클램프 회로에 의해 클램프 전위 Vclamp로 설정된다. 클램프 회로는 연산 증폭기 OP1과 N 채널 MOS 트랜지스터 N8로 구성된다. 연산 증폭기 OP1로서는, 예를 들면 도 49에 도시한 연산 증폭기 OP1을 사용할 수 있다.

N 채널 MOS 트랜지스터 N8은 노드 n1과 전류 미러 회로 M1 사이에 배치된다. 연산 증폭기 OP1은, 예를 들면 노드 n1의 전위가 클램프 전위 Vclamp와 동등하게 되도록, N 채널 MOS 트랜지스터 N8의 게이트 전위를 제어한다.

전류 미러 회로 M1은 복수의 TMR 소자에 흐르는 판독 전류의 합계치와 같은 전류를 N 채널 MOS 트랜지스터 N9에 흘리는 역할을 한다. 이 때의 노드 n2의 전위(이니셜 데이터)는 기억 회로(43) 내의 연산 증폭기 OP3의 플러스측 입력 단자에 입력된다.

연산 증폭기 OP3으로서는, 예를 들면 도 50에 도시하는 연산 증폭기 OP2를 사용할 수 있다.

회로예 4에서는 기억 회로(4)는 연산 증폭기 OP3, RGB(대역 갭 기준) 회로(36), 오실레이터(37), 샘플 홀드 회로(38), 카운터 트리거 신호 발생 회로(39), 카운터/카운터 구동 회로(40), DAC(디지털 아날로그 컨버터)(41), P 채널 MOS 트랜지스터 P7 및 N 채널 MOS 트랜지스터 N10을 포함하고 있다.

BGR 회로(36)는 온도에 의존하지 않는 출력 신호를 출력한다. BGR 회로(36)의 출력 신호는 오실레이터(37) 및 DAC(41)에 공급된다. 오실레이터(37)는 BGR 회로(36)의 출력 신호에 기초하여, 레벨이 주기적으로 변화하는 신호 OSC를 생성한다.

연산 증폭기 OP3의 출력 신호는 샘플 홀드 회로(38)에 입력된다. 샘플 홀드 회로(38)는 연산 증폭기 OP3의 출력 신호를 샘플링 결과로서 보유하고, 또한 레벨이 주기적으로 변화하는 신호 OSC에 기초하여, 그 샘플링 결과를 카운터 트리거 신호 발생 회로(39)에 주기적으로 출력한다.

카운터 트리거 신호 발생 회로(39)는 레벨이 주기적으로 변화하는 신호 OSC 및 샘플링 결과에 기초하여, 카운터 트리거 신호를 출력한다. 카운터/카운터 구동 회로(40)는 카운터 트리거 신호에 기초하여, 그 출력 신호인 카운트값을 변화시킨다.

DAC(디지털 아날로그 컨버터)(41)는 카운터/카운터 구동 회로(40)의 카운트값을 디지털 신호로부터 아날로그 신호로 변환한다. DAC(41)의 출력 신호는 P 채널 MOS 트랜지스터 P7의 게이트에 입력된다.

P 채널 MOS 트랜지스터 P7과 N 채널 MOS 트랜지스터 N10은 전원 단자 VDD와 접지점 VSS 사이에 직렬로 접속된다.

N 채널 MOS 트랜지스터 N10의 게이트와 드레인은 상호 접속된다. P 채널 MOS 트랜지스터 P7 및 N 채널 MOS 트랜지스터 N10의 드레인은 연산 증폭기 OP3의 마이너스측 입력 단자 및 감지 증폭기 SA의 마이너스측 입력 단자에 각각 접속된다.

감지 증폭기 SA는 노드 n2의 전위와 노드 n3(연산 증폭기 OP3의 마이너스측 입력 단자) n3의 전위를 비교하여, 선택된 TMR 소자의 데이터를 판정한다.

회로예 4에서는, 예를 들면 파괴 판독 동작에 있어서의 1회째 판독 동작으로 얻어지는 이니셜 데이터를 기억 회로(43) 내에 디지털값으로서 기억한다.

구체적으로는, 기억 회로(43)는 MOS 트랜지스터 P7, N10에 흐르는 전류의 값을 MOS 트랜지스터 P8, N9에 흐르는 전류의 값과 동등하게 하는 동작을 행한다. 즉, 기억 회로(43)는 노드 n3의 전위가 노드 n2의 전위와 동등하게 되도록, P 채널 MOS 트랜지스터 P7의 게이트 전위(DAC(41)의 출력치)를 조정한다.

여기서, P 채널 MOS 트랜지스터 P7, P8의 사이즈(구동력)는 상호 동일하고, N 채널 MOS 트랜지스터 N9, N10의 사이즈(구동력)는 상호 동일하다.

회로예 4에서는 연산 증폭기 OP3의 출력 신호, 즉 노드 n2의 전위와 노드 n3의 전위와의 차(아날로그값)를 카운터의 카운트값(디지털값)으로서 기억하기 때문에, 판독 전류(이니셜 데이터)를 정확하게 기억하는 것은 어렵다.

그러나, 이러한 경우라도, 카운터의 1 카운트당 전류 변화량(MOS 트랜지스터 P7, N10에 흐르는 전류의 변화량)을 TMR 소자의 MR비에 기초하는 판독 전류의 변화량보다 충분히 작게 해 두면, 전혀 문제없이 판독 동작을 행할 수 있다.

(8) BGR 회로의 구체예

도 52는 BGR 회로의 일례를 도시하고 있다.

BGR 회로(36)는 잘 알려진 회로이다. 본 예에서는 BGR 회로(36)를 이용하여, DAC를 위한 출력 전류 Ibgr와 오실레이터를 위한 출력 전류 Ibgr 을 각각 생성한다.

(9) 오실레이터의 구체예

도 53은 오실레이터의 일례를 도시하고 있다.

오실레이터(37)는 BGR 회로의 출력 전류 Ibgr를 받아, 레벨이 주기적으로 변화하는 신호 OSC를 생성한다. 오실레이터(37)에 BGR 회로의 출력 신호를 공급함으로써, 온도나 전원 전압에 의존하지 않는, 레벨이 주기적으로 변화하는 신호를 생성할 수 있다.

이에 의해, 샘플링 시간을 항상 일정하게 할 수 있다.

(10) 샘플 홀드 회로의 구체예

도 54는 샘플 홀드 회로의 일례를 도시하고 있다.

샘플 홀드 회로(38)는 연산 증폭기 OP3의 출력 신호를 샘플링 결과로서 유지하고, 또한 레벨이 주기적으로 변화하는 신호 OSC에 기초하여, 그 샘플링 결과 DOWN을 카운터 트리거 신호 발생 회로(39)에 출력한다.

(11) 카운터 트리거 신호 발생 회로의 구체예

도 55는 카운터 트리거 신호 발생 회로의 일례를 도시하고 있다.

카운터 트리거 신호 발생 회로(39)는 샘플링 결과 DOWN 및 레벨이 주기적으로 변화하는 신호 OSC에 기초하여 카운터 트리거 신호 Dn, Up를 출력한다.

(12) 카운터 구동 회로의 구체예

도 56 내지 도 63은 카운터 구동 회로의 일례를 도시하고 있다.

카운터 구동 회로는 카운터 트리거 신호 Dn, Up에 기초하여, 카운터를 구동하기 위한 제어 신호 TP0, bTP0, TP1, bTP1, … TP7, bTP7을 생성한다.

(13) 카운터의 구체예

도 64 및 도 65는 카운터의 일례를 도시하고 있다.

카운터(40)는 제어 신호 TP0, bTP0, TP1, bTP1, … TP7, bTP7에 기초하여, 그 카운트값 C<0>, C<1>, … C<7>를 바꾼다.

(14) DAC의 구체예

도 66은 DAC의 일례를 도시하고 있다.

DAC(41)에는 BGR 회로의 출력 신호 Ibgr 및 카운터의 출력 신호(카운트값) C<0>, C<1>, … C<7>가 입력된다. DAC(41)는 카운터의 카운트값을 디지털 신호로부터 아날로그 신호로 변환한다.

(15) 회로예 4의 동작

회로예 4에 따른 판독 회로의 동작은 개량된 파괴 판독 동작 원리에 따른 점, 및 1회째 판독 동작으로 얻어지는 이니셜 데이터를 디지털값으로서 기억 회로에 기억하는 점을 제외하고, 회로예 1, 2, 3에 따른 판독 회로의 동작과 동일하다.

① 1회째 판독 동작

1회째 판독 동작에서는 이니셜 데이터가 판독된다.

컬럼 어드레스 신호가 입력되어, 컬럼 선택 스위치 N7(SW)이 온 상태로 된다. 또한, 연산 증폭기 OP1은 노드 n1의 전위가 클램프 전위 Vclamp와 동등하게 되도록, N 채널 MOS 트랜지스터 N8의 게이트 전위를 제어한다.

이 때, 판독 전류는 전원 단자 VDD로부터 트랜지스터 M7, M8 및 복수의 TMR 소자를 경유하여, 접지점에 유입된다. 전류 미러 회로 M1은 이 판독 전류와 같은 전류를 N 채널 MOS 트랜지스터 N9에 흘리는 역할을 한다.

따라서, 복수의 TMR 소자의 합성 저항에 따른 전위(이니셜 데이터)가 노드 n2에 나타난다.

노드 n2의 전위는 기억 회로(43) 내의 연산 증폭기 OP3의 플러스측 입력 단자에 입력된다. 노드 n2의 전위는 카운터(40)의 카운트값으로서 기억 회로(43)에 기억된다. 카운터(40)의 카운트값에 기초하여, MOS 트랜지스터 P7, Nl0에 전류가 흐르기 때문에, 결과적으로 노드 n3의 전위가 노드 n2의 전위와 같게 된다.

② 2회째 판독 동작 및 데이터 판정 동작

선택된 TMR 소자에 시행 데이터를 기입함과 동시에, 2회째 판독 동작이 행해지고, 비교 데이터가 판독된다.

이 때, 판독 전류는 전원 단자 VDD로부터, 트랜지스터 M7, M8 및 복수의 TMR 소자를 경유하여, 접지점에 유입된다. 전류 미러 회로 M1은 이 판독 전류와 같은 전류를 N 채널 MOS 트랜지스터 N9에 흘리는 역할을 한다.

따라서, 복수의 TMR 소자의 합성 저항에 따른 전위(비교 데이터)가 노드 n2에 나타난다.

이 때, 감지 증폭기 SA의 플러스측 입력 단자에는 노드 n2의 전위가 입력되고, 그 마이너스측 입력 단자에는 기억 회로(43)의 노드 n3의 전위가 입력된다. 그 결과, 감지 증폭기 SA는 노드 n2의 전위와 노드 n3의 전위에 기초하여, 선택된 TMR 소자의 데이터의 값을 판정한다.

또, 감지 증폭기 SA에서의 데이터판정 동작은 (4)의 「감지 증폭기의 구체예」의 항목에서 설명한 바와 같다.

(16) 회로예 5

도 67은 자기 랜덤 액세스 메모리의 판독 회로의 회로예 5를 도시하고 있다.

회로예 5에서는 회로예 1, 2, 3, 4가 갖는 기억 회로를 갖지 않는다. 즉, 회로예 5에서는 단순히, 전류 경로에 인덕턴스 소자를 접속하고, 감지 증폭기 SA에 의해, 인덕턴스 소자의 양단의 전위차를 검출한다. 회로예 5는 회로예 1, 2, 3, 4에 비하여, 매우 심플하게 된다.

복수의 TMR 소자는 상호 병렬 접속되고, 그 일단은 접지점에 접속되며, 그 타단은 컬럼 선택 스위치로서의 N 채널 MOS 트랜지스터 N7(SW)을 경유하여, 노드 n1에 접속된다. 도시하는 TMR 소자의 그룹은 참고예, 개량예 1, 2, 5에서는 1 컬럼분에 상당하고, 개량예 3, 4, 6에서는 1 컬럼 내의 1 블록분에 상당한다.

노드 n1의 전위는 클램프 회로에 의해 클램프 전위 Vclamp로 설정된다. 클램프 회로는 연산 증폭기 OP1과 N 채널 MOS 트랜지스터 N8로 구성된다. 연산 증폭기 OP1로서는, 예를 들면 도 49에 도시한 연산 증폭기 OP1을 사용할 수 있다.

N 채널 MOS 트랜지스터 N8은 노드 n1과 전류 미러 회로 M1 사이에 배치된다. 연산 증폭기 OP1은, 예를 들면 노드 n1의 전위가 클램프 전위 Vclamp과 동등하게 되도록, N 채널 MOS 트랜지스터 N8의 게이트 전위를 제어한다.

전류 미러 회로 M1은 복수의 TMR 소자에 흐르는 판독 전류의 합계치와 같은 전류를 N 채널 MOS 트랜지스터 N9에 흘리는 역할을 한다. 전류 미러 회로 M1과 N 채널 MOS 트랜지스터 N9 사이에는 인덕턴스 소자 L이 접속된다.

인덕턴스 소자 L의 일단(노드 n2)은 감지 증폭기 SA의 플러스측 입력 단자에 접속되고, 그 타단(노드 n3)은 감지 증폭기 SA의 마이너스측 입력 단자에 접속된다.

V=IR+ L·dI/dt(V는 전원 전위, I는 전류치, R은 MOS 트랜지스터의 온 저항, L은 인덕턴스)되는 관계가 있기 때문에, 충분히 시간이 경과하여, 인덕턴스 소자 L에 흐르는 전류가 일정하게 되면, 노드 n2의 전위와 노드 n3의 전위는 같게 된다.

도 68 및 도 69는 인덕턴스 소자의 일례를 도시하고 있다.

인덕턴스 소자는, 예를 들면 LSI의 배선 가공 기술을 이용하여 형성할 수 있다. 이 경우, 인덕턴스 소자는 LSI 칩 내에 형성할 수 있다. 즉, 자기 랜덤 액세스 메모리의 칩 내에, 판독 회로를 위한 인덕턴스 소자를 형성할 수 있다.

(17) 회로예 5의 동작

회로예 5에 따른 판독 회로의 동작은 개량된 파괴 판독 동작 원리에 관계되고, 1회째 판독 동작으로 얻어지는 이니셜 데이터를 기억 회로에 기억하는 동작이 존재하지 않은 점에 특징을 갖는다.

① 1회째 판독 동작

1회째 판독 동작에서는 이니셜 데이터가 판독된다.

컬럼 어드레스 신호가 입력되어, 컬럼 선택 스위치 N7(SW)이 온 상태로 된다. 또한, 연산 증폭기 OP1은 노드 n1의 전위가 클램프 전위 Vclamp와 동등하게 되도록, N 채널 MOS 트랜지스터 N8의 게이트 전위를 제어한다.

이 때, 판독 전류는 전원 단자 VDD로부터, 트랜지스터 M7, M8 및 복수의 TMR 소자를 경유하여, 접지점에 유입된다. 전류 미러 회로 M1은 이 판독 전류와 같은 전류를 N 채널 MOS 트랜지스터 N9에 흘리는 역할을 한다.

따라서, 시간이 충분히 경과하여, 인덕턴스 소자 L에 흐르는 전류가 일정하게 되면, 복수의 TMR 소자의 합성 저항에 따른 전위(이니셜 데이터)가 노드 n2에 나타난다.

② 2회째 판독 동작 및 데이터 판정 동작

선택된 TMR 소자에 시행 데이터를 기입함과 동시에, 2회째 판독 동작이 행해지고, 비교 데이터가 판독된다.

이 때, 판독 전류는 전원 단자 VDD로부터 트랜지스터 M7, M8 및 복수의 TMR 소자를 경유하여, 접지점에 유입된다. 전류 미러 회로 M1은 이 판독 전류와 같은 전류를 N 채널 MOS 트랜지스터 N9에 흘리는 역할을 한다.

따라서, 복수의 TMR 소자의 합성 저항이 변화하지 않은 경우(선택된 TMR 소자의 데이터와 시행 데이터가 동일한 경우)에는, 전류값의 변화가 없기 때문에, 노드 n2의 전위와 노드 n3의 전위는 동등한 상태로 유지된다.

또한, 복수의 TMR 소자의 합성 저항이 변화하는 경우(선택된 TMR 소자의 데이터와 시행 데이터가 다른 경우)에는 전류값의 변화가 생기기 때문에, 인덕턴스 성분에 의해, 노드 n3의 전위는 노드 n2의 전위로부터 어긋나게 된다.

이 노드 n2, n3의 전위의 변화를 감지 증폭기 SA에 의해 검출하면, 선택된 TMR 소자의 데이터의 값을 판정할 수 있다.

(18) 그 밖의 회로예

① 회로예 6

도 70은 자기 랜덤 액세스 메모리의 판독 회로의 회로예 6을 도시하고 있다.

회로예 6은 회로예 1(도 42)의 개량예이다.

회로예 6은 회로예 1과 비교하면, 부가 전류 생성부(42)를 갖고 있는 점이 다르고, 그 밖의 점에서는 회로예 1과 동일하게 되어 있다.

1 컬럼 내 또는 1 블록 내의 병렬 접속되는 TMR 소자의 수가 많아지면, 판독 전류의 값에 대한 신호 전류의 값이 매우 작아지고, 감지 증폭기에 의해 이 미소한 신호 전류를 검출하는 것이 곤란하게 된다.

따라서, 본 예에서는 부가 전류 생성부(42)를 신규로 설치한다.

부가 전류 생성부(42)는 전류원 Is를 갖는다. 이 전류원 Is에 의해 발생한 정전류는 전류 미러 회로 M2에 의해, TMR 소자에 공급된다.

즉, 회로예 6에서는 1 컬럼 내 또는 1 블록 내의 병렬 접속되는 TMR 소자에 흐르는 셀 전류를 Icell로 하면, 전류 미러 회로 M1에 흐르는 전류, 즉 N 채널 MOS 트랜지스터 N9에 흐르는 전류 Isense는 Isense=Icell-Is로 된다.

이에 의해, 판독 전류의 값에 대한 신호 전류의 값을 크게 할 수 있기 때문에, 감지 증폭기에 의한 신호 전류의 검출 감도를 향상시킬 수 있다.

② 회로예 7

도 71은 자기 랜덤 액세스 메모리의 판독 회로의 회로예 7을 도시하고 있다.

회로예 7은 회로예 2(도 43)의 개량예이다.

회로예 7은 회로예 2와 비교하면, 부가 전류 생성부(42)를 갖고 있는 점이 다르고, 그 밖의 점에서는 회로예 2와 동일하게 되어 있다.

부가 전류 생성부(42)에 대해서는 회로예 6과 동일하다. 회로예 7에서도, 판독 전류의 값에 대한 신호 전류의 값을 크게 할 수 있기 때문에, 감지 증폭기에 의한 신호 전류의 검출 감도를 향상시킬 수 있다.

(3) 회로예 8

도 72는 자기 랜덤 액세스 메모리의 판독 회로의 회로예 8을 도시하고 있다.

회로예 8은 회로예 3(도 44)의 개량예이다.

회로예 8은 회로예 3과 비교하면, 부가 전류 생성부(42)를 갖고 있는 점이 다르고, 그 밖의 점에서는 회로예 3과 동일하게 되어 있다.

부가 전류 생성부(42)에 대해서는 회로예 6과 동일하다. 회로예 8에서도, 판독 전류의 값에 대한 신호 전류의 값을 크게 할 수 있기 때문에, 감지 증폭기에 의한 신호 전류의 검출 감도를 향상시킬 수 있다.

(4) 부가 전류 생성부의 전류원의 구체예

도 73은 부가 전류 생성부의 전류원의 일례를 도시하고 있다.

부가 전류 생성부(42)의 전류원 Is는, 예를 들면 메모리 셀 어레이부와 동일한 구성으로 할 수 있다. 즉, 전류원 Is는 병렬 접속된 복수의 TMR 소자, 클램프 회로 및 N 채널 MOS 트랜지스터로 구성할 수 있다.

여기서, 전류원 Is 내의 TMR 소자의 수는 메모리 셀 어레이의 1 컬럼 내 또는 1 블록 내의 병렬 접속되는 TMR 소자의 수보다 적게 해 두는 것이 바람직하다.

또, 본 예에서는 부가 전류 생성부(42)를 구성하는 데에 있어서, TMR 소자를 이용하였지만, 예를 들면 이 대신에 BGR 회로 등을 이용해도 된다.

4. 기타

상술한 설명에서는 자기 랜덤 액세스 메모리의 메모리 셀로서, TMR 소자를 이용하는 것을 전제로 하였지만, 메모리 셀이 GMR(Giant Magneto Resistance) 소자인 경우에도, 본 발명, 즉 각종 개량예, 판독 동작 원리, 주변 회로의 구체예 등을 적용할 수 있다.

또한, TMR 소자나 GMR 소자의 구조에 대해서도, 본 발명의 적용에 있어서, 특별히 한정되지는 않는다.

본 발명에 따른 판독 동작 원리는 참고예나, 개량예 1~6과 같이 1 컬럼 또는 1 블록 내에 병렬 접속된 복수의 메모리 셀(TMR 소자)을 배치하는 자기 랜덤 액세스 메모리에 적용할 수 있는 것 외에, 1개의 메모리 셀에 1개의 선택 트랜지스터를 대응시킨, 소위 1셀-1트랜지스터 구조의 자기 랜덤 액세스 메모리에도 적용할 수 있다.

이 경우, 판독 동작은 참고예나 개량예 1~6에 적용되는 판독 동작과 실질적으로 동일하게 된다. 또한, 효과에 대해서도, 복수의 메모리 셀의 저항값의 변동에 상관없이 정확하게, 데이터를 판독할 수 있다는 효과를 얻을 수 있다.

발명의 효과

이상, 설명한 바와 같이 본 발명에 따르면, 특히 파괴 판독 동작 원리를 채용하는 자기 랜덤 액세스 메모리에 있어서, 기입 드라이버 등의 기입 회로 및 감지 증폭기 등의 판독 회로를 구체화하였기 때문에, 자기 랜덤 액세스 메모리의 양산화에 일보 근접할 수 있었다. 또한, 자기 랜덤 액세스 메모리의 어레이 구조나 판독 동작 원리에 대해서도, 실현성을 높이기 위한 개량 기술을 제안할 수 있었다.

(57) 청구의 범위

청구항 1.

자기 저항 효과를 이용하여 데이터를 기억하는 메모리 셀을 포함하는 자기 랜덤 액세스 메모리의 판독 방법으로서,

상기 메모리 셀에 제1 판독 전류를 흘리는 단계와,

상기 메모리 셀에 대하여 미리 정해진 값을 갖는 기입 데이터를 기입함과 동시 또는 이에 병행하여, 상기 메모리 셀에 제2 판독 전류를 흘리는 단계와,

상기 제1 및 제2 판독 전류의 차 또는 변화를 검출하는 단계와,

상기 변화에 기초하여 상기 메모리 셀의 데이터를 판단하는 단계

를 포함하는 자기 랜덤 액세스 메모리의 판독 방법.

청구항 2.

제1항에 있어서,

상기 메모리 셀의 데이터는 상기 메모리 셀에 상기 기입 데이터를 기입하기 전의 상기 메모리 셀의 저항값과 그 후의 상기 메모리 셀의 저항값과의 차에 기초하여 판단되는 자기 랜덤 액세스 메모리의 판독 방법.

청구항 3.

제1항에 있어서,

상기 제1 및 제2 판독 전류의 차가 실질적으로 없는 경우에는, 상기 메모리 셀의 데이터의 값은 상기 기입 데이터의 값과 동일한 자기 랜덤 액세스 메모리의 판독 방법.

청구항 4.

제1항에 있어서,

상기 제1 및 제2 판독 전류의 차가 실질적으로 있는 경우에는, 상기 메모리 셀의 데이터의 값은 상기 기입 데이터의 값과 다른 자기 랜덤 액세스 메모리의 판독 방법.

청구항 5.

제4항에 있어서,

상기 메모리 셀의 데이터의 값이 상기 기입 데이터의 값과 다른 경우에, 또한 상기 기입 데이터의 값과 다른 값을 갖는 데이터를 상기 메모리 셀에 재기입하는 자기 랜덤 액세스 메모리의 판독 방법.

청구항 6.

제1항에 있어서,

상기 제2 판독 전류를 얻음과 동시에, 상기 제1 및 제2 판독 전류가 비교되는 자기 랜덤 액세스 메모리의 판독 방법.

청구항 7.

제1항에 있어서,

상기 제1 및 제2 판독 전류의 차의 검출은, 상기 제1 판독 전류에 비례한 제3 판독 전류와 상기 제2 판독 전류에 비례한 제4 판독 전류와의 차의 검출에 의해 실행되는 자기 랜덤 액세스 메모리의 판독 방법.

청구항 8.

제1항에 있어서,

상기 제1 판독 전류는 상기 기억 회로에 아날로그 데이터로서 기억되는 자기 랜덤 액세스 메모리의 판독 방법.

청구항 9.

제8항에 있어서,

상기 기억 회로는 차동 증폭기를 이용한 피드백 회로를 포함하고, 상기 제1 판독 전류는 상기 피드백 회로에 기억되는 자기 랜덤 액세스 메모리의 판독 방법.

청구항 10.

제8항에 있어서,

상기 기억 회로는 전류 미러 회로를 이용한 피드백 회로를 포함하고, 상기 제1 판독 전류는 상기 피드백 회로에 기억되는 자기 랜덤 액세스 메모리의 판독 방법.

청구항 11.

제8항에 있어서,

상기 기억 회로는 캐패시터를 포함하고, 상기 제1 판독 전류는 상기 캐패시터에 전압값으로서 기억되는 자기 랜덤 액세스 메모리의 판독 방법.

청구항 12.

제1항에 있어서,

상기 제1 판독 전류는 상기 기억 회로에 디지털 데이터로서 기억되는 자기 랜덤 액세스 메모리의 판독 방법.

청구항 13.

제12항에 있어서,

상기 기억 회로는 카운터를 포함하고, 상기 제1 판독 전류는 상기 카운터의 카운트값으로서 기억되는 자기 랜덤 액세스 메모리의 판독 방법.

청구항 14.

제1항에 있어서,

상기 제1 및 제2 판독 전류의 시간에 대한 변화량은 인덕턴스 소자에 의해 검출되는 자기 랜덤 액세스 메모리의 판독 방법.

청구항 15.

제1항에 있어서,

상기 메모리 셀은 상호 병렬 접속된 복수의 메모리 셀 중의 1개인 자기 랜덤 액세스 메모리의 판독 방법.

청구항 16.

제15항에 있어서,

상기 제1 및 제2 판독 전류는 상기 복수의 메모리 셀에 흐르는 자기 랜덤 액세스 메모리의 판독 방법.

청구항 17.

제16항에 있어서,

상기 복수의 메모리 셀은 메모리 셀 어레이의 1개의 컬럼을 구성하고 있는 자기 랜덤 액세스 메모리의 판독 방법.

청구항 18.

제16항에 있어서,

상기 복수의 메모리 셀은 메모리 셀 어레이의 1개의 컬럼 내의 1개의 블록을 구성하고 있는 자기 랜덤 액세스 메모리의 판독 방법.

청구항 19.

제1항에 있어서,

상기 기입 데이터를 상기 메모리 셀에 기입할 때에 사용하는 기입 전류를 흘림과 동시 또는 상기 기입 전류를 한창 흘리고 있을 때에, 상기 제2 판독 전류를 흘리는 자기 랜덤 액세스 메모리의 판독 방법.

청구항 20.
삭제

청구항 21.
삭제

청구항 22.
삭제

청구항 23.
삭제

청구항 24.
삭제

청구항 25.
삭제

청구항 26.
삭제

청구항 27.

자기 랜덤 액세스 메모리로서,

상호 병렬 접속되는 자기 저항 효과를 이용하여 데이터를 기억하는 복수의 메모리 셀과,

상기 복수의 메모리 셀의 근방에 배치되고, 제1 방향으로 연장되는 기입 비트선과,

상기 기입 비트선에 기입 전류를 공급하거나 상기 기입 비트선으로부터 상기 기입 전류를 흡수하는 제1 및 제2 기입 비트선 드라이버/싱커와,

상기 기입 비트선의 일단과 상기 제1 기입 비트선 드라이버/싱커 사이에 접속되는 제1 스위치와,

상기 기입 비트선의 타단과 상기 제2 기입 비트선 드라이버/싱커 사이에 접속되는 제2 스위치와,

상기 복수의 메모리 셀의 일단에 접속되고, 상기 제1 방향으로 연장되는 판독 비트선과

상기 판독 비트선에 판독 전류를 공급하는 판독 회로와,

상기 판독 비트선과 상기 판독 회로의 사이에 접속되는 제3 스위치와,

상기 제1 방향에 직교하는 제2 방향으로 연장되는 복수의 기입 워드선

을 포함하고,

상기 복수의 메모리 셀은 반도체 기판 위에 중첩되는 자기 랜덤 액세스 메모리.

청구항 28.

자기 랜덤 액세스 메모리로서,

상호 병렬 접속되는 자기 저항 효과를 이용하여 데이터를 기억하는 복수의 메모리 셀과,

상기 복수의 메모리 셀의 근방에 배치되고, 제1 방향으로 연장되는 기입 비트선과,

상기 기입 비트선에 기입 전류를 공급하거나 상기 기입 비트선으로부터 상기 기입 전류를 흡수하는 제1 및 제2 기입 비트선 드라이버/싱커와,

상기 기입 비트선의 일단과 상기 제1 기입 비트선 드라이버/싱커 사이에 접속되는 제1 스위치와,

상기 기입 비트선의 타단과 상기 제2 기입 비트선 드라이버/싱커 사이에 접속되는 제2 스위치와,

상기 복수의 메모리 셀의 일단에 접속되고, 상기 제1 방향으로 연장되는 판독 비트선과

상기 판독 비트선에 판독 전류를 공급하는 판독 회로와,

상기 판독 비트선과 상기 판독 회로의 사이에 접속되는 제3 스위치와,

상기 제1 방향에 직교하는 제2 방향으로 연장되는 복수의 기입 워드선

을 포함하고,

상기 복수의 메모리 셀은 상기 제1 방향으로 배치되는 자기 랜덤 액세스 메모리.

청구항 29.

자기 랜덤 액세스 메모리로서,

상호 병렬 접속되는 자기 저항 효과를 이용하여 데이터를 기억하는 복수의 메모리 셀과,

상기 복수의 메모리 셀의 근방에 배치되고, 제1 방향으로 연장되는 기입 비트선과,

상기 기입 비트선에 기입 전류를 공급하거나 상기 기입 비트선으로부터 상기 기입 전류를 흡수하는 제1 및 제2 기입 비트선 드라이버/싱커와,

상기 기입 비트선의 일단과 상기 제1 기입 비트선 드라이버/싱커 사이에 접속되는 제1 스위치와,

상기 기입 비트선의 타단과 상기 제2 기입 비트선 드라이버/싱커 사이에 접속되는 제2 스위치와,

상기 복수의 메모리 셀의 일단에 접속되고, 상기 제1 방향으로 연장되는 판독 비트선과

상기 판독 비트선에 판독 전류를 공급하는 판독 회로와,

상기 판독 비트선과 상기 판독 회로의 사이에 접속되는 제3 스위치와,

상기 제1 방향에 직교하는 제2 방향으로 연장되는 복수의 기입 워드선

을 포함하고,

상기 복수의 메모리 셀의 타단은 직접, 접지 단자에 접속되는 자기 랜덤 액세스 메모리.

청구항 30.

삭제

청구항 31.

자기 랜덤 액세스 메모리로서,

상호 병렬 접속되는 자기 저항 효과를 이용하여 데이터를 기억하는 복수의 메모리 셀과,

상기 복수의 메모리 셀의 근방에 배치되고, 제1 방향으로 연장되는 기입 비트선과,

상기 기입 비트선에 기입 전류를 공급하거나 상기 기입 비트선으로부터 상기 기입 전류를 흡수하는 제1 및 제2 기입 비트선 드라이버/싱커와,

상기 기입 비트선의 일단과 상기 제1 기입 비트선 드라이버/싱커 사이에 접속되는 제1 스위치와,

상기 기입 비트선의 타단과 상기 제2 기입 비트선 드라이버/싱커 사이에 접속되는 제2 스위치와,

상기 복수의 메모리 셀의 일단에 접속되고, 상기 제1 방향으로 연장되는 판독 비트선과

상기 판독 비트선에 판독 전류를 공급하는 판독 회로와,

상기 판독 비트선과 상기 판독 회로의 사이에 접속되는 제3 스위치와,

상기 제1 방향에 직교하는 제2 방향으로 연장되는 복수의 기입 워드선

을 포함하고,

상기 복수의 메모리 셀의 타단과 접지 단자 사이에 접속되는 제4 스위치와,

상기 제4 스위치의 제어 단자에 접속되고, 상기 제2 방향으로 연장되는 판독 워드선

을 더 포함하고,

상기 복수의 메모리 셀은 1개의 블록을 구성하고, 또한 메모리 셀 어레이의 1 컬럼은 복수의 블록으로 구성되는 자기 랜덤 액세스 메모리.

청구항 32.

자기 랜덤 액세스 메모리로서,

상호 병렬 접속되는 자기 저항 효과를 이용하여 데이터를 기억하는 복수의 메모리 셀과,

상기 복수의 메모리 셀의 근방에 배치되고, 제1 방향으로 연장되는 기입 비트선과,

상기 기입 비트선에 기입 전류를 공급하거나 상기 기입 비트선으로부터 상기 기입 전류를 흡수하는 제1 및 제2 기입 비트선 드라이버/싱커와,

상기 기입 비트선의 일단과 상기 제1 기입 비트선 드라이버/싱커 사이에 접속되는 제1 스위치와,

상기 기입 비트선의 타단과 상기 제2 기입 비트선 드라이버/싱커 사이에 접속되는 제2 스위치와,

상기 복수의 메모리 셀의 일단에 접속되고, 상기 제1 방향으로 연장되는 판독 비트선과

상기 판독 비트선에 판독 전류를 공급하는 판독 회로와,

상기 판독 비트선과 상기 판독 회로의 사이에 접속되는 제3 스위치와,

상기 제1 방향에 직교하는 제2 방향으로 연장되는 복수의 기입 워드선

을 포함하고,

상기 제1 및 제2 스위치는 기입 동작 시에 온 상태가 되는 자기 랜덤 액세스 메모리.

청구항 33.

자기 랜덤 액세스 메모리로서,

상호 병렬 접속되는 자기 저항 효과를 이용하여 데이터를 기억하는 복수의 메모리 셀과,

상기 복수의 메모리 셀의 근방에 배치되고, 제1 방향으로 연장되는 기입 비트선과,

상기 기입 비트선에 기입 전류를 공급하거나 상기 기입 비트선으로부터 상기 기입 전류를 흡수하는 제1 및 제2 기입 비트선 드라이버/싱커와,

상기 기입 비트선의 일단과 상기 제1 기입 비트선 드라이버/싱커 사이에 접속되는 제1 스위치와,

상기 기입 비트선의 타단과 상기 제2 기입 비트선 드라이버/싱커 사이에 접속되는 제2 스위치와,

상기 복수의 메모리 셀의 일단에 접속되고, 상기 제1 방향으로 연장되는 판독 비트선과

상기 판독 비트선에 판독 전류를 공급하는 판독 회로와,

상기 판독 비트선과 상기 판독 회로의 사이에 접속되는 제3 스위치와,

상기 제1 방향에 직교하는 제2 방향으로 연장되는 복수의 기입 워드선

을 포함하고,

상기 제3 스위치는 판독 동작 시에 온 상태가 되는 자기 랜덤 액세스 메모리.

청구항 34.

자기 랜덤 액세스 메모리로서,

상호 병렬 접속되는 자기 저항 효과를 이용하여 데이터를 기억하는 복수의 메모리 셀과,

상기 복수의 메모리 셀의 근방에 배치되고, 제1 방향으로 연장되는 기입 비트선과,

상기 기입 비트선에 기입 전류를 공급하거나 상기 기입 비트선으로부터 상기 기입 전류를 흡수하는 제1 및 제2 기입 비트선 드라이버/싱커와,

상기 기입 비트선의 일단과 상기 제1 기입 비트선 드라이버/싱커 사이에 접속되는 제1 스위치와,

상기 기입 비트선의 타단과 상기 제2 기입 비트선 드라이버/싱커 사이에 접속되는 제2 스위치와,

상기 복수의 메모리 셀의 일단에 접속되고, 상기 제1 방향으로 연장되는 판독 비트선과

상기 판독 비트선에 판독 전류를 공급하는 판독 회로와,

상기 판독 비트선과 상기 판독 회로의 사이에 접속되는 제3 스위치와,

상기 제1 방향에 직교하는 제2 방향으로 연장되는 복수의 기입 워드선

을 포함하고,

상기 복수의 메모리 셀의 타단과 접지 단자 사이에 접속되는 제4 스위치와,

상기 제4 스위치의 제어 단자에 접속되고, 상기 제2 방향으로 연장되는 판독 워드선

을 더 포함하고,

상기 제3 및 제4 스위치는 판독 동작 시에 온 상태가 되는 자기 랜덤 액세스 메모리.

청구항 35.

삭제

청구항 36.

자기 랜덤 액세스 메모리로서,

제1 방향으로 연장되는 복수의 비트선과,

상기 제1 방향에 직교하는 제2 방향으로 연장되는 복수의 기입 워드선과,

상기 제2 방향으로 연장되는 공통 드라이버선과,

상기 복수의 비트선의 일단과 상기 공통 드라이버선 사이에 접속되는 복수의 제1 스위치와,

상기 공통 드라이버선에 접속되고, 상기 복수의 비트선의 1개에 기입 전류를 공급하거나 상기 복수의 비트선의 1개로부터 상기 기입 전류를 흡수하는 제1 기입 비트선 드라이버/싱커와,

상기 제2 방향으로 연장되는 공통 데이터선과,

상기 복수의 비트선의 타단과 상기 공통 데이터선 사이에 접속되는 복수의 제2 스위치와,

상기 공통 데이터선에 접속되고, 상기 복수의 비트선의 1개에 상기 기입 전류를 공급하거나, 상기 복수의 비트선의 1개로부터 상기 기입 전류를 흡수하는 제2 기입 비트선 드라이버/싱커와,

상기 공통 데이터선에 접속되고 상기 복수의 비트선의 1개에 판독 전류를 공급하는 판독 회로

를 포함하고,

상기 복수의 비트선의 1개에 의해 1개의 컬럼이 구성되는 자기 랜덤 액세스 메모리.

청구항 37.

삭제

청구항 38.

자기 랜덤 액세스 메모리로서,

제1 방향으로 연장되는 복수의 기입 비트선과,

상기 제1 방향에 직교하는 제2 방향으로 연장되는 복수의 기입 워드선과,

상기 제2 방향으로 연장되는 제1 공통 드라이버선과,

상기 복수의 기입 비트선의 일단과 상기 제1 공통 드라이버선 사이에 접속되는 복수의 제1 스위치와,

상기 제1 공통 드라이버선에 접속되고, 상기 복수의 기입 비트선의 1개에 기입 전류를 공급하거나, 상기 복수의 기입 비트선의 1개로부터 상기 기입 전류를 흡수하는 제1 기입 비트선 드라이버/싱커와,

상기 제2 방향으로 연장되는 제2 공통 드라이버선과,

상기 복수의 기입 비트선의 타단과 상기 제2 공통 드라이버선 사이에 접속되는 복수의 제2 스위치와,

상기 제2 공통 드라이버선에 접속되고, 상기 복수의 기입 비트선의 1개에 상기 기입 전류를 공급하거나, 상기 복수의 기입 비트선의 1개로부터 상기 기입 전류를 흡수하는 제2 기입 비트선 드라이버/싱커와,

상기 제1 방향으로 연장되는 복수의 판독 비트선과,

상기 제2 방향으로 연장되는 공통 데이터선과,

상기 복수의 판독 비트선과 상기 공통 데이터선 사이에 접속되는 복수의 제3 스위치와,

상기 공통 데이터선에 접속되고, 상기 복수의 판독 비트선의 1개에 판독 전류를 공급하는 판독 회로

를 포함하고,

상기 복수의 기입 비트선의 1개에 의해 1개의 컬럼이 구성되는 자기 랜덤 액세스 메모리.

청구항 39.

자기 랜덤 액세스 메모리로서,

제1 방향으로 연장되는 복수의 기입 비트선과,

상기 제1 방향에 직교하는 제2 방향으로 연장되는 복수의 기입 워드선과,

상기 제2 방향으로 연장되는 제1 공통 드라이버선과,

상기 복수의 기입 비트선의 일단과 상기 제1 공통 드라이버선 사이에 접속되는 복수의 제1 스위치와,

상기 제1 공통 드라이버선에 접속되고, 상기 복수의 기입 비트선의 1개에 기입 전류를 공급하거나, 상기 복수의 기입 비트선의 1개로부터 상기 기입 전류를 흡수하는 제1 기입 비트선 드라이버/싱커와,

상기 제2 방향으로 연장되는 제2 공통 드라이버선과,

상기 복수의 기입 비트선의 타단과 상기 제2 공통 드라이버선 사이에 접속되는 복수의 제2 스위치와,

상기 제2 공통 드라이버선에 접속되고, 상기 복수의 기입 비트선의 1개에 상기 기입 전류를 공급하거나, 상기 복수의 기입 비트선의 1개로부터 상기 기입 전류를 흡수하는 제2 기입 비트선 드라이버/싱커와,

상기 제1 방향으로 연장되는 복수의 판독 비트선과,

상기 제2 방향으로 연장되는 공통 데이터선과,

상기 복수의 판독 비트선과 상기 공통 데이터선 사이에 접속되는 복수의 제3 스위치와,

상기 공통 데이터선에 접속되고, 상기 복수의 판독 비트선의 1개에 판독 전류를 공급하는 판독 회로

를 포함하고,

상기 복수의 기입 비트선의 2개 또는 그 이상에 의해 1개의 컬럼이 구성되는 자기 랜덤 액세스 메모리.

청구항 40.

삭제

청구항 41.

자기 랜덤 액세스 메모리로서,

자기 저항 효과를 이용하여 데이터를 기억하는 메모리 셀과,

상기 메모리 셀에 판독 전류를 공급하는 전류원과,

상기 판독 전류 또는 상기 판독 전류에 비례한 전류를 기억하는 기억 회로와,

상기 판독 전류 또는 상기 판독 전류에 비례한 전류와 상기 기억 회로에 기억된 전류에 기초하여, 상기 메모리 셀의 데이터를 판단하는 감지 증폭기

를 포함하고,

상기 감지 증폭기는,

상기 판독 전류 또는 상기 판독 전류에 비례한 전류에 기초하는 제1 입력 전위와 상기 기억 회로에 기억된 전류에 기초하는 제2 입력 전위가 입력되는 제1 차동 증폭기와,

상기 제1 입력 전위에 대응하는 상기 제1 차동 증폭기의 제1 출력 전위와 제1 기준 전위가 입력되는 제2 차동 증폭기와,

상기 제2 입력 전위에 대응하는 상기 제1 차동 증폭기의 제2 출력 전위와 제2 기준 전위가 입력되는 제3 차동 증폭기와,

상기 제2 차동 증폭기의 제3 출력 전위와 상기 제3 차동 증폭기의 제4 출력 전위에 기초하여 상기 메모리 셀의 데이터를 판단하는 논리 회로

를 포함하는 자기 랜덤 액세스 메모리.

청구항 42.

삭제

청구항 43.

제41항에 있어서,

상기 제1 차동 증폭기의 2개의 출력 단자 사이에는 저항 소자가 접속되는 자기 랜덤 액세스 메모리.

청구항 44.

제41항에 있어서,

상기 제1 차동 증폭기의 2개의 출력 단자 사이에는 공핍형 MOS 트랜지스터가 접속되는 자기 랜덤 액세스 메모리.

청구항 45.

제41항에 있어서,

상기 기억 회로는 상기 판독 전류를 아날로그 데이터로서 기억하는 자기 랜덤 액세스 메모리.

청구항 46.

자기 랜덤 액세스 메모리로서,

자기 저항 효과를 이용하여 데이터를 기억하는 메모리 셀과,

상기 메모리 셀에 판독 전류를 공급하는 전류원과,

상기 판독 전류 또는 상기 판독 전류에 비례한 전류를 기억하는 기억 회로와,

상기 판독 전류 또는 상기 판독 전류에 비례한 전류와 상기 기억 회로에 기억된 전류에 기초하여, 상기 메모리 셀의 데이터를 판단하는 감지 증폭기

를 포함하고,

상기 기억 회로는 차동 증폭기를 이용한 피드백 회로를 포함하고, 상기 판독 전류는 상기 피드백 회로에 기억되는 자기 랜덤 액세스 메모리.

청구항 47.

제41항에 있어서,

상기 기억 회로는 상기 판독 전류를 아날로그 데이터로서 기억하고,

상기 기억 회로는 전류 미러 회로를 이용한 피드백 회로를 포함하고, 상기 판독 전류는 상기 피드백 회로에 기억되는 자기 랜덤 액세스 메모리.

청구항 48.
삭제

청구항 49.

제41항에 있어서,

상기 기억 회로는 상기 판독 전류를 디지털 데이터로서 기억하는 자기 랜덤 액세스 메모리.

청구항 50.
삭제

청구항 51.
삭제

청구항 52.
삭제

청구항 53.
삭제

청구항 54.
삭제

청구항 55.
삭제

청구항 56.
삭제

청구항 57.

제41항에 있어서,

상기 메모리 셀과 상기 전류원 사이의 노드의 전위를 설정하는 클램프 회로를 더 포함하는 자기 랜덤 액세스 메모리.

청구항 58.
삭제

청구항 59.

제41항에 있어서,

상기 판독 전류 또는 상기 판독 전류에 비례한 전류를 상기 기억 회로로 유도하는 전류 미러 회로를 더 포함하는 자기 랜덤 액세스 메모리.

청구항 60.

삭제

청구항 61.

제41항에 있어서,

상기 메모리 셀에 부가 전류를 공급하는 부가 전류 생성부를 더 포함하고,

상기 판독 전류에 상기 부가 전류를 가한 전류를 상기 메모리 셀에 흘리는 자기 랜덤 액세스 메모리.

청구항 62.

제61항에 있어서,

상기 부가 전류 생성부는 상기 메모리 셀과 동일한 구조의 소자를 갖는 자기 랜덤 액세스 메모리.

청구항 63.

삭제

청구항 64.

삭제

청구항 65.

제41항에 있어서,

상기 메모리 셀은 상호 병렬 접속된 복수의 메모리 셀 중의 1개인 자기 랜덤 액세스 메모리.

청구항 66.

제65항에 있어서,

상기 판독 전류는 상기 복수의 메모리 셀에 흐르는 자기 랜덤 액세스 메모리.

청구항 67.

제66항에 있어서,

상기 복수의 메모리 셀은 메모리 셀 어레이의 1개의 컬럼을 구성하고 있는 자기 랜덤 액세스 메모리.

청구항 68.

제66항에 있어서,

상기 복수의 메모리 셀은 메모리 셀 어레이의 1개의 컬럼 내의 1개의 블록을 구성하고 있는 자기 랜덤 액세스 메모리.

청구항 69.
삭제

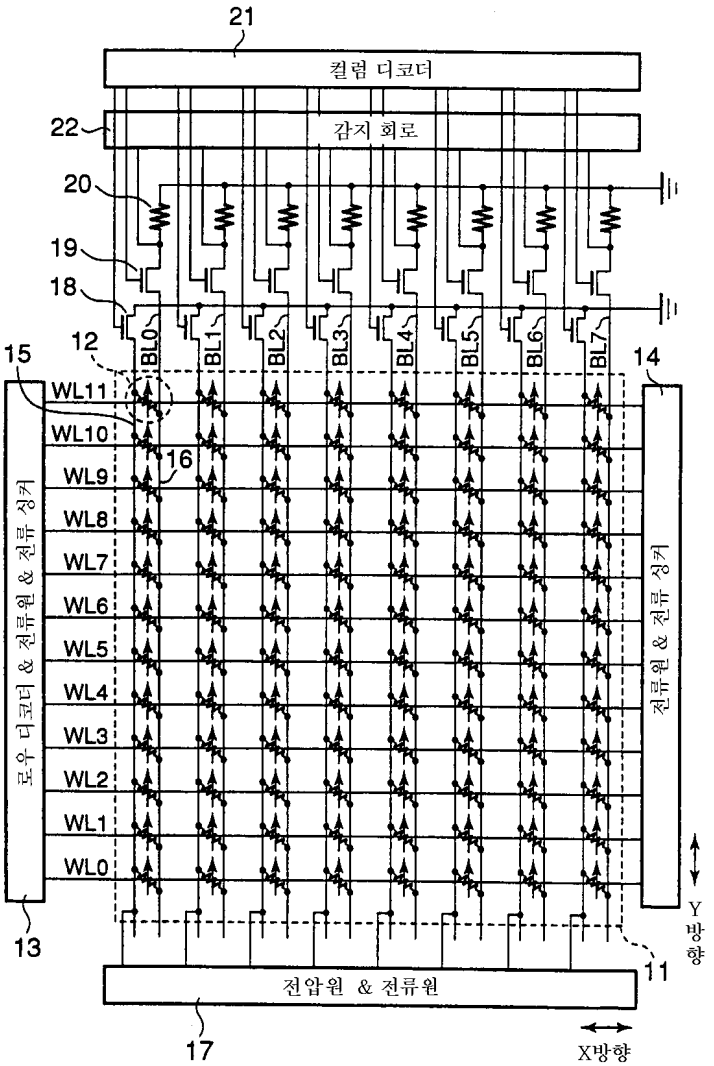
청구항 70.
삭제

청구항 71.
삭제

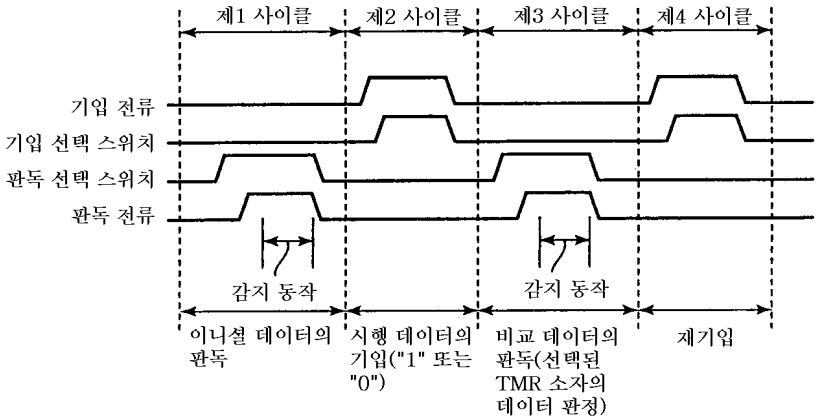
청구항 72.
삭제

도면

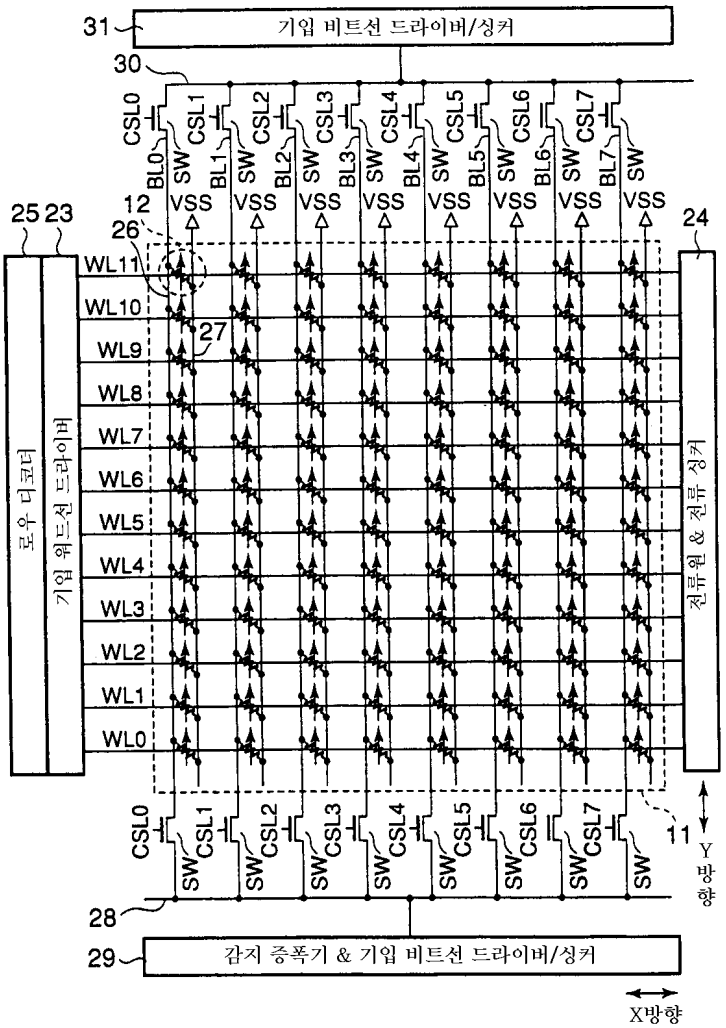
도면1



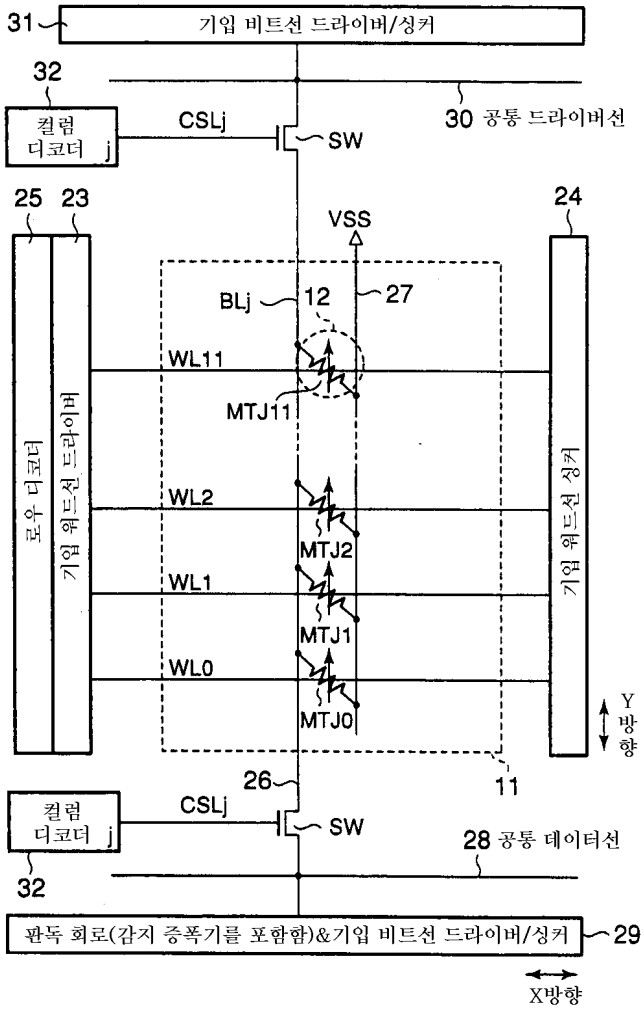
도면2


제1 사이클
제2 사이클
제3 사이클
제4 사이클
기입 전류
기입 선택 스위치
판독 선택 스위치
판독 전류
감지 동작
감지 동작
이니셜 데이터의 판독
시행 데이터의 기입("1" 또는 "0")
비교 데이터의 판독(선택된 TMR 소자의 데이터 판정)
재기입

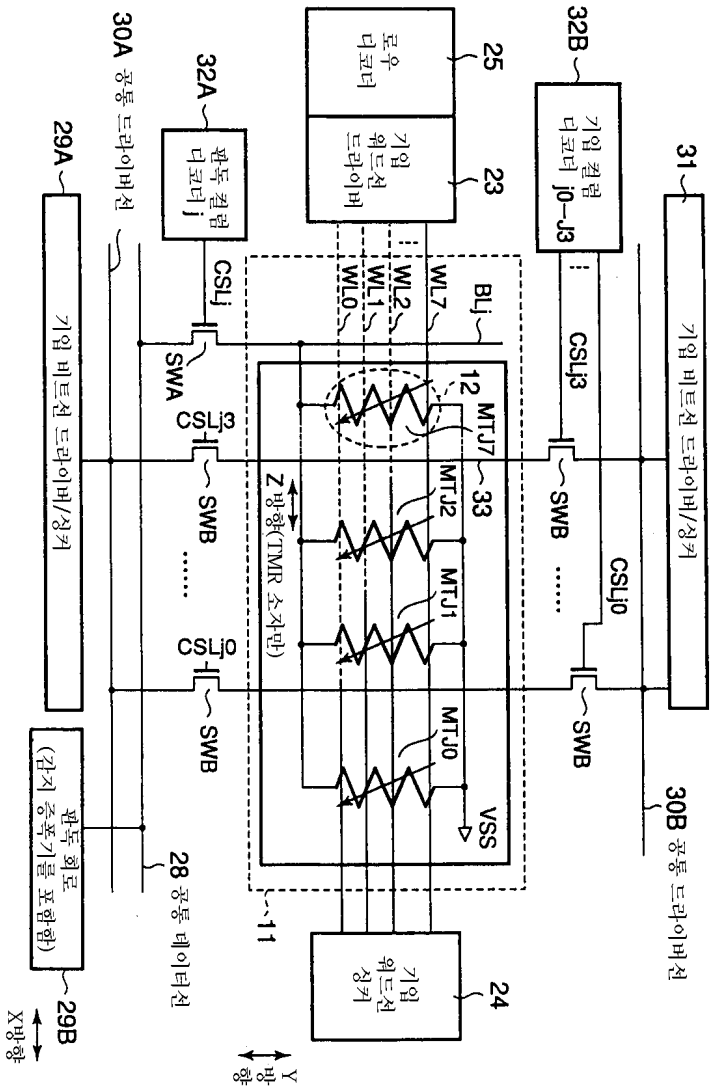
도면3


31
기입 비트선 드라이버/싱커
30
CSL0
CSL1
CSL2
CSL3
CSL4
CSL5
CSL6
CSL7
BL0
BL1
BL2
BL3
BL4
BL5
BL6
BL7
SW
VSS
12
25 23
26
24
WL11
WL10
WL9
WL8
WL7
WL6
WL5
WL4
WL3
WL2
WL1
WL0
27
로우 디코더
기입 워드선 드라이버
전류원 & 전류 싱커
11
Y 방향
28
29
감지 증폭기 & 기입 비트선 드라이버/싱커
X방향

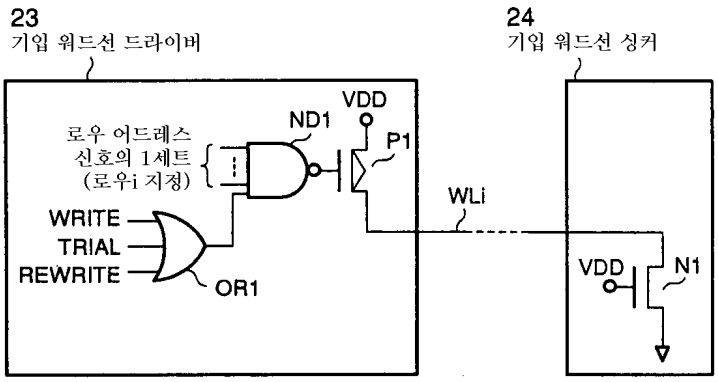
도면4


31
기입 비트선 드라이버/싱커
32
컬럼 디코더 j
CSLj
SW
30 공통 드라이버선
25
23
24
VSS
BLj
12
27
WL11
MTJ11
WL2
MTJ2
WL1
MTJ1
WL0
MTJ0
로우 디코더
기입 워드선 드라이버
기입 워드선 싱커
Y 방향
11
26
CSLj
SW
28 공통 데이터선
32
판독 회로(감지 증폭기를 포함함)&기입 비트선 드라이버/싱커
29
X방향

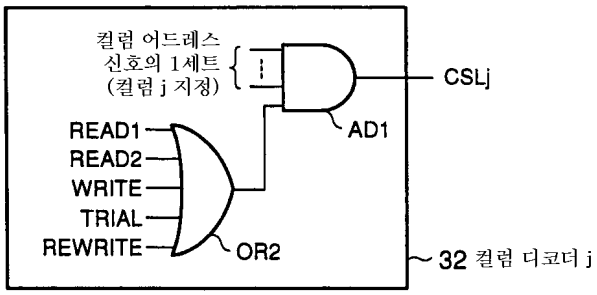
도면5


로우 디코더
기입 워드선 드라이버
25
23
32B
기입 컬럼 디코더 j0-J3
31
기입 비트선 드라이버/싱커
32A
판독 컬럼 디코더 j
30A 공통 드라이버선
29A
기입 비트선 드라이버/싱커
CSLj
SWA
CSLj3
SWB
CSLj0
WL2
WL1
WL0
WL7
BLj
12
MTJ7
MTJ2
MTJ1
MTJ0
33
Z 방향(TMR 소자만)
VSS
11
기입 워드선 싱커
24
30B 공통 드라이버선
28 공통 데이터선
판독 회로 (감지 증폭기를 포함함)
29B
X방향
Y 방향

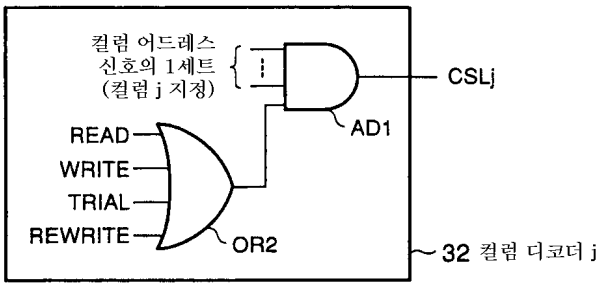
도면6


23
기입 워드선 드라이버
24
기입 워드선 싱커
로우 어드레스 신호의 1세트 (로우i 지정)
ND1
VDD
P1
WLi
WRITE
TRIAL
REWRITE
OR1
VDD
N1

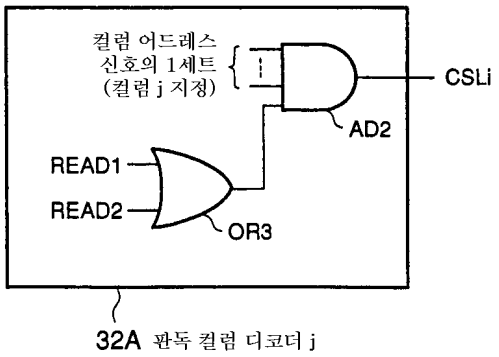
도면7



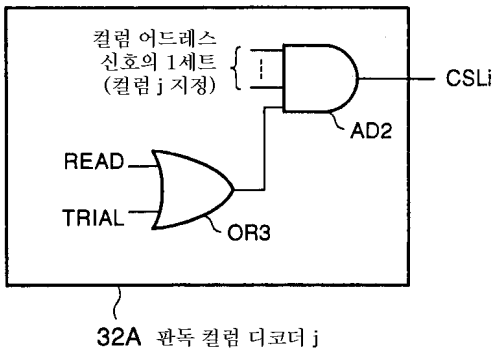
도면8



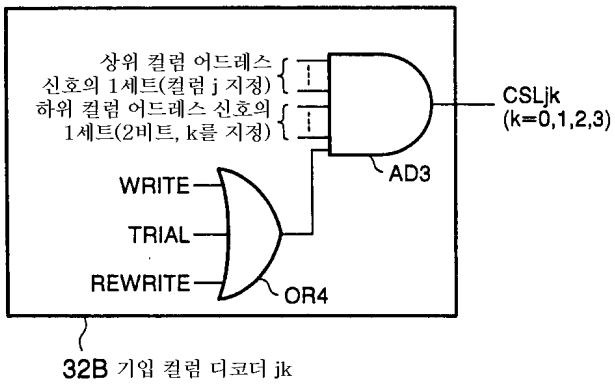
도면9



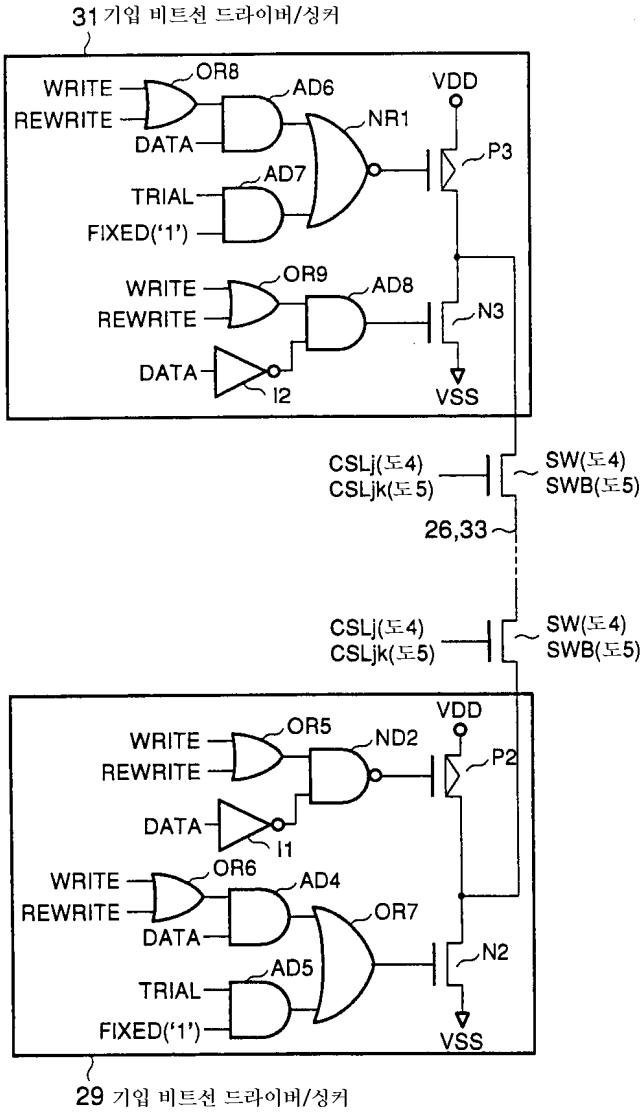
도면10



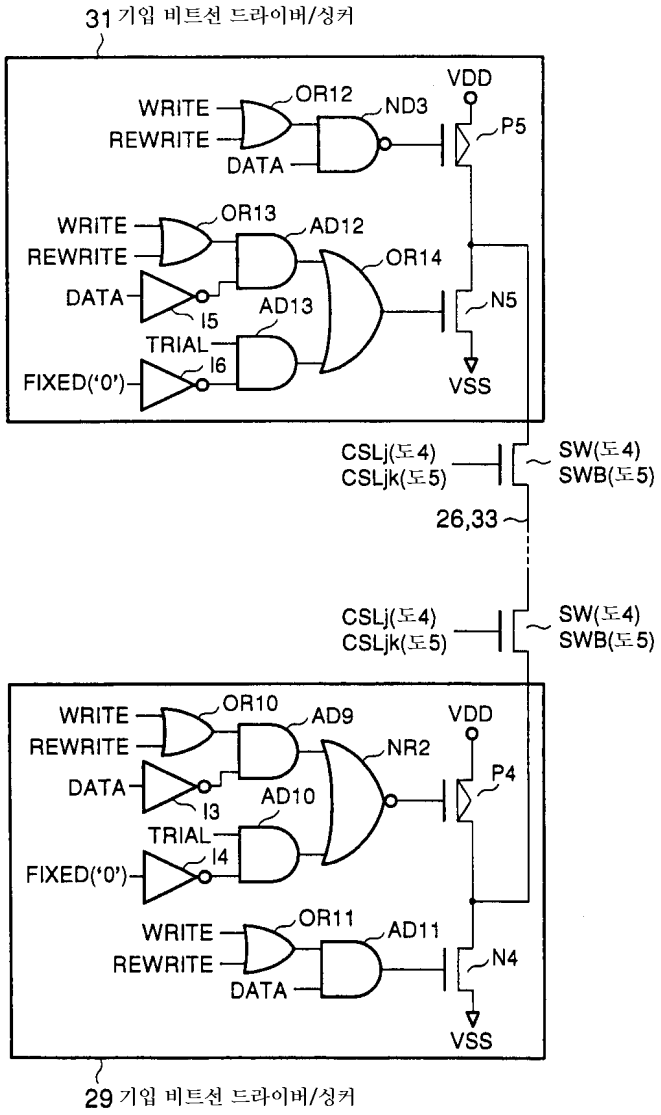
도면11


상위 컬럼 어드레스
신호의 1세트(컬럼 j 지정)
하위 컬럼 어드레스 신호의
1세트(2비트, k를 지정)
CSLjk
(k=0,1,2,3)
AD3
WRITE
TRIAL
REWRITE
OR4
32B 기입 컬럼 디코더 jk

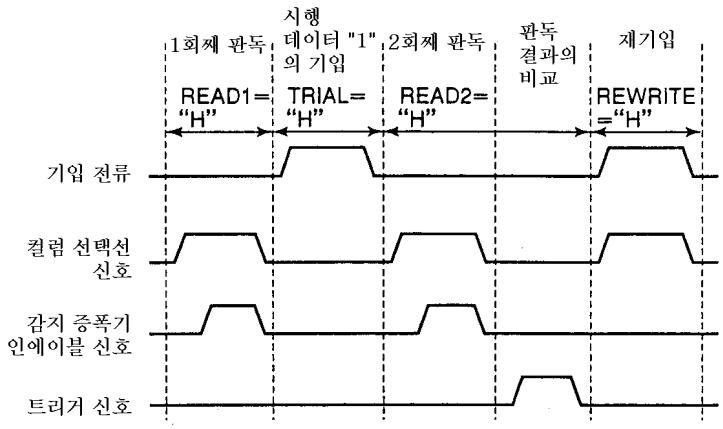
도면12


31 기입 비트선 드라이버/싱커
WRITE
REWRITE
DATA
OR8
AD6
NR1
VDD
P3
TRIAL
FIXED('1')
AD7
WRITE
REWRITE
DATA
OR9
AD8
I2
N3
VSS
CSLj(도4)
CSLjk(도5)
SW(도4)
SWB(도5)
26,33
CSLj(도4)
CSLjk(도5)
SW(도4)
SWB(도5)
WRITE
REWRITE
DATA
OR5
ND2
I1
VDD
P2
WRITE
REWRITE
DATA
OR6
AD4
TRIAL
FIXED('1')
AD5
OR7
N2
VSS
29 기입 비트선 드라이버/싱커

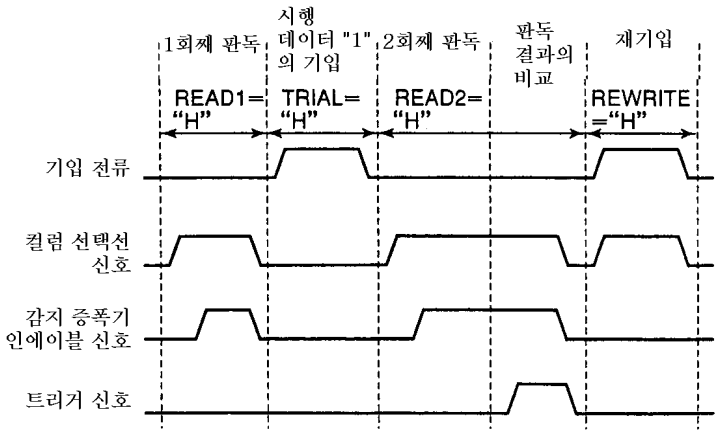
도면13


31 기입 비트선 드라이버/싱커
WRITE
REWRITE
DATA
OR12
ND3
VDD
P5
WRITE
REWRITE
DATA
TRIAL
FIXED('0')
OR13
AD12
OR14
I5
AD13
I6
N5
VSS
CSLj(도4)
CSLjk(도5)
SW(도4)
SWB(도5)
26,33
CSLj(도4)
CSLjk(도5)
SW(도4)
SWB(도5)
WRITE
REWRITE
DATA
TRIAL
FIXED('0')
OR10
AD9
NR2
VDD
P4
I3
AD10
I4
WRITE
REWRITE
DATA
OR11
AD11
N4
VSS
29 기입 비트선 드라이버/싱커

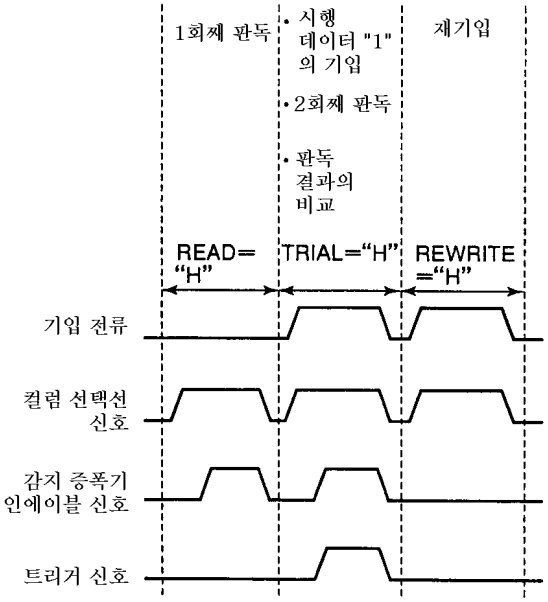
도면14


1회째 판독
시행 데이터 "1"의 기입
2회째 판독
판독 결과의 비교
재기입
READ1= "H"
TRIAL= "H"
READ2= "H"
REWRITE ="H"
기입 전류
컬럼 선택선 신호
감지 증폭기 인에이블 신호
트리거 신호

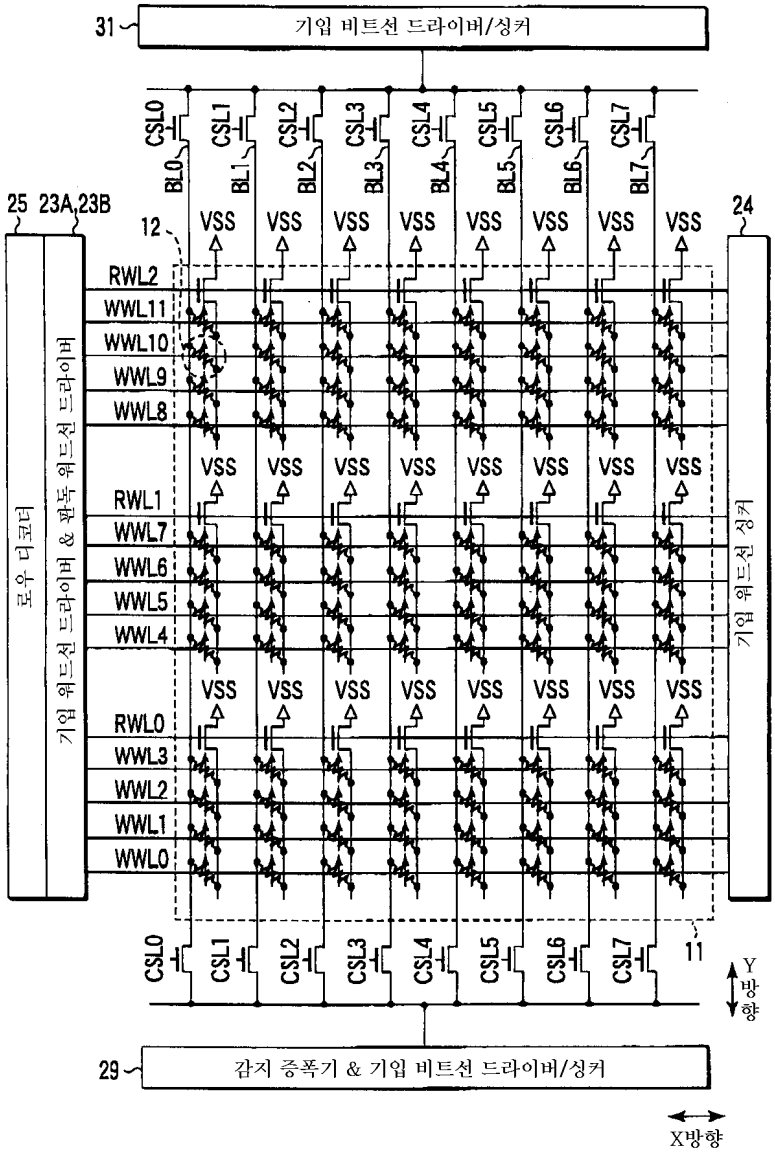
도면15


1회째 판독
시행
데이터 "1"
의 기입
2회째 판독
판독
결과의
비교
재기입
READ1=
"H"
TRIAL=
"H"
READ2=
"H"
REWRITE
="H"
기입 전류
컬럼 선택선
신호
감지 증폭기
인에이블 신호
트리거 신호

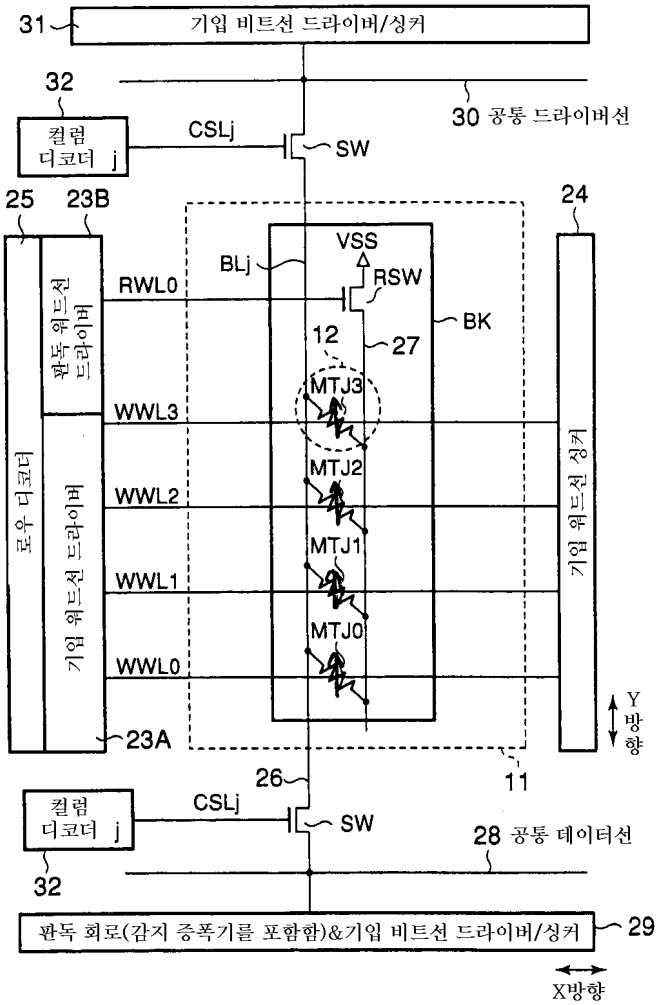
도면16


1회째 판독
• 시행
데이터 "1"
의 기입
• 2회째 판독
• 판독
결과의
비교
재기입
READ=
"H"
TRIAL="H"
REWRITE
="H"
기입 전류
컬럼 선택선
신호
감지 증폭기
인에이블 신호
트리거 신호

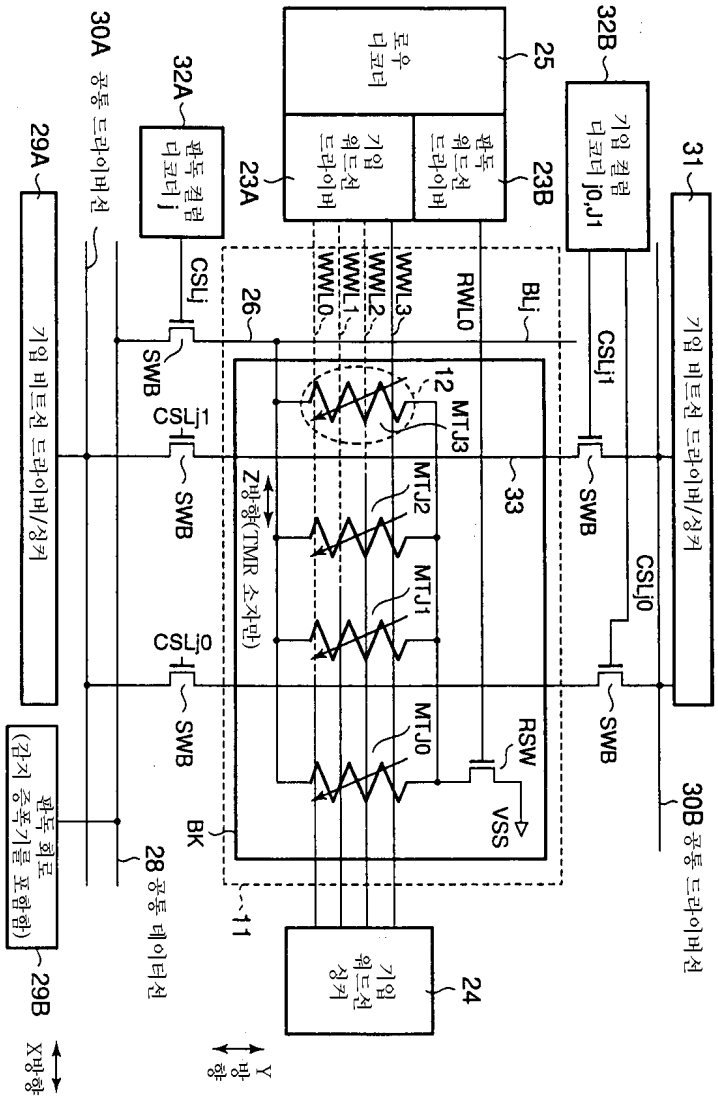
도면17


31
기입 비트선 드라이버/싱커
CSL0
CSL1
CSL2
CSL3
CSL4
CSL5
CSL6
CSL7
BL0
BL1
BL2
BL3
BL4
BL5
BL6
BL7
25
23A,23B
12
24
VSS
RWL2
WWL11
WWL10
WWL9
WWL8
RWL1
WWL7
WWL6
WWL5
WWL4
RWL0
WWL3
WWL2
WWL1
WWL0
로우 디코더
기입 워드선 드라이버 & 판독 워드선 드라이버
기입 워드선 싱커
11
Y 방향
29
감지 증폭기 & 기입 비트선 드라이버/싱커
X방향

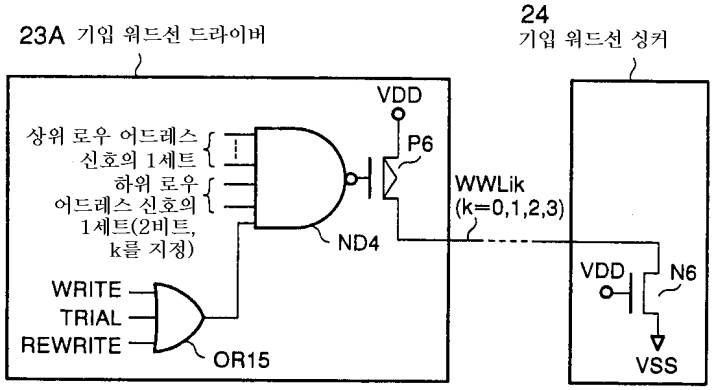
도면18


31
기입 비트선 드라이버/싱커
32
컬럼 디코더 j
CSLj
SW
30 공통 드라이버선
25
23B
24
VSS
BLj
RSW
RWL0
BK
12
27
판독 워드선 드라이버
MTJ3
WWL3
MTJ2
WWL2
MTJ1
WWL1
MTJ0
WWL0
로우 디코더
기입 워드선 드라이버
기입 워드선 싱커
Y 방향
23A
26
11
컬럼 디코더 j
CSLj
SW
28 공통 데이터선
32
판독 회로(감지 증폭기를 포함함)&기입 비트선 드라이버/싱커
29
X방향

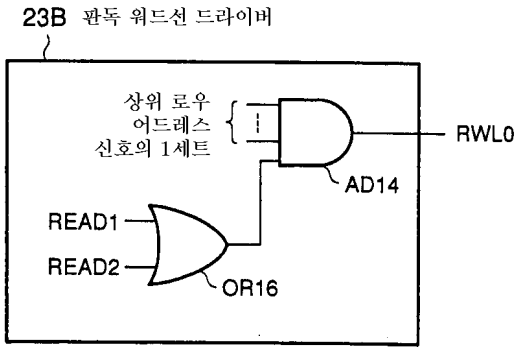
도면19


로우 디코더
기입 워드선 드라이버
판독 워드선 드라이버
기입 컬럼 디코더 j0,J1
판독 컬럼 디코더 j
기입 비트선 드라이버/싱커
공통 드라이버선
기입 비트선 드라이버/싱커
판독 회로 (감지 증폭기를 포함함)
공통 데이터선
기입 워드선 싱커
RWL0
WWL3
WWL2
WWL1
WWL0
BLj
CSLj
CSLj1
CSLj0
SWB
RSW
VSS
BK
MTJ3
MTJ2
MTJ1
MTJ0
Z방향(TMR 소자만)
X방향
Y방향

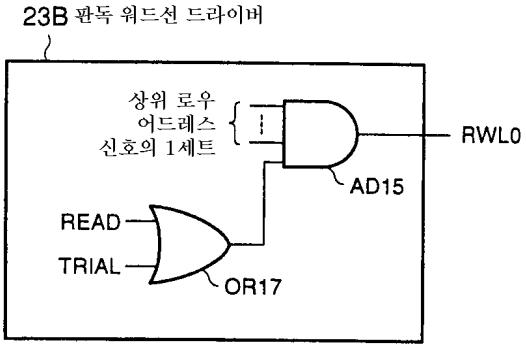
도면20


23A 기입 워드선 드라이버
24 기입 워드선 싱커
VDD
P6
상위 로우 어드레스 신호의 1세트
하위 로우 어드레스 신호의 1세트(2비트, k를 지정)
ND4
WWLik (k=0,1,2,3)
WRITE
TRIAL
REWRITE
OR15
VDD
N6
VSS

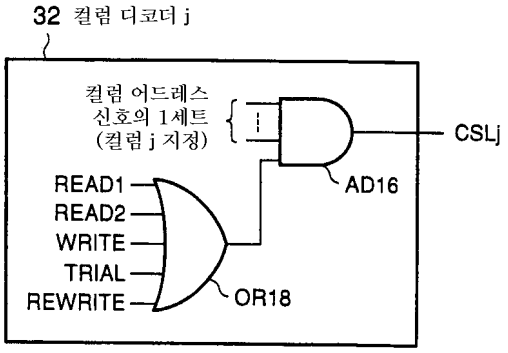
도면21



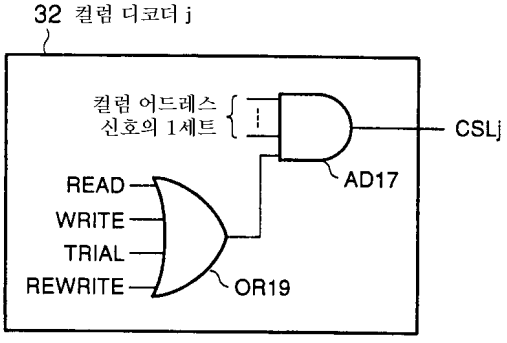
도면22



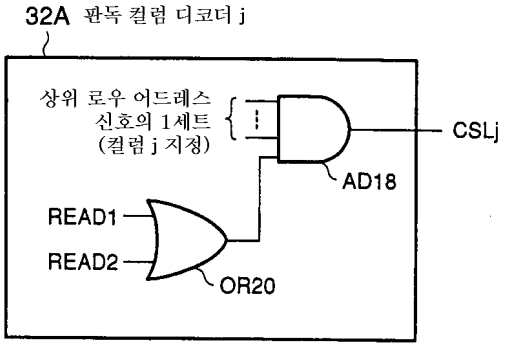
도면23



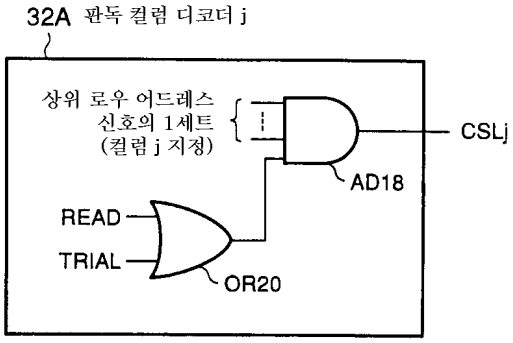
도면24



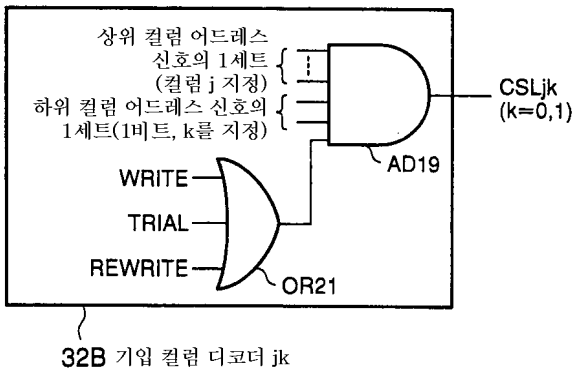
도면25



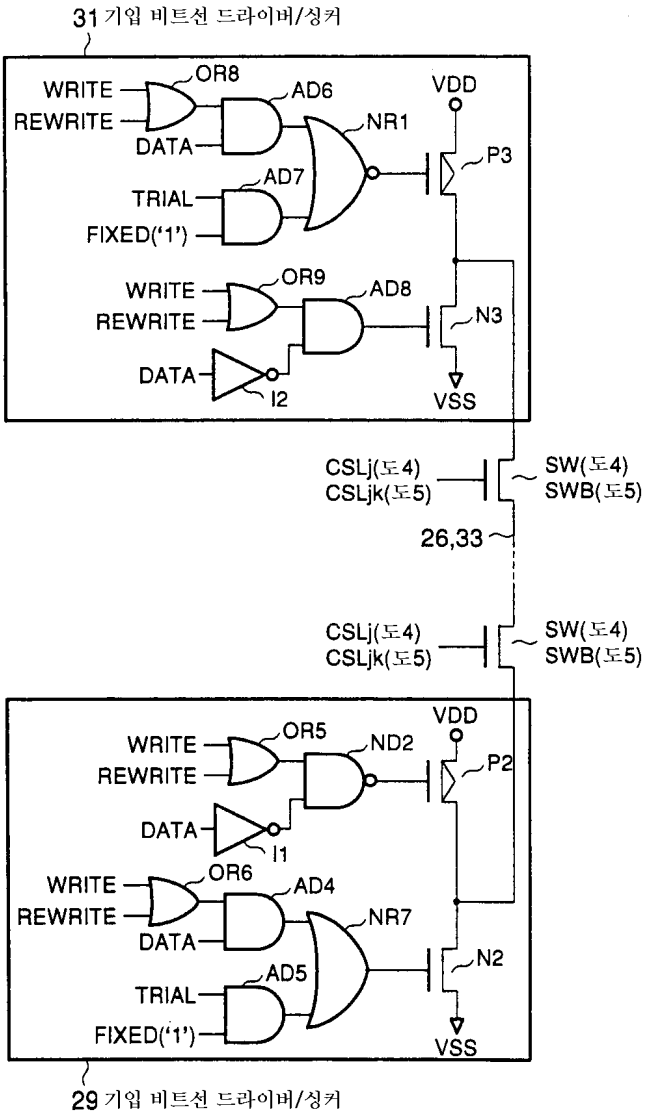
도면26



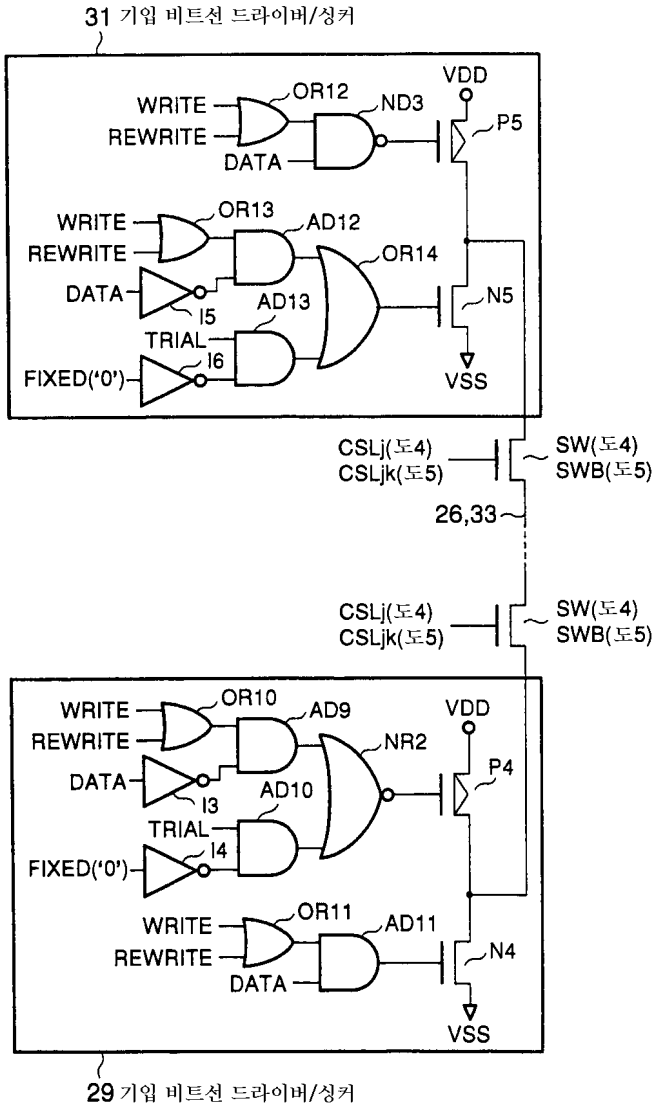
도면27



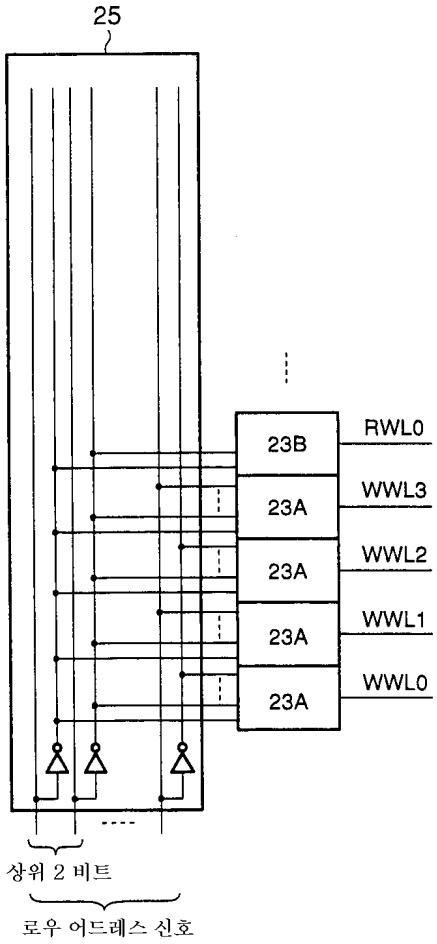
도면28


31 기입 비트선 드라이버/싱커
WRITE
REWRITE
DATA
OR8
AD6
NR1
VDD
P3
TRIAL
FIXED('1')
AD7
WRITE
REWRITE
DATA
OR9
AD8
N3
I2
VSS
CSLj(도4)
CSLjk(도5)
SW(도4)
SWB(도5)
26,33
CSLj(도4)
CSLjk(도5)
SW(도4)
SWB(도5)
WRITE
REWRITE
DATA
OR5
ND2
VDD
P2
I1
WRITE
REWRITE
DATA
OR6
AD4
NR7
N2
TRIAL
FIXED('1')
AD5
VSS
29 기입 비트선 드라이버/싱커

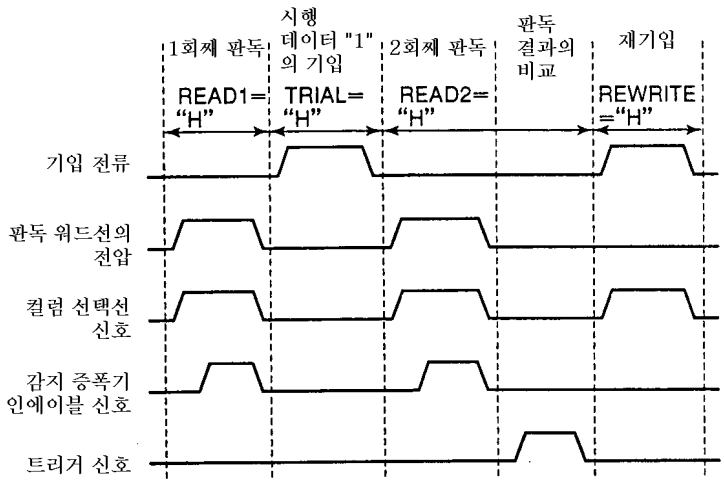
도면29


31 기입 비트선 드라이버/싱커
WRITE
REWRITE
DATA
OR12
ND3
VDD
P5
WRITE
REWRITE
DATA
OR13
AD12
OR14
I5
AD13
TRIAL
FIXED('0')
I6
N5
VSS
CSLj(도4)
CSLjk(도5)
SW(도4)
SWB(도5)
26,33
CSLj(도4)
CSLjk(도5)
SW(도4)
SWB(도5)
WRITE
REWRITE
DATA
OR10
AD9
NR2
VDD
P4
I3
AD10
TRIAL
FIXED('0')
I4
WRITE
REWRITE
DATA
OR11
AD11
N4
VSS
29 기입 비트선 드라이버/싱커

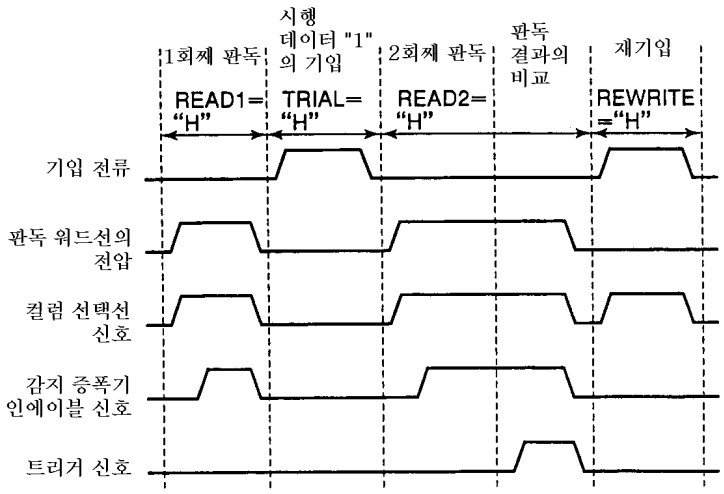
도면30


25
23B
RWL0
23A
WWL3
23A
WWL2
23A
WWL1
23A
WWL0
상위 2 비트
로우 어드레스 신호

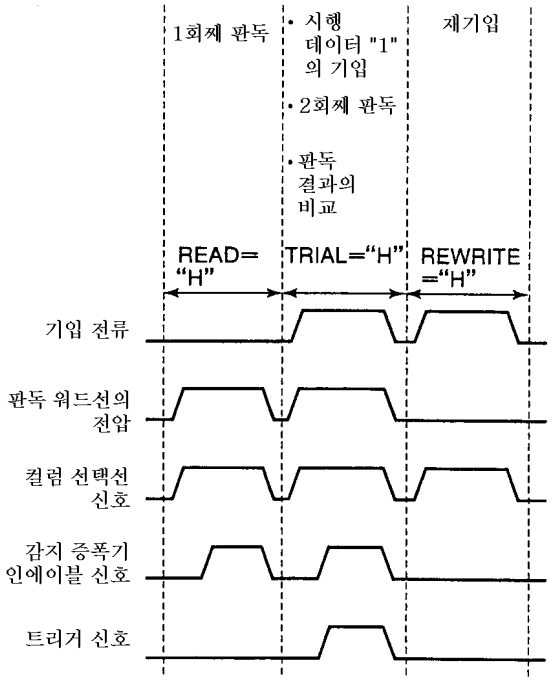
도면31


1회째 판독
READ1=
"H"
시행
데이터 "1"
의 기입
TRIAL=
"H"
2회째 판독
READ2=
"H"
판독
결과의
비교
재기입
REWRITE
="H"
기입 전류
판독 워드선의
전압
컬럼 선택선
신호
감지 증폭기
인에이블 신호
트리거 신호

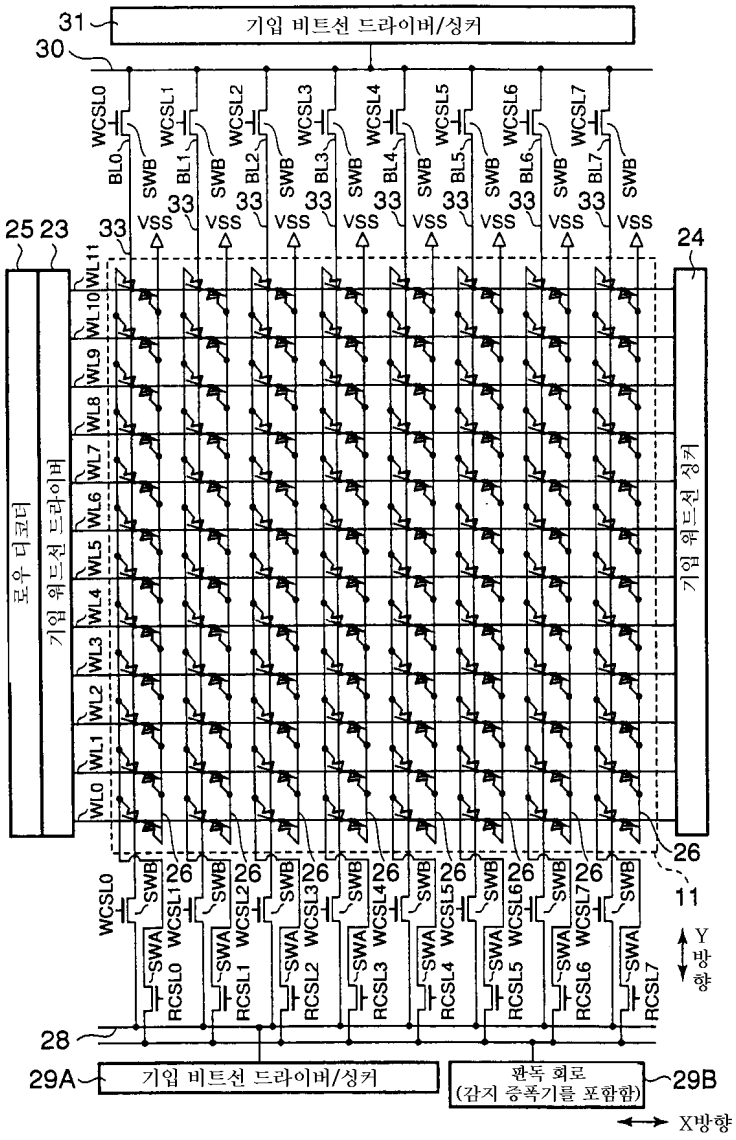
도면32


1회째 판독
시행 데이터 "1"의 기입
2회째 판독
판독 결과의 비교
재기입
READ1="H"
TRIAL="H"
READ2="H"
REWRITE="H"
기입 전류
판독 워드선의 전압
컬럼 선택선 신호
감지 증폭기 인에이블 신호
트리거 신호

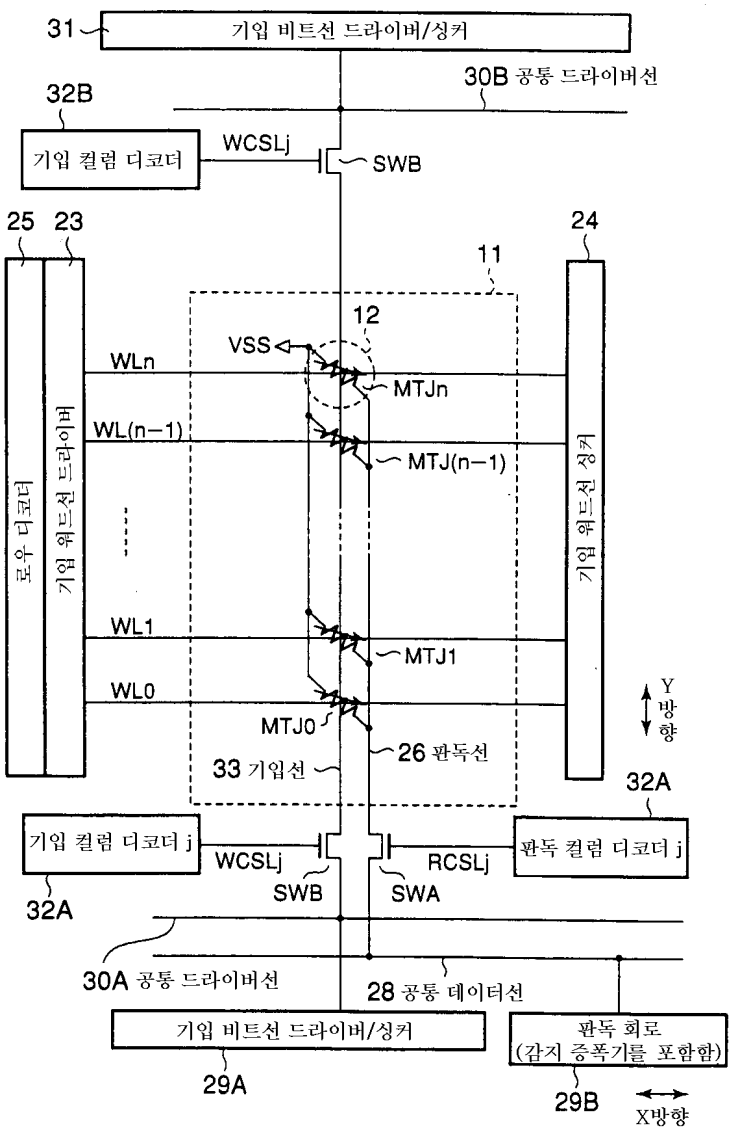
도면33


1회째 판독
• 시행 데이터 "1"의 기입
• 2회째 판독
• 판독 결과의 비교
재기입
READ="H"
TRIAL="H"
REWRITE="H"
기입 전류
판독 워드선의 전압
컬럼 선택선 신호
감지 증폭기 인에이블 신호
트리거 신호

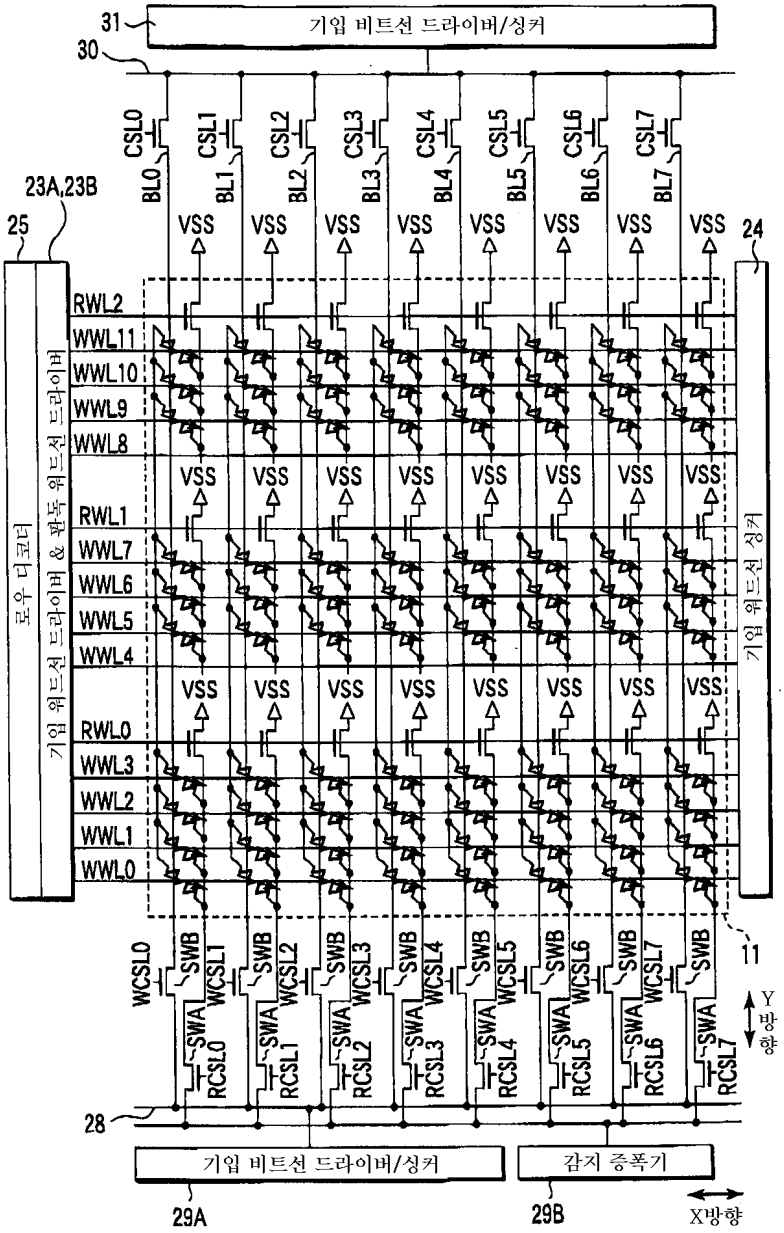
도면34


31
기입 비트선 드라이버/싱커
30
WCSL0
WCSL1
WCSL2
WCSL3
WCSL4
WCSL5
WCSL6
WCSL7
BL0
BL1
BL2
BL3
BL4
BL5
BL6
BL7
SWB
33
VSS
25
23
24
로우 디코더
기입 워드선 드라이버
기입 워드선 싱커
WL11
WL10
WL9
WL8
WL7
WL6
WL5
WL4
WL3
WL2
WL1
WL0
26
11
SWA
RCSL0
RCSL1
RCSL2
RCSL3
RCSL4
RCSL5
RCSL6
RCSL7
Y 방향
28
29A
기입 비트선 드라이버/싱커
판독 회로
(감지 증폭기를 포함함)
29B
X방향

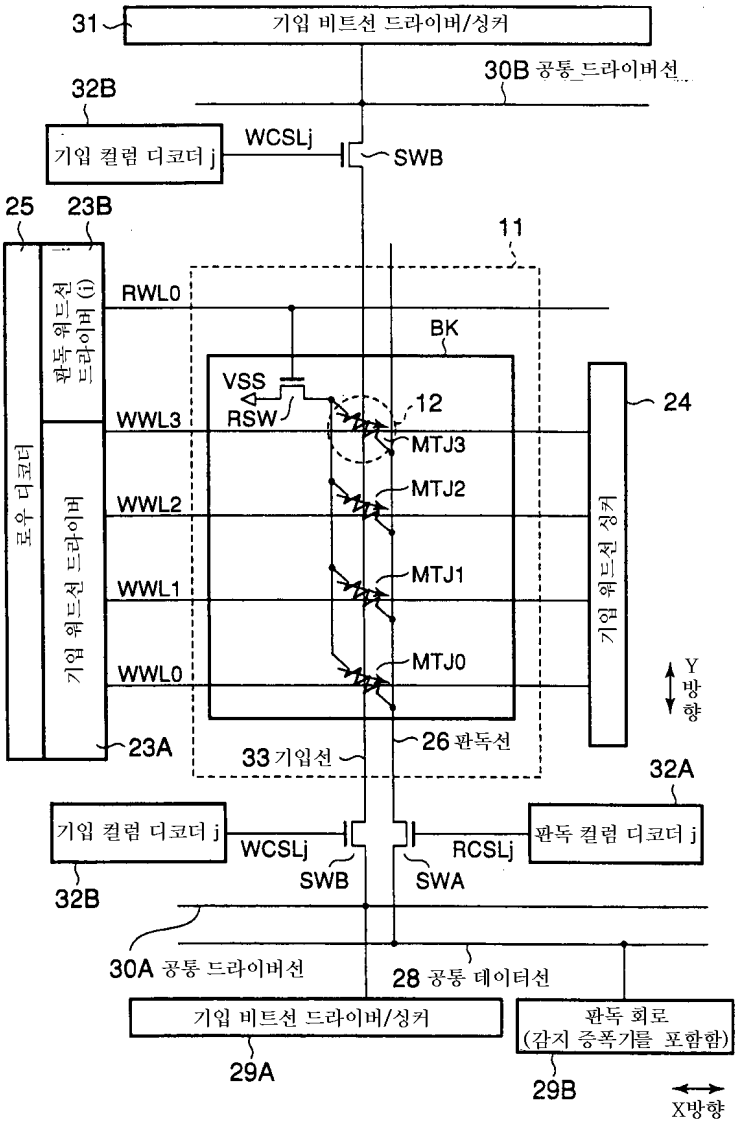
도면35


31
기입 비트선 드라이버/싱커
30B 공통 드라이버선
32B
기입 컬럼 디코더
WCSLj
SWB
25
23
24
11
12
VSS
WLn
MTJn
WL(n-1)
MTJ(n-1)
로우 디코더
기입 워드선 드라이버
기입 워드선 싱커
WL1
MTJ1
WL0
MTJ0
Y 방향
33 기입선
26 판독선
32A
기입 컬럼 디코더 j
WCSLj
RCSLj
판독 컬럼 디코더 j
SWB
SWA
32A
30A 공통 드라이버선
28 공통 데이터선
기입 비트선 드라이버/싱커
판독 회로
(감지 증폭기를 포함함)
29A
29B
X방향

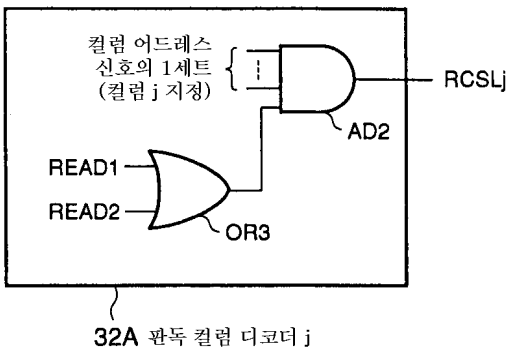
도면36


31
기입 비트선 드라이버/싱커
30
CSL0
CSL1
CSL2
CSL3
CSL4
CSL5
CSL6
CSL7
BL0
BL1
BL2
BL3
BL4
BL5
BL6
BL7
23A,23B
25
24
VSS
RWL2
WWL11
WWL10
WWL9
WWL8
RWL1
WWL7
WWL6
WWL5
WWL4
RWL0
WWL3
WWL2
WWL1
WWL0
로우 디코더
기입 워드선 드라이버 & 판독 워드선 드라이버
기입 워드선 싱커
11
WCSL0
WCSL1
WCSL2
WCSL3
WCSL4
WCSL5
WCSL6
WCSL7
SWB
SWA
RCSL0
RCSL1
RCSL2
RCSL3
RCSL4
RCSL5
RCSL6
RCSL7
Y 방향
28
기입 비트선 드라이버/싱커
감지 증폭기
29A
29B
X방향

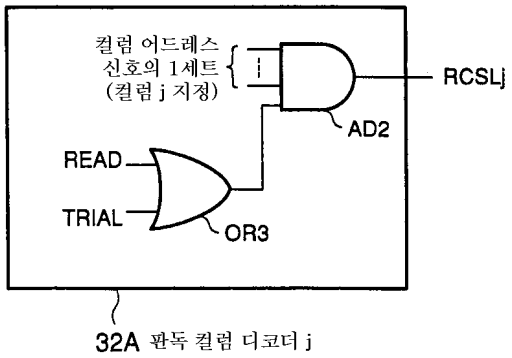
도면37


31
기입 비트선 드라이버/싱커
30B 공통_드라이버선
32B
기입 컬럼 디코더 j
WCSLj
SWB
25
23B
11
판독 워드선 드라이버 (i)
RWL0
BK
VSS
RSW
12
24
WWL3
MTJ3
MTJ2
WWL2
MTJ1
WWL1
MTJ0
WWL0
로우 디코더
기입 워드선 드라이버
기입 워드선 싱커
Y 방향
23A
33 기입선
26 판독선
32A
기입 컬럼 디코더 j
WCSLj
RCSLj
판독 컬럼 디코더 j
SWB
SWA
32B
30A 공통 드라이버선
28 공통 데이터선
기입 비트선 드라이버/싱커
판독 회로
(감지 증폭기를 포함함)
29A
29B
X방향

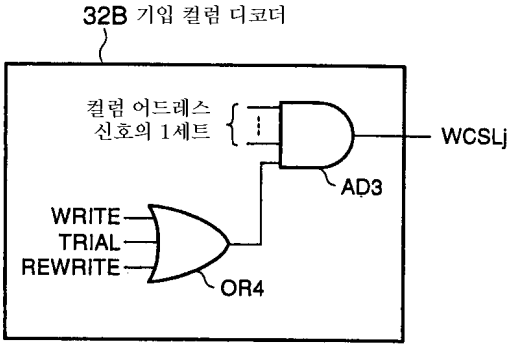
도면38


컬럼 어드레스
신호의 1세트
(컬럼 j 지정)
RCSLj
AD2
READ1
READ2
OR3
32A 판독 컬럼 디코더 j

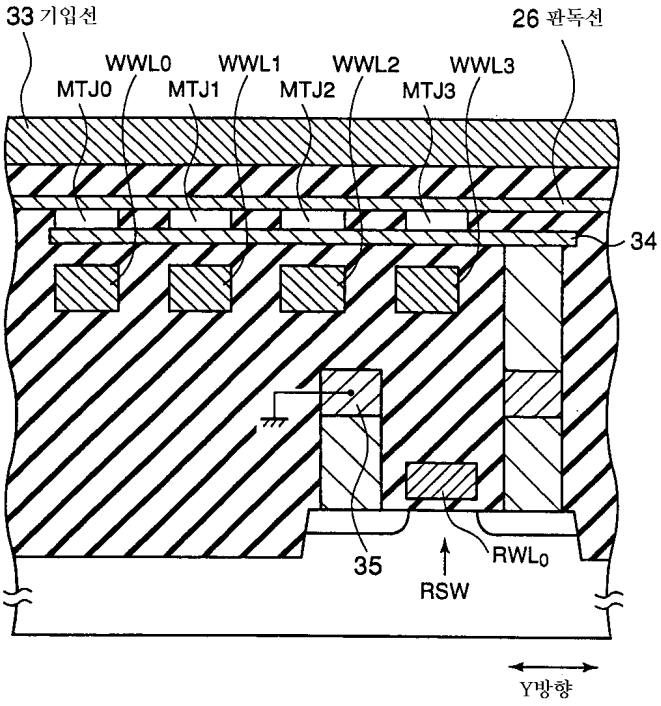
도면39



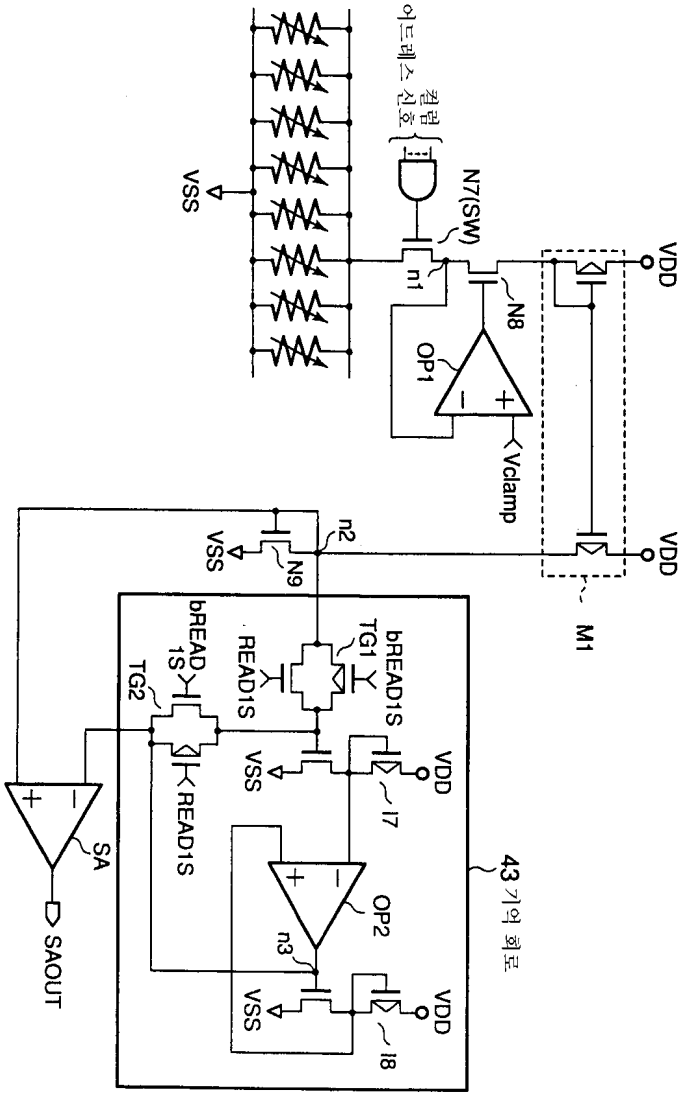
도면40



도면41

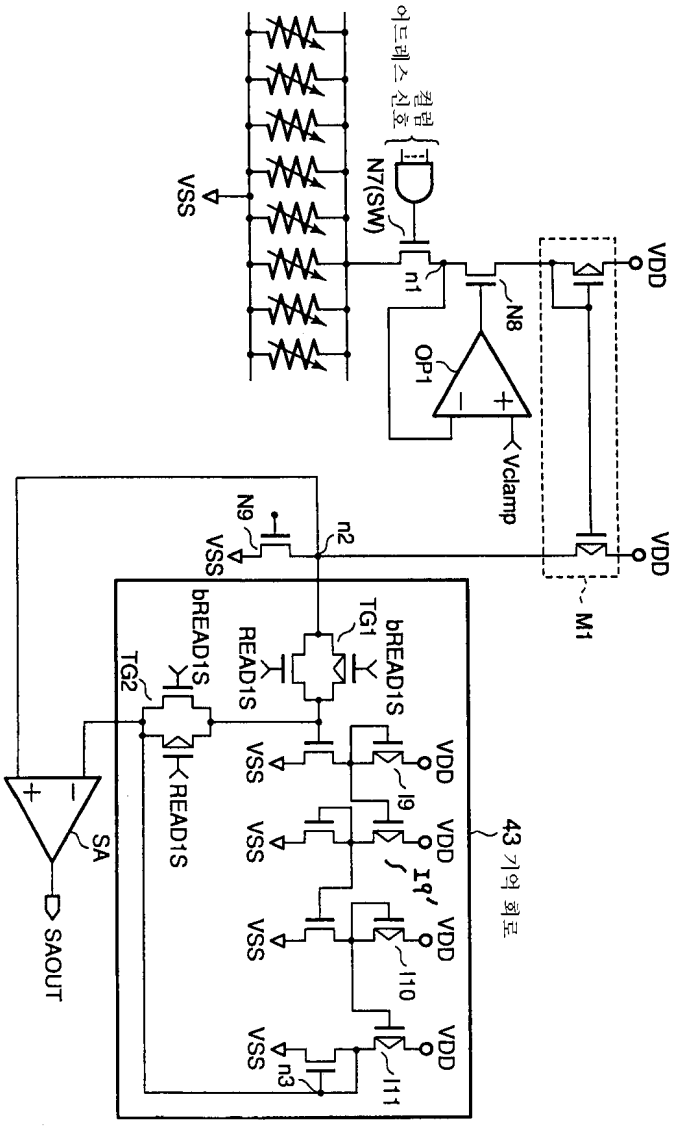


도면42

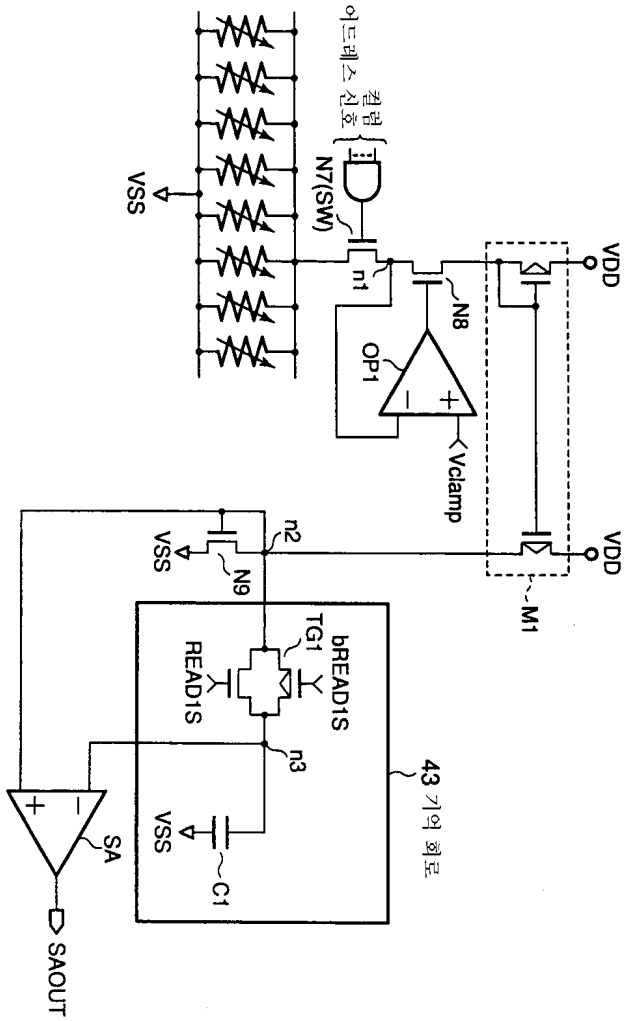


VSS
N7(SW)
n1
N8
OP1
Vclamp
VDD
VDD
M1
n2
VSS
N9
bREAD1S
TG1
READ1S
bREAD1S
TG2
READ1S
VSS
VDD
I7
OP2
n3
VSS
VDD
I8
43 기억 회로
SA
SAOUT

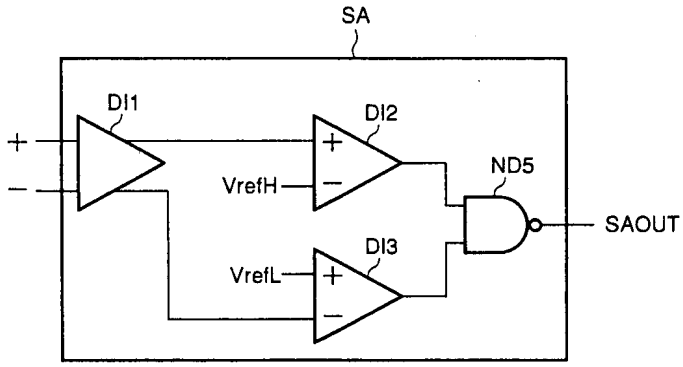
도면43


어드레스 신호
컬럼
N7(SW)
VSS
n1
N8
OP1
Vclamp
VDD
M1
N9
n2
bREAD1S
TG1
READ1S
TG2
I9
I10
I11
n3
SA
SAOUT
43 기억 회로

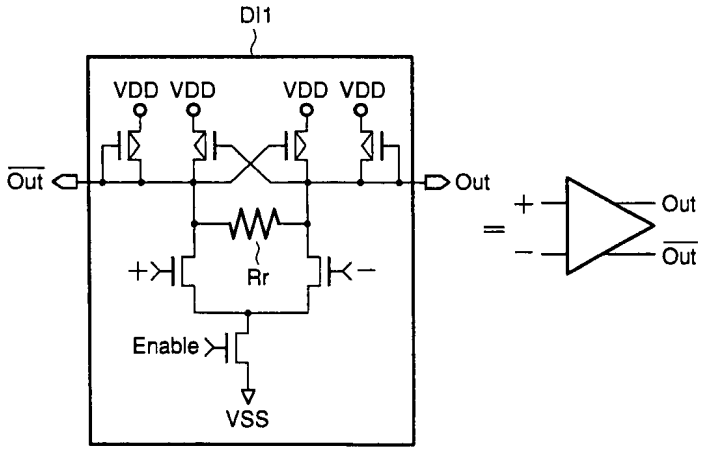
도면44


어드레스 신호
컬럼
N7(SW)
VSS
n1
N8
OP1
Vclamp
VDD
VDD
M1
n2
VSS
N9
TG1
READ1S
bREAD1S
n3
43 기억 회로
SA
VSS
C1
SAOUT

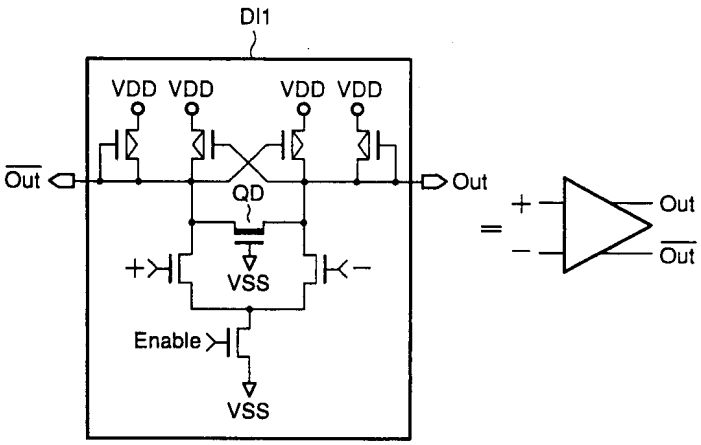
도면45


SA
DI1
DI2
VrefH
ND5
SAOUT
DI3
VrefL

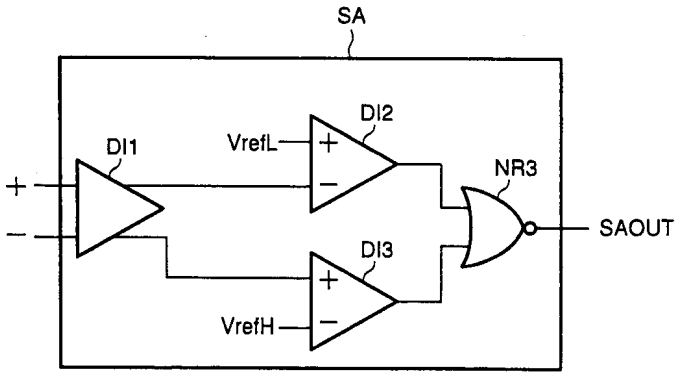
도면46



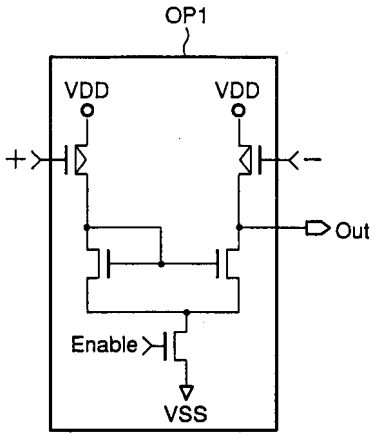
도면47



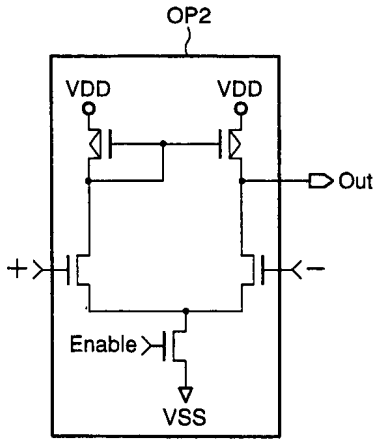
도면48



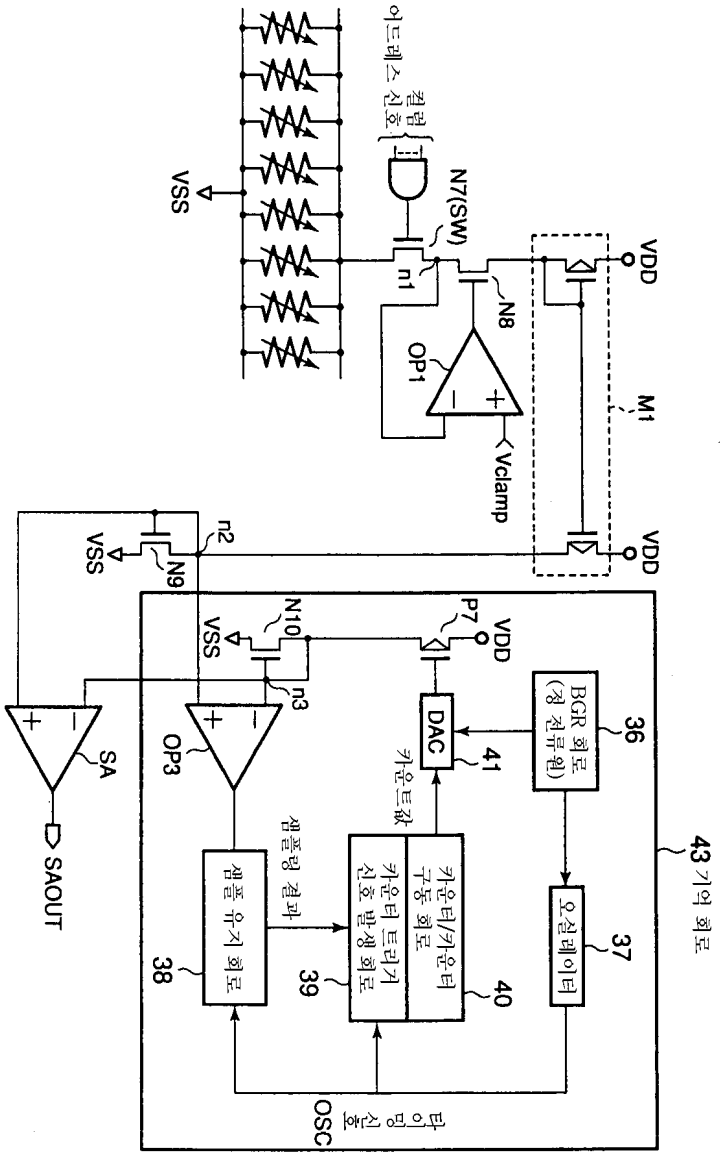
도면49



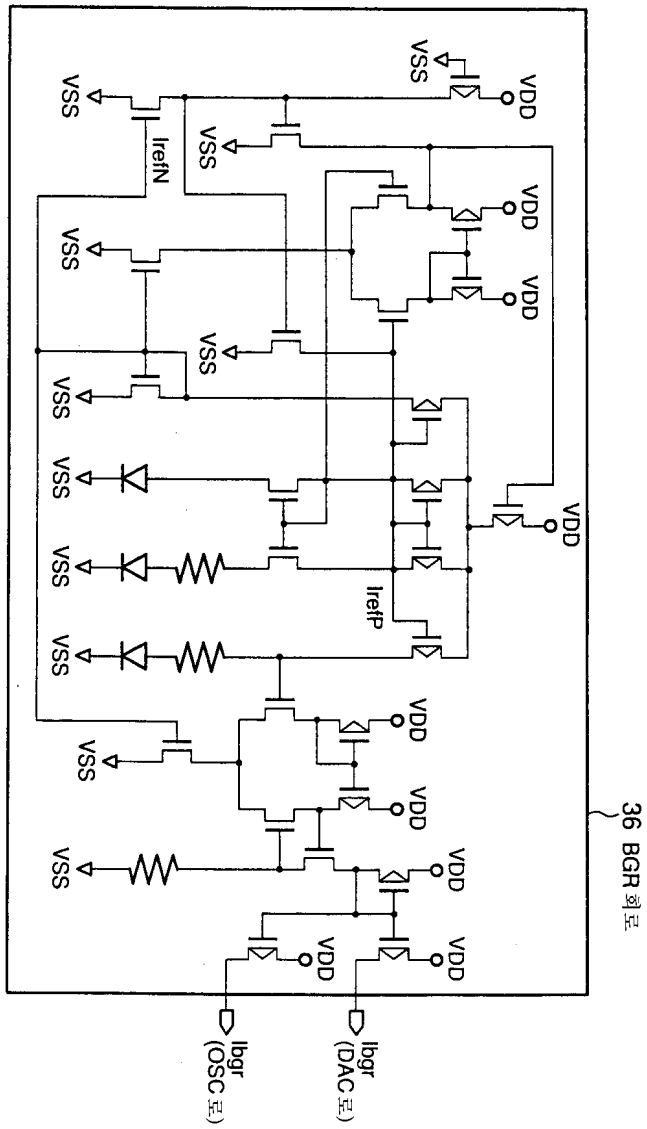
도면50



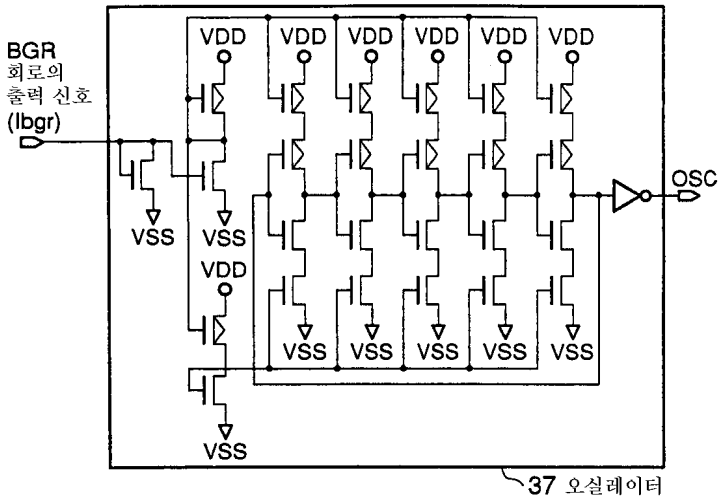
도면51


어드레스 신호
컬럼
VSS
N7(SW)
m1
N8
OP1
Vclamp
VDD
M1
VDD
n2
VSS
N9
N10
VSS
P7
VDD
n3
SA
OP3
DAC
카운트값
BGR 회로
(정 전류원)
36
41
SAOUT
샘플링 결과
샘플 유지 회로
38
카운터 트리거
신호 발생 회로
39
카운터/카운터
구동 회로
40
오실레이터
37
43 기억 회로
타이밍 신호
OSC

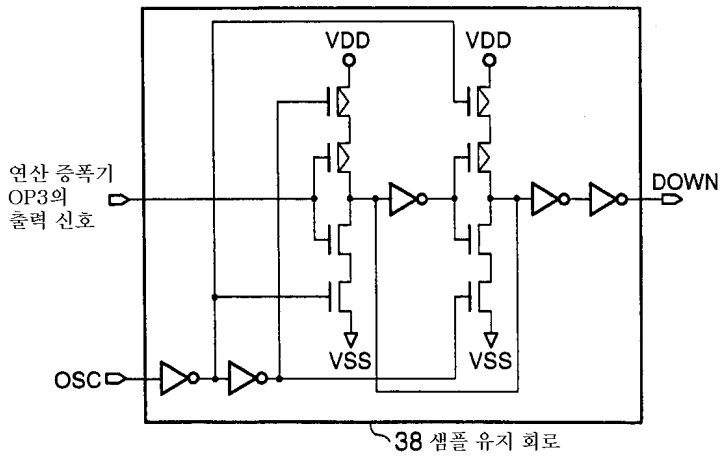
도면52


VSS
VDD
IrefN
IrefP
36 BGR 회로
Ibgr (OSC 로)
Ibgr (DAC 로)

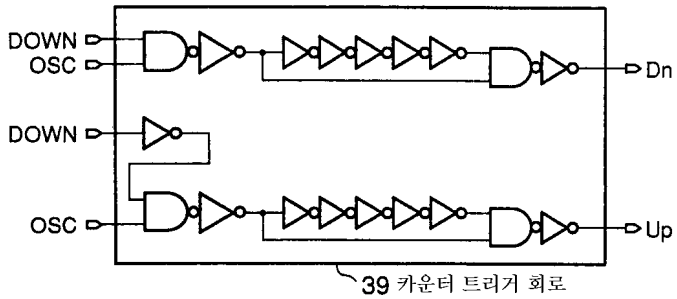
도면53


BGR
회로의
출력 신호
(Ibgr)
VDD
VSS
OSC
37 오실레이터

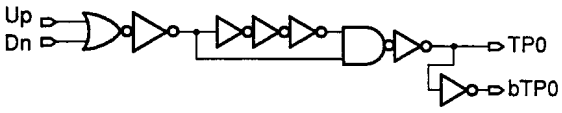
도면54



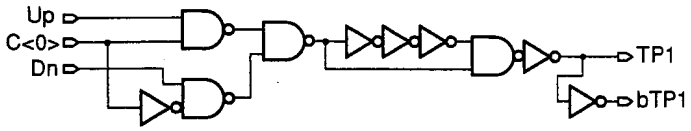
도면55



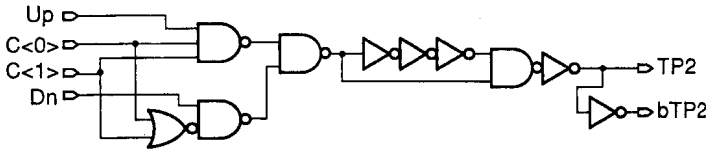
도면56



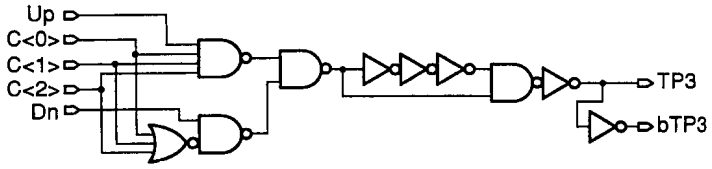
도면57



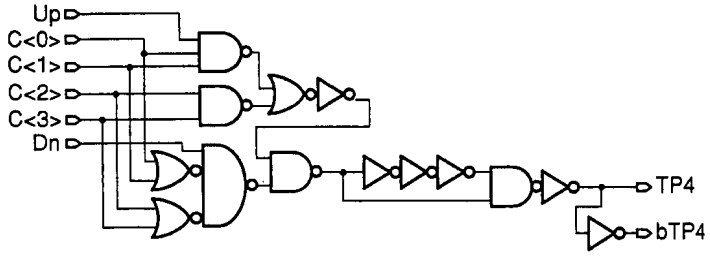
도면58



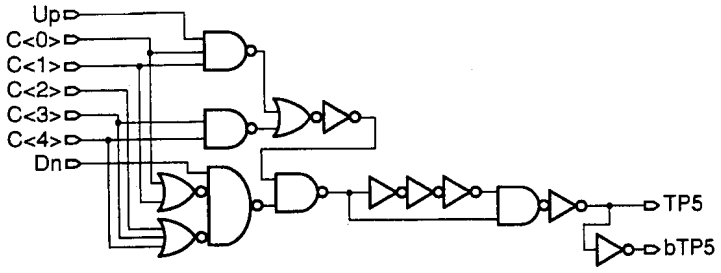
도면59



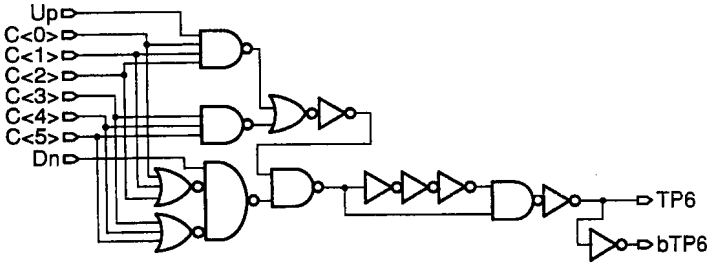
도면60



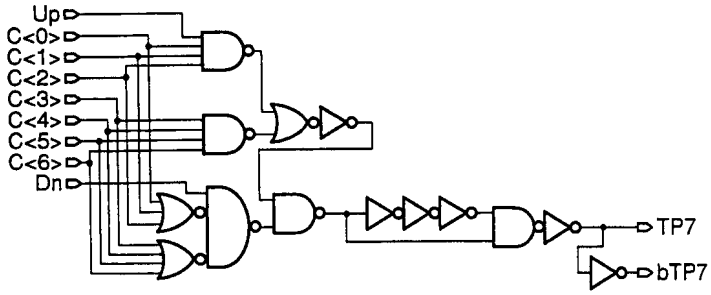
도면61



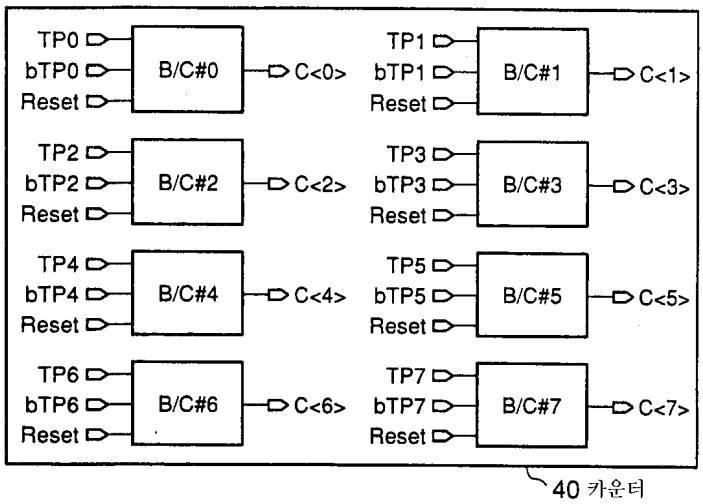
도면62



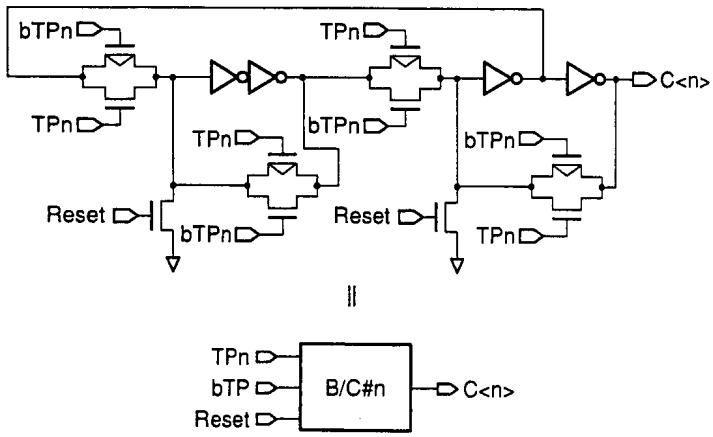
도면63



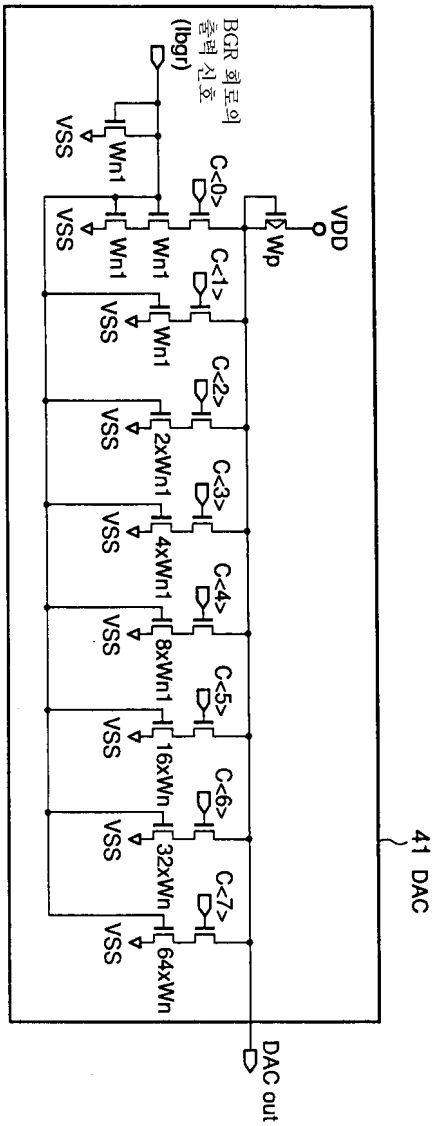
도면64



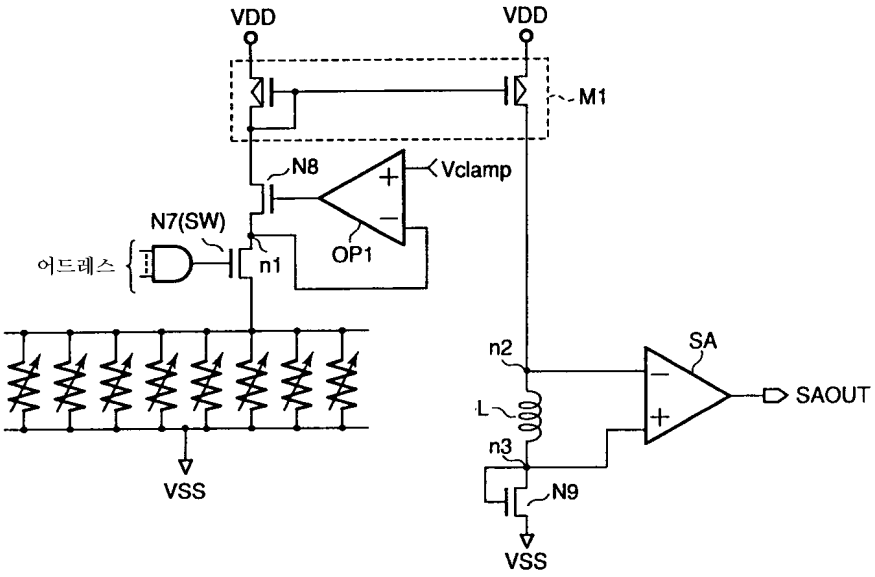
도면65



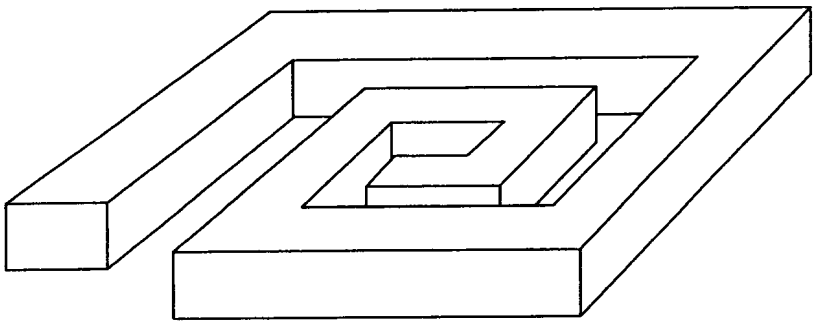
도면66


BGR 회로의 출력 신호 (Ibgr)
VDD
Wp
C<0>
C<1>
C<2>
C<3>
C<4>
C<5>
C<6>
C<7>
VSS
Wn1
2xWn1
4xWn1
8xWn1
16xWn
32xWn
64xWn
41 DAC
DAC out

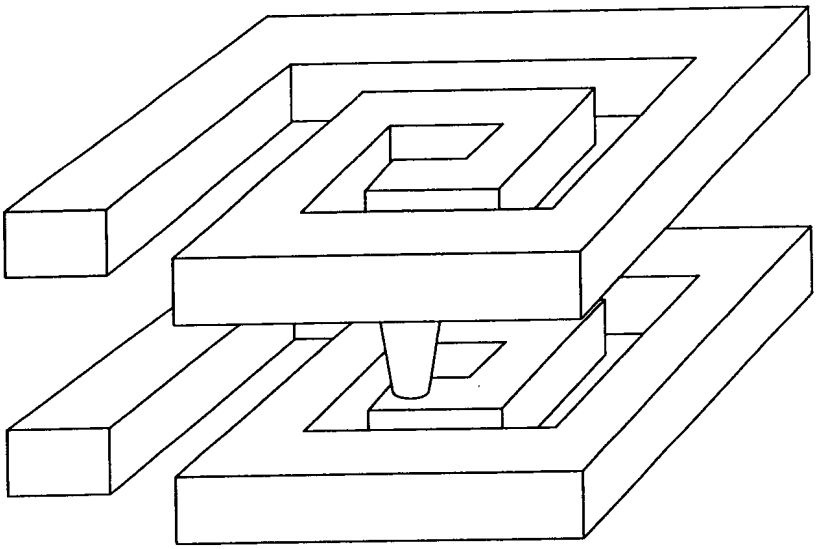
도면67



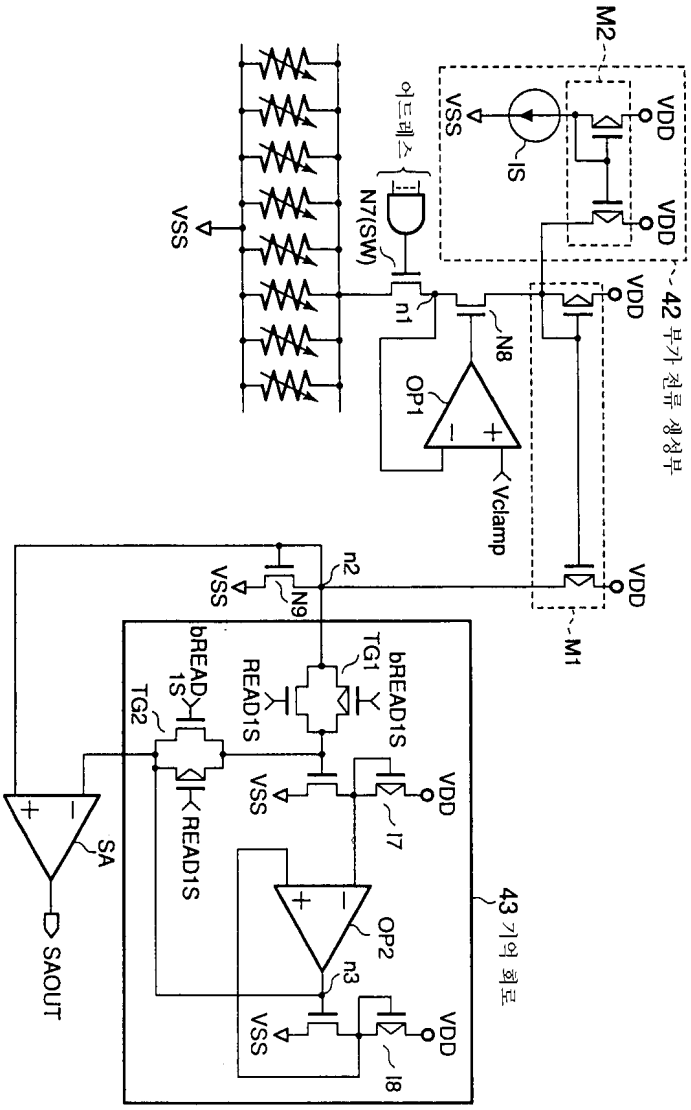
도면68



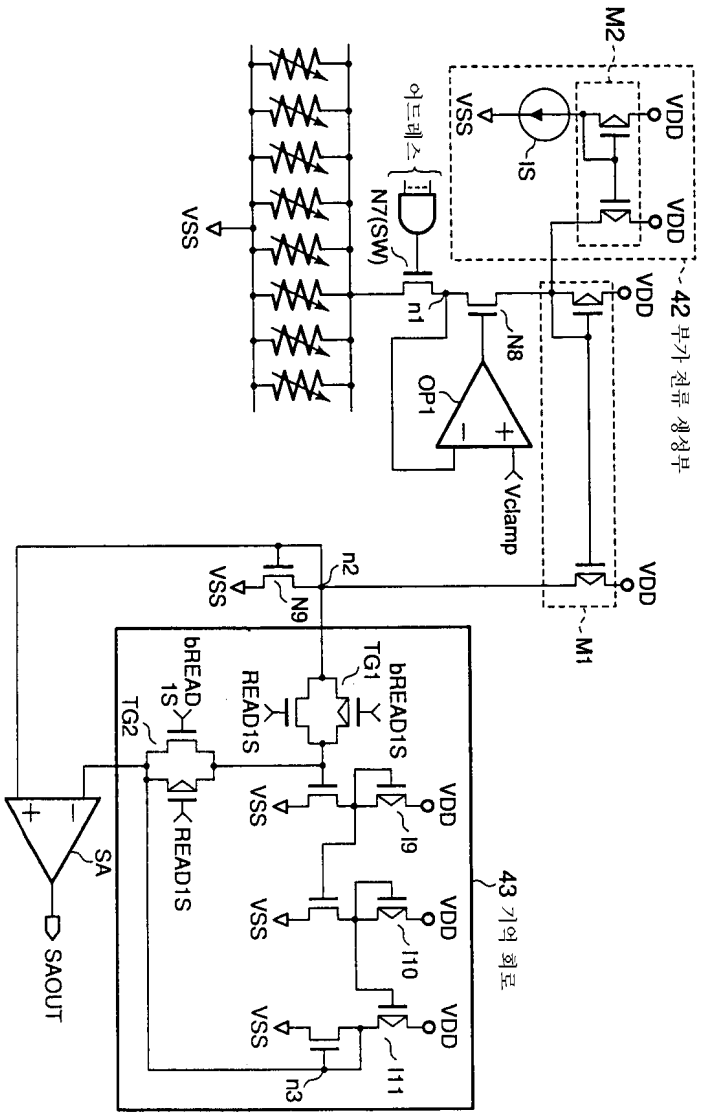
도면69



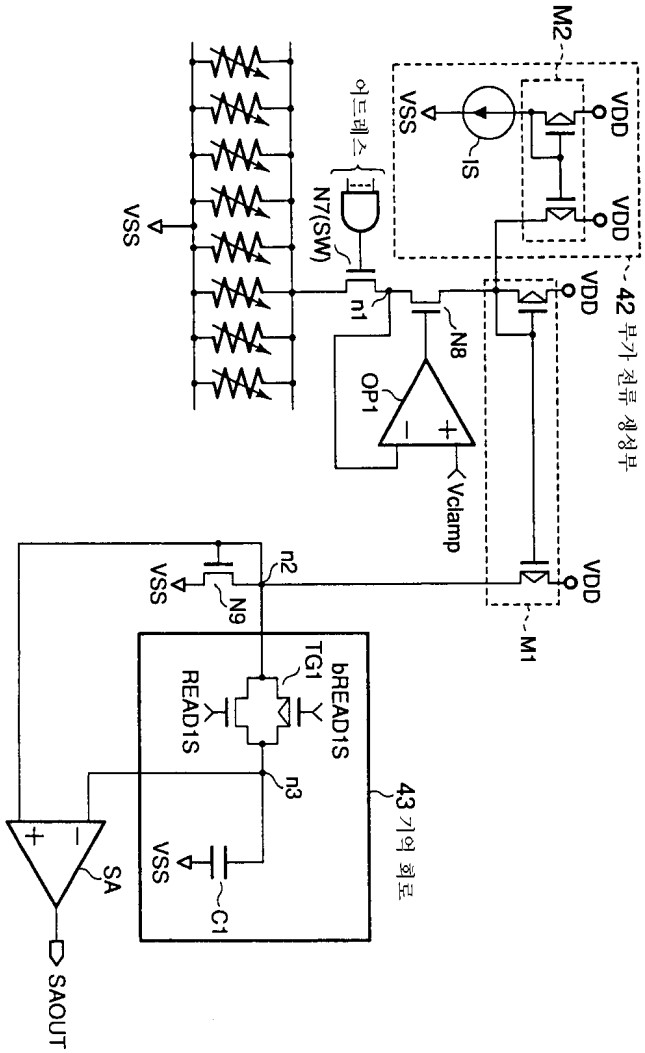
도면70


M2
VDD
VDD
VSS
IS
어드레스
N7(SW)
VSS
n1
N8
OP1
Vclamp
42 부가 전류 생성부
VDD
VDD
M1
n2
VSS
N9
bREAD1S
TG1
READ1S
bREAD1S
TG2
VSS
VDD
I7
READ1S
SA
SAOUT
OP2
n3
VSS
VDD
I8
43 기억 회로

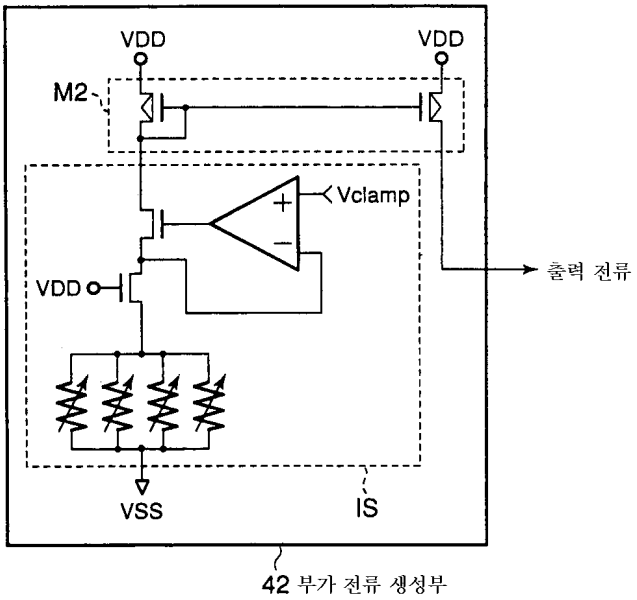
도면71


M2
VDD
VDD
VSS
IS
어드레스
N7(SW)
VSS
n1
N8
OP1
Vclamp
42 부가 전류 생성부
VDD
VDD
M1
n2
VSS
N9
bREAD1S
TG1
READ1S
bREAD1S
TG2
VSS
VDD
I9
VSS
VDD
I10
VSS
VDD
I11
n3
43 기억 회로
SA
READ1S
SAOUT

도면72


M2
VDD
VDD
VSS
IS
어드레스
N7(SW)
VSS
n1
N8
OP1
Vclamp
VDD
42 부가 전류 생성부
VDD
n2
VSS
N9
M1
bREAD1S
TG1
READ1S
n3
43 기억 회로
SA
VSS
C1
SAOUT

도면73


VDD
VDD
M2
Vclamp
출력 전류
VDD
VSS
IS
42 부가 전류 생성부