



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 894714

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 22.06.79 (21) 2786482/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 30.12.81. Бюллетень № 48

Дата опубликования описания 30.12.81

(51) М. Кл.³

G 06 F 15/00

(53) УДК 681.325
(088.8)

(72) Авторы
изобретения

М.А. Гладштейн, В.А. Баскаков и В.М. Комаров

(71) Заявитель

Рыбинский авиационный технологический институт

(54) МИКРОПРОЦЕССОРНЫЙ МОДУЛЬ

1

Изобретение относится к вычислительной технике и может быть применено при построении однородных универсальных ЭВМ.

Известны микропроцессорные модули, содержащие триггеры и группы шин управления [1].

Недостаток таких микропроцессорных модулей - ограниченные функциональные возможности.

Наиболее близким к предлагаемому является микропроцессорный модуль, содержащий регистр, группы шин управления, входные и выходные шины данных, шины переноса, шины обратной связи и шину тактовых импульсов [2].

Недостаток известного микропроцессорного модуля - ограниченные функциональные возможности, обусловленные тем, что каждый разряд результата и перенос описываются ограниченным набором переключательных

2

функций трех аргументов: разрядов операндов и переноса из предыдущего разряда. Микропроцессорный модуль позволяет реализовать всего лишь шесть основных операций, выполняемых за один такт синхронизации: арифметическое сложение в дополнительных кодах, поразрядные логические сложения, умножение и инверсия суммы по модулю два, сдвиг вправо и влево на один разряд.

Цель изобретения - расширение функциональных возможностей микропроцессорного модуля за счет увеличения числа арифметико-логических операций.

Поставленная цель достигается тем, что в микропроцессорный модуль, содержащий триггеры нулевого и первого разрядов, входы синхронизации которых соединены с шиной тактовых импульсов, введены четыре мультиплексора, причем первая группа шин управления соединена с информацион-

5

10

15

20

ными входами первого мультиплексора, первый управляющий вход которого соединен с первым управляющим входом второго мультиплексора, второй управляющий вход которого соединен с входной шиной переноса и со вторым управляющим входом первого мультиплексора, третий управляющий вход которого соединен с первой входной шиной данных и с третьим управляющим входом второго мультиплексора, четвертый управляющий вход которого соединен с выходной шиной обратной связи, первой выходной шиной данных, выходом триггера нулевого разряда и с четвертым управляющим входом первого мультиплексора, выход которого соединен с первой выходной шиной переноса, вторая выходная шина переноса соединена с выходом третьего мультиплексора, первый управляющий вход которого соединен со входной шиной обратной связи и с первым управляющим входом четвертого мультиплексора, второй управляющий вход которого соединен с первой выходной шиной переноса и со вторым управляющим входом третьего мультиплексора, третий управляющий вход которого соединен со второй входной шиной данных и с третьим управляющим входом четвертого мультиплексора, четвертый управляющий вход которого соединен с выходом триггера первого разряда, со второй выходной шиной данных, с первым управляющим входом первого мультиплексора и с четвертым управляющим входом третьего мультиплексора, информационные входы которого соединены с первой группой шин управления, информационные входы второго и четвертого мультиплексоров соединены со второй группой шин управления, выходы второго и четвертого мультиплексоров соединены с D- входами триггеров нулевого и первого разрядов соответственно, первая и вторая асинхронные шины данных соединены соответственно с D- входами триггеров нулевого и первого разрядов.

На чертеже представлен микропроцессорный модуль, функциональная схема.

Микропроцессорный модуль содержит триггеры 1 и 2 нулевого и первого разрядов, первую и вторую группы шин 3 и 4 управления, первую и вторую входные шины 5 и 6 данных, первую и вторую выходные шины 7 и 8 данных,

входную шину 9 переноса, первую и вторую выходные шины 10 и 11 переноса, входную и выходную шины 12 и 13 обратной связи и шину 14 тактовых импульсов, первый, второй, третий и четвертый мультиплексоры 15-18, первую и вторую выходные асинхронные шины 19 и 20 данных.

Микропроцессорный модуль работает следующим образом.

Двоичный код, подаваемый по шинам групп шин 3 и 4 управления, задает вид реализуемой модулем операции над двумя операндами, один из которых записан в триггеры 1 и 2, а второй установлен на входных шинах 5 и 6 данных. На выходах мультиплексоров 16 и 18 формируются соответственно нулевой и первый разряды кода результата операции. При этом, i -ый разряд результата (нулевой или первый) есть переключательная функция четырех аргументов: сигнала на i -той выходной шине данных (первой 7 или второй 8); сигнала на i -той входной шине данных (первой 5 или второй 6), сигнала переноса, поступающего по входной шине 9 переноса или непосредственно с выхода мультиплексора 15 и сигнала обратной связи, поступающего непосредственно с первой выходной шины 8 данных или по входной шине 12 обратной связи. Вид этой функции определяется двоичным кодом, подаваемым по шинам группы шин 4 управления.

Одновременно на выходах мультиплексоров 15 и 17 формируются сигналы переноса соответственно из нулевого и первого разрядов модуля, которые поступают на выходные шины 10 и 11 переноса. Сигналы переноса являются переключательными функциями тех же самых четырех аргументов, что и сигналы результата операции. Вид этих функций определяется двоичным кодом, подаваемым по шинам групп шин 3 управления.

По фронту тактового импульса, поступающего по шине 14 на входы синхронизации триггеров 1 и 2, происходит запись кода результата операции с асинхронных выходных шин 19 и 20 данных в разряды триггеров 1 и 2. Этот код подается на выходные шины 7 и 8 данных. Одновременно сигнал с выхода триггера 1 нулевого

разряда поступает на выходную шину 13 обратной связи. Код, записанный в триггерах 1 и 2, остается неизменным до прихода фронта следующего тактового импульса.

Использование изобретения позволяет расширить функциональные возможности устройства за счет обеспечения реализации $2^{32}=4.294.967.296$ (количество возможных кодовых комбинаций на шинах первой и второй групп шин управления) различных арифметико-логических операций с двумя операндами, каждая из которых выполняется за один такт синхронизации.

Это обусловлено тем, что каждый разряд результата и переноса описываются полным набором всех возможных переключательных функций четырех аргументов: разрядов операндов, переноса из предыдущего разряда и сигнала обратной связи из последующего разряда.

Предлагаемый микропроцессорный модуль позволяет реализовать все шестнадцать поразрядных логических операций, из которых лишь три выполняются в известном устройстве, а также совмещенные операции, например арифметическое сложение в дополнительных кодах с одновременным инвертированием или другим преобразованием кода результата, и т.п.

Реализация за один такт совмещенных арифметико-логических операций позволяет повысить быстродействие предлагаемого модуля по сравнению с известным.

Формула изобретения

Микропроцессорный модуль, содержащий триггеры нулевого и первого разрядов, входы синхронизации которых соединены с шиной тактовых импульсов, о т л и ч а ю щ и й с я тем, что, с целью расширения функциональных возможностей за счет увеличения числа арифметико-логических операций, в него введены четыре мультиплексора, причем первая группа шин управления соединена с информационными входами первого мультиплексора, первый управляющий вход которого соединен с первым управляющим входом

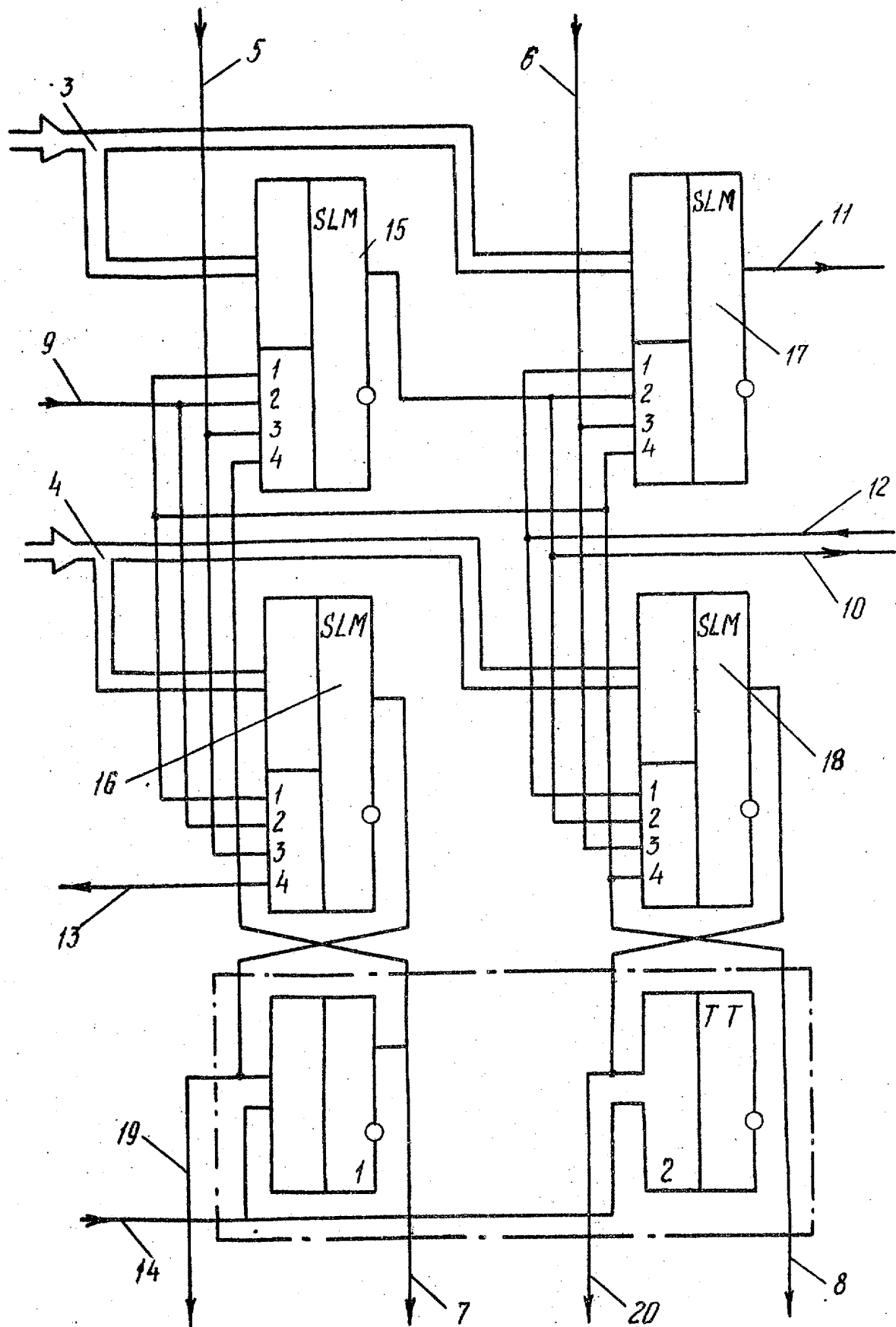
второго мультиплексора, второй управляющий вход которого соединен с входной шиной переноса и со вторым управляющим входом первого мультиплексора, третий управляющий вход которого соединен с первой входной шиной данных и с третьим управляющим входом второго мультиплексора, четвертый управляющий вход которого соединен с выходной шиной обратной связи, первой выходной шиной данных, выходом триггера нулевого разряда и с четвертым управляющим входом первого мультиплексора, выход которого соединен с первой выходной шиной переноса, вторая выходная шина переноса соединена с выходом третьего мультиплексора, первый управляющий вход которого соединен со входной шиной обратной связи и с первым управляющим входом четвертого мультиплексора, второй управляющий вход которого соединен с первой выходной шиной переноса и со вторым управляющим входом третьего мультиплексора, третий управляющий вход которого соединен со второй входной шиной данных и с третьим управляющим входом четвертого мультиплексора, четвертый управляющий вход которого соединен с выходом триггера первого разряда, со второй выходной шиной данных, с первым управляющим входом первого мультиплексора и с четвертым управляющим входом третьего мультиплексора, информационные входы, которого соединены с первой группой шин управления, информационные входы второго и четвертого мультиплексоров соединены со второй группой шин управления, выходы второго и четвертого мультиплексоров соединены с D-входами триггеров нулевого и первого разрядов соответственно, первая и вторая асинхронные шины данных соединены соответственно с D-входами триггеров нулевого и первого разрядов.

Источники информации,

принятые во внимание при экспертизе

1. Патент Японии № 52-13706, кл. 98 (5) D1, 1977.

2. Зарубежная электронная техника. 1977, № 9, с. 19-21 (прототип).



ВНИИПИ Заказ 11491/79 Тираж 748 Подписное

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4