



[12] 发明专利说明书

专利号 ZL 200610099346.7

[45] 授权公告日 2009年7月29日

[11] 授权公告号 CN 100520977C

[22] 申请日 2006.7.17

[21] 申请号 200610099346.7

[30] 优先权

[32] 2006.2.6 [33] KR [31] 10-2006-0011086

[73] 专利权人 海力士半导体有限公司

地址 韩国京畿道利川市

[72] 发明人 朴成济

[56] 参考文献

CN1404611A 2003.3.19

US6870766B2 2005.3.22

US6473344B2 2002.10.29

审查员 吴广平

[74] 专利代理机构 北京集佳知识产权代理有限公司

代理人 杨生平 杨红梅

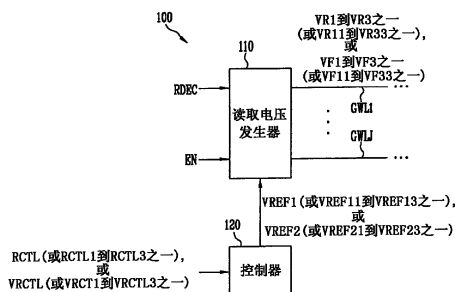
权利要求书9页 说明书22页 附图9页

[54] 发明名称

字线电压发生器、闪存器件及其产生字线电压的方法

[57] 摘要

一种字线电压发生器，产生根据温度而选择性地改变的word线电压；一种闪存器件，包括所述word线电压发生器；以及一种产生所述word线电压的方法。word线电压发生器包括读取电压发生器和控制器。在闪存器件的读取操作或用于程序检验的读取操作期间，响应于使能控制信号，读取电压发生器基于基准电压之一产生读取电压或检验电压，并且响应于行解码信号将所述读取电压或所述检验电压供给到多个全局word线之一。响应于读取控制信号或检验控制信号，控制器产生基准电压之一。当温度变化时，读取电压发生器与温度成反比地改变读取电压或检验电压的电平。



1.一种闪存器件的字线电压发生器，所述闪存器件包括多个存储器单元，所述字线电压发生器包括：

读取电压发生器，在闪存器件的读取操作或用于程序检验的读取操作期间，响应于使能控制信号、基于基准电压之一产生读取电压或检验电压，并且响应于行解码信号将所述读取电压或所述检验电压供给到多个全局字线之一；以及

控制器，响应于读取控制信号或检验控制信号而产生所述基准电压之一，

其中当温度变化时，所述读取电压发生器与温度成反比地改变所述读取电压或所述检验电压的电平。

2.如权利要求1的字线电压发生器，其中所述多个存储器单元包括单电平单元。

3.如权利要求2的字线电压发生器，其中所述基准电压包括第一基准电压和第二基准电压，以及

所述控制器响应于所述读取控制信号而产生所述第一基准电压，并且响应于所述检验控制信号而产生所述第二基准电压。

4.如权利要求3的字线电压发生器，其中所述读取电压发生器包括：电压发生电路，响应于所述使能控制信号而被使能或禁止；以及字线选择单元，响应于所述行解码信号来选择所述多个全局字线之一，并且将所述读取电压或所述检验电压供给到所选择的全局字线，

其中当接收到所述第一基准电压时，所述电压发生电路基于所述第一基准电压和内部电压产生与温度成反比而改变的所述读取电压，并且当接收到所述第二基准电压时，所述电压发生电路基于所述第二基准电压和所述内部电压产生与温度成反比而改变的所述检验电压。

5.如权利要求4的字线电压发生器，其中所述电压发生电路包括：分压器，响应于所述使能控制信号、根据依温度而改变的电阻比来对

所述内部电压进行分压，并且将分压电压输出到控制节点；以及

运算放大器电路，基于所述第一或第二基准电压和所述分压电压来输出所述读取电压或所述检验电压。

6.如权利要求5所述的字线电压发生器，其中所述分压器包括：

开关电路，连接在所述内部电压和所述控制节点之间，并且响应于所述使能控制信号而接通或关断；以及

电阻器，连接在所述控制节点和地电压之间，

其中所述开关电路的电阻值根据温度而改变，并且当所述开关电路的所述电阻值改变时，所述分压电压改变。

7.如权利要求5所述的字线电压发生器，其中所述运算放大器电路包括：

第一电阻器，具有连接到所述控制节点的一个端子；

运算放大器，具有连接到所述第一电阻器的另一个端子的第一输入端子，以及所述第一或第二基准电压所输入的第二输入端子；以及

第二电阻器，连接在所述运算放大器的输出端子和所述第一输入端子之间，用于形成所述运算放大器的反馈回路，

其中所述运算放大器具有根据所述第一和第二电阻器的电阻比而决定的增益，并且基于所述分压电压和所述第一或第二基准电压来输出所述读取电压或所述检验电压。

8.如权利要求1的字线电压发生器，其中所述多个存储器单元包括多电平单元。

9.如权利要求8的字线电压发生器，其中所述读取控制信号包括第一到第三读取信号，所述检验控制信号包括第一到第三检验信号，并且所述基准电压包括第一到第六基准电压；以及

所述控制器响应于所述第一到第三读取信号之一而产生所述第一到第三基准电压之一，并且响应于所述第一到第三检验信号之一而产生所述第四到第六基准电压之一。

10.如权利要求 9 的字线电压发生器，其中所述读取电压包括第一到第三读取偏置电压，并且所述检验电压包括第一到第三检验偏置电压；并且

所述读取电压发生器包括：

电压发生电路，响应于所述使能控制信号而被使能或禁止；以及字线选择单元，响应于所述行解码信号来选择所述多个全局字线之一，并且将所述第一到第三读取偏置电压之一或所述第一到第三检验偏置电压之一供给到所选择的全局字线，

其中当接收到所述第一到第三基准电压之一时，所述电压发生电路基于所述第一到第三基准电压之一和内部电压产生与温度成反比而分别改变的所述第一到第三读取偏置电压之一，并且当接收到所述第四到第六基准电压之一时，所述电压发生电路基于所述第四到第六基准电压之一和所述内部电压产生与温度成反比而分别改变的所述第一到第三检验偏置电压之一。

11.如权利要求 10 的字线电压发生器，其中所述电压发生电路包括：分压器，响应于所述使能控制信号、根据依温度而改变的电阻比来对所述内部电压进行分压，并且将分压电压输出到控制节点；以及

运算放大器电路，基于所述第一到第六基准电压之一和所述分压电压来输出所述第一到第三读取偏置电压之一或所述第一到第三检验偏置电压之一。

12.如权利要求 11 所述的字线电压发生器，其中所述分压器包括：开关电路，连接在所述内部电压和所述控制节点之间，并且响应于所述使能控制信号而接通或关断；以及

电阻器，连接在所述控制节点和地电压之间，

其中所述开关电路的电阻值根据温度而改变，并且当所述开关电路的所述电阻值改变时，所述分压电压改变。

13.如权利要求 11 所述的字线电压发生器，其中所述运算放大器电

路包括：

第一电阻器，具有连接到所述控制节点的一个端子；

运算放大器，具有连接到所述第一电阻器的另一个端子的第一输入端子，以及所述第一到第六基准电压之一所输入的第二输入端子；以及

第二电阻器，连接在所述运算放大器的输出端子和所述第一输入端子之间，用于形成所述运算放大器的反馈回路，

其中所述运算放大器具有根据所述第一和第二电阻器的电阻比而决定的增益，并且基于所述第一到第六基准电压之一和所述分压电压来输出所述第一到第三读取偏置电压之一或所述第一到第三检验偏置电压之一。

14.一种闪存器件，包括：

存储器单元阵列，包括分别具有多个存储器单元的多个存储器单元块；

X-解码器，解码行地址信号并且产生行解码信号；

高电压发生器，产生漏偏置电压、源偏置电压和字线电压，并且响应于读取命令、程序命令和擦除命令分别将所述漏偏置电压和所述源偏置电压提供到全局漏选择线和全局源选择线，并且响应于所述行解码信号将所述字线电压提供到多个全局字线中的部分或全部全局字线；

块选择单元，响应于所述行解码信号来选择所述多个存储器单元块之一，并且分别将所选择的存储器单元块的局部漏选择线、局部源选择线、以及多个局部字线连接到所述全局漏选择线、所述全局源选择线、以及所述多个全局字线；以及

字线电压发生器，在闪存器件的读取操作或用于程序检验的读取操作期间，响应于使能控制信号和读取控制信号或检验控制信号，产生与温度成反比而改变的读取电压或检验电压，并且响应于所述行解码信号将所述读取电压或所述检验电压提供到所述多个全局字线之一。

15.如权利要求 14 的闪存器件，还包括控制逻辑电路，其响应于外部控制信号而接收命令信号或外部地址信号，响应于所述命令信号产生

所述读取命令、所述程序命令以及所述擦除命令之一，并且基于所述外部地址信号产生所述行地址信号和列地址信号，

其中响应于所述读取命令或所述程序命令，所述控制逻辑电路还产生所述使能控制信号和所述读取控制信号或所述检验控制信号。

16.如权利要求 14 的闪存器件，其中所述字线电压发生器包括：

读取电压发生器，响应于所述使能控制信号、基于基准电压之一产生所述读取电压或所述检验电压，并且响应于所述行解码信号将所述读取电压或所述检验电压供给到所述多个全局字线之一；以及

控制器，响应于所述读取控制信号或所述检验控制信号而产生所述基准电压之一，

其中当温度改变时，所述读取电压发生器与温度成反比地改变所述读取电压或所述检验电压的电平。

17.如权利要求 16 的闪存器件，其中所述多个存储器单元包括单电平单元。

18.如权利要求 17 的闪存器件，其中所述基准电压包括第一基准电压和第二基准电压，以及

所述控制器响应于所述读取控制信号产生所述第一基准电压，并且响应于所述检验控制信号产生所述第二基准电压。

19.如权利要求 18 的闪存器件，其中所述读取电压发生器包括：

电压发生电路，响应于所述使能控制信号而被使能或禁止；以及字线选择单元，响应于所述行解码信号来选择所述多个全局字线之一，并且将所述读取电压或所述检验电压供给到所选择的全局字线，

其中当接收到所述第一基准电压时，所述电压发生电路基于所述第一基准电压和内部电压产生与温度成反比而改变的所述读取电压，并且当接收到所述第二基准电压时，所述电压发生电路基于所述第二基准电压和所述内部电压产生与温度成反比而改变的所述检验电压。

20.如权利要求 19 的闪存器件，其中所述电压发生电路包括：

分压器，响应于所述使能控制信号、根据依温度而改变的电阻比来对所述内部电压进行分压，并且将分压电压输出到控制节点；以及

运算放大器电路，基于所述第一或第二基准电压和所述分压电压而输出所述读取电压或所述检验电压。

21.如权利要求 20 的闪存器件，其中所述分压器包括：

开关电路，连接在所述内部电压和所述控制节点之间，并且响应于所述使能控制信号而接通或关断；以及

电阻器，连接在所述控制节点和地电压之间，

其中所述开关电路的电阻值根据温度而改变，并且当所述开关电路的所述电阻值改变时，所述分压电压改变。

22.如权利要求 20 的闪存器件，其中所述运算放大器电路包括：

第一电阻器，具有连接到所述控制节点的一个端子；

运算放大器，具有连接到所述第一电阻器的另一个端子的第一输入端子，以及所述第一或第二基准电压所输入的第二输入端子；以及

第二电阻器，连接在所述运算放大器的输出端子和所述第一输入端子之间，用于形成所述运算放大器的反馈回路，

其中所述运算放大器具有根据所述第一和第二电阻器的电阻比而决定的增益，并且基于所述分压电压和所述第一或第二基准电压来输出所述读取电压或所述检验电压。

23.如权利要求 16 的闪存器件，其中所述多个存储器单元包括多电平单元。

24.如权利要求 23 的闪存器件，其中所述读取控制信号包括第一到第三读取信号，所述检验控制信号包括第一到第三检验信号，以及所述基准电压包括第一到第六基准电压；以及

所述控制器响应于所述第一到第三读取信号之一产生所述第一到第三基准电压之一，并且响应于所述第一到第三检验信号之一产生所述第四到第六基准电压之一。

25.如权利要求 24 的闪存器件，其中所述读取电压包括第一到第三读取偏置电压，并且所述检验电压包括第一到第三检验偏置电压；并且所述读取电压发生器包括：

电压发生电路，响应于所述使能控制信号而被使能或禁止；以及字线选择单元，响应于所述行解码信号来选择所述多个全局字线之一，并且将所述第一到第三读取偏置电压之一或所述第一到第三检验偏置电压之一供给到所选择的全局字线，

其中当接收到所述第一到第三基准电压之一时，所述电压发生电路基于所述第一到第三基准电压之一和内部电压产生与温度成反比而分别改变的所述第一到第三读取偏置电压之一，并且当接收到所述第四到第六基准电压之一时，所述电压发生电路基于所述第四到第六基准电压之一和所述内部电压产生与温度成反比而分别改变的所述第一到第三检验偏置电压之一。

26.如权利要求 25 的闪存器件，其中所述电压发生电路包括：

分压器，响应于所述使能控制信号、根据依温度而改变的电阻比来对所述内部电压进行分压，并且将分压电压输出到控制节点；以及

运算放大器电路，基于所述第一到第六基准电压之一和所述分压电压而输出所述第一到第三读取偏置电压之一或所述第一到第三检验偏置电压之一。

27.如权利要求 26 的闪存器件，其中所述分压器包括：

开关电路，连接在所述内部电压和所述控制节点之间，并且响应于所述使能控制信号而接通或关断；以及

电阻器，连接在所述控制节点和地电压之间，

其中所述开关电路的电阻值根据温度而改变，并且当所述开关电路的所述电阻值改变时，所述分压电压改变。

28.如权利要求 26 的闪存器件，其中所述运算放大器电路包括：

第一电阻器，具有连接到所述控制节点的一个端子；

运算放大器，具有连接到所述第一电阻器的另一个端子的第一输入端子，以及所述第一到第六基准电压之一所输入的第二输入端子；以及第二电阻器，连接在所述运算放大器的输出端子和所述第一输入端子之间，用于形成所述运算放大器的反馈回路，

其中所述运算放大器具有根据所述第一和第二电阻器的电阻比而决定的增益，并且基于所述第一到第六基准电压之一和所述分压电压来输出所述第一到第三读取偏置电压之一或所述第一到第三检验偏置电压之一。

29.一种在包括多个存储器单元的闪存器件的读取操作或用于程序检验的读取操作期间产生字线电压的方法，所述方法包括步骤：

响应于读取控制信号或检验控制信号而产生基准电压之一；

响应于使能控制信号而产生与温度成反比而改变并且基于所述基准电压之一的读取电压或检验电压，作为字线电压；以及

响应于行解码信号将所述读取电压或所述检验电压供给到多个全局字线中选择出的一个全局字线。

30.如权利要求 29 所述的方法，还包括步骤：

基于读取命令或程序命令产生所述使能控制信号和读取控制信号或检验控制信号；

解码行地址信号并且产生所述行解码信号；

响应于所述读取命令或所述程序命令而产生漏偏置电压、源偏置电压和字线偏置电压；

将所述漏偏置电压和所述源偏置电压分别供给到全局漏选择线和全局源选择线；

响应于所述行解码信号将所述字线偏置电压供给到除所选择的一个全局字线之外的其余全局字线中的每个；以及

响应于所述行解码信号，分别将所述多个存储器单元所连接的局部漏选择线、局部源选择线和局部字线连接到所述全局漏选择线、所述全

局源选择线和所述全局字线。

31.如权利要求 29 所述的方法，其中所述多个存储器单元包括单电平单元。

32.如权利要求 29 所述的方法，其中所述多个存储器单元包括多电平单元。

字线电压发生器、闪存器件及其产生字线电压的方法

技术领域

本发明总的涉及半导体存储器件，并且更具体地涉及闪存器件。

背景技术

通常，闪存器件的存储器单元可以依据所存储的数据位的数量分类成单电平单元(下文中称为“SLC”)和多电平单元(下文中称为“MLC”)。具有逻辑值“1”或“0”的1-位数据可以存储在SLC中。具有“11”、“10”、“01”和“00”任何一个的逻辑值的2-位数据可以存储在MLC中。因此，在程序运算之后，包括在闪存器件中的存储器单元(SLC或MLC)的阈值电压改变到对应于所存储的数据值的电压。

例如，在闪存器件包括SLC的情形中，在闪存器件的程序操作之后，SLC的阈值电压改变到对应于“1”或“0”的电压。同时，在闪存器件包括MLC的情形中，在闪存器件的程序操作之后，阈值电压改变到对应于“11”、“10”、“01”和“00”的任何一个的电压。

下面将参照图1详细描述根据相关技术中的闪存器件的程序过程的存储器单元的阈值电压分布。

图1A到1C是曲线图，示出根据相关技术中的闪存器件的程序过程的存储器单元的阈值电压分布。图1相关于包括SLC的闪存器件的程序操作。图1A到1C的曲线图没有示出SLC的实际阈值电压分布，而是示出了从电压发生器的角度所看到的SLC的阈值电压分布。

图1A是曲线图，示出当在冷温度执行闪存器件的程序操作时的SLC的阈值电压分布。图1B是曲线图，示出当在室温执行闪存器件的程序操作时的SLC的阈值电压分布。图1C是曲线图，示出当在热温度执行闪存器件的程序操作时的SLC的阈值电压分布。

如从图1A到1C所看到的，在冷温度编程的SLC的阈值电压相对低

于在热温度编程的 SLC 的阈值电压。换句话说，可以看到图 1C 中所示的曲线 PS31 到 PS33 的位置与图 1A 中所示的曲线 PS11 到 PS13 的位置相比在电压增加的方向上略微移动（到图 1C 中的右侧）。

如上所述在程序操作期间 SLC 的阈值电压分布看起来根据温度而改变的原因在于内部电路的工作状况根据温度变化而变化。内部电路的工作状况可以包括例如存储器单元的电流、从电压发生器来观察字线时字线的阻抗、以及包括在页面缓冲器中的晶体管的阈值电压和饱和电流。

在冷温度，内部电路的工作状况减小通过字线传送到 SLC 的栅的电压。另外在热温度，内部电路的工作状况增加传送到 SLC 的栅的电压。因此，尽管电压发生器将恒定的检验电压施加到字线，传送到 SLC 的栅的检验电压 PV 可以根据内部电路的工作状况增加或减小。

例如，如果传送到 SLC 的栅的检验电压 PV 通过内部电路的工作状况而减小，则程序操作在 SLC 未得到充分编程的情况下结束。结果，被编程的 SLC 的整个阈值电压减小（即移向图 1A 中的左侧），如在图 1A 的曲线 PS11 到 PS13 中。另一方面，如果传送到 SLC 的栅的检验电压 PV 通过内部电路的工作状况而增加，则程序操作在 SLC 被过度编程的情况下结束。结果，被编程的 SLC 的整个阈值电压增加（即移向图 1C 中的右侧），如在图 1C 的曲线 PS31 到 PS33 中。

因此，在程序操作期间根据温度的内部电路工作状况的变化改变了传送到 SLC 的栅的检验电压，并且检验电压的变化改变了 SLC 的阈值电压分布。结果，在程序操作之后的被编程的 SLC 的阈值电压分布的宽度必须变窄为如由“W1”所示，但是考虑到编程时温度的变化而变宽为如由“W2”所示。

如果 SLC 的阈值电压分布的宽度如上所述而变宽，则闪存器件的程序操作速度减小并且产生程序干扰现象。

以类似的方式，内部电路的工作状况根据正常读取操作期间温度的

变化而改变。这将在下面详细描述。

当在冷温度执行闪存器件的正常读取操作时，内部电路的工作状况改变以减小实际传送到 SLC 的栅的读取电压 RV。换句话说，尽管电压发生器将恒定的读取电压 RV 施加到字线而不管温度，由于内部电路的工作状况，传送到 SLC 的栅的读取电压 RV 在冷温度比在室温减小的多。结果，从电压发生器的角度看，在冷温度的正常读取操作期间的 SLC 的整个阈值电压可能看起来相对高于在室温的正常读取操作期间的 SLC 的整个阈值电压。

以类似的方式，当在热温度执行闪存器件的正常读取操作时，内部电路的工作状况改变以增加实际传送到 SLC 的栅的读取电压 RV。换句话说，尽管电压发生器将恒定的读取电压 RV 供给到字线而不管温度，由于根据温度而改变的内部电路的工作状况，传送到 SLC 的栅的读取电压 RV 在热温度比在室温增加的多。结果，从电压发生器的角度看，在热温度的正常读取操作期间的 SLC 的整个阈值电压可能看起来相对低于在室温的正常读取操作期间的 SLC 的整个阈值电压。

因此，在正常读取操作期间的 SLC 的阈值电压分布可以由图 1a 到 1c 中所示的曲线图 PS11 到 PS13、PS21 到 PS23 和 PS31 到 PS33 表示。

更详细地，曲线图 PS11 到 PS13 分别指示当在冷温度编程的 SLC 的数据分别在冷温度、室温和热温度被读取时（即在正常读取操作期间）从电压发生器的角度所考虑的 SLC 的阈值电压分布。另外，曲线图 PS21 到 PS23 分别指示当在室温编程的 SLC 的数据分别在冷温度、室温和热温度被读取时从电压发生器的角度所考虑的 SLC 的阈值电压分布。另外，曲线图 PS31 到 PS33 分别指示当在热温度编程的 SLC 的数据分别在冷温度、室温和热温度被读取时从电压发生器的角度所考虑的 SLC 的阈值电压分布。

在如上所述 SLC 的阈值电压分布根据正常读取操作期间的温度而改变的情形中，优选地 SLC 的阈值电压分布的宽度如由“W1”所指示

的那样窄。但 SLC 的阈值电压分布的宽度变宽为如由“W2”所指示的宽度。

如上所述，在程序操作和正常读取操作期间，SLC 的阈值电压分布根据温度变化而改变。但是相关技术电压发生器将恒定的检验电压 PV 或恒定的读取电压 RV 施加到字线而不管温度。因此，被编程的 SLC 的阈值电压分布的宽度进一步变宽，并且在读取操作中可能产生故障。

更详细地，当在热温度读取在冷温度编程的 SLC 的数据时（对应于曲线 PS13），对应于擦除的 SLC 的数据值“1”如由“A”所示被读取不管被编程的 SLC，导致读取操作中故障。结果，如果将恒定的读取电压 RV 施加到字线而不管温度，则在正常读取操作期间读取数据的感测裕度减小。例如，具有如曲线 PS11 到 PS13 中的曲线 PS13 所指示的阈值电压分布的 SLC 的读取数据的感测裕度是最低的。

另一方面，在闪存器件包括 MLC 的情形中，以与上面类似方式，根据程序操作（更特别地，在程序检验操作期间）或读取操作期间的温度变化，MLC 的阈值电压分布变宽并且读取数据的感测裕度减小。

发明内容

本发明的一个实施例在于提供了一种字线电压发生器，其中可通过在用于程序检验的读取操作或正常读取操作期间与温度成反比地选择性地改变检验电压或读取电压，减小存储器单元的阈值电压分布的宽度并且保证读取数据的感测裕度。

本发明的另一个实施例在于提供了一种闪存器件，其中可通过在用于程序检验的读取操作或正常读取操作期间与温度成反比地选择性地改变检验电压或读取电压，减小存储器单元的阈值电压分布的宽度并且保证读取数据的感测裕度。

本发明的又一个实施例在于提供了一种产生字线电压的方法，其中可通过在用于程序检验的读取操作或正常读取操作期间与温度成反比地选择

性地改变检验电压或读取电压,减小存储器单元的阈值电压分布的宽度并且保证读取数据的感测裕度。

根据本发明的一个方面,提供一种具有多个存储器单元的闪存器件的字线电压发生器。该字线电压发生器包括读取电压发生器和控制器。在闪存器件的读取操作或用于程序检验的读取操作期间,该读取电压发生器响应于使能控制信号、基于基准电压之一产生读取电压或检验电压,并且响应于行解码信号将该读取电压或检验电压提供到多个全局字线之一。响应于读取控制信号或检验控制信号,该控制器产生基准电压之一。当温度变化时,读取电压发生器与温度成反比地改变读取电压或检验电压的电平。

根据本发明的另一个方面,提供一种闪存器件,包括存储器单元阵列、X-解码器、高电压发生器、块选择单元、以及字线电压发生器。存储器单元阵列包括多个存储器单元块并且多个存储器单元块的每个包括多个存储器单元。X-解码器解码行地址信号并且产生行解码信号。高电压发生器产生漏偏置电压、源偏置电压和字线电压,并且响应于读取命令、程序命令和擦除命令分别将漏偏置电压和源偏置电压提供到全局漏选择线和全局源选择线,并且响应于行解码信号将字线电压提供到多个全局字线的部分或全部。块选择单元响应于行解码信号来选择多个存储器单元块之一,并且分别将所选择的存储器单元块的局部漏选择线、局部源选择线以及多个局部字线连接到全局漏选择线、全局源选择线、以及多个全局字线。在闪存器件的读取操作或用于程序检验的读取操作期间,字线电压发生器响应于使能控制信号和读取控制信号或检验控制信号来产生与温度成反比而改变的读取电压或检验电压,并且响应于行解码信号将读取电压或检验电压提供到多个全局字线之一。

根据本发明的又一个方面,提供一种在包括多个存储器单元的闪存器件的读取操作或用于程序检验的读取操作期间产生字线电压的方法,该方法包括步骤:响应于读取控制信号或检验控制信号来产生基准电压之一;

响应于使能控制信号，产生与温度成反比变化并且基于基准电压之一的读取电压或检验电压作为字线电压；以及响应于行解码信号将读取电压或检验电压提供到多个全局字线之一。

附图说明

对本发明及其许多伴随的优点的较完整评价将是显而易见的，因为通过结合附图考虑时参考下面的详细描述，它们将得到更好的理解，在附图中类似的参考符号指示相同或类似的部件，其中：

图 1A 到 1C 是曲线图，示出根据相关技术中的闪存器件的程序过程的存储器单元的阈值电压分布；

图 2 是根据本发明一个实施例的字线电压发生器的框图；

图 3 是根据本发明一个实施例的图 2 中示出的读取电压发生器的详细的电路图；

图 4 是根据本发明一个实施例的温度与图 3 中所示出的分压器产生的分压电压之间的关系；

图 5 是根据本发明一个实施例的闪存器件的框图；

图 6 是根据本发明一个实施例的图 5 中所示出的存储器单元阵列、块选择单元、X-解码器、以及读取电压发生器的详细电路图；

图 7A 到 7C 是曲线图，示出根据本发明一个实施例当图 5 中所示的闪存器件包括 SLC 时根据程序过程的 SLC 的阈值电压分布；以及

图 8A 到 8C 是曲线图，示出根据本发明一个实施例当图 5 中所示的闪存器件包括多电平单元时根据程序过程的多电平单元的阈值电压分布。

具体实施方式

现在将参照附图结合某些示范实施例详细描述本发明。

图 2 是根据本发明实施例的字线电压发生器的框图。

参见图 2，字线电压发生器 100 包括读取电压发生器 110 和控制器

120。

响应于使能控制信号 EN，读取电压发生器 110 基于基准电压（VREF1（或 VREF11 到 VREF13 之一））或 VREF2（或 VREF21 到 VREF23 之一））产生读取电压（VR1 到 VR3 之一（或 VR11 到 VR33 之一））或检验电压（VF1 到 VF3 之一（或 VF11 到 VF33 之一））。

当温度变化时，读取电压发生器 110 与温度成反比地改变读取电压（VR1 到 VR3 之一（或 VR11 到 VR33 之一））或检验电压（VF1 到 VF3 之一（或 VF11 到 VF33 之一））的电平。

另外，响应于行解码信号 RDEC，读取电压发生器 110 将读取电压（VR1 到 VR3 之一（或 VR11 到 VR33 之一））或检验电压（VF1 到 VF3 之一（或 VF11 到 VF33 之一））提供到多个全局字线 GWL1 到 GWLJ（J 是整数）之一（例如 GWL1）。

响应于读取控制信号 RCTL（或读取信号 RCTL1 到 RCTL3 之一）或检验控制信号 VRCTL（或检验信号 VRCTL1 到 VRCTL3 之一），控制器 120 产生基准电压之一（VREF1（或 VREF11 到 VREF13 之一））或 VREF2（或 VREF21 到 VREF23 之一））。控制器 120 的操作将在下面详细描述。

可能存在包括字线电压发生器 100 的闪存器件 200 的存储器单元阵列 201（参见图 5）是 SLC 的实例和包括字线电压发生器 100 的闪存器件 200 的存储器单元阵列 201 是 MLC 的实例。

在存储器单元阵列 201 包括 SLC 的情形中，读取控制信号 RCTL 在闪存器件 200 的读取操作期间输入到控制器 120。响应于读取控制信号 RCTL，控制器 120 产生基准电压 VREF1。另外，在用于闪存器件 200 的程序检验的读取操作期间，检验控制信号 VRCTL 输入到控制器 120。响应于检验控制信号 VRCTL，控制器 120 产生基准电压 VREF2。

同时，在存储器单元阵列 201 包括 MLC 的情形中，在闪存器件 200 的读取操作期间，读取信号 RCTL1 到 RCTL3 之一输入到控制器 120

作为读取控制信号 RCTL。响应于读取信号 RCTL1 到 RCTL3 之一，控制器 120 产生基准电压 VREF11 到 VREF13 之一。另外，在用于闪存器件 200 的程序检验的读取操作期间，检验信号 VRCTL1 到 VRCTL3 之一输入到控制器 120 作为检验控制信号 VRCTL。

响应于检验信号 VRCTL1 到 VRCTL3 之一，控制器 120 产生基准电压 VREF21 到 VREF23 之一。

下面将参照图 3 详细描述读取电压发生器 110 的结构和操作。

图 3 是图 2 中示出的读取电压发生器 110 的详细电路图。读取电压发生器 110 包括电压发生单元 130 和字线选择单元 140。

电压发生单元 130 包括分压器 131 和运算放大器电路 132。

分压器 131 包括开关电路 MN 和电阻器 R1。响应于使能控制信号 EN，连接在内部电压 VDD 和控制节点 CN 之间的开关电路 MN 接通或关断。电阻器 R1 连接在控制节点 CN 和地电压 VSS 之间。

当开关电路 MN 接通时，内部电压 VDD 由开关电路 MN 和电阻器 R1 的电阻比所分压，并且分压电压 VIN1 到 VIN3 之一从控制节点 CN 产生。优选地，开关电路 MN 的电阻值可以根据温度变化而改变。当开关电路 MN 的电阻值改变时，开关电路 MN 和电阻器 R1 的电阻比改变，并且分压电压 VIN1 到 VIN3 之一的电平相应改变。

例如，开关电路 MN 可以使用 NMOS 晶体管实施。下文中，假定开关电路 MN 是 NMOS 晶体管。在此情形中，NMOS 晶体管 MN 的电阻值与温度成反比而变化。另外，当使能控制信号 EN 被使能时，NMOS 晶体管 MN 接通。

图 4 是曲线图，示出温度与电压分压器 131 产生的分压电压 VIN1 到 VIN3 之间的关系。如从图 4 的曲线 G1 到 G3 可以看到的，从冷温度到热温度，NMOS 晶体管 MN 的电阻值减小。结果，分压器 131 从 VIN1 到 VIN3 增加分压电压。

运算放大器电路 132 包括电阻器 R2、R3 和运算放大器 133。电阻

器 R2 连接在控制节点 CN 和运算放大器 133 的非反相输入端子+之间。电阻器 R3 连接在运算放大器 133 的非反相输入端子+和输出端子之间并且形成运算放大器 133 的反馈回路。

运算放大器 133 具有根据电阻器 R2、R3 的电阻比决定的增益，并且基于分压电压 VIN1 到 VIN3 之一和基准电压（VREF1（或 VREF11 到 VREF13 之一）或 VREF2（或 VREF21 到 VREF23 之一））输出读取电压（VR1 到 VR3 之一（或 VR11 到 VR33 之一））或检验电压（VF1 到 VF3 之一（或 VF11 到 VF33 之一））。

分压电压 VIN1 到 VIN3，读取电压 VR1 到 VR3、VR11 到 VR33、以及检验电压 VF1 到 VF3、VF11 到 VF33 可以由下面的等式表达。

等式 1

$$VIN | VIN3 = VDD - V_{th}$$

（其中 V_{th} 是依赖于温度的 NMOS 晶体管的阈值电压）

等式 2

$$VR1 = VREF1 + \left(\frac{R3}{R2}\right)(VREF1 - VIN1),$$

$$VR2 = VREF1 + \left(\frac{R3}{R2}\right)(VREF1 - VIN2),$$

$$VR3 = VREF1 + \left(\frac{R3}{R2}\right)(VREF1 - VIN3)$$

等式 3

$$VR11 = VREF11 + \left(\frac{R3}{R2}\right)(VREF11 - VIN1),$$

$$VR12 = VREF11 + \left(\frac{R3}{R2}\right)(VREF11 - VIN2),$$

$$VR13 = VREF11 + \left(\frac{R3}{R2}\right)(VREF11 - VIN3)$$

等式 4

$$VR21 = VREF12 + \left(\frac{R3}{R2}\right)(VREF12 - VIN1),$$

$$VR22 = VREF12 + \left(\frac{R3}{R2}\right)(VREF12 - VIN2),$$

$$VR23 = VREF12 + \left(\frac{R3}{R2}\right)(VREF12 - VIN3)$$

等式 5

$$VR31 = VREF13 + \left(\frac{R3}{R2}\right)(VREF13 - VIN1),$$

$$VR32 = VREF13 + \left(\frac{R3}{R2}\right)(VREF13 - VIN2),$$

$$VR33 = VREF13 + \left(\frac{R3}{R2}\right)(VREF13 - VIN3)$$

等式 6

$$VF1 = VREF2 + \left(\frac{R3}{R2}\right)(VREF2 - VIN1),$$

$$VF2 = VREF2 + \left(\frac{R3}{R2}\right)(VREF2 - VIN2),$$

$$VF3 = VREF2 + \left(\frac{R3}{R2}\right)(VREF2 - VIN3)$$

等式 7

$$VF11 = VREF21 + \left(\frac{R3}{R2}\right)(VREF21 - VIN1),$$

$$VF12 = VREF21 + \left(\frac{R3}{R2}\right)(VREF21 - VIN2),$$

$$VF13 = VREF21 + \left(\frac{R3}{R2}\right)(VREF21 - VIN3)$$

等式 8

$$VF21 = VREF22 + \left(\frac{R3}{R2}\right)(VREF22 - VIN1),$$

$$VF22 = VREF22 + \left(\frac{R3}{R2}\right)(VREF22 - VIN2),$$

$$VF23 = VREF22 + \left(\frac{R3}{R2}\right)(VREF22 - VIN3)$$

等式 9

$$VF31 = VREF23 + \left(\frac{R3}{R2}\right)(VREF23 - VIN1),$$

$$VF32 = VREF23 + \left(\frac{R3}{R2}\right)(VREF23 - VIN2),$$

$$VF33 = VREF23 + \left(\frac{R3}{R2}\right)(VREF23 - VIN3)$$

字线选择单元 140 响应于行解码信号 RDEC 来选择多个全局字线 GWL1 到 GWLJ 之一, 并且将从运算放大器电路 130 接收的读取电压 (VR1 到 VR3 之一 (或 VR11 到 VR33 之一)) 或检验电压 (VF1 到 VF3 之一 (或 VF11 到 VF33 之一)) 供给到所选择的全局字线。

图 5 是根据本发明一实施例的闪存器件的框图。

参见图 5, 闪存器件 200 包括字线电压发生器 100、存储器单元阵列 201、输入缓冲器 202、控制逻辑电路 203、X-解码器 204、高电压发生器 205、块选择单元 206、页面缓冲器 207、检验数据比较器 208、Y 解码器 209 以及数据 I/O 缓冲器 210。字线电压发生器 100 的结构和操作与上面描述的那些相同, 并且为了简化将省略其描述。

存储器单元阵列 201 包括分别具有多个存储器单元 (未示出) 的存

存储器单元块 MB1 到 MBK (K 是整数)。

输入缓冲器 202 接收命令信号 CMD 或外部地址信号 ADD, 并且将其输出到控制逻辑电路 203。

响应于外部控制信号 /WE、/RE、ALE 和 CLE, 控制逻辑电路 203 接收命令信号 CMD 或外部地址信号 ADD。响应于命令信号 CMD, 控制逻辑电路 203 产生读取命令 READ、程序命令 PGM 以及擦除命令 ERS 之一。另外, 响应于命令信号 CMD 或外部地址信号 ADD, 控制逻辑电路 203 产生使能控制信号 EN、以及读取控制信号 RCTL (或读取信号 RCTL1 到 RCTL3 之一) 或检验控制信号 VRCTL (或检验信号 VRCTL1 到 VRCTL3 之一)。另外, 控制逻辑电路 203 基于外部地址信号 ADD 产生行地址信号 ROWADD 和列地址信号 COLADD。

X-解码器 204 解码行地址信号 ROWADD 并且输出行解码信号 RDEC。

响应于读取命令 READ、程序命令 PGM 以及擦除命令 ERS 的任何一个, 高电压发生器 205 产生漏偏置电压 VGD、源偏置电压 VGS 和字线电压 (或字线偏置电压) VW。优选地, 响应于程序命令 PGM, 高电压发生器 205 可以产生程序电压 (例如 18V) 和程序通过电压 (program pass voltage) (例如 10V) 作为字线电压 VW 或检验读取通过电压 (例如 4.5V)。

另外, 响应于读取命令 READ, 高电压发生器 205 产生读取通过电压 (4.5V) 作为字线电压 VW。响应于擦除命令 ERS, 高电压发生器 205 产生擦除电压作为字线电压 VW。高电压发生器 205 也分别将漏偏置电压 VGD 和源偏置电压 VGS 提供到全局漏选择线 GDSL 和全局源选择线 GSSL。另外, 响应于行解码信号 RDEC, 高电压发生器 205 将字线电压 VW 提供到全局字线 GWL1 到 GWLJ (J 是整数) 的部分或全部。

更详细地, 在闪存器件 200 的程序操作期间, 响应于行解码信号 RDEC, 高电压发生器 205 将程序电压供给到全局字线 GWL1 到 GWLJ

的任何一个并且将程序通过电压供给到其余的全局字线。在闪存器件 200 的擦除操作期间, 高电压发生器 205 将擦除电压供给到全部全局字线 GWL1 到 GWLJ。在闪存器件 200 的用于程序检验的读取操作或正常读取操作期间, 高电压发生器 205 将读取通过电压供给到除一个之外的其余全局字线 GWL1 到 GWLJ。

块选择单元 206 响应于行解码信号 RDEC 来选择存储器单元块 MB1 到 MBK 的一个或部分, 并且将所选择的存储器单元块(或多个存储器单元块)的局部字线 WL11 到 WL1J(参见图 6)分别连接到全局字线 GWL1 到 GWLJ。另外, 块选择单元 206 将所选择的存储器单元块的漏选择线 DSL1 到 DSLK 之一(参见图 6)连接到全局漏选择线 GDSSL, 并且将所选择的存储器单元块的源选择线 SSL1 到 SSLK 之一(参见图 6)连接到全局源选择线 GSSL。

页面缓冲器 207、Y 解码器 209、检验数据比较器 208、以及数据 I/O 缓冲器 210 的每个的结构和操作是本领域技术人员所公知的并且将省略其描述。

图 6 是图 5 中所示出的存储器单元阵列、块选择单元、X-解码器、以及读取电压发生器的详细电路图。

参见图 6, 存储器单元阵列 201 的存储器单元块 MB1 包括存储器单元 M111 到 M1JN (J 和 N 是整数), 漏选择晶体管 DST1, 以及源选择晶体管 SST1。

存储器单元 M111 到 M1JN 共享位线 BL1 到 BLN (N 是整数)、局部字线 WL11 到 WL1J (J 是整数) 和公共源线 CSL1。即, 存储器单元 M111 到 M11N 通过漏选择晶体管 DST1 分别连接到位线 BL1 到 BLN, 并且存储器单元 M1J1 到 M1JN 通过源选择晶体管 SST1 连接到公共源线 CSL1。

另外, 存储器单元 M111 到 M1JN 分别具有连接到局部字线 WL11 到 WL1J 的栅。同时, 漏选择晶体管 DST1 具有连接到局部漏选择线 DSL1 的栅并且源选择晶体管 SST1 具有连接到局部源选择线 SSL1 的栅。存储器

单元阵列 201 的存储器单元块 MB2 到 MBK 的每个的结构与存储器单元块 MB1 的结构相同，并且将省略其描述。

块选择单元 206 包括块开关单元 261 和通过栅电路 (pass gate circuit) PG1 到 PGK (K 是整数)。

响应于行解码信号 RDEC, 块开关单元 261 输出块选择信号 BSEL1 到 BSELK (K 是整数)。通过栅电路 PG1 到 PGK 对应于存储器单元块 MB1 到 MBK 而逐一设置, 并且分别响应于块选择信号 BSEL1 到 BSELK 被使能或禁止。

通过栅电路 PG1 到 PGK 的每个包括多个通过栅。例如, 通过栅电路 PG1 可以包括通过栅 GD1、G11 到 G1J、以及 GS1。通过栅电路 PG2 到 PGK 的每个的结构和操作与通过栅电路 PG1 的那些相同。因此, 仅将通过栅电路 PG1 的操作作为实例而描述。优选地, 通过栅 GD1、G11 到 G1J、以及 GS1 可以使用 NMOS 晶体管实施。下文中, 假定通过栅 GD1、G11 到 G1J、以及 GS1 是 NMOS 晶体管。

NMOS 晶体管 GD1、G11 到 G1J、以及 GS1 具有块选择信号 BSEL1 所输入的栅。NMOS 晶体管 GD1 具有连接到全局漏选择线 GDSL 的源和连接到局部漏选择线 DSL1 的漏。NMOS 晶体管 G11 到 G1J 具有分别连接到全局字线 GWL1 到 GWLJ 的源, 以及分别连接到局部字线 WL11 到 WL1J 的漏。NMOS 晶体管 GS1 具有连接到全局源选择线 GSSL 的源, 以及连接到局部源选择线 SSL1 的漏。响应于块选择信号 BSEL1, NMOS 晶体管 GD1、G11 到 G1J、以及 GS1 接通或关断。更详细地, 当块选择信号 BSEL1 被使能时, NMOS 晶体管 GD1、G11 到 G1J、以及 GS1 被分别接通。

当块选择信号 BSEL1 被禁止时, NMOS 晶体管 GD1、G11 到 G1J、以及 GS1 被分别关断。当 NMOS 晶体管 GD1、G11 到 G1J、以及 GS1 接通时, 全局漏选择线 GDSL 连接到局部漏选择线 DSL1, 全局源选择线 GSSL 连接到局部源选择线 SSL1, 以及全局字线 GWL1 到 GWLJ 分

别连接到局部字线 WL11 到 WL1J。

读取电压发生器 110 的字线选择单元 140 连接到全局字线 GWL1 到 GWLJ。在闪存器件 200 的正常读取操作或用于程序检验的读取操作期间，响应于行解码信号 RDEC，字线选择单元 140 将读取电压（VR1 到 VR3 之一（或 VR11 到 VR33 之一））或检验电压（VF1 到 VF3 之一（或 VF11 到 VF33 之一））供给到全局字线 GWL1 到 GWLJ 的任何一个。

下面将详细描述在闪存器件 200 的正常读取操作或用于程序检验的读取操作期间字线电压发生器 100 的操作。下面将参照附图 7A 到 7C 描述当闪存器件 200 包括 SLC 时允许字线电压发生器 100 产生字线电压（即读取电压或检验电压）的过程。

在图 7A 中，曲线 S11 到 S13 分别示出当分别在冷温度、室温（例如 25°C）以及热温度（例如 90°C）读取在冷温度编程的 SLC 的数据时 SLC 的阈值电压分布。在图 7B 中，曲线 S21 到 S23 分别示出当分别在冷温度、室温以及热温度读取在室温编程的 SLC 的数据时 SLC 的阈值电压分布。在图 7C 中，曲线 S31 到 S33 分别示出当分别在冷温度、室温以及热温度读取在热温度编程的 SLC 的数据时 SLC 的阈值电压分布。

在本实施例中，将描述读取（用于程序检验的读取或正常读取）存储在存储器单元块 MB1 的存储器单元 M111 到 M11N 中的数据的实例。

下面将首先描述在闪存器件 200 的用于程序检验的读取操作期间字线电压发生器 100 的操作。

一种对所选择的页面编程若干次，同时在设置步进电压的基础上逐渐增加程序电压的增量步进脉冲编程（ISPP）方法可以应用到闪存器件 200 的程序方法。

控制逻辑电路 203 响应于外部控制信号 /WE、/RE、ALE 和 CLE 和命令信号 CMD 来产生程序命令 PGM，并且基于外部地址信号 ADD 产生行地址信号 ROWADD。响应于程序命令 PGM，控制逻辑电路 203 也生成使能控制信号 EN 和检验控制信号 VRCTL。

X-解码器 204 解码行地址信号 ROWADD 并且输出行解码信号 RDEC。

高电压发生器 205 响应于程序命令 PGM 和行解码信号 RDEC 来产生漏偏置电压 VGD 和源偏置电压 VGS，并且将它们分别供给到全局漏选择线 GDSL 和全局源选择线 GSSL。另外，高电压发生器 205 响应于程序命令 PGM 产生读取通过电压作为字线电压 VW，并且响应于行解码信号 RDEC 分别将其供给到除全局字线 GWL1 之外的其余的全局字线 GWL2 到 GWLJ。

同时，响应于使能控制信号 EN，字线电压发生器 100 的控制器 120 被使能。响应于检验控制信号 VRCTL，控制器 120 产生基准电压 VREF2。

字线电压发生器 100 的读取电压发生器 110 基于基准电压 VREF2 和内部电压 VDD 产生检验电压（VF1 到 VF3 之一）。另外，响应于行解码信号 RDEC，读取电压发生器 110 将检验电压（VF1 到 VF3 之一）供给到全局字线 GWL1。此时，读取电压发生器 110 产生与温度成反比而改变的检验电压（VF1 到 VF3 之一）。

例如，当用于程序检验的读取操作在冷温度执行时，读取电压发生器 110 可以产生增加的检验电压 VF1。另外，在室温，读取电压发生器 110 可以产生比检验电压 VF1 低 V1 的检验电压 VF2。在热温度，读取电压发生器 110 可以产生比检验电压 VF2 低 V2 的检验电压 VF3。

响应于行解码信号 RDEC，块选择单元 206 将全局漏选择线 GDSL 连接到局部漏选择线 DSL1、全局源选择线 GSSL 连接到局部源选择线 SSL1、以及全局字线 GWL1 到 GWLJ 分别连接到局部字线 WL11 到 WL1J。结果，检验电压 VF1 到 VF3 之一通过全局字线 GLW1 和局部字线 WL11 输入到存储器单元 M111 到 M11N 的栅。

如上面描述的，读取电压发生器 110 产生与温度成反比变化的检验电压 VF1 到 VF3 之一。因此可以减小被编程的存储器单元 M111 到

M11N 的阈值电压分布的宽度。这将在下面更详细地描述。

尽管传送到存储器单元 M111 到 M11N 的栅的检验电压由于闪存器件 200 的内部电路的工作状况在冷温度的变化而降低, 读取电压发生器 110 可以将充分增加的检验电压 VF1 供给到全局字线 GWL1。因此, 可以充分地执行存储器单元 M111 到 M11N 的程序操作。

此外, 尽管传送到存储器单元 M111 到 M11N 的栅的检验电压由于闪存器件 200 的内部电路的工作状况在热温度的变化而增加, 读取电压发生器 110 可以将充分降低的检验电压 VF1 供给到全局字线 GWL1。因此, 可以防止过度执行存储器单元 M111 到 M11N 的程序操作。

如上所述, 因为字线电压发生器 100 产生与温度成反比的检验电压, 在程序操作期间编程的 SLC 的阈值电压不受温度影响。因此, 编程的 SLC 的阈值电压分布可以具有小于如图 1A 到 1C 中所示“W1”的宽度, 如由“W4”所指示的。

下面将描述在闪存器件 200 的正常读取操作期间字线电压发生器 100 的操作。

控制逻辑电路 203 响应于外部控制信号 /WE、/RE、ALE 和 CLE 和命令信号 CMD 来产生读取命令 READ, 并且基于外部地址信号 ADD 产生行地址信号 ROWADD。响应于读取命令 READ, 控制逻辑电路 203 也产生使能控制信号 EN 和读取控制信号 RCTL。

X-解码器 204 解码行地址信号 ROWADD 并且输出行解码信号 RDEC。

高电压发生器 205 响应于读取命令 READ 和行解码信号 RDEC 来产生漏偏置电压 VGD 和源偏置电压 VGS, 并且将它们分别供给到全局漏选择线 GDSSL 和全局源选择线 GSSL。高电压发生器 205 响应于读取命令 READ 也产生读取通过电压作为字线电压 VW, 并且响应于行解码信号 RDEC 分别将其供给到除全局字线 GWL1 之外的其余全局字线 GWL2 到 GWLJ。

同时，响应于使能控制信号 EN，字线电压发生器 100 的控制器 120 被使能。响应于读取控制信号 RCTL，控制器 120 产生基准电压 VREF1。

读取电压发生器 110 基于基准电压 VREF1 和内部电压 VDD 产生读取电压 VR1 到 VR3 之一。另外，响应于行解码信号 RDEC，读取电压发生器 110 将读取电压（VR1 到 VR3 之一）供给到全局字线 GWL1。此时，读取电压发生器 110 产生与温度成反比而改变的读取电压（VR1 到 VR3 之一）。

例如，当在冷温度执行正常读取操作时，读取电压发生器 110 可以产生增加的读取电压 VR1。另外，在室温，读取电压发生器 110 可以产生低于读取电压 VR1 的读取电压 VR2。在热温度，读取电压发生器 110 可以产生低于读取电压 VR2 的读取电压 VR3。

响应于行解码信号 RDEC，块选择单元 206 将全局漏选择线 GDSL 连接到局部漏选择线 DSL1，全局源选择线 GSSL 连接到局部源选择线 SSL1，以及全局字线 GWL1 到 GWLJ 分别连接到局部字线 WL11 到 WL1J。结果，读取电压（VR1 到 VR3 之一）通过全局字线 GLW1 和局部字线 WL11 输入到存储器单元 M111 到 M11N 的栅。

如上所述，读取电压发生器 110 产生与温度成反比而改变的读取电压（VR1 到 VR3 之一）。因此，在读取操作期间，存储器单元 M111 到 M11N 的阈值电压分布的宽度可以减小为由“W5”所示。这将在下面更详细描述。

尽管传送到存储器单元 M111 到 M11N 的栅的读取电压由于闪存器件 200 的内部电路的工作状况在冷温度变化而降低，读取电压发生器 110 可以将充分增加的检验电压 VF1 供给到全局字线 GWL1。另外，尽管传送到存储器单元 M111 到 M11N 的栅的读取电压在热温度增加，读取电压发生器 110 可以将充分减小的检验电压 VF3 供给到全局字线 GWL1。

如上所述，当存储器单元 M111 到 M11N 的阈值电压分布根据温度

而变化时，读取电压的电平相应地改变。因此，在读取操作期间存储器单元 M111 到 M11N 的阈值电压分布的宽度可以减小为如“W5”所示。

结果，如图 7A 到 7C 中所示，由曲线 S11、S21 和 S31 所指示的 SLC 的阈值电压的最低电压与读取电压 VR1 之间的电压差，由曲线 S12、S22 和 S32 所指示的 SLC 的阈值电压的最低电压与读取电压 VR2 之间的电压差，由曲线 S31、S32 和 S33 所指示的 SLC 的阈值电压的最低电压与读取电压 VR3 之间的电压差可以保持为相同的。

因此，在闪存器件 200 的正常读取操作期间，可以减少读取操作中的故障并且可以稳定地保证读取数据的感测裕度。

下面将参照图 8A 到 8C 描述当闪存器件 200 包括 MLC 时，允许电压发生器 100 产生字线电压（即读取电压或检验电压）的过程。

在图 8a 中，曲线 C11 到 C13、C21 到 C23、以及 C31 到 C33 分别示出当分别在冷温度、室温（例如 25°C）以及热温度（例如 90°C）读取在冷温度编程的 MLC 的数据时 MLC 的阈值电压分布。

在图 8B 中，曲线 R11 到 R13、R21 到 R23、以及 R31 到 R33 分别示出当分别在冷温度、室温以及热温度读取在室温编程的 MLC 的数据时 MLC 的阈值电压分布。

在图 8C 中，曲线 H11 到 H13、H21 到 H23、以及 H31 到 H33 分别示出当分别在冷温度、室温以及热温度读取在热温度编程的 MLC 的数据时 MLC 的阈值电压分布。

在本实施例中，将描述读取（用于程序检验的读取或正常读取）存储在存储器单元块 MB1 的存储器单元 M111 到 M11N 中的数据的实例。

下面将首先描述在闪存器件 200 的用于程序检验的读取操作期间字线电压发生器 100 的操作。闪存器件 200 的用于程序检验的读取操作除几个差异之外与上面提到的 SLC 的检验读取操作相同。因此，为了简化仅描述差异。

响应于程序命令 PGM，控制逻辑电路 203 产生使能控制信号 EN

和检验信号 VRCTL1。响应于检验信号 VRCTL1，控制器 120 产生基准电压 VREF21。

读取电压发生器 110 基于基准电压 VREF21 和内部电压 VDD 而产生检验电压（VF11 到 VF13 之一）。另外，响应于行解码信号 RDEC，读取电压发生器 110 将检验电压（VF11 到 VF13 之一）供给到全局字线 GWL1。此时，读取电压发生器 110 产生与温度成反比而改变的检验电压（VF11 到 VF13 之一）。

例如，当在冷温度执行检验读取操作时，读取电压发生器 110 可以产生增加的检验电压 VF11。另外，在室温，读取电压发生器 110 可以产生比检验电压 VF11 低 V3 的检验电压 VF12。在热温度，读取电压发生器 110 可以产生比检验电压 VF12 低 V4 的检验电压 VF13。

同时，基于从检验数据比较器 208 接收的比较信号 CM1 到 CMN（N 是整数），控制逻辑电路 203 判断是否已将数据“10”编程到存储器单元 M111 到 M11N 的部分或全部中。比较信号 CM1 到 CMN 是当检验电压 VF11 到 VF13 之一输入到存储器单元 M111 到 M11N 的栅时将读取自存储器单元 M111 到 M11N 的检验数据与参考数据比较的结果。检验数据比较器 208 的详细操作对本领域技术人员是明显的并且将省略其描述。

如果确定数据“10”已经编程到存储器单元 M111 到 M11N 的部分或全部中，控制逻辑电路 203 产生检验信号 VRCTL2。响应于检验信号 VRCTL2，控制器 120 产生基准电压 VREF22。读取电压发生器 110 基于基准电压 VREF22 和内部电压 VDD 产生检验电压（VF21 到 VF23 之一）。

另外，响应于行解码信号 RDEC，读取电压发生器 110 将检验电压（VF21 到 VF23 之一）供给到全局字线 GWL1。此时，读取电压发生器 110 产生与温度成反比而改变的检验电压（VF21 到 VF23 之一）。

例如，当在冷温度执行检验读取操作时，读取电压发生器 110 可以产生增加的检验电压 VF21。另外，在室温，读取电压发生器 110 可以产生比检验电压 VF21 低 V3 的检验电压 VF22。在热温度，读取电压发

生器 110 可以产生比检验电压 VF22 低 V4 的检验电压 VF23。

然后控制逻辑电路 203 基于比较信号 CM1 到 CMN 判断是否已将数据“00”编程到存储器单元 M111 到 M11N 的部分或全部中。如果确定数据“00”已经编程到存储器单元 M111 到 M11N 的部分或全部中，它产生检验信号 VRCTL3。

响应于检验信号 VRCTL3，控制器 120 产生基准电压 VREF23。

读取电压发生器 110 基于基准电压 VREF23 和内部电压 VDD 而产生检验电压（VF31 到 VF33 之一）。响应于行解码信号 RDEC，读取电压发生器 110 将检验电压（VF31 到 VF33 之一）供给到全局字线 GWL1。此时，读取电压发生器 110 产生与温度成反比而改变的检验电压（VF31 到 VF33 之一）。

例如，当在冷温度执行检验读取操作时，读取电压发生器 110 可以产生增加的检验电压 VF31。另外，在室温，读取电压发生器 110 可以产生比检验电压 VF31 低 V3 的检验电压 VF32。在热温度，读取电压发生器 110 可以产生比检验电压 VF32 低 V4 的检验电压 VF33。

下面将描述在闪存器件 200 的正常读取操作期间字线电压发生器 100 的操作。闪存器件 200 的正常读取操作除几个差异之外与上面提到的 SLC 的正常读取操作相同。因此，为了简化仅描述差异。

响应于读取命令 READ，控制逻辑电路 203 产生使能控制信号 EN 和读取信号（RCTL1 到 RCTL3 之一）。响应于读取信号（RCTL1 到 RCTL3 之一），控制器 120 产生基准电压（VREF11 到 VREF13 之一）。读取电压发生器 110 基于基准电压（VREF11 到 VREF13 之一）和内部电压 VDD 产生读取电压（VR11 到 VR13 之一、VR21 到 VR23 之一或 VR31 到 VR33 之一）。

如上面描述的，字线电压发生器 100 产生与温度成反比的检验电压或读取电压。因此，在程序操作期间，编程的 MLC 的阈值电压不受温度影响。这可以减小编程的 MLC 的阈值电压分布的宽度。结果，可以

提高闪存器件 200 的程序操作速度并且可以减小程序干扰现象的发生。

如上所述，依照根据本发明的字线电压发生器和包括该字线电压发生器的闪存器件以及其产生字线电压的方法，在用于程序检验的读取操作或正常读取操作期间，检验电压或读取电压选择性地与温度成反比而改变。因此，本发明的有利之处在于可减小存储器单元的阈值电压分布的宽度并且可稳定地保证读取数据的感测裕度。

尽管已经结合当前认为是实际的示范实施例的内容描述了本发明，应该理解本发明不限于所公开的实施例，而相反意图在于覆盖包括在所附权利要求的精神和范围中的各种修改和等效设置。

图1A
(现有技术)

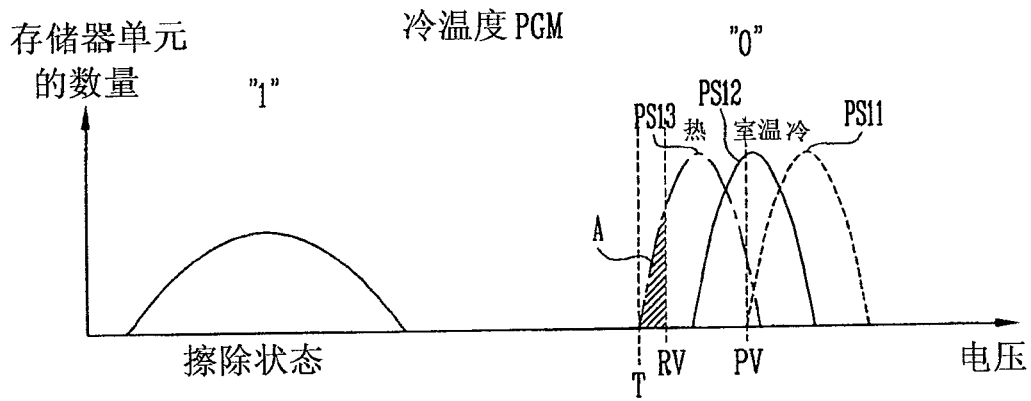


图1B
(现有技术)

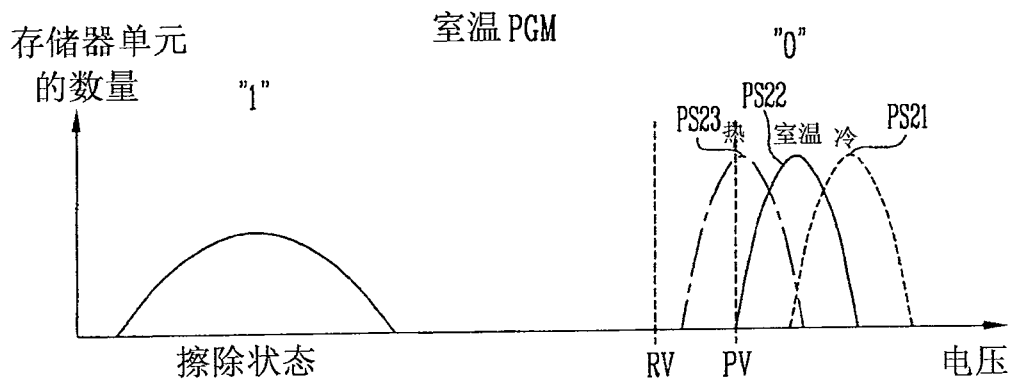


图1C
(现有技术)

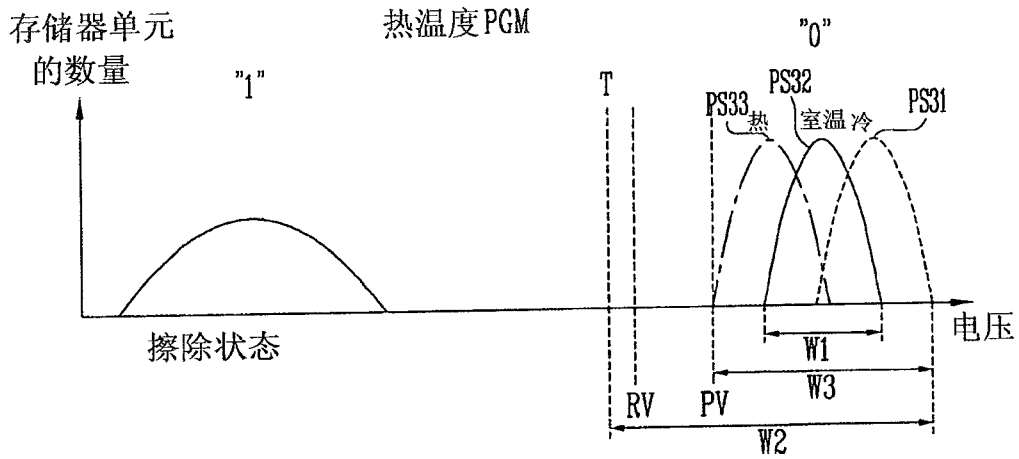


图 2

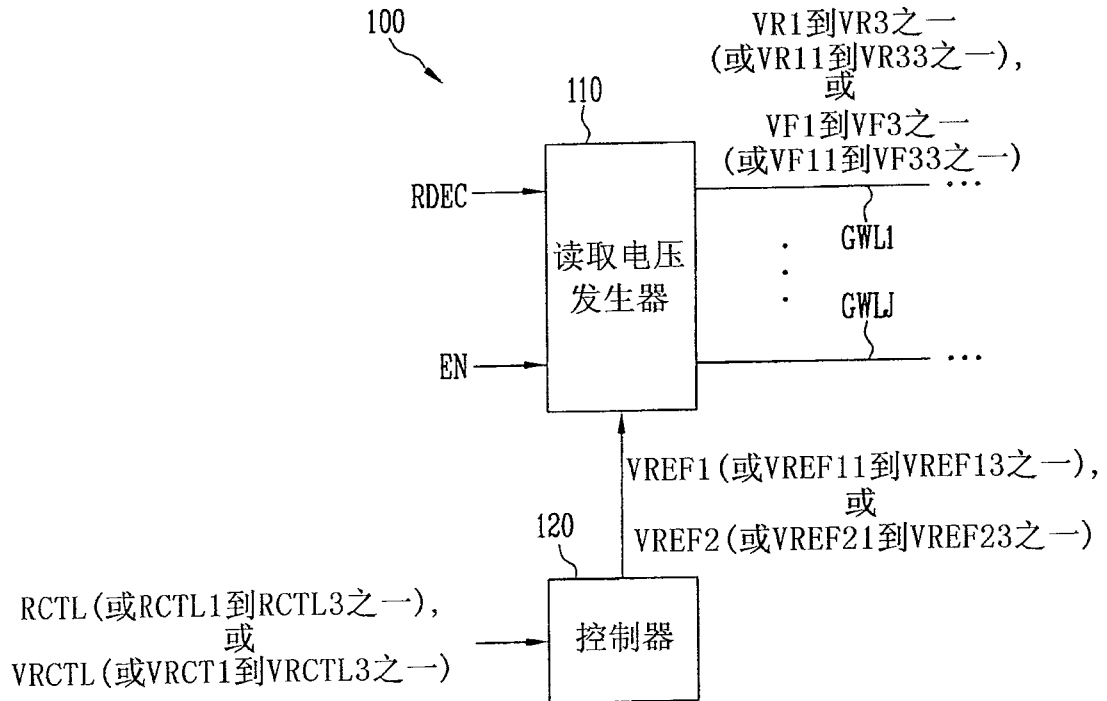


图3

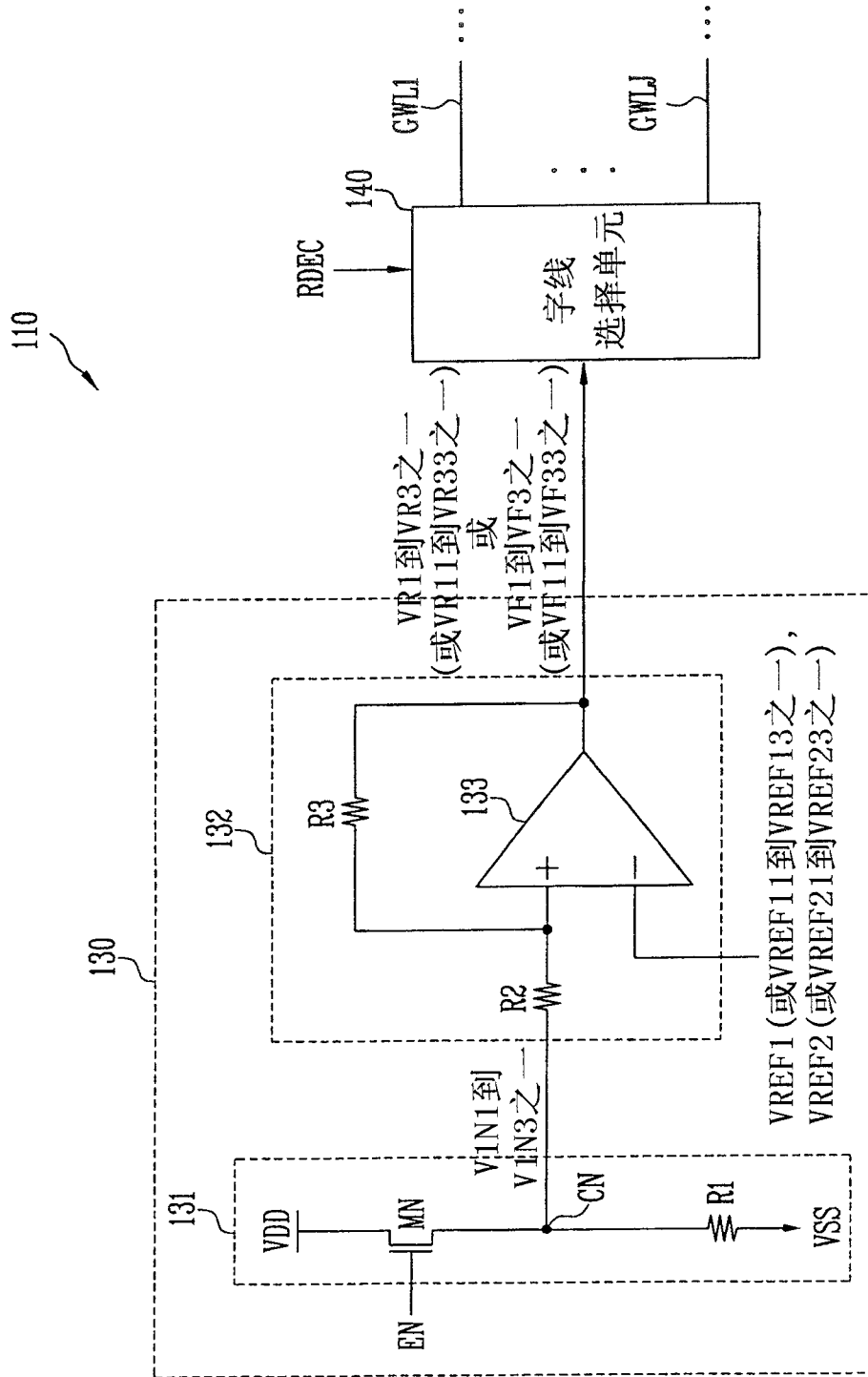


图 4

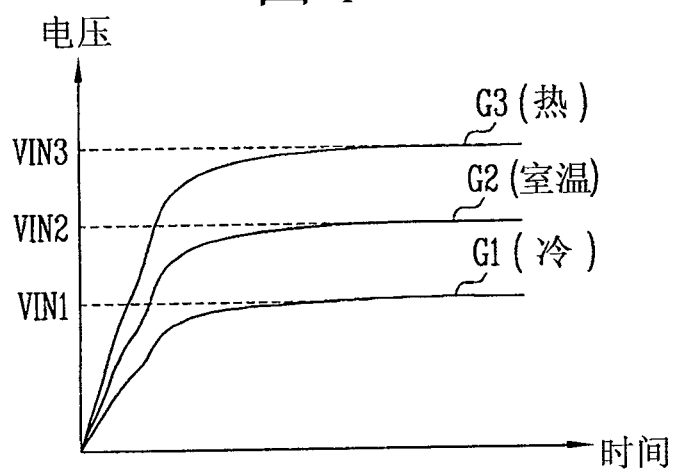


图5

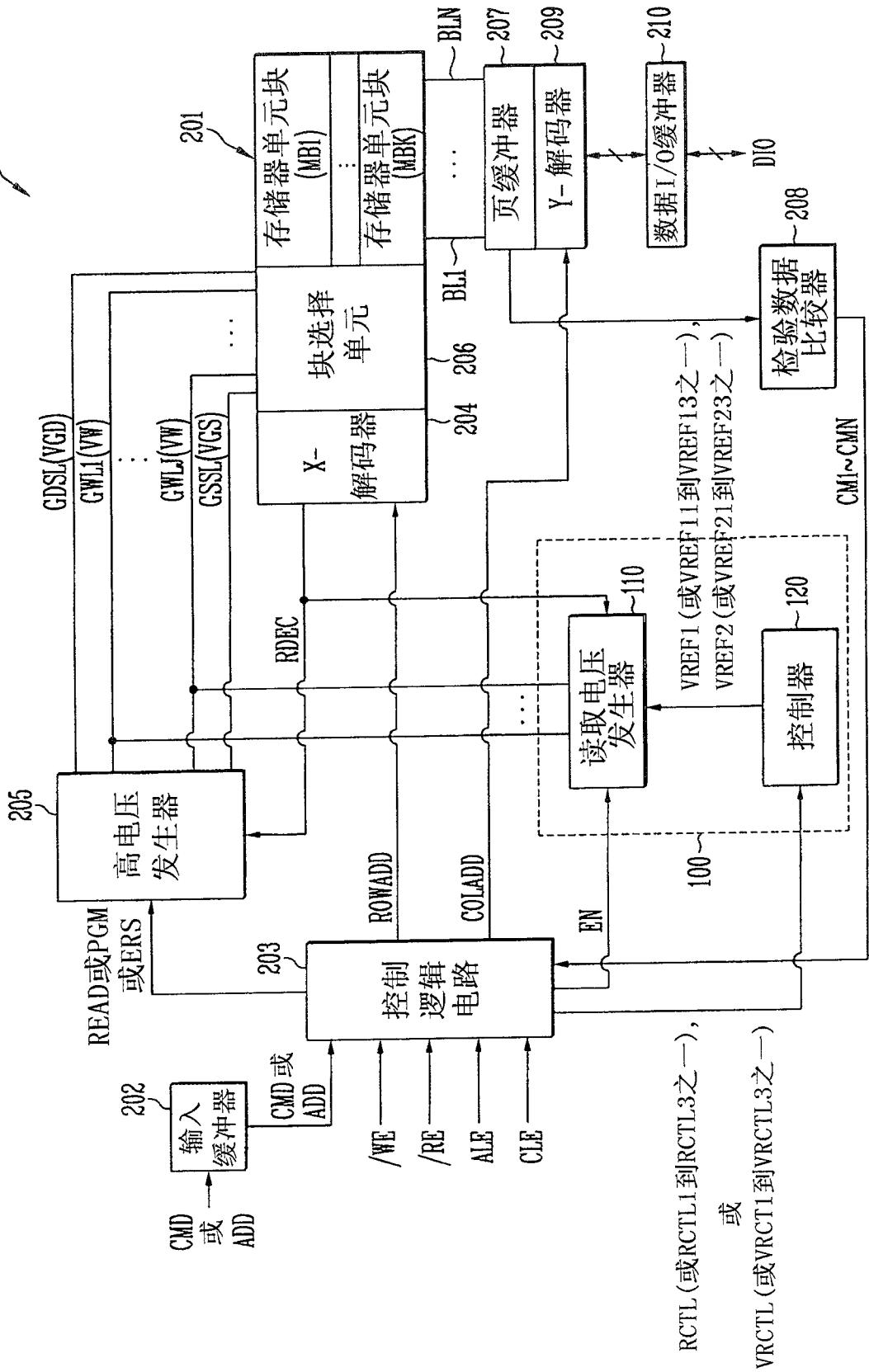


图 6

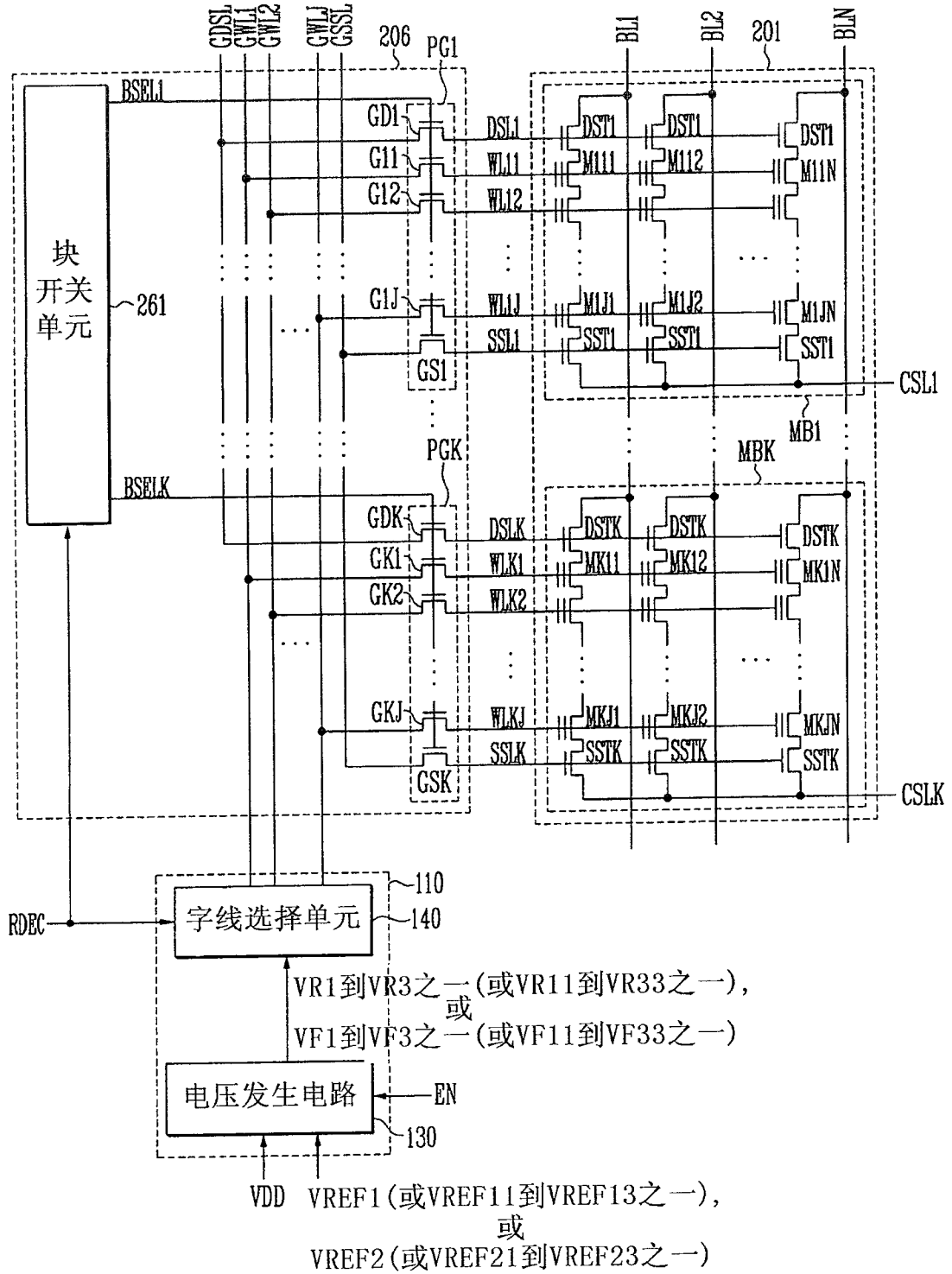


图 7A

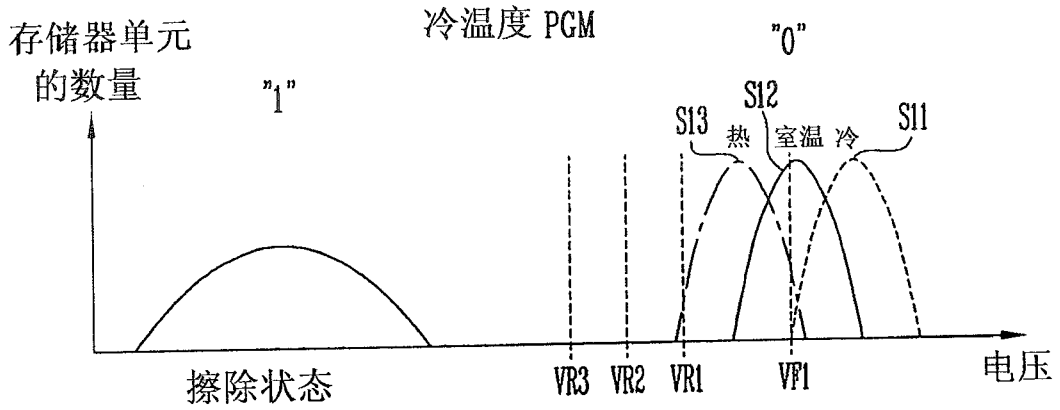


图 7B

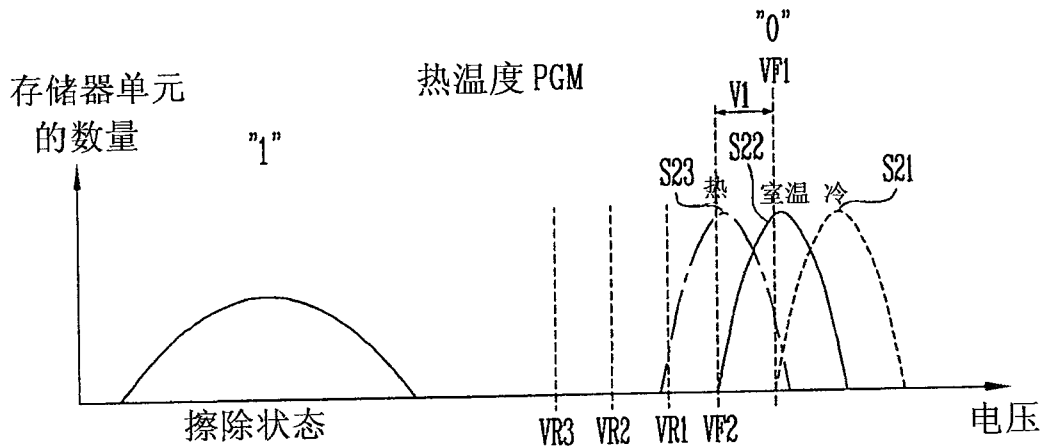


图 7C

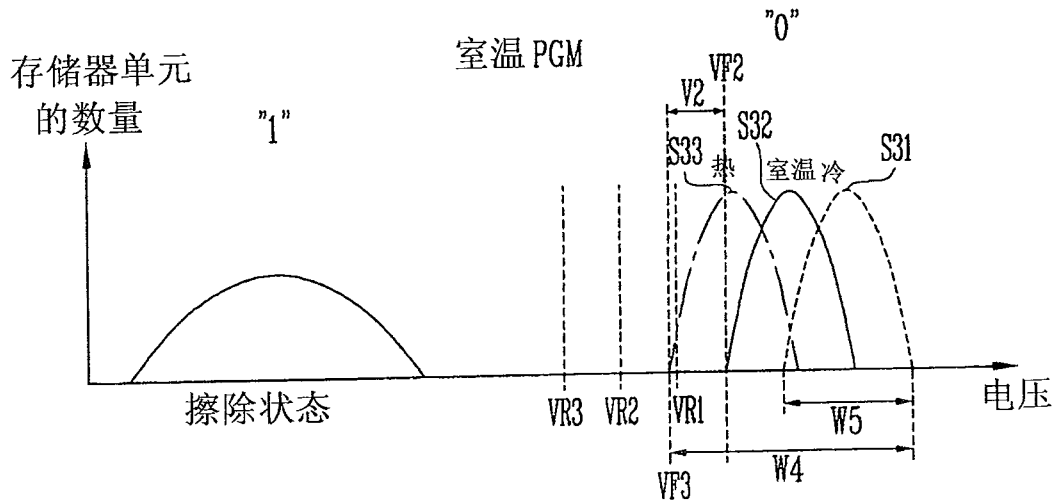


图 8A

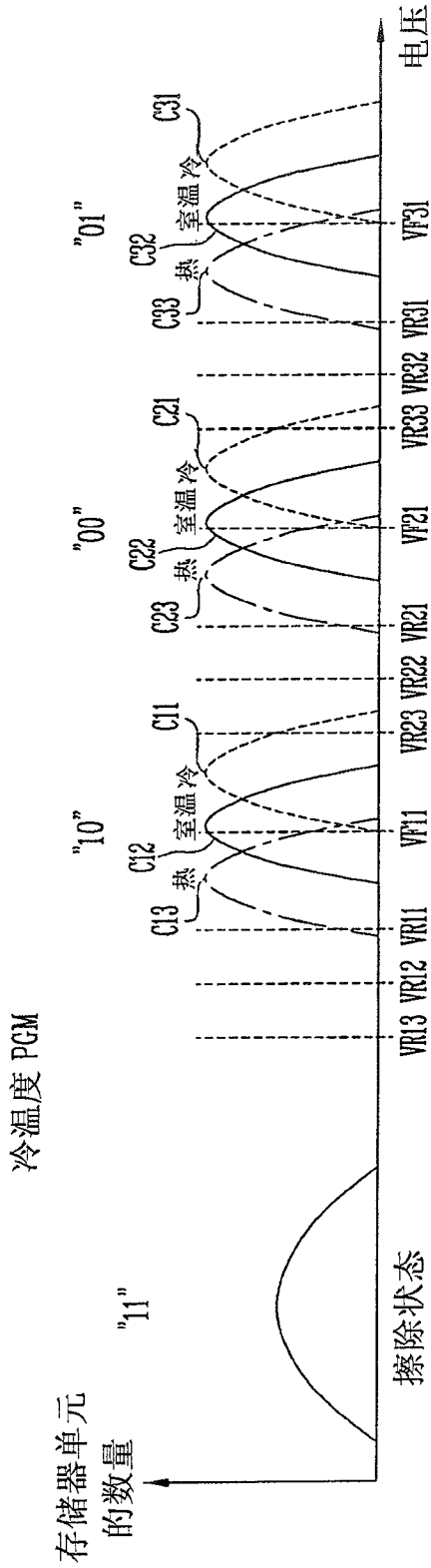


图 8B

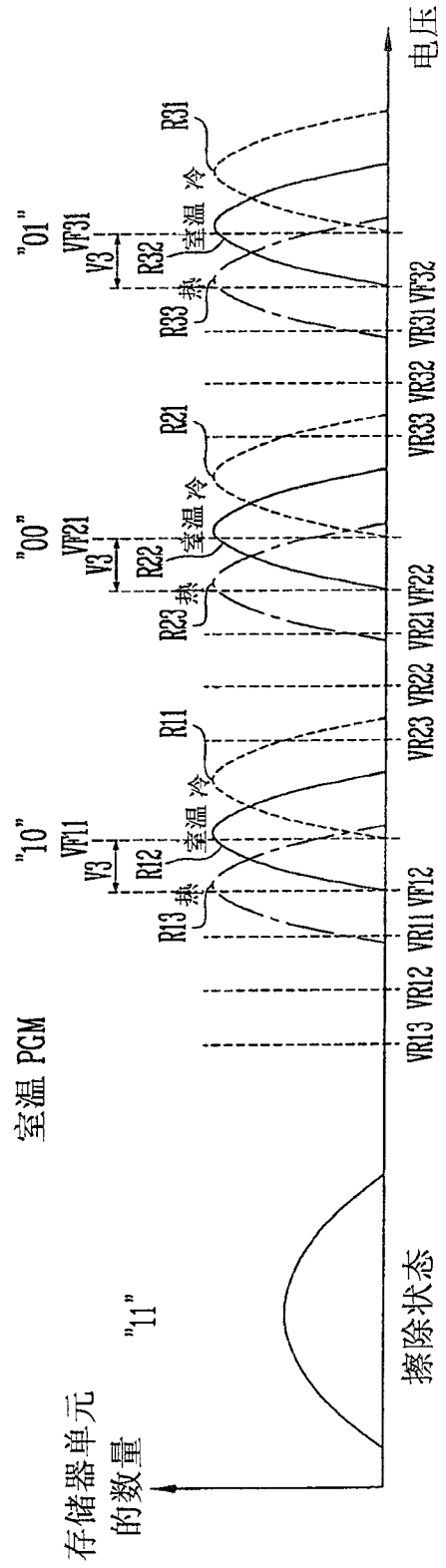


图8C

