

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4723919号
(P4723919)

(45) 発行日 平成23年7月13日(2011.7.13)

(24) 登録日 平成23年4月15日(2011.4.15)

(51) Int.Cl.

H04N 5/378 (2011.01)

F I

H04N 5/335 780

請求項の数 3 (全 18 頁)

(21) 出願番号 特願2005-167142 (P2005-167142)
 (22) 出願日 平成17年6月7日(2005.6.7)
 (65) 公開番号 特開2006-345074 (P2006-345074A)
 (43) 公開日 平成18年12月21日(2006.12.21)
 審査請求日 平成20年1月18日(2008.1.18)

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号
 (74) 代理人 100093492
 弁理士 鈴木 市郎
 (72) 発明者 小松 裕之
 神奈川県横浜市戸塚区吉田町292番地
 株式会社 日立アドバンスデジタル内
 (72) 発明者 西澤 明仁
 神奈川県横浜市戸塚区吉田町292番地
 株式会社 日立製作所 ユビキタスプラッ
 トフォーム開発研究所内

審査官 若林 治男

最終頁に続く

(54) 【発明の名称】 タイミングパルス発生装置とこれを用いた撮像装置。

(57) 【特許請求の範囲】

【請求項1】

アドレスを発生するアドレス発生回路と、
 該アドレスに応じた設定データと制御データ、駆動パルスのデータが格納されたメモリと、

該メモリから読み出された第1の設定データとカウント結果を比較しながら、カウント動作を行ない、所定のタイミングでクリアパルスを発生する第1のカウントと、

該メモリから読み出された第2の設定データとカウント結果を比較しながら、カウント動作を行ない、所定のタイミングでインクリメントパルスを発生する第2のカウントと、

該アドレス発生回路で発生したアドレスを、該メモリから読み出される該制御データに応じたタイミングで、保持するアドレス保持回路と

を備え、

該アドレス発生回路は、該第1のカウントからの該クリアパルス毎に該アドレスをインクリメントするとともに、該アドレスを、該第1のカウントからの該クリアパルス及び第2のカウントからの該インクリメントに応じて、該アドレス保持回路に保持された保持アドレスにジャンプさせ、該アドレスに応じて該メモリから駆動パルスを出力することを特徴とするタイミングパルス発生装置。

【請求項2】

アドレスを発生するアドレス発生回路と、
 該アドレスに応じた設定データと制御データが格納されたメモリと、

10

20

該メモリから読み出された第 1 の設定データとカウント結果を比較しながら、カウント動作を行ない、所定のタイミングでクリアパルスを発生する第 1 のカウンタと、

該メモリから読み出された第 2 の設定データとカウント結果を比較しながら、カウント動作を行ない、所定のタイミングでインクリメントパルスを発生する第 2 のカウンタと、

該アドレス発生回路で発生したアドレスを、該メモリから読み出される該制御データに応じたタイミングで、保持するアドレス保持回路と

を備え、

該アドレス発生回路は、該第 1 のカウンタからの該クリアパルス毎に該アドレスをインクリメントするとともに、該アドレスを、該第 1 のカウンタからの該クリアパルス及び第 2 のカウンタからの該インクリメントに応じて、該アドレス保持回路に保持された保持アドレスにジャンプさせ、該アドレス発生回路から発生される該アドレスの所定ビットを駆動パルスとすることを特徴とするタイミングパルス発生装置。

10

【請求項 3】

請求項 1 または 2 に記載のタイミングパルス発生装置を C C D 撮像素子の駆動パルスの発生装置として用いたことを特徴とする C C D 撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像素子などの素子を駆動するためのパルス（駆動パルス）を発生するタイミングパルス発生装置とこれを用いた撮像装置に関する。

20

【背景技術】

【0002】

C C D 撮像素子や L C D 素子などを駆動する場合、これら素子の駆動仕様に基いて、“1”（高レベル），“0”（低レベル）による駆動パルスを生成する必要があるが、従来では、カウンタ、デコーダなどを用いて所望の駆動パルスを生成していた（例えば、特許文献 1 参照）。

【0003】

図 1 2 はかかる駆動パルス発生のためのタイミングパルス発生装置の一従来例を示すブロック図であって、3 0 はカウンタ、3 1 1 , , 3 1 N はデコーダ、3 2 はレジスタ、3 3 はマルチプレクサである。

30

【0004】

図 1 3 は図 1 2 でのデコーダ 3 1 1 , , 3 1 N の出力パルス D 1 , , D N 及びマルチプレクサ 3 3 から出力される駆動パルスを示すタイミング図である。

【0005】

図 1 2 及び図 1 3 において、デコーダ 3 1 1 はカウンタ 3 0 のカウント値とレジスタ 3 2 の値とを比較し、これらが一致したとき、出力パルス D 1 を発生する。同様に、デコーダ 3 1 2 , , 3 1 N も夫々、出力パルス D 2 , , D N を出力する。マルチプレクサ 3 3 は、これらデコーダ 3 1 1 , , 3 1 N の出力パルス D 1 , , D N をマルチプレクサして駆動パルスを生成する。

【0006】

40

図 1 4 は駆動パルスを発生するタイミングパルス発生装置の他の従来例を示すブロック図であって、4 0 はアドレス発生回路、4 1 はメモリである。

【0007】

図 1 5 は図 1 4 におけるアドレス発生回路からのアドレスに対するメモリの出力パルス及び駆動パルスを示すタイミング図である。

【0008】

図 1 4 及び図 1 5 において、メモリ 4 1 には、所望の駆動パルスに対応して、アドレス毎に“1”（高レベル）あるいは“0”（低レベル）のデータが予め書き込まれている。メモリ 4 1 では、アドレス発生回路 4 0 で発生されるアドレス信号によって順次アドレス「0」, 「1」, 「2」, がアクセスされ、アクセスされたアドレスから“1”ある

50

いは“ 0 ”のデータが読み出されて、駆動パルスとして、出力される。

【特許文献 1】特開平 10 - 257398 号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

図 12 に示す従来の技術では、生成可能なパルス列の変化点（即ち、周期やパルス幅が異なるパルス列の切り替え点）の数がデコーダの数で決まってしまう、予め想定していた変化点以上の数の駆動パルスが必要になった場合は対応できない。これを、例えば、CCD 撮像素子の垂直 CCD の垂直転送駆動パルスのタイミングパルス発生装置として用いる場合、垂直 CCD での電荷の転送方法としては種々のものがあるが、その転送方法に応じてこのタイミングパルス発生装置の回路構成が決まってしまう、採用する転送方法毎に異なる回路構成のタイミングパルス発生装置を作成する必要がある。

10

【0010】

また、図 14 に示す従来の技術では、変化点の数に制限はなく、異なる垂直転送方法の CCD 撮像素子に対し、同じ回路構成のタイミングパルス発生装置を共通に使用することを可能とするが、駆動パルスの 1 ステップ毎にメモリ 41 が 1 アドレス必要なため、例えば、レベル“ 0 ”の状態が 1000 ステップ続くような駆動パルスの場合においても、メモリ 41 では、のアドレスが 1000 アドレス必要であり、メモリの使用効率が悪くなる。

【0011】

20

本発明の目的は、かかる問題を解消し、駆動パルスの変化点の数に対応でき、かつメモリの使用効率を高めることができるようにしたタイミングパルス発生装置とこれを用いた撮像装置を提供することにある。

【課題を解決するための手段】

【0012】

上記目的を達成するために、本発明によるタイミングパルス発生装置は、アドレスを発生するアドレス発生回路と、該アドレスに応じた設定データと制御データ、駆動パルスのデータが格納されたメモリと、該メモリから読み出された第 1 の設定データとカウント結果を比較しながら、カウント動作を行ない、所定のタイミングでクリアパルスを発生する第 1 のカウンタと、該メモリから読み出された第 2 の設定データとカウント結果を比較しながら、カウント動作を行ない、所定のタイミングでインクリメントパルスを発生する第 2 のカウンタと、該アドレス発生回路で発生したアドレスを、該メモリから読み出される該制御データに応じたタイミングで、保持するアドレス保持回路とを備え、該アドレス発生回路は、該第 1 のカウンタからの該クリアパルス毎に該アドレスをインクリメントするとともに、該アドレスを、該第 1 のカウンタからの該クリアパルス及び第 2 のカウンタからの該インクリメントに応じて、該アドレス保持回路に保持された保持アドレスにジャンプさせ、該アドレスに応じて該メモリから駆動パルスを出力することを特徴とするものである。

30

【0015】

また、本発明によるタイミングパルス発生装置は、アドレスを発生するアドレス発生回路と、該アドレスに応じた設定データと制御データが格納されたメモリと、該メモリから読み出された第 1 の設定データとカウント結果を比較しながら、カウント動作を行ない、所定のタイミングでクリアパルスを発生する第 1 のカウンタと、該メモリから読み出された第 2 の設定データとカウント結果を比較しながら、カウント動作を行ない、所定のタイミングでインクリメントパルスを発生する第 2 のカウンタと、該アドレス発生回路で発生したアドレスを、該メモリから読み出される該制御データに応じたタイミングで、保持するアドレス保持回路とを備え、該アドレス発生回路は、該第 1 のカウンタからの該クリアパルス毎に該アドレスをインクリメントするとともに、該アドレスを、該第 1 のカウンタからの該クリアパルス及び第 2 のカウンタからの該インクリメントに応じて、該アドレス保持回路に保持された保持アドレスにジャンプさせ、該アドレス発生回路から発生される

40

50

該アドレスの所定ビットを駆動パルスとすることを特徴とするものである。

【 0 0 1 6 】

また、本発明による撮像装置は、上記タイミングパルス発生装置のいずれかをCCD撮像素子の駆動パルスの発生装置として用いたことを特徴とするものである。

【 発明の効果 】

【 0 0 1 7 】

本発明によると、生成する駆動パルスの変化点の数が増えた場合でも対応ができて、さらに、駆動パルスの状態が固定の期間では、メモリのアドレスを進める必要がないため、メモリの使用効率が高くなる。

【 発明を実施するための最良の形態 】

10

【 0 0 1 8 】

以下、本発明の実施形態を図面により説明する。

【 0 0 1 9 】

図1は本発明によるタイミングパルス発生装置の一実施形態を示すブロック図であって、1はアドレス発生回路、2はメモリ、3はLEN(長さ)カウンタ、4はLOOP(ループ)カウンタ、5はアンドゲート、6はアドレス保持回路、7は出力端子である。

【 0 0 2 0 】

同図において、メモリ2の記憶エリアは、駆動パルスDPや、設定データとしてのLEN(長さ)データ及びLOOP(繰り返し周期)データ、制御データとしてのRETURN(戻り)データなどのデータ毎にデータ格納エリアが区分されており、夫々のデータ格納エリアでは、各アドレス毎に順次データの値が格納されている。かかるアドレスはアドレス発生回路1から発生されるアドレス信号によって指定され、各データ格納エリアでは、このアドレス信号によって指定されるアドレスからそこに格納されているデータ値が読み出される。

20

【 0 0 2 1 】

アドレス発生回路1は、所定のタイミングで供給されるリセットパルスRによってアドレスADが値「0」にリセットされ、また、後述するLENカウンタ3から出力されるレベル“H”(高レベル)のLENカウンタクリア信号の立下りエッジにより、あるいは、アンドゲート5から出力されるレベル“H”のアドレスジャンプパルスAJの立下りエッジにより、アドレスADを更新する。

【 0 0 2 2 】

30

メモリ2から出力されるLENデータはLENカウンタ3にセットされる。LENカウンタ3はクロックを初期値「1」からカウントアップし、このカウント値がセットされたLENデータの値と等しくなると、クロックの1周期の時間幅でレベル“H”のLENカウンタクリアパルスを発生し、また、カウント値を初期値「1」に戻す。

【 0 0 2 3 】

アドレス発生回路1は、このLENカウンタクリアパルスのレベル“H”からレベル“L”(低レベル)への立下りエッジのタイミングでインクリメントし、次の値「1」だけ増加したアドレスADをメモリ2に供給する。そこで、メモリ2では、各データ格納エリアのこのアドレスADで指定されるアドレスから次のデータ値が読み出される。読み出されたLENデータはLENカウンタ3にセットされ、LENカウンタ3は、上記のように、初期値「1」からクロックをカウントアップする。

40

【 0 0 2 4 】

また、アドレス発生回路1からのアドレスADに応じてメモリ2から出力されるLOOPデータが、LOOPカウンタ4にセットされる。このLOOPカウンタ4は、アドレス発生回路1からのアドレスADに応じてメモリ3から出力される“1”(高レベル)、“0”(低レベル)のRETURNデータのレベル“1”からレベル“0”への立下りエッジ毎にインクリメントし、RETURNデータのレベル“1”で、かつLOOPカウンタ4のカウント値がそのときセットされているLOOPデータと一致しないとき、LOOPインクリメントパルスを発生する。

【 0 0 2 5 】

ここで、RETURNデータが“0”のとき、アドレス保持回路6にこのときのアドレスADが

50

、保持アドレスHADとして、アドレス保持回路 6 に保持される。

【 0 0 2 6 】

LENカウンタ 3 から出力されるLENカウンタクリアパルスとLOOPカウンタ 4 から出力されるLOOPインクリメントパルスとはアンドゲート 5 で演算処理され、これらLENカウンタクリアパルスとLOOPインクリメントパルスとがともにレベル “ H ” のとき、制御信号としてのアドレスジャンプパルスAJが生成される。アドレス発生回路 1 は、通常、LENカウンタ 3 からのLENカウンタクリアパルスの立下りエッジ毎に順次インクリメントするアドレスADを生成出力するが、アンドゲート 5 からアドレスジャンプパルスAJが供給されると、これによる制御により、アドレス保持回路 6 に保持されている保持アドレスHADにアドレスADをクリアする（戻す）。従って、このときのアドレスADはこの保持アドレスHADとなり、次にアンドゲート 5 からアドレスジャンプパルスAJが供給されるまで、LENカウンタ 3 からのLENカウンタクリアパルスの立下りエッジ毎にアドレスADをこの保持アドレスHADから順次インクリメントする。

10

【 0 0 2 7 】

このようにして、アドレス発生回路 1 は、メモリ 2 から読み出されるLENデータ、LOOPデータ、RETURNデータに応じたアドレスADを発生し、かかるアドレスADによってメモリ 2 から駆動パルスDPが読み出され、出力端子 7 から外部に出力される。

【 0 0 2 8 】

次に、この実施形態の動作の一具体例について説明する。

【 0 0 2 9 】

20

ここで、メモリ 2 には、図 2 に示すように、データが格納されているものとする。なお、図 2 は各データ格納エリアでのアドレスAD毎のデータを模式的に示すものであって、例えば、LENデータ格納エリア 2 a には、アドレスADが「 0 」, 「 1 」, 「 2 」, 「 3 」, 「 4 」の順に値「 2 」, 「 3 」, 「 4 」, 「 2 」, 「 2 」のLENデータが格納されており、LOOPデータ格納エリア 2 b には、アドレスADが「 0 」, 「 1 」, 「 2 」, 「 3 」, 「 4 」の順に値「 2 」, 「 2 」, 「 1 」, 「 1 」, 「 1 」のLOOPデータが格納されており、RETURNデータ格納エリア 2 c には、アドレスADが「 0 」, 「 1 」, 「 2 」, 「 3 」, 「 4 」の順にレベル “ 0 ”, “ 1 ”, “ 0 ”, “ 0 ”, “ 0 ” のRETURNデータが格納されており（但し、レベル “ 0 ” は低レベル、レベル “ 1 ” は高レベルとする）、駆動パルス格納エリア 2 d には、アドレスADが「 0 」, 「 1 」, 「 2 」, 「 3 」, 「 4 」の順にレベル “ L ”, “ H ”, “ L ”, “ H ”, “ L ” の駆動パルスDPのデータが格納されている。

30

【 0 0 3 0 】

図 3 はクロック の周期毎のタイミングを基準とした図 1 の各部のデータ、信号を示すタイミング図であって、クロック の周期毎のタイミングを 1, 2, 3, …… , 18 で示す。

【 0 0 3 1 】

以下では、図 1 ~ 図 3 により、各タイミング（クロック 1, 2, 3, …… , 18）毎に動作を説明する。

【 0 0 3 2 】

A. クロック 1 ~ 10 の期間について

40

(1) クロック 1 のタイミング：

このタイミングでは、アドレス発生回路 1 がリセットパルスRでリセットされ、アドレス発生回路 1 から出力されるアドレスADを「 0 」となる。これにより、クロック 1 のタイミングでは、メモリ 2 の各データ格納エリア 2 a ~ 2 d から値「 2 」のLENデータ、値「 2 」のLOOPデータ、及び “ 0 ” のRETURNデータが読み出され、値「 2 」のLENデータはLENカウンタ 3 に、値「 2 」のLOOPデータはLOOPカウンタ 4 に夫々セットされる。このとき、LENカウンタ 3 とLOOPカウンタ 4 とのカウント値は初期値「 1 」にリセットされ、夫々のセット値と一致しない。従って、LENカウンタ 3 からは “ H ” のLENカウンタクリアパルスが出力されず、LOOPカウンタ 4 から “ H ” のLOOPインクリメントパルスは出力されない。

50

【 0 0 3 3 】

また、このクロック 1 のタイミングでは、RETURNデータが“ 0 ”であるから、アドレス保持回路 6 にこのときのアドレスAD、即ち、「 0 」のアドレスADが保持される。

【 0 0 3 4 】

さらに、図 2 により、この「 0 」のアドレスADでは、メモリ 2 での駆動パルスのデータ格納エリアに“ L ”のデータが格納されており、このため、この“ L ”のデータが読み出されて駆動パルスDPは“ L ”を出力する。

【 0 0 3 5 】

(2) クロック 2 のタイミング：

次のクロック 2 のタイミングでは、LENカウンタ 3 がクロック をアップカウントしてそのカウント値が「 2 」となり、LENカウンタ 3 のセット値「 2 」と等しくなる。これにより、このLENカウンタ 3 から“ H ”のLENカウンタクリアパルスが出力される。しかし、このときも、アドレス発生回路 1 からのアドレスADがそのまま「 0 」に保持されているので、メモリ 2 からのRETURNデータは“ 0 ”であり、LOOPカウンタ 4 はアップカウントしないで、そのカウント値がそのまま初期値「 1 」に保持される。従って、LOOPカウンタ 4 からは“ H ”のLOOPインクリメントパルスは出力されない。

10

【 0 0 3 6 】

さらに、図 2 により、このときのアドレスADは「 0 」であり、メモリ 2 の駆動パルスDPのデータ格納エリアのアドレス「 0 」に“ L ”のデータが格納されているので、メモリ 2 からは“ L ”の駆動パルスDPが出力される。

20

【 0 0 3 7 】

(3) クロック 3 のタイミング：

次のクロック 3 のタイミングでは、LENカウンタ 3 がクロック をアップカウントする際に、クロック 2 のタイミング時において、LENカウンタ 3 から“ H ”のLENカウンタクリアパルスが出力されていることから、事前に「次のクロック のタイミング、即ち、クロック 2 からクロック 3 への切換えタイミングでは、LENカウンタ 3 はカウント値を初期値「 1 」にリセットする」ことが判っているため、立下りエッジで初期値「 1 」にリセットされ、同時に、LENカウンタクリアパルスは立ち下がる。

【 0 0 3 8 】

一方、クロック 3 のタイミングでLENカウンタ 3 からのLENカウンタクリアパルスが立ち下がることにより、その立下りエッジでアドレス発生回路 1 がインクリメントし、アドレスADが「 1 」となる。

30

【 0 0 3 9 】

これにより、メモリ 2 での各データ格納エリアでアドレス「 1 」がアクセスされ、図 2 により、メモリ 2 から値「 3 」のLENデータが読み出されてLENカウンタ 3 にセットされる。また、メモリ 2 から値「 2 」のLOOPデータが読み出されてLOOPカウンタ 4 にセットされるが、このセット値はクロック 1 のタイミングのときのセット値と変わりがない。

【 0 0 4 0 】

このようにして、クロック 3 のタイミングでは、アドレスADが「 1 」であって、LENカウンタ 3 は値「 3 」にセットされ、LOOPカウンタ 4 は値「 2 」にセットされている。

40

【 0 0 4 1 】

一方、図 2 により、アドレスADが「 1 」となると、メモリ 2 から出力されるRETURNデータは“ 1 ”となるが、LOOPカウンタ 4 はこの立上りエッジではアップカウントせず、そのカウント値はそのまま「 1 」に保持される。但し、このカウント値「 1 」はこのLOOPカウンタ 4 のセット値「 2 」と異なっており、しかも、RETURNデータが“ 1 ”となったことから、LOOPカウンタ 4 から“ H ”のLOOPインクリメントパルスが出力される。

【 0 0 4 2 】

なお、図 2 により、メモリ 2 の駆動パルスDPのデータ格納エリアのアドレス「 1 」に“ H ”のデータが格納されているので、メモリ 2 から“ H ”の駆動パルスDPが読み出されて出力端子 7 から出力される。

50

【 0 0 4 3 】

また、RETURNデータが“ 1 ”であるので、アドレス保持回路 6 の書き替えが行なわれず、その保持アドレスHADは「 0 」のままである。

【 0 0 4 4 】

(4) クロック 4 のタイミング :

次のクロック 4 のタイミングでは、LENカウンタ 3 がクロック をアップカウントしてそのカウント値が「 2 」となるが、これがLENカウンタ 3 のセット値「 3 」と一致しないので、“ H ”のLENカウンタクリアパルスは発生しない。このため、アドレス発生回路 1 からのアドレスADは「 1 」のままである。そこで、メモリ 2 からのRETURNデータは“ 1 ”のままであり、LOOPカウンタ 4 のカウント値は初期値「 1 」のままであって、“ H ”のLOOPインクリメントパルスの出力がそのまま継続する。

10

【 0 0 4 5 】

なお、このクロック 4 のタイミングでも、“ H ”の駆動パルスDPがメモリ 2 から読み出され続ける。

【 0 0 4 6 】

(5) クロック 5 のタイミング :

次のクロック 5 のタイミングでは、LENカウンタ 3 がクロック をアップカウントしてそのカウント値が「 3 」となり、LENカウンタ 3 のセット値「 3 」と等しくなる。これにより、LENカウンタ 3 から“ H ”のLENカウンタクリアパルスが出力され始める。このときも、LOOPカウンタ 4 のカウント値は初期値「 1 」のままであって、そのセット値「 2 」とは一致せず、また、RETURNデータは“ 1 ”のままであるから、“ H ”のLOOPインクリメントパルスが出力され続ける。

20

【 0 0 4 7 】

このように、クロック 5 のタイミングでは、LENカウンタクリアパルスとLOOPインクリメントパルスとがともに“ H ”であるから、アンドゲート 5 から“ H ”のアドレスジャンプパルスAJが出力される。

【 0 0 4 8 】

(6) クロック 6 のタイミング ~ クロック 10 のタイミング :

次のクロック 6 のタイミングでは、クロック 2 からクロック 3 への切り換わりと同様、事前に次のクロック で L E N カウンタ 3 が初期値にリセットされることが判るため、その立下りエッジでLENカウンタ 3 が初期値「 1 」にリセットされ、同時に、L E N カウンタクリアパルスが立ち下がる。また、アンドゲート 5 の出力レベルが“ L ”になってアドレスジャンプパルスAJが立ち下がる。このアドレスジャンプパルスAJの立下りエッジでアドレス保持回路 6 の「 0 」の保持アドレスHADがアドレス発生回路 1 に取り込まれ、アドレスADがこの保持アドレスHADに等しい値「 0 」に設定される。従って、メモリ 2 からは、上記クロック 1 のタイミングのときと同じ値「 2 」のLENデータが読み出されてLENカウンタ 3 にセットされ、また、上記クロック 1 のタイミングのときと同じ値「 2 」のLOOPデータが読み出されてLOOPカウンタ 4 にセットされる。

30

【 0 0 4 9 】

また、アドレスADが「 0 」となったことにより、図 2 により、メモリ 2 からのRETURNデータが“ 1 ”から“ 0 ”に反転する。これにより、LOOPカウンタ 4 からのLENカウンタクリアパルスは“ 1 ”から“ 0 ”にレベル反転して立ち下がる。従って、アンドゲート 5 の出力は“ L ”になる。

40

【 0 0 5 0 】

さらに、RETURNデータが“ 1 ”から“ 0 ”にレベル反転することにより、この時点でのアドレスAD、即ち、値「 0 」のアドレスADがアドレス保持回路 6 に、保持アドレスHADとして、保持される。

【 0 0 5 1 】

このようにして、LENカウンタ 3 とLOOPカウンタ 4 とに夫々値「 2 」がセットされることにより、クロック 1 のタイミングからクロック 5 までの上記の動作が繰り返される

50

ことになる。この期間がクロック 6 のタイミングからクロック 10 のタイミングまでの期間である。この期間でも、アドレス値ADが「1」の期間、メモリ2から“H”の駆動パルスDPが読み出されて出力端子7から出力される。

【0052】

但し、かかる期間でのLOOPカウンタ4のカウント値は「2」であり、LOOPカウンタ4のセット値と等しい値となっている。従って、アドレスADが「1」となってRETURNデータが“1”となっても、LOOPカウンタ4からは“H”のLOOPインクリメントパルスは発生せず、従って、アンドゲート5からはアドレスジャンプパルスAJが発生しない。

【0053】

以上のようにして、クロック 1 ~ 10 の期間、クロック の5倍の周期5T でデューティ比60% ($= 3 \times 100 / 5$) の駆動パルスDPがメモリ2から2回出力されることになる。

10

【0054】

B. クロック 11 ~ 18 の期間について

(7) クロック 11 のタイミング:

クロック 10 のタイミングでは、先のクロック 5 のタイミングのときと同様、LENカウンタ3のカウント値は「3」でそのセット値と等しく、このLENカウンタ3からは“H”のLENカウンタクリアパルスが出力されているため、次のクロック 11 のタイミングでクロック により、LENカウンタ3を初期値にリセットすることが事前に判るため、クロック で初期値にリセットされる。同時に、LENカウンタクリアパルスは“H”から“L”に反転して立ち下がる。このLENカウンタクリアパルスの立下りエッジでアドレス発生回路1はインクリメントし、そのアドレスADを「2」とする。

20

【0055】

そこで、メモリ2では、各データ格納エリアのアドレス「2」が読み出されることになり、図2により、値「4」のLENデータが読み出されてLENカウンタ3にセットされ、値「1」のLOOPデータが読み出されてLOOPカウンタ4にセットされる。また、“0”のRETURNデータが読み出されてLOOPカウンタ4とアドレス保持回路6とに供給される。このRETURNデータが“0”となったことにより、また、このときのLOOPカウンタ4のカウント値「2」がそのセット値と一致していることから、LOOPカウンタ4のカウント値は初期値「1」にリセットされ、また、RETURNデータが“0”であることから、アドレス保持回路6にそのときの「2」のアドレスADが、保持アドレスHADとして、保持される。

30

【0056】

(8) クロック 12 のタイミング~クロック 13 のタイミング:

次のクロック 12 のタイミングでLENカウンタ3がクロック をアップカウントしてそのカウント値が「2」となり、さらに、次のクロック 13 のタイミングでLENカウンタ3がクロック をアップカウントしてそのカウント値が「3」となるが、これらカウント値はセット値「4」に一致しないので、LENカウンタ3から“H”のLENカウンタクリアパルスが発生しない。

【0057】

また、このときのLOOPカウンタ4のカウント値「1」はそのセット値「1」と一致しているので(仮に、RETURNデータが“1”となっても)、LOOPカウンタ4も“H”のLOOPインクリメントパルスを発生しない。

40

【0058】

従って、LENカウンタ3がクロック をアップカウントするだけで、これ以外は同じ状態が維持される。

【0059】

(9) クロック 14 ~ 15 のタイミング:

次のクロック 14 のタイミングでLENカウンタ3がクロック をアップカウントしてそのカウント値が「4」となると、これがLENカウンタ3のセット値に等しくなるから、LENカウンタ3から“H”のLENカウンタクリアパルスが発生する。しかし、LOOPカウンタ

50

4 は、そのカウント値「1」がそのセット値と一致しているので“H”のLOOPインクリメントパルスが発生しない。

【0060】

そして、次のクロック 15 のタイミングになると、クロック 2, 3, 5, 6, 7, 8, 10, 11 などと同様に、LENカウンタ3が初期値にリセットされ、同時に、“H”のLENカウンタクリアパルスは“H”から“L”へ立ち下がり、この立下りエッジでアドレス発生回路1がインクリメントし、アドレスADが「3」となる。

【0061】

アドレスADが「3」になると、図2により、メモリ2から値「2」のLENデータが読み取られてLENカウンタ3にセットされ、値「1」のLOOPデータが読み取られてLOOPカウンタ4にセットされる。また、“0”のRETURNデータが読み取られてLOOPカウンタ4とアドレス保持回路6に供給される。これにより、アドレス保持回路6には、そのときの「3」のアドレスADが保持される。しかし、LOOPカウンタ4からは“H”のLOOPインクリメントパルスは発生しない。

10

【0062】

また、アドレスADが「3」のときには、メモリ2から“H”の駆動パルスDPが読み取られ、出力端子7から出力される。

【0063】

(10)クロック 16のタイミング：

次のクロック 16のタイミングでLENカウンタ3がクロックをアップカウントしてそのカウント値が「2」となると、これがLENカウンタ3のセット値と等しいから、LENカウンタ3から“H”のLENカウンタクリアパルスが出力される。しかし、LOOPカウンタ4は、そのカウント値「1」がそのセット値に等しいから、“H”のLOOPインクリメントパルスが発生しない。このときも、RETURNデータが“0”であるから、「3」のアドレスADがアドレス保持回路6に保持される。また、このときのアドレスADが「3」であるから、メモリ2から駆動パルスDPは発生している。

20

【0064】

(11)クロック 17のタイミング：

次のクロック 17のタイミングでLENカウンタ3が初期値にリセットされ、同時に、LENカウンタクリアパルスが“H”から“L”へ立ち下がる。このLENカウンタクリアパルスの立下りエッジにより、アドレス発生回路1はインクリメントし、アドレスADは「4」となる。

30

【0065】

アドレスADが「4」になると、図2により、メモリ2から値「2」のLENデータが読み取られてLENカウンタ3にセットされ、値「1」のLOOPデータが読み取られてLOOPカウンタ4にセットされる。また、“0”のRETURNデータが読み取られてLOOPカウンタ4とアドレス保持回路6に供給される。これにより、アドレス保持回路6には、そのときの「4」のアドレスADが保持される。しかし、LOOPカウンタ4からは“H”のLOOPインクリメントパルスは発生しない。

【0066】

40

また、アドレスADが「4」となると、メモリ2から出力されていた駆動パルスDPが立ち下がり、“L”を出力する。

【0067】

(12)クロック 18のタイミング：

次のクロック 18のタイミングでLENカウンタ3がクロックをアップカウントしてそのカウント値が「2」となると、これがLENカウンタ3のセット値と等しいから、LENカウンタ3から“H”のLENカウンタクリアパルスが出力される。しかし、LOOPカウンタ4は、そのカウント値「1」がそのセット値に等しいから、“H”のLOOPインクリメントパルスが発生しない。このときも、RETURNデータが“0”であるから、「4」のアドレスADがアドレス保持回路6に、保持アドレスHADとして、保持される。また、このときのアド

50

レスADが「4」であることにより、メモリ2から駆動パルスDPは発生しない。

【0068】

以上の動作説明から明らかなように、LENデータは、アドレスADの期間長を、クロックの周期Tを単位長として、規定するものである。例えば、LENデータの値が「2」であるときには、例えば、「0」のアドレスADの期間長が2Tとなる。このことから、LENデータに応じて駆動パルスDPの周期やパルス幅が規定されることになる。

【0069】

また、上記の例では、アドレスADが「1」であるクロック3～5のタイミング期間及びクロック8～10のタイミング期間や、アドレスADが「3」であるクロック15～16のタイミング期間に駆動パルスDPがメモリ2から出力される。

10

【0070】

ここで、クロック1～10のタイミングの期間では、クロックの周期の5倍の周期5Tで2回駆動パルスDPが発生されるものである。これは、「0」、「1」のアドレスADが続く期間を2回繰り返すことによって可能としており、この繰り返しはLOOPデータによって決められるものである。上記のタイミング期間の例では、アドレス値ADが「0」、「1」であるときのLOOPデータの値を「2」としているため、アドレス値ADが「0」、「1」の期間を2回繰り返すことになるが、LOOPデータを値「2」以上の値とすることにより、「0」、「1」のアドレス値ADが続く期間を任意回数繰り返すようにすることができ、一定周期の駆動パルスを任意個数を発生させることができる。

【0071】

20

但し、このように、「0」、「1」のアドレスADを繰り返させる場合、「0」のアドレスADをアドレス保持回路6に、保持アドレスHADとして、保持し、「1」のアドレスADの経過後、アドレス保持回路6に保持されているこの「0」の保持アドレスHADをアドレス発生回路1に供給して、アドレスADを「0」に戻す。このアドレスADは、保持アドレスHADとして、アドレス保持回路6に保持される。かかる動作をLOOPデータの値の回数繰り返すのであるが、アドレス保持回路6へのアドレスADの保持タイミングとアドレス発生回路1への保持アドレスHADの供給タイミングをRETURNデータの“0”、“1”で規定しているのである。

【0072】

例えば、アドレスADが「0」、「1」のときにメモリ2から読み出されるLOOPデータの値が「3」の場合には、図4に示すように、LOOPカウンタ4は、初期値「1」から、RETURNデータが“1”から“0”にレベル反転する立下りエッジ毎に、インクリメントし、そのカウント値が「1」、「2」、「3」でアドレスADが「1」となる毎に駆動パルスDPを発生し、駆動パルスDPを3回発生することになる。

30

【0073】

なお、LOOPデータの値が「1」である場合には、図3でのクロック11～18のタイミングの期間のように、アドレス発生回路1から順次インクリメントされるアドレスADが発生される状態となり、メモリ2での駆動パルスDPのデータ格納エリアでの適宜のアドレスで“H”のデータを格納しておくことにより、適宜のタイミングで駆動パルスDPをメモリ2から出力させるようにすることができる。

40

【0074】

以上のようにして、この第1の実施形態では、メモリ2の格納されているLENデータ、LOOPデータ、RETURNデータがアドレス発生回路1からのアドレスADに応じて読み出され、これら読み出されたこれらデータに応じてアドレス発生回路1からのアドレスADが制御されることにより、メモリ2からそこに格納されているデータに応じた所望のパターンの駆動パルスDPを得ることができる。

【0075】

そして、一定周期の駆動パルスDPを連続して発生させる場合には、メモリ2の同じアドレスを繰り返し読み出すことが可能であるから、同じパルスパターン、周期やパルス幅が一定の駆動パルスを繰り返し読み出すことが可能となつて、かかる駆動パルスを、僅か

50

なメモリ容量を利用して、発生させることができ、メモリの使用効率が大幅に向上する。

【 0 0 7 6 】

また、この第 1 の実施形態によると、異なるパルスパターンの複数種のパルス列からなる駆動パルスを発生させるにしても、夫々のパルスパターンのパルス列のデータをメモリ 2 の格納するだけで発生させることができ、しかも、夫々、パルスパターンのパルス列を発生させるためのデータを格納するに要するメモリ容量は、上記のように、少なく済むし、また、かかるデータを容易に追加格納することが可能であるから、回路構成を変更することなく、異なるパルスパターンの駆動パルスや、種々のパルスパターンのパルス列からなる変化点の数が異なる駆動パルスを使用する機器にも、適用可能である。即ち、任意のパルスパターンの駆動パルスを用いる機器に対して、この第 1 の実施形態は、回路構成を変更することなく、適用可能である。

10

【 0 0 7 7 】

ところで、この第 1 の実施形態では、図 2 から明らかなように、アドレス AD が「 1 」，「 3 」のとき、“ H ” の駆動パルス DP がメモリ 2 から出力されることになる。このことは、デジタル値であるアドレス値 AD の最下位ビットが“ 1 ”のとき、“ H ” の駆動パルス DP が発生することを意味している。

【 0 0 7 8 】

図 5 はこのことを利用して駆動パルス DP を得ることができるようにした本発明によるタイミングパルス発生装置の第 2 の実施形態を示すブロック図であって、2' はメモリ、8 は信号線であり、図 1 に対応する部分には同一符号を付けて重複する説明を省略する。

20

【 0 0 7 9 】

また、図 6 は図 5 における各部のデータ、信号を示すタイミング図である。

【 0 0 8 0 】

図 5 において、メモリ 2' には、LEN データ、LOOP データ及び RETURN データ夫々のデータ格納エリアが設けられ、図 1 におけるメモリ 2 と同様、その各アドレス毎に図 2 に示す LEN データ、LOOP データ、RETURN データが格納されている。しかし、このメモリ 2' には、駆動パルス DP のデータ格納エリアは設けられていない。

【 0 0 8 1 】

この第 2 の実施形態においても、アドレス発生回路 1 からのアドレス AD に応じた LEN データ、LOOP データ、RETURN データが読み出され、かかるデータに応じて、図 6 に示すように、LEN カウンタ 3、LOOP カウンタ 4、アンドゲート 5、アドレス保持回路 6 及びアドレス発生回路 1 が図 1 におけるこれら回路と同様の動作を行なう。

30

【 0 0 8 2 】

ここで、この第 2 の実施形態では、アドレス発生回路 1 からのアドレス AD が奇数値のとき、“ H ” の駆動パルス DP が出力されるように構成されている。即ち、アドレス発生回路 1 から出力されるアドレス AD は複数ビットからなるパラレルデジタルデータであり、アドレス AD の信号線の最下位ビット (LSB) から引き出される信号線 8 が“ H ” の駆動パルス DP の出力線となっている。アドレス AD が奇数値であるときには、アドレス AD の LSB は“ 1 ”で“ H ”レベルであり、従って、図 6 に示すように、アドレス AD が値「 1 」，「 3 」のとき、“ H ” の駆動パルス DP が信号線 8 を通して出力される。

40

【 0 0 8 3 】

この第 2 の実施形態では、先の第 1 の実施形態と同様の効果が得られるが、さらに、実質的には、アドレス発生回路 1 が駆動パルス DP の発生回路ともなっており、メモリ 2' は駆動パルス DP のデータを格納しておく必要がなく、メモリの利用効率がさらに向上して、メモリ 2' の使用効率が、図 1 でのメモリ 2 に比べて、さらに向上することになる。

【 0 0 8 4 】

次に、本発明によるタイミングパルス発生装置を使用する機器の例として、CCD 撮像装置について説明する。

【 0 0 8 5 】

図 7 は本発明によるタイミングパルス発生装置を使用した本発明による撮像装置の一実

50

施形態の要部を示すブロック図であって、10はCCD撮像素子、11は信号処理回路、12はV（垂直）ドライバ、13はタイミングパルス発生装置である。

【0086】

同図において、タイミングパルス発生装置13からは、水平転送用パルス H と垂直転送用パルス V とが発生される。水平転送用パルス H はCCD撮像素子10に供給され、垂直転送用パルス V は、Vドライバ12で、例えば、-9V～21Vの電圧に増幅された後、CCD撮像素子10に供給される。CCD撮像素子10では、周知のように、垂直転送用CCD（図示せず）に取り込まれた画素電荷が垂直転送用パルス V によって垂直転送され、水平転送用CCD（図示せず）に送られる。この水平転送用CCDでは、垂直転送用CCDから送られてきた画素電荷が水平転送用パルス H によって水平転送され、映像信号として、CCD撮像素子10から出力される。この映像信号は、信号処理回路11で処理される。

10

【0087】

タイミングパルス発生装置13は、垂直転送用パルス V の発生用としてのタイミングパルス発生装置と水平転送用パルス H の発生用としてのタイミングパルス発生装置とからなり、これらタイミングパルス発生装置として、上記各実施形態として示す本願発明によるタイミングパルス発生装置が使用される。

【0088】

図8は図7におけるCCD撮像素子10の撮像画面での各動作期間の一具体例を示す図である。

20

【0089】

同図において、この具体例では、撮像画面14の一部を実際に撮像画面を得るための有効領域15とする。この有効領域15がアスペクト4：3の画面領域である。この有効領域15での電荷が有効な電荷として取り込まれ、かかる有効な電荷からなる信号が、CCD撮像素子10の出力映像信号として、信号処理回路11に供給される。そして、撮像画面14でのこの有効領域15を除いた領域での電荷は、破棄される。

【0090】

CCD撮像素子10の垂直転送用CCDでの垂直転送についてみると、有効領域15での電荷を読み取る垂直有効期間 $T_{0,1}$ では、通常速度による通常転送が行なわれ、この有効領域15以外の領域での電荷を掃き出す電荷掃出期間 $T_{7,8}$ 、 $T_{3,4}$ では、高速転送が行なわれる。電荷掃出期間 $T_{7,8}$ は、センサ（光電変換素子）からの電荷の読出しに続いて電荷を掃き出しを行なう期間であり、また、電荷掃出期間 $T_{3,4}$ は、垂直有効期間 $T_{0,1}$ 後に電荷を掃き出しを行なう期間である。

30

【0091】

なお、1フィールドについてみると、垂直有効期間 $T_{0,1}$ は250ライン（水平走査線）分の期間であり、電荷掃出期間 $T_{7,8}$ と電荷掃出期間 $T_{3,4}$ との合計は一定のライン数分の期間（例えば、100ライン）である。このように、映像信号を得るための有効領域15を撮像画面14の一部としたのは、この有効領域15を撮像画面14内で上下、左右に移動できるようにするためであり、これにより、手ぶれなどによる再生画面の揺れを防止できるようにしている。

40

【0092】

図9は図8に示す撮像画面14についての垂直転送のための1フィールド期間での垂直転送用パルス V の一具体例を示す図であって、VD（垂直同期信号）/HD（水平同期信号）のタイミングと対応させて示している。

【0093】

同図において、期間 $T_{0,1}$ は、図8における有効領域15での画素を垂直転送する垂直有効期間 $T_{0,1}$ であり、このときの垂直転送用パルス V は画素を水平転送用CCDに転送するための通常転送を行なうものである。この垂直有効期間 $T_{0,1}$ に続いて、“L”の期間 T_2 が設けられ、これに続いて期間 $T_{3,4}$ が設けられている。この期間 $T_{3,4}$ は、図8における撮像画面14での有効領域15よりも下部の領域に対する電荷掃き出しのための垂

50

直転送期間、即ち、電荷掃出期間 $T_{3,4}$ であり、この電荷掃出期間 $T_{3,4}$ の垂直転送用パルス V は画素を高速転送するものである。

【0094】

この電荷掃出期間 $T_{3,4}$ に続く期間 $T_{5,6}$ は、各センサから垂直転送用 CCD に電荷を転送する期間である。次の期間 $T_{7,8}$ は、図 8 における撮像画面 14 での有効領域 15 よりも上部の領域に対する電荷掃き出しのための垂直転送期間、即ち、電荷掃出期間 $T_{7,8}$ であり、この電荷掃出期間 $T_{7,8}$ の垂直転送用パルス V は画素を高速転送するものである。この電荷掃出期間 $T_{7,8}$ が終了すると、“L”の期間 T_9 を経て次の上記垂直有効期間 $T_{0,1}$ に入る。

【0095】

以上が 1 フィールド (NTSC 方式の場合、262.5H) 期間での垂直転送用パルス V の割り当てであるが、垂直転送用パルス V の発生装置として図 1 または図 5 に示すタイミングパルス発生装置を用いる場合、メモリ 2、2' に後述するデータを格納することにより、期間 $T_{0,1}$ 、 $T_{3,4}$ 、 $T_{5,6}$ 、 $T_{7,8}$ 毎にパルスパターン (即ち、周期やパルス幅など) が異なる一連のパルス列からなる垂直転送用パルス V が得られる。

【0096】

図 10 は図 9 に示す垂直転送用パルス V を発生するための図 1 に示す第 1 の実施形態におけるメモリ 2 の各データ格納エリアでのデータを模式的に示す図である。

【0097】

同図において、垂直有効期間 $T_{0,1}$ では、メモリ 2 の読出アドレスを「0」、「1」とし、読出アドレスが「1」のときに RETURN データを“1”とし、LOOP データを値「250」として、アドレス「0」、「1」でのデータ読出しを 5 クロック周期 (値「2」と「3」の LEN データ) $5T$ で 250 回繰り返すものとしている。アドレス「2」のとき、“H”の駆動パルスが読み出され、この垂直有効期間 $T_{0,1}$ では、250 回駆動パルス (垂直転送用パルス V) が発生することになる。

【0098】

期間 T_2 では、メモリ 2 の読出アドレスを「2」とし、RETURN データ、LOOP データを夫々値「1」として、アドレス「2」での“L”のデータ (駆動パルス) を 1 回読み出す。この期間長は、LEN データ = 「4」であることから、4 クロック周期の $4T$ である。

【0099】

また、電荷掃出期間 $T_{3,4}$ と電荷掃出期間 $T_{7,8}$ との合計水平ライン数を 100 としており、そのうちの n 水平ラインは電荷掃出期間 $T_{7,8}$ で電荷の掃出しが行なわれ、残りの $(100 - n)$ 水平ラインは電荷掃出期間 $T_{3,4}$ で電荷の掃出しが行なわれるものとしている。

【0100】

そこで、電荷掃出期間 $T_{3,4}$ では、メモリ 2 の読出アドレスを「3」、「4」とし、読出アドレスが「4」のときに RETURN データを“1”とし、LOOP データを値「 $100 - n$ 」として、アドレス「3」、「4」でのデータ読出しを 4 クロック周期 (値「2」と「2」の LEN データ) $4T$ で $(100 - n)$ 回繰り返すものとしている。アドレス「3」のとき、“H”の駆動パルスが発生されるから、この電荷掃出期間 $T_{3,4}$ では、 $(100 - n)$ 回高速に駆動パルス (垂直転送用パルス V) が発生することになる。また、電荷掃出期間 $T_{7,8}$ では、メモリ 2 の読出アドレスを「7」、「8」とし、読出アドレスが「8」のときに RETURN データを“1”とし、LOOP データを値「 n 」として、アドレス「7」、「8」でのデータ読出しを 4 クロック周期 (値「2」と「2」の LEN データ) $4T$ で n 回繰り返すものとしている。アドレス「7」のとき、“H”の駆動パルスが発生されるから、この電荷掃出期間 $T_{7,8}$ では、 n 回高速に駆動パルス (垂直転送用パルス V) が発生することになる。

【0101】

期間 $T_{5,6}$ では、メモリ 2 の読出アドレスを「5」、「6」とし、読出アドレスが「6」のときに RETURN データを“1”とし、LOOP データを値「1」として、アドレス「5」、

10

20

30

40

50

「 6 」でのデータ読出しを 1 回行なう。この場合、アドレス「 5 」のとき、“ H ”の駆動パルス DP が発生し、これがセンサから垂直転送用 C C D に電荷を送るのに用いられる。

【 0 1 0 2 】

期間 T_9 では、メモリ 2 の読出アドレスを「 9 」とし、RETURN データを値「 3 」、LOOP データを値「 1 」として、アドレス「 9 」での“ L ”のデータ（駆動パルス）を 1 回読み出す。この期間長は、LEN データ = 「 3 」であることから、3 クロック周期の $3T$ である。

【 0 1 0 3 】

図 1 1 により、図 1 0 に示すデータをもとにしたときの図 7 におけるタイミングパルス発生装置 1 3 から発生される垂直転送用パルス V の、一例として、垂直有効期間 $T_{0,1}$ から電荷掃出期間 $T_{3,4}$ へ移る部分を示す。

【 0 1 0 4 】

このようにして、タイミングパルス発生装置でのメモリに格納されたデータに応じて駆動パルスを得ることができるものであって、かかるメモリに所望とするデータを格納することにより、垂直転送用パルス V などのように、異なるパルスパターンのパルス列からなる一連の所望とする駆動パルスを発生させることができ、周期性を持つパルス列もわずかなメモリ容量を使用するだけで発生させることができるし、また、すでにデータが格納されているメモリにデータを追加することにより、新たなパルスパターンのパルス列を追加発生させることも可能である。

【図面の簡単な説明】

【 0 1 0 5 】

【図 1】本発明によるタイミングパルス発生装置の第 1 の実施例を示すブロック図である。

【図 2】図 1 におけるメモリの各データ格納エリアでのデータを模式的に示す図である。

【図 3】図 1 に示す第 1 の実施形態の一動作例での各部のデータ、パルス信号を示すタイミング図である。

【図 4】図 1 に示す第 1 の実施形態の他の動作例での各部のデータ、パルス信号を示すタイミング図である。

【図 5】本発明によるタイミングパルス発生装置の第 2 の実施例を示すブロック図である。

【図 6】図 5 に示す第 2 の実施形態の一動作例での各部のデータ、パルス信号を示すタイミング図である。

【図 7】本発明による撮像装置の一実施形態の要部を示すブロック図である。

【図 8】図 7 における C C D 撮像素子の撮像画面での各動作期間の一具体例を示す図である。

【図 9】図 8 に示す撮像画面についての垂直転送のための 1 フィールド期間での垂直転送用パルス V の一具体例を示す図である。

【図 1 0】図 9 に示す垂直転送用パルス V を発生するための図 1 に示す第 1 の実施形態におけるメモリに格納されているデータを模式的に示す図である。

【図 1 1】図 1 0 に示すデータをもとにしたときの垂直有効期間 $T_{0,1}$ から電荷掃出期間 $T_{3,4}$ へ移るときの垂直転送用パルス V を示すタイミング図である。

【図 1 2】タイミングパルス発生装置の一従来例を示すブロック図である。

【図 1 3】図 1 2 での各デコーダの出力パルスとマルチプレクサから出力される駆動パルスを示すタイミング図である。

【図 1 4】タイミングパルス発生装置の他の従来例を示すブロック図である。

【図 1 5】図 1 4 におけるアドレス発生回路からのアドレスに対するメモリの出力パルス及び駆動パルスを示すタイミング図である。

【符号の説明】

【 0 1 0 6 】

1 アドレス発生回路

10

20

30

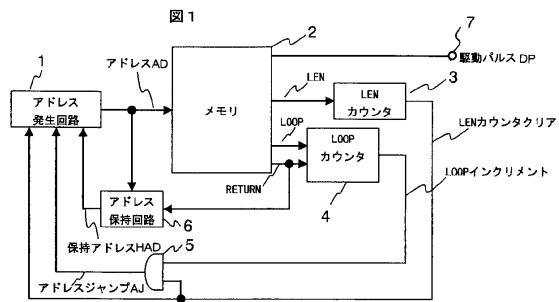
40

50

- | | |
|----|--------------|
| 2 | 2' メモリ |
| 3 | LENカウンタ |
| 4 | LOOPカウンタ |
| 5 | アンドゲート |
| 6 | アドレス保持回路 |
| 7 | 出力端子 |
| 8 | 信号線 |
| 10 | CCD撮像素子 |
| 11 | 信号処理回路 |
| 12 | V(垂直)ドライバ |
| 13 | タイミングパルス発生装置 |

10

【 図 1 】

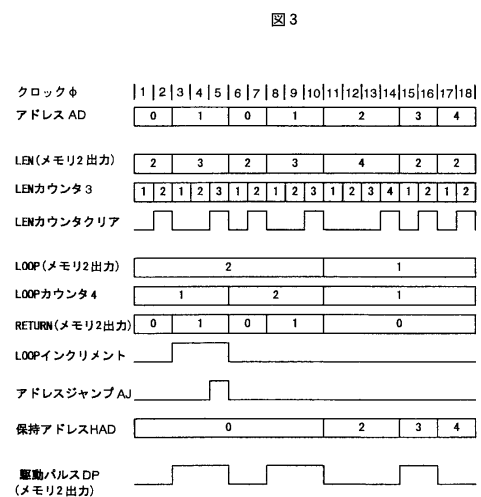


【圖 2】

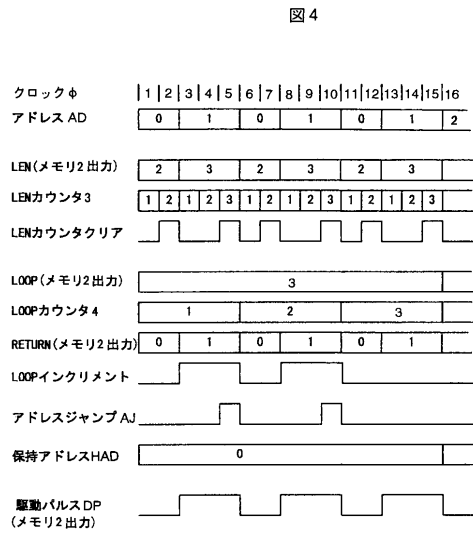
図 2

アド레스	LEN	LOOP	RETURN	駆動パルス
0	2	2	"0"	"L"
1	3	2	"1"	"H"
2	4	1	"0"	"L"
3	2	1	"0"	"H"
4	2	1	"0"	"L"

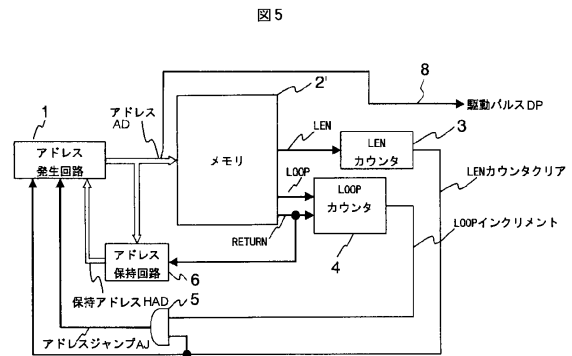
【圖 3】



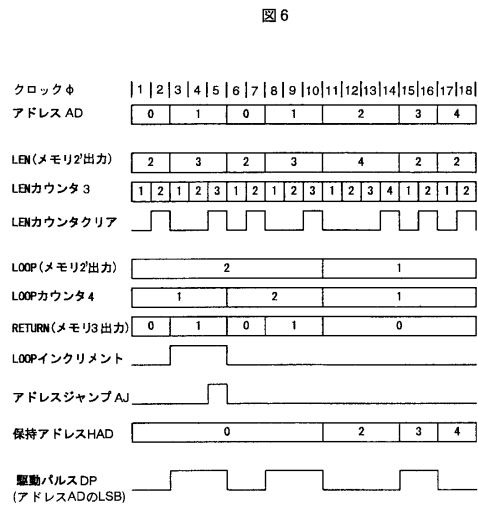
【 図 4 】



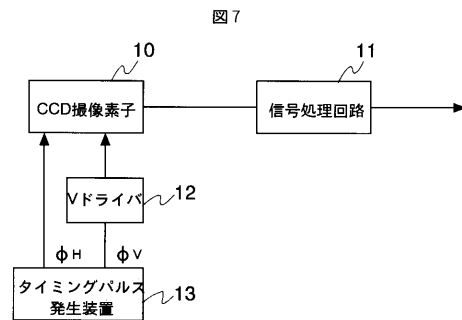
【 図 5 】



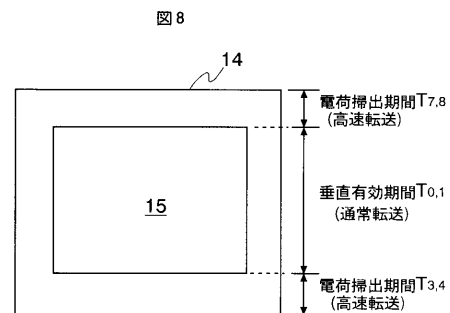
【 図 6 】



【 図 7 】



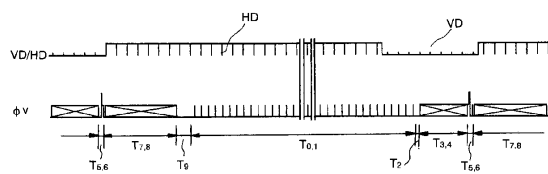
【 図 8 】



【圖 9】

【 図 1 1 】

图 9

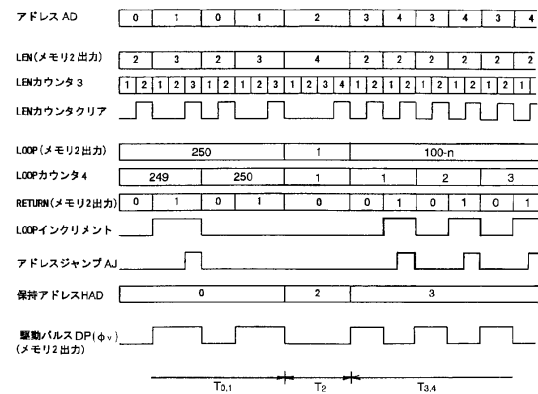


【 図 1 0 】

10

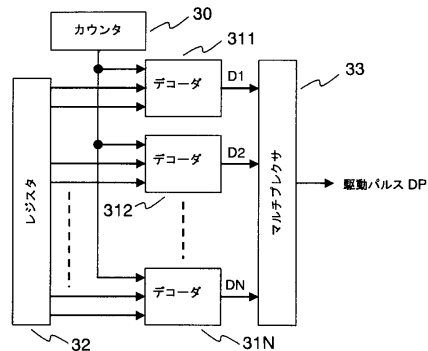
アドレス	LEN	LOOP	RETURN	駆動パルス
0	2	250	"0"	"L"
1	3	250	"1"	"H"
2	4	1	"0"	"L"
3	2	100-n	"0"	"H"
4	2	100-n	"1"	"L"
5	2	1	"0"	"H"
6	2	1	"1"	"L"
7	2	n	"0"	"H"
8	2	n	"1"	"L"
9	3	1	"0"	"L"

图 1-1



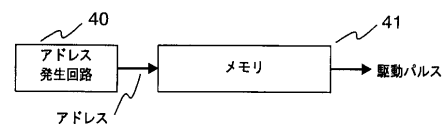
【 図 1 2 】

图 1-2



【 図 1 4 】

图 1 4



【 図 1 5 】

【 図 1 3 】

图 1-3

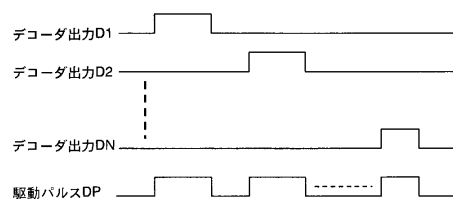
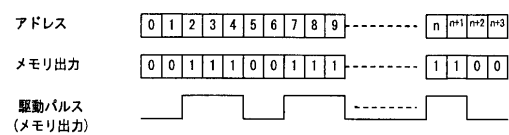


图 15



フロントページの続き

(56)参考文献 特開平 1 0 - 2 5 7 3 9 1 (J P , A)
特開 2 0 0 1 - 3 3 9 6 4 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 4 N 5 / 3 7 8