(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年8月3日(03.08.2023)

WIPO | PCT

(10) 国際公開番号
WO 2023/145487 A1

(51) 国際特許分類:
H01L 25/065 (2023.01) *H01L 25/07* (2006.01)
H01L 21/301 (2006.01) *H01L 25/18* (2023.01)

(21) 国際出願番号： PCT/JP2023/000790

(22) 国際出願日： 2023年1月13日(13.01.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-012743 2022年1月31日(31.01.2022) JP
特願 2022-118203 2022年7月25日(25.07.2022) JP

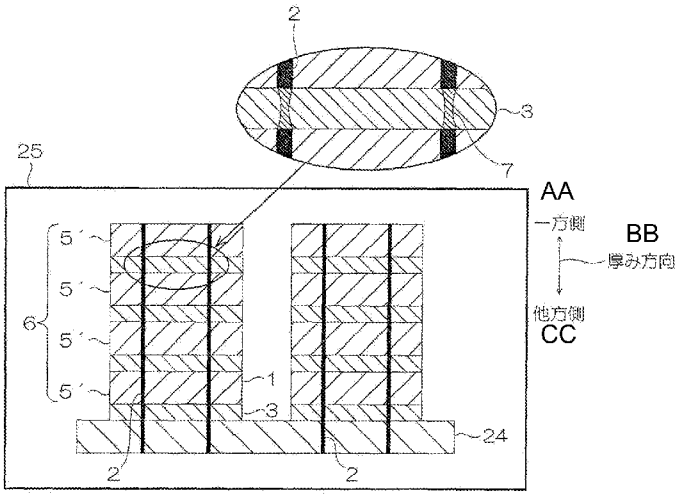
(71) 出願人: 日東電工株式会社 (**NITTO DENKO CORPORATION**) [JP/JP]; 〒5678680 大阪府茨木市下穂積１丁目１番２号 Osaka (JP).

(72) 発明者: 大村 翼(**Omura, Tsubasa**); 〒5678680 大阪府茨木市下穂積１丁目１番２号 日東電工株式会社内 Osaka (JP). 加藤 雅俊(**KATO, Masatoshi**); 〒5678680 大阪府茨木市下穂積１丁目１番２号 日東電工株式会社内 Osaka (JP). 小坂 尚史(**KOSAKA, Naofumi**); 〒5678680 大阪府茨木市下穂積１丁目１番２号 日東電工株式会社内 Osaka (JP). 宍戸 雄一郎(**SHISHIDO, Yuichiro**); 〒5678680 大阪府茨木市下穂積１丁目１番２号 日東電工株式会社内 Osaka (JP).

(54) **Title:** SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称： 半導体装置および半導体装置の製造方法

［図6］



AA One side
BB Thickness direction
CC Other side

(57) **Abstract:** A semiconductor device (9) comprises: a plurality of semiconductor substrates (1) that are provided with penetration electrodes (2) penetrating in the thickness direction thereof and that are arrayed in the thickness direction; and a cured resin layer (8) disposed between the semiconductor substrates (1) adjacent to each other in the thickness direction. The cured resin layer (8) is provided with a cured resin and a columnar solder part (7) embedded in the cured resin. The columnar solder part (7) penetrates the cured resin so as to electrically connect the penetration electrodes (2)

WO 2023/145487 A1

［続葉有］

(74) 代理人: 弁理士法人いくみ特許事務所(IKUMI PATENT ATTORNEYS OFFICE); 〒5320003 大阪府大阪市淀川区宮原４丁目５番３６号 ＯＮＥＳＴ新大阪スクエア３階 Osaka (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類：

一　国際調査報告（条約第21条(3)）

of the semiconductor substrates (1) adjacent to each other in the thickness direction.

(57) 要約：半導体装置（９）は、厚み方向に貫通する貫通電極（２）を備える半導体基板（１）であって、厚み方向に並ぶ複数の半導体基板（１）と、厚み方向に隣り合う半導体基板（１）の間に配置される硬化樹脂層（８）とを備える。硬化樹脂層（８）は、硬化樹脂と、硬化樹脂に埋設される柱状半田部（７）とを備える。柱状半田部（７）は、厚み方向に隣り合う半導体基板（１）の貫通電極（２）を電気的に接続するように、硬化樹脂を貫通している。

明　細　書

発明の名称 ： 半導体装置および半導体装置の製造方法

技術分野

[0001] 本発明は、半導体装置および半導体装置の製造方法に関する。

背景技術

[0002] 近年、電子機器の大容量化および通信高速化を図る観点から、ＤＲＡＭ（Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）が用いられている。

[0003] ＤＲＡＭは、複数積層された半導体素子（半導体素子を備える半導体基板）からなる。半導体素子（半導体素子を備える半導体基板）を複数積層する方法としては、例えば、ＴＳＶ（Ｔｈｒｏｕｇｈ　Ｓｉｌｉｃｏｎ　Ｖｉａ）方式が知られている。ＴＳＶ方式では、半導体素子（半導体素子を備える半導体基板）に穴を開けて金属を満たし、半導体素子同士を電気的に接続する。

[0004] 一方、ＴＳＶ方式では、信頼性の向上の観点から、半導体素子を樹脂で封止する。半導体素子を樹脂で封止する方法としては、例えば、基板と半導体チップとの間の隙間にアンダーフィル材を充填し、半導体チップを封止する方法が提案されている（例えば、特許文献１参照。）。

先行技術文献

特許文献

[0005] 特許文献1：特開２０００－２６０８２０号公報

発明の概要

発明が解決しようとする課題

[0006] 一方、ＤＲＡＭを、より一層、低背化することが要求されている。ＤＲＡＭを低背化する場合、半導体基板の同士の隙間が小さくなる。そうすると、特許文献１のアンダーフィル材では、隙間を十分に充填することができなくなる。その結果、半導体装置の信頼性が低下するという不具合がある。

[0007] 本発明は、信頼性に優れる半導体装置、および、信頼性に優れる半導体装置を製造するための半導体装置の製造方法を提供する。

課題を解決するための手段

[0008] 本発明［１］は、厚み方向に貫通する貫通電極を備える半導体基板であって、前記厚み方向に並ぶ複数の半導体基板と、前記厚み方向に隣り合う前記半導体基板の間に配置される硬化樹脂層とを備え、前記硬化樹脂層は、硬化樹脂と、前記硬化樹脂に埋設される柱状半田部とを備え、前記柱状半田部は、前記厚み方向に隣り合う前記半導体基板の前記貫通電極を電気的に接続するように、前記硬化樹脂を貫通している、半導体装置である。

[0009] 本発明［２］は、厚み方向に貫通する貫通電極を備える半導体基板を準備する第１工程と、半田粒子および硬化性樹脂を含む異方性導電性接着フィルムを準備する第２工程と、前記半導体基板の表面に、前記異方性導電性接着フィルムを貼着し、第１積層体を製造する第３工程と、前記第１積層体を複数積層して、第２積層体を製造する第４工程と、前記第２積層体を加熱し、半田粒子を融解させることにより、前記厚み方向に隣り合う前記半導体基板の前記貫通電極を電気的に接続するように柱状半田部を形成する第５工程と、前記第２積層体を加熱し、前記硬化性樹脂を硬化させる第６工程とを備える、半導体装置の製造方法である。

[0010] 本発明［３］は、前記第３工程の後、前記第４工程の前に、前記第１積層体を個片化する第７工程を備え、前記第４工程では、個片化された第１積層体を複数積層して、第２積層体を製造する、上記［２］に記載の半導体装置の製造方法を含んでいる。

[0011] 本発明［４］は、前記第７工程は、前記厚み方向と直交する面方向に伸長可能なダイシングテープを準備する工程と、前記ダイシングテープの厚み方向一方面に、前記第１積層体を配置する工程と、前記ダイシングテープを、面方向に伸長することにより、前記第１積層体を個片化する工程とを備える、上記［３］に記載の半導体装置の製造方法を含んでいる。

[0012] 本発明［５］は、前記第１工程において、前記厚み方向と直交する面方向

に伸長可能なダイシングテープに、前記半導体基板を配置する、上記［３］に記載の半導体装置の製造方法を含んでいる。

[0013] 本発明［６］は、前記第２工程において、前記厚み方向と直交する面方向に伸長可能なダイシングテープに、前記異方性導電性接着フィルムを配置する、請求項３に記載の半導体装置の製造方法を含んでいる。

[0014] 本発明［７］は、前記第４工程では、１００℃未満で加熱して、前記第１積層体を積層して、前記第２積層体を製造するか、または、加熱することなく前記第１積層体を積層して、前記第２積層体を製造し、前記第５工程では、複数の前記第１積層体からなる前記第２積層体を、一括で加熱する、上記［２］～［６］のいずれか一項に記載の半導体装置の製造方法を含んでいる。

[0015] 本発明［８］は、前記第４工程では、加熱することなく前記第１積層体を積層して、前記第２積層体を製造し、前記第５工程では、複数の前記第１積層体からなる前記第２積層体を、一括で加熱する、上記［７］に記載の半導体装置の製造方法を含んでいる。

[0016] 本発明［９］は、前記第５工程では、最高温度が前記硬化性樹脂の軟化点よりも高くなるように、加熱する、上記［２］～［８］のいずれか一項に記載の半導体装置の製造方法を含んでいる。

[0017] 本発明［１０］は、前記最高温度が、１５０℃以上２６０℃以下である、上記［９］に記載の半導体装置の製造方法を含んでいる。

[0018] 本発明［１１］は、前記第５工程では、プレッシャーオーブン内で加熱する、上記［２］～［１０］のいずれか一項に記載の半導体装置の製造方法を含んでいる。

[0019] 本発明［１２］は、前記第６工程では、最高温度が１００℃以上２６０℃以下となるように、加熱する、上記［２］～［１１］のいずれか一項に記載の半導体装置の製造方法を含んでいる。

[0020] 本発明［１３］は、前記第６工程における加熱は、プレッシャーオーブン内で加熱する、上記［２］～［１２］のいずれか一項に記載の半導体装置の

製造方法を含んでいる。

発明の効果

[0021] 本発明の半導体装置は、厚み方向に隣り合う半導体基板の間に配置される硬化樹脂層を備える。そのため、半導体基板における半導体素子を確実に封止できる。その結果、信頼性に優れる。また、この半導体装置において、柱状半田部は、厚み方向に隣り合う半導体基板の貫通電極を電気的に接続するように、硬化樹脂を貫通している。そのため、貫通電極同士を、確実に電気的に接続することができる。

[0022] 本発明の半導体装置の製造方法は、半導体基板の厚み方向一方面に、異方性導電性接着フィルムを貼着し、第１積層体を製造し、その後、この第１積層体を複数積層して、第２積層体を製造した後、異方性導電性接着フィルムにおける硬化性樹脂を硬化させる。つまり、この方法では、異方性導電性接着フィルムを貼着するだけで、その後、硬化すれば、半導体素子を封止することができる。そのため、信頼性に優れる半導体装置を製造できる。

[0023] また、この半導体装置の製造方法では、第２積層体を加熱し、半田粒子を融解させることにより厚み方向に隣り合う半導体基板の貫通電極を電気的に接続するように柱状半田部７を形成する。つまり、異方性導電性接着フィルムを貼着し、その後、加熱するだけで、貫通電極同士を電気的に接続できる。そのため、生産性に優れる。

図面の簡単な説明

[0024] [図1]図１は、半導体基板を準備する第１工程を示す。

[図2]図２は、異方性導電性接着フィルムを準備する第２工程を示す。

[図3]図３は、半導体基板の表面（厚み方向一方面）に、異方性導電性接着フィルムを貼着し、第１積層体を製造する第３工程を示す。

[図4]図４Ａ～図４Ｃは、第４工程において、第１積層体５を複数準備する工程を示す。図４Ａは、ダイシングテープを準備する工程と、ダイシングテープの厚み方向一方面に、第１積層体を配置する工程と、第１積層体５に脆弱部を形成する工程とを示す。図４Ｂは、ダイシングテープを、面方向に伸長

することにより、第１積層体を個片化する工程を示す。図４Ｃは、ダイシングテープから、複数の第１積層体（個片化された第１積層体）をはく離して、個片化された第１積層体をピックアップする工程を示す。

[図5]図５は、第１積層体を複数積層して、第２積層体を製造する第４工程を示す。

[図6]図６は、第２積層体を加熱し、半田粒子を融解させることにより、厚み方向に隣り合う半導体基板の貫通電極を電気的に接続するように柱状半田部を形成する第５工程を示す。

[図7]図７は、第２積層体を加熱し、硬化性樹脂を硬化させる第６工程を示す。

[図8]図８Ａおよび図８Ｂは、第２工程において、ダイシングテープに、異方性導電性接着フィルムを配置する変形例を示す。図８Ａは、ダイシングテープの厚み方向一方面に、異方性導電性接着フィルムを配置する第２工程を示す。図８Ｂは、半導体基板の表面（厚み方向他方面）に、異方性導電性接着フィルムを貼着し、第１積層体を製造する第３工程を示す。

[図9]図９は、封止性の評価におけるボイド率を説明する説明図である。

発明を実施するための形態

[0025] ＜半導体装置の製造方法＞

本発明の半導体装置の製造方法は、厚み方向に貫通する貫通電極を備える半導体基板を準備する第１工程と、半田粒子および硬化性樹脂を含む異方性導電性接着フィルムを準備する第２工程と、半導体基板の表面（厚み方向一方面）に、異方性導電性接着フィルムを貼着し、第１積層体を製造する第３工程と、第１積層体を複数積層して、第２積層体を製造する第４工程と、第２積層体を加熱し、半田粒子を融解させることにより、厚み方向に隣り合う半導体基板の貫通電極を電気的に接続するように柱状半田部を形成する第５工程と、第２積層体を加熱し、硬化性樹脂を硬化させる第６工程とを備える。

[0026] 以下、本発明の半導体装置の製造方法の一実施形態について、詳述する。

[0027] ［第１工程］

第１工程では、図１に示すように、半導体基板１を準備する。

[0028] 半導体基板１は、所定の厚みを有し、平板形状を有する。半導体基板１は、平坦な上面３１および平坦な下面３２を有する。上面３１には、複数の半導体素子（図示せず）が設けられている。

[0029] 半導体基板１は、厚み方向に貫通する貫通電極２を備える。

[0030] 貫通電極２は、半導体基板１の上面３１から下面３２に向かって、貫通するように形成されている。貫通電極２は、半導体素子ごとに、電気的に接続されている。貫通電極２は、半導体基板１に互いに間隔を隔てて複数配置されており、その間隔は、例えば、１μｍ以上、好ましくは、１０μｍ以上、また、例えば、２０μｍ以下である。

[0031] 半導体基板１の厚みは、例えば、２０μｍ以上、また、例えば、１０００μｍ以下である。

[0032] ［第２工程］

第２工程では、図２に示すように、異方性導電性接着フィルム３を準備する。

[0033] 異方性導電性接着フィルム３を準備するには、まず、異方性導電性接着フィルム組成物を調製する。

[0034] 異方性導電性接着フィルム組成物は、半田粒子１０および硬化性樹脂を含む。

[0035] 半田粒子１０を形成する半田材料は、環境適正の観点から、鉛を含有しない半田材料（鉛フリー半田材料）が挙げられる。具体的には、半田材料として、例えば、錫および錫合金が挙げられる。錫合金として、例えば、錫－ビスマス合金（Ｓｎ－Ｂｉ）、錫－銀－銅合金（Ｓｎ－Ａｇ－Ｃｕ）、および、錫－銀合金（Ｓｎ－Ａｇ）が挙げられる。

[0036] 錫－ビスマス合金における錫の含有割合は、例えば、１０質量％以上、好ましくは、２５質量％以上、また、例えば、５０質量％以下、好ましくは、４５質量％である。また、錫－ビスマス合金におけるビスマスの含有割合は

、例えば、５０質量％以上、好ましくは、５５質量％以上、また、例えば、９０質量％以下、好ましくは、７５質量％以下である。

[0037] また、錫－銀－銅合金における錫の含有割合は、例えば、９０質量％以上、好ましくは、９５％質量％以上である。また、錫－銀－銅合金における銀の含有割合は、例えば、１０質量％以下、好ましくは、５質量％以下である。また、錫－銀－銅合金における銅の含有割合は、例えば、１質量％以下、好ましくは、０．５質量％以下である。

[0038] また、錫－銀合金における錫の含有割合は、例えば、９０質量％以上、好ましくは、９５％質量％以上である。また、錫－銀合金における銀の含有割合は、例えば銀は１０質量％以下、好ましくは、５質量％以下である。

[0039] 半田材料の融点（すなわち、半田粒子１０の融点）は、例えば、２６０℃以下、好ましくは、２３５℃以下、また、例えば、１００℃以上、好ましくは、１３０℃以上である。融点は、示差走査熱量測定（ＤＳＣ）により求められる（以下同様）。

[0040] 半田粒子１０の形状としては、特に限定されず、例えば、球形状、板形状、および、針形状が挙げられる。半田粒子１０の形状として、好ましくは、球形状が挙げられる。なお、図２では、半田粒子１０の形状を球形状として示しているが、半田粒子１０の形状はこれに限定されない。

[0041] 半田粒子１０の最大長さの平均値（球形状の場合には、平均粒子径）は、例えば、５０μｍ以下、好ましくは、４０μｍ以下、より好ましくは、１０μｍ以下である。最大長さの平均値は、レーザー回折散乱式粒度分布計を用いて測定される。

[0042] 半田粒子１０の表面は、一般的に、半田材料の酸化物からなる酸化膜で被覆されている。酸化膜の厚みは、例えば、１ｎｍ以上、また、例えば、２０ｎｍ以下である。

[0043] 半田粒子１０の含有割合は、異方性導電性接着フィルム組成物に対して、例えば、１０体積％以上、好ましくは、１５体積％以上、また、例えば、５０体積％以下、好ましくは、４０体積％以下である。また、半田粒子１０の

含有割合は、半田粒子１０および硬化性樹脂の総量１００質量部に対して、例えば、３０質量部以上、また、例えば、８０質量部以下、好ましくは、７５質量部以下である。

[0044] 半田粒子１０は、単独使用または２種以上を併用することができる。

[0045] 硬化性樹脂としては、例えば、熱硬化性樹脂が挙げられる。熱硬化性樹脂としては、例えば、エポキシ樹脂（例えば、ビスフェノールＡ型エポキシ樹脂）、ユリア樹脂、メラミン樹脂、ジアリルフタレート樹脂、シリコーン樹脂、フェノール樹脂、熱硬化性アクリル樹脂、熱硬化性ポリエステル、熱硬化性ポリイミド、および、熱硬化性ポリウレタンが挙げられる。

[0046] 硬化性樹脂の軟化点は、例えば、５０℃以上、好ましくは、８０℃以上、また、例えば、２３０℃以下、好ましくは、２００℃以下である。軟化点は、熱機械分析装置により測定することができる。

[0047] 硬化性樹脂の含有割合は、異方性導電性接着フィルム組成物に対して、例えば、１０体積％以上、好ましくは、２０体積％以上、また、例えば、９０体積％以下、好ましくは、８５体積％以下である。また、硬化性樹脂の含有割合は、半田粒子１０および硬化性樹脂の総量１００質量部に対して、例えば、２０質量部以上、好ましくは、２５質量部以上、また、例えば、７０質量部以下である。

[0048] 硬化性樹脂は、単独使用または２種以上を併用することができる。

[0049] 異方性導電性接着フィルム組成物は、必要により、熱可塑性樹脂を含むこともできる。

[0050] 熱可塑性樹脂は、異方性導電性接着フィルム組成物をシート状に確実に成形するために配合される。熱可塑性樹脂としては、例えば、フェノキシ樹脂、ポリオレフィン（例えば、ポリエチレン、ポリプロピレン、エチレン－プロピレン共重合体など）、アクリル樹脂、ポリエステル、ポリ酢酸ビニル、エチレン－酢酸ビニル共重合体、ポリ塩化ビニル、ポリスチレン、ポリアクリロニトリル、ポリアミド（ナイロン（登録商標））、ポリカーボネート、ポリアセタール、ポリエチレンテレフタレート、ポリフェニレンオキシド、

ポリフェニレンスルフィド、ポリスルホン、ポリエーテルスルホン、ポリエーテルエーテルケトン、ポリアリルスルホン、熱可塑性ポリイミド、熱可塑性ポリウレタン、ポリアミノビスマレイミド、ポリアミドイミド、ポリエーテルイミド、ビスマレイミドトリアジン樹脂、ポリメチルペンテン、フッ化樹脂、液晶ポリマー、オレフィン－ビニルアルコール共重合体、アイオノマー、ポリアリレート、アクリロニトリル－エチレン－スチレン共重合体、アクリロニトリル－ブタジエン－スチレン共重合体、アクリロニトリル－スチレン共重合体、および、ブタジエン－スチレン共重合体が挙げられる。

[0051] 熱可塑性樹脂の含有割合は、異方性導電性接着フィルム組成物に対して、例えば、５体積％以上、好ましくは、１０体積％以上、また、例えば、８０体積％以下、好ましくは、７０体積％以下である。

[0052] 熱可塑性樹脂は、単独使用または２種以上を併用することができる。

[0053] また、異方性導電性接着フィルム組成物は、必要により、フラックスを含む。

[0054] フラックスは、半田粒子１０の表面における酸化膜（半田材料の酸化物からなる酸化膜）を除去するための成分である。

[0055] フラックスの材料としては、例えば、有機酸塩が挙げられる。有機酸塩としては、例えば、有機酸、キノリノール誘導体、および、金属カルボニル酸塩が挙げられる。有機酸としては、例えば、脂肪族カルボン酸および芳香族カルボン酸が挙げられる。脂肪族カルボン酸としては、例えば、脂肪族ジカルボン酸が挙げられる。脂肪族ジカルボン酸としては、具体的には、アジピン酸、リンゴ酸、マロン酸、コハク酸、グルタル酸、ピメリン酸、スベリン酸、およびセバシン酸が挙げられる。芳香族カルボン酸としては、例えば、安息香酸、２－フェノキシ安息香酸、フタル酸、ジフェニル酢酸、トリメリット酸、および、ピロメリット酸が挙げられる。フラックスの材料として、好ましくは、有機酸が挙げられる。フラックスの材料として、より好ましくは、脂肪族カルボン酸が挙げられる。フラックスの材料として、さらに好ましくは、リンゴ酸が挙げられる。

[0056] フラックスの融点は、例えば、２００℃以下、好ましくは、１８０℃以下、より好ましくは、１６０℃以下、また、例えば、１００℃以上、好ましくは、１２０℃以上、より好ましくは、１３０℃以上である。

[0057] フラックスの形状としては、特に制限されず、例えば、板形状、針形状、および、球形状が挙げられる。また、フラックスは、公知の溶剤に溶解させてもよい。

[0058] フラックスの含有割合は、異方性導電性接着フィルム組成物に対して、例えば、０．１体積％以上、好ましくは、１体積％以上、また、例えば、５０体積％以下、好ましくは、２０体積％以下である。また、フラックスの含有割合は、半田粒子１０　１００質量部に対して、例えば、１質量部以上、また、例えば、２０質量部以下である。

[0059] フラックスは、単独使用または２種以上を併用することができる。

[0060] また、異方性導電性接着フィルム組成物は、必要により、添加剤（例えば、硬化剤、硬化促進剤およびシランカップリング剤）を含むことができる。

[0061] そして、異方性導電性接着フィルム組成物を調製するには、半田粒子１０と、硬化性樹脂と、必要により配合される熱可塑性樹脂と、必要により配合されるフラックスと、必要により配合される添加剤とを混合する。これにより、異方性導電性接着フィルム組成物を調製する。また、異方性導電性接着フィルム組成物を、公知の溶剤に配合して、異方性導電性接着フィルム組成物をワニスとして調製することもできる。

[0062] 次いで、異方性導電性接着フィルム３を準備するには、はく離ライナー４の厚み方向他方面に、異方性導電性接着フィルム組成物（異方性導電性接着フィルム組成物のワニス）を塗布し、必要により、乾燥する。

[0063] はく離ライナー４は、異方性導電性接着フィルム３を被覆して保護するためのフィルムである。はく離ライナー４は、フィルム形状を有する。

[0064] はく離ライナー４は、例えば、プラスチック基材（プラスチックフィルム）である。プラスチック基材としては、例えば、ポリエステルシート（ポリエチレンテレフタレート（ＰＥＴ）シート）、ポリオレフィンシート（例え

ば、ポリエチレンシート、ポリプロピレンシート）、ポリ塩化ビニルシート、ポリイミドシート、および、ポリアミドシート（ナイロンシート）が挙げられる。はく離ライナー４の表面（厚み方向他方面）には、シリコーン処理などの表面処理が施されていてもよい。

[0065] はく離ライナー４の厚みは、例えば、例えば、１μｍ以上、また、例えば、１００μｍ以下である。

[0066] これにより、はく離ライナー４の厚み方向他方面に、異方性導電性接着フィルム３を準備する。

[0067] 乾燥条件として、乾燥温度は、例えば、２０℃以上、好ましくは、４０℃以上、また、例えば、９０℃以下、好ましくは、７０℃以下である。乾燥時間は、例えば、１０秒以上、好ましくは、３分以上、また、例えば、１２０分以下、好ましくは、６０分以下、より好ましくは、１０分以下である。

[0068] このような異方性導電性接着フィルム３は、所定の厚みを有するフィルム形状（シート形状を含む）を有する。

[0069] 異方性導電性接着フィルム３は、半田粒子１０および硬化性樹脂を含む異方性導電性接着フィルム組成物から形成されている。そのため、異方性導電性接着フィルム３は、半田粒子１０および硬化性樹脂を含む。詳しくは、異方性導電性接着フィルム３は、硬化性樹脂と、硬化性樹脂中に分散された半田粒子１０とを含む。

[0070] 異方性導電性接着フィルム３の厚みは、例えば、１μｍ以上、また、例えば、３０μｍ以下である。

[0071] ［第３工程］

第３工程では、図３に示すように、半導体基板１の表面（厚み方向一方面）に、異方性導電性接着フィルム３を貼着し、第１積層体５を製造する。

[0072] 具体的には、半導体基板１の厚み方向一方面と、異方性導電性接着フィルム３の厚み方向他方面とを対向配置して、真空プレス機（図示せず）を備える真空チャンバー２２内に投入する。次いで、真空チャンバー２２内を減圧する。詳しくは、真空チャンバー２２内を真空ポンプ（減圧ポンプ）などに

より排気する。その後、真空チャンバー２２内を減圧雰囲気にしながら、真空プレス機（図示せず）により、異方性導電性接着フィルム３の厚み方向他方面を半導体基板１の厚み方向一方面に、圧接させる。減圧雰囲気は、例えば、１０００Ｐａ以下、好ましくは、１００Ｐａ以下である。これにより、半導体基板１の厚み方向一方面に、異方性導電性接着フィルム３を貼着し、第１積層体５を製造する。その後、第１積層体５を大気圧雰囲気下に解放する。その後、第１積層体５から、はく離ライナー４をはく離する。

[0073] ［第４工程］

第４工程では、第１積層体５を複数積層して、第２積層体６を製造する。

[0074] 第１積層体５を複数積層するには、まず、第１積層体５を複数準備する。

[0075] 第１積層体５を複数準備するには、第１積層体５を個片化する。つまり、この方法では、第３工程の後、第４工程の前に、第１積層体５を個片化する第７工程を備える。

[0076] 第７工程は、厚み方向と直交する面方向に伸長可能なダイシングテープ２０を準備する工程（第７Ａ工程）と、ダイシングテープ２０の厚み方向一方面に、第１積層体５を配置する工程（第７Ｂ工程）と、第１積層体５に、脆弱部を形成する工程（第７Ｃ工程）と、第１積層体５に、脆弱部を形成した後に、ダイシングテープ２０を、面方向に伸長することにより、第１積層体５を個片化する工程（第７Ｄ工程）と、ダイシングテープ２０から、複数の個片化された第１積層体５´をはく離して、個片化された第１積層体５´をピックアップする工程（第７Ｅ工程）とを備える。

[0077] 第７Ａ工程では、図４Ａに示すように、ダイシングテープ２０を準備する。

[0078] ダイシングテープ２０は、厚み方向と直交する面方向に伸長可能なフィルムである。ダイシングテープ２０は、半導体基板１に対応するサイズの平板形状を有する。

[0079] ダイシングテープ２０は、基材（図示せず）と、基材（図示せず）の表面に配置された粘着剤層（図示せず）とを備える。

[0080] また、ダイシングテープ２０の粘着剤層（図示せず）の周縁端領域には、リングフレーム２１が張り付けられている。リングフレーム２１は、後述するチャックテーブル２３に、ダイシングテープ２０を保持するための保持具である。

[0081] 第７Ｂ工程では、図４Ａに示すように、ダイシングテープ２０の厚み方向一方面に、第１積層体５を配置する。

[0082] ダイシングテープ２０の厚み方向一方面に、第１積層体５を配置するには、ダイシングテープ２０（粘着剤層（図示せず））の厚み方向一方面と、第１積層体５の厚み方向他方面に（半導体基板１の下面３２）とを貼り合わせる。

[0083] 第７Ｃ工程では、第１積層体５に、脆弱部を形成する。

[0084] 具体的には、第１積層体５にレーザーを照射して、第１積層体５の厚み方向に沿って脆弱部を形成する（図４Ａの破線参照）。脆弱部は、半導体基板１を半導体素子ごとに区切るように碁盤目形状に形成される。

[0085] 脆弱部とは、第１積層体５（半導体基板１および異方性導電性接着フィルム３）内の他の部分と比較して、強度が弱い層である。脆弱部は、強度が弱い部分であるため、後述する第７Ｄ工程において、脆弱部を起点として、第１積層体５を個片化できる。脆弱部の形状としては、例えば、スリット、ミシン目、ハーフカットが挙げられる。

[0086] 第７Ｄ工程では、ダイシングテープ２０を、面方向に伸長することにより、第１積層体５を個片化する。

[0087] 具体的には、図４Ｂに示すように、ダイシングテープ２０（厚み方向一方面に第１積層体５を備えるダイシングテープ２０）を、エキスパンド装置の備えるチャックテーブル２３の厚み方向一方面に配置し、リングフレーム２１を介して、チャックテーブル２３が備える保持具（図示略）に固定する。

[0088] チャックテーブル２３は、昇降動可能であり、複数の吸引口（図示略）が開口する上面を有し、かつ、吸引口を介しての負圧の印加（すなわち、吸引）が可能に構成されている。

[0089] 次いで、図４Ｂに示すように、チャックテーブル２３を、ダイシングテープ２０に厚み方向他方面から接触させて上昇させることにより、ダイシングテープ２０をその平面方向および周方向に拡張（エキスパンド）する。これにより、第１積層体５において、脆弱部を起点として、第１積層体５が個片化する。

[0090] 第７Ｅ工程では、図４Ｃに示すように、ダイシングテープ２０から、複数の個片化された第１積層体５´をはく離して、個片化された第１積層体５´をピックアップする。これにより、第１積層体５（個片化された第１積層体５´）を複数準備する。

[0091] そして、第４工程では、図５に示すように、第１積層体５（個片化された第１積層体５´）を複数積層して、第２積層体６を製造する。

[0092] 具体的には、基板２４の厚み方向一方面に、第１積層体５（個片化された第１積層体５´）を、第１積層体５（個片化された第１積層体５´）における異方性導電性接着フィルム３が、基板２４の厚み方向一方面と接するように、複数配置する。

[0093] 基板２４は、第１積層体５（個片化された第１積層体５´）に対応するサイズを有する半導体の基板である。基板２４の厚み方向一方面には、複数の半導体素子（図示せず）が設けられている。

[0094] ［第５工程］

第５工程では、図６に示すように、第２積層体６を加熱し、半田粒子１０を融解させることにより、厚み方向に隣り合う半導体基板１の貫通電極２を電気的に接続するように柱状半田部７を形成する。

[0095] 詳しくは、第５工程では、まず、第２積層体６をプレッシャーオーブン２５内に配置して、加熱する。プレッシャーオーブン２５とは、密閉された空間で加熱しながら加圧可能な装置の総称であり、自動加熱加圧処理装置、加圧オーブン、ボイドレス加圧オーブン、オートクレーブ、真空加圧リフロー装置などを含む。

[0096] 第２積層体６を加熱すると、加熱によって、揮発物が揮発する場合がある

。このような揮発物は、第２積層体６において、電気的な接続を阻害する場合がある。一方、プレッシャーオーブン２５を用いて、第２積層体６を加熱する場合には、加圧によって、上記揮発物の発生を抑制できる。その結果、上記阻害を抑制できる。

[0097] 加熱温度は、半田粒子１０の融点温度以上である。

[0098] 第５工程における加熱温度の最高温度は、好ましくは、硬化性樹脂の軟化点よりも高くなるように設定される。

[0099] 最高温度が硬化性樹脂の軟化点よりも高くなるように設定されれば、半田粒子１０を効率的に流動させることができ、柱状半田部７を形成できる。

[0100] また、第５工程における加熱温度の最高温度は、好ましくは、後述する第６工程における加熱温度の最高温度よりも、高くても低くてもよい。具体的には、最高温度は、例えば、１５０℃以上、また、例えば、２６０℃以下である。

[0101] 第５工程における加熱温度の最低温度は、例えば、１００℃以上、好ましくは、１２０℃以上である。

[0102] また、第５工程における昇温速度は、好ましくは、後述する第６工程の加熱における昇温速度よりも速いか、または、同じである。

[0103] 昇温速度が、後述する第６工程の加熱における昇温速度よりも速いか、または、同じであれば、第５工程において、硬化性樹脂の硬化が始まる前（完了する前に）に、半田粒子１０を自己凝集（後述）させることができる。

[0104] 昇温速度は、例えば、３℃／分以上、好ましくは、１０℃／分以上、より好ましくは、２０℃／分以上である。

[0105] また、加熱時の圧力は、例えば、０．２ＭＰａ以上、また、例えば、１．０ＭＰａ以下である。加熱時間は、例えば、１分以上、また、例えば、３０分以下、好ましくは、１０分以下である。

[0106] そして、上記した加熱によって、半田粒子１０が融解する。融解した半田粒子１０は、図６の拡大図に示すように、厚み方向に隣り合う半導体基板１の貫通電極２の間に集まり（自己凝集）、柱状半田部７を形成する。一方、

異方性導電性接着フィルム３中の硬化性樹脂は、自己凝集する半田粒子１０に追い出されて、柱状半田部７の周辺に移動する。詳しくは後述するが、このような硬化性樹脂は、第６工程における加熱によって、硬化する。

[0107] なお、上記したように、融解した半田粒子１０の大部分は、柱状半田部７の形成に用いられるが、融解した半田粒子１０の一部および／または融解していない半田粒子１０は、柱状半田部７の形成に用いられず、硬化性樹脂中に分散したまま残存する場合がある。このような場合には、硬化樹脂層８（後述）は、融解した半田粒子１０の一部および／または融解していない半田粒子１０を含む。

[0108] ［第６工程］

第６工程では、第２積層体６を加熱し、硬化性樹脂を硬化させる。

[0109] 具体的には、第２積層体６をプレッシャーオーブン２５に配置して加熱し、硬化性樹脂を硬化させる。

[0110] 上記したように、第２積層体６を加熱すると、加熱によって、揮発物が揮発する場合がある。このような揮発物は、第２積層体６において、電気的な接続を阻害する場合がある。一方、プレッシャーオーブン２５を用いて、第２積層体６を加熱する場合には、加圧によって、上記揮発物の発生を抑制できる。その結果、上記阻害を抑制できる。

[0111] 第６工程における加熱温度の最高温度は、例えば、１００℃以上、好ましくは、１５０℃以上、また、例えば、２６０℃以下である。

[0112] 最高温度が、上記範囲内であれば、硬化性樹脂を確実に硬化させることができる。

[0113] 第６工程における加熱温度の最低温度は、例えば、８０℃以上、好ましくは、９０℃以上である。

[0114] 昇温速度は、硬化性樹脂の硬化性の観点から、例えば、３℃／分以上、好ましくは、１０℃／分以上、より好ましくは、２０℃／分以上である。

[0115] また、加熱時の圧力は、例えば、０．２ＭＰａ以上、また、例えば、１．０ＭＰａ以下である。加熱時間は、例えば、３０分超過、好ましくは、５０

分以上、また、例えば、１５０分以下、好ましくは、９０分以下である。

[0116] そして、上記した加熱によって、硬化性樹脂が硬化して、硬化樹脂層８となる。このような硬化樹脂層８において、柱状半田部７は、硬化樹脂に埋設されている。また、柱状半田部７は、厚み方向に隣り合う半導体基板１の貫通電極２を電気的に接続するように、硬化樹脂を貫通している。

[0117] 以上により、半導体装置９が製造される。

[0118] 半導体装置９は、図７に示すように、厚み方向に並ぶ複数の半導体基板１と、厚み方向に隣り合う半導体基板１の間に配置される硬化樹脂層８とを備える。また、硬化樹脂層８は、硬化樹脂と、硬化樹脂に埋設される柱状半田部７とを備える。また、柱状半田部７は、厚み方向に隣り合う半導体基板１の貫通電極２を電気的に接続するように、硬化樹脂を貫通している。

[0119] また、硬化樹脂層８において、柱状半田部７の形成に用いられない融解した半田粒子１０の一部および／または融解していない半田粒子１０は、硬化樹脂層８中に分散したまま残存する。

[0120] ＜作用効果＞

半導体装置９の製造方法は、半導体基板１の厚み方向一方面に、異方性導電性接着フィルム３を貼着し、第１積層体５を製造し、その後、この第１積層体５を複数積層して、第２積層体６を製造した後、異方性導電性接着フィルム３における硬化性樹脂を硬化させる。つまり、この方法では、異方性導電性接着フィルム３を貼着するだけで、その後、硬化すれば、半導体素子を封止することができる。そのため、信頼性に優れる半導体装置９を製造できる。

[0121] そして、半導体装置９の製造方法によれば、とりわけ、半導体装置９の低背化を図る場合であっても、信頼性に優れる半導体装置９を製造できる。

[0122] 詳しくは、特許文献１に記載の半導体素子の封止方法によれば、基板と半導体チップとの間の隙間にアンダーフィル材を充填し、半導体チップを封止する。

[0123] 一方、半導体装置９の低背化を図る場合には、半導体素子を備える半導体

基板１を複数積層する半導体装置９において、半導体基板１の同士の隙間が小さくなる。そうすると、特許文献１のアンダーフィル材では、隙間を十分に充填することができなくなる。その結果、半導体装置９の信頼性が低下するという不具合がある。

[0124] これに対して、半導体装置９の製造方法によれば、異方性導電性接着フィルム３を貼着するだけで、その後、硬化すれば、半導体素子を封止できるため、上記隙間が狭くても、半導体素子を確実に封止することができる。その結果、信頼性に優れる半導体装置９を製造することができる。

[0125] また、この半導体装置９の製造方法では、第２積層体６を加熱し、半田粒子１０を融解させることにより厚み方向に隣り合う半導体基板１の貫通電極２を電気的に接続するように柱状半田部７を形成する。つまり、異方性導電性接着フィルム３を貼着し、その後、加熱するだけで、貫通電極２同士を電気的に接続できる。そのため、生産性に優れる。

[0126] 詳しくは、貫通電極２同士を電気的に接続するために、例えば、半導体基板１を積層した後に、半導体基板１に穴を開けて金属を満たすことも検討される。

[0127] これに対して、半導体装置９の製造方法によれば、異方性導電性接着フィルム３を貼着し、その後、加熱するだけで、貫通電極２同士を電気的に接続できる。そのため、生産性に優れる。

[0128] また、上記した説明では、第４工程において、第１積層体５を加熱しないが、第４工程において、第１積層体５を加熱することもできる。第４工程において、第１積層体５を加熱する場合には、その加熱温度は、例えば、１００℃未満、好ましくは、８０℃以下、また、例えば、４０℃以上である。

[0129] つまり、第４工程では、１００℃未満で加熱して、第１積層体５を積層して、第２積層体６を製造するか、または、加熱することなく第１積層体５を積層して、第２積層体６を製造する。

[0130] そして、第５工程では、複数の第１積層体５からなる第２積層体６を、一括で加熱することにより、半田粒子１０を溶融させて、柱状半田部７を形成

する。また、第６工程では、第２積層体６を、一括で加熱することにより、硬化性樹脂を硬化させる。

[0131] つまり、この方法では、好ましくは、第１積層体５を一層積層する毎に、第５工程および第６工程を繰り返すのはなく、第１積層体５を複数積層した後に、第５工程および第６工程を一度に実施する。換言すれば、この方法では、第１積層体５ごとに、第５工程および第６工程を実施せず、複数の第１積層体５からなる第２積層体６に対して、第５工程および第６工程を一度に実施する。そのため、生産性に優れる。

[0132] 好ましくは、生産性をより一層向上させる観点から、第４工程では、加熱することなく第１積層体５を積層して、第２積層体６を製造する。

[0133] 半導体装置９は、厚み方向に隣り合う半導体基板１の間に配置される硬化樹脂層８を備える。そのため、半導体基板１における半導体素子を確実に封止できる。その結果、信頼性に優れる。また、この半導体装置９において、柱状半田部７は、厚み方向に隣り合う半導体基板１の貫通電極２を電気的に接続するように、硬化樹脂を貫通している。そのため、貫通電極２同士を、確実に電気的に接続することができる。

[0134] ＜変形例＞

変形例において、一実施形態と同様の部材および工程については、同一の参照符号を付し、その詳細な説明を省略する。また、変形例は、特記する以外、一実施形態と同様の作用効果を奏することができる。さらに、一実施形態およびその変形例を適宜組み合わせることができる。

[0135] 上記した説明では、第７工程において、ダイシングテープ２０を準備して、ダイシングテープ２０の厚み方向一方面に、第１積層体５を配置するが、第１工程において、予め、ダイシングテープ２０を準備して、ダイシングテープ２０に、半導体基板１を配置することもできる。具体的には、ダイシングテープ２０の厚み方向一方面に、半導体基板１を配置する（図１破線参照）。

[0136] 上記した説明では、第７工程において、ダイシングテープ２０を準備して

、ダイシングテープ２０の厚み方向一方面に、第１積層体５を配置するが、第２工程において、予め、ダイシングテープ２０を準備して、ダイシングテープ２０に、異方性導電性接着フィルム３を配置することもできる。

[0137] 詳しくは、図８Ａに示すように、ダイシングテープ２０の厚み方向一方面に、異方性導電性接着フィルム３を配置する。

[0138] そして、このような場合には、図８Ｂに示すように、第３工程では、半導体基板１の表面（厚み方向他方面）に、異方性導電性接着フィルム３を貼着し、第１積層体５を製造する。

[0139] また、上記した説明では、第１積層体５を複数準備するために、第１積層体５を個片化するが、第１積層体５を個片化することなく、第１工程～第３工程を複数回実施することにより、第１積層体５を複数準備することもできる。

[0140] また、上記した説明では、第５工程および第６工程では、プレッシャーオーブン２５を用いて、第２積層体６を加熱するが、これに限定されず、例えば、リフロー加熱、ホットプレートを用いることもできる。

[0141] また、上記した説明では、第５工程および第６工程を区別して実施する（すなわち、第５工程を実施した後に、第６工程を実施する）が、第５工程および第６工程を区別することなく、一連の工程として実施することもできる。

実施例

[0142] 以下に実施例および比較例を示し、本発明をさらに具体的に説明する。なお、本発明は、何ら実施例および比較例に限定されない。また、以下の記載において用いられる配合割合（含有割合）、物性値、パラメータなどの具体的数値は、上記の「発明を実施するための形態」において記載されている、それらに対応する配合割合（含有割合）、物性値、パラメータなど該当記載の上限値（「以下」、「未満」として定義されている数値）または下限値（「以上」、「超過」として定義されている数値）に代替することができる。

[0143] ＜半導体装置の製造＞

実施例１

［第１工程］

図１に示すように、半導体基板１を準備した。半導体基板１は、直径１５μｍおよび厚み１μｍの円柱状の貫通電極２を有し、隣り合う貫通電極２の間の距離は１５μｍである。

[0144] ［第２工程］

図２に示すように、異方性導電性接着フィルム２を準備した。異方性導電性接着フィルム２を準備するために、異方性導電性接着フィルム組成物を調製した。

[0145] 具体的には、熱硬化性樹脂として、ｊＥＲ８２８（ビスフェノールＡ型エポキシ樹脂、三菱化学社製）５０質量部およびｊＥＲ１００７（ビスフェノールＡ型エポキシ樹脂、軟化点：１２８℃、三菱化学社製）５０質量部と、半田粒子１０（９６．５質量％Ｓｎ－３．０質量％Ａｇ－０．５質量％Ｃｕ合金，融点２１７－２１９℃，球形状，粒子径Ｄ５０：３μｍ、酸素濃度：１１００ｐｐｍ）１５０質量部と、フラックスとして、リンゴ酸１５質量部とを、メチルエチルケトン（ＭＥＫ）に加えて混合することより、異方性導電性接着フィルム組成物（固形分濃度５０質量％）を調製した。

[0146] 次いで、異方性導電性接着フィルム組成物を、はく離ライナー４上に塗布して塗膜を形成した後、６０℃５分間で乾燥させた。これにより、異方性導電性接着フィルム３を準備した。

[0147] ［第３工程］

図３に示すように、半導体基板１の表面（厚み方向一方面）に、異方性導電性接着フィルム３を貼着し、第１積層体５を製造した。

[0148] ［第７工程］

図４Ａ～図４Ｃに示すように、第１積層体５を個片化して、第１積層体５を複数準備した。

[0149] ［第４工程］

図５に示すように、第１積層体５を複数積層して、第２積層体６を製造し

た。

[0150] ［第５工程］

図６に示すように、第２積層体６を加熱し、半田粒子１０を融解させることにより、厚み方向に隣り合う半導体基板１の貫通電極２を電気的に接続するように柱状半田部７を形成した。上記加熱は、真空加圧リフロー装置を用い、最高温度２５０℃まで昇温速度１００℃／分、圧力０．４ＭＰａで加熱した。加熱時間は５分とした。

[0151] ［第６工程］

第２積層体６を加熱し、硬化性樹脂を硬化した。上記加熱では、真空加圧リフロー装置を用い、最高温度２００℃まで昇温速度１００℃／分、圧力０．４ＭＰａで加熱した。加熱時間は６０分とした。以上により、半導体装置９を製造した。

[0152] 実施例２および実施例３

実施例１と同様の手順に基づいて、半導体装置を製造した。但し、第５工程および第６工程における最高温度、昇温速度、および、加熱時間を表１に従って、変更した。

[0153] ＜評価＞

（導通性）

各実施例の半導体装置について、異方性導電性接着フィルムを用いて接続形成した部分まで半導体装置を研磨し、接続部の断面を確認できるようにした後に、柱状半田部をＳＥＭで観察した。対向電極の導通について、以下の基準に基づき、評価した。

{基準}

○：柱状半田部による上下電極の接続が観測された。

×：柱状半田部による上下電極の接続が観測されなかった。

[0154] （封止性）

各実施例の半導体装置について、異方性導電性接着フィルムを用いて接続形成した部分まで半導体装置を研磨し、接続部の断面を確認できるようにし

た後に、硬化樹脂層（フィルム部）のボイドを観察した。具体的には、図９に示すように、ボイド率は、半導体基板１の長さａに対し、各ボイド４０がある箇所の長さ（ｂ１、ｂ２）の比率（ボイド率＝（ｂ１＋ｂ２）／ａ×１００（％））として算出した。封止性について、以下の基準に基づき、評価した。

｛基準｝

○：ボイド率が３０％以下であった。

×：ボイド率が３０％を超過した。

[0155] [表1]

表1

実施例No.				実施例1	実施例2	実施例3
異方性導電性接着フィルム	異方性導電性接着フィルム組成物	硬化性樹脂	jER1007（軟化点:128℃）	50	50	50
			jER828	50	50	50
		半田粒子	SnAgCu（融点:217-219℃）	150	-	150
			SnBi（融点:139℃）	-	150	-
		フラックス（固形分）	リンゴ酸	15	15	15
	フィルム厚（um）			5	5	5
プロセス	第5工程	装置		真空加圧リフロー装置	真空加圧リフロー装置	真空加圧リフロー装置
		最高温度(℃)		250	170	250
		昇温速度(℃/min)		100	100	100
		加熱時間(分)		5	5	5
		圧力(MPa)		0.4	0.4	0.4
	第6工程	装置		真空加圧リフロー装置	真空加圧リフロー装置	真空加圧リフロー装置
		最高温度(℃)		200	150	200
		昇温速度(℃/min)		100	100	3
		加熱時間(分)		60	120	60
		圧力(MPa)		0.4	0.4	0.4
信頼性	導通性			○	○	○
	封止性			○	○	○

[0156] なお、上記発明は、本発明の例示の実施形態として提供したが、これは単なる例示にすぎず、限定的に解釈してはならない。当該技術分野の当業者によって明らかな本発明の変形例は、後記請求の範囲に含まれるものである。

産業上の利用可能性

[0157] 本発明の半導体装置および半導体装置の製造方法は、例えば、ＤＲＡＭにおいて、好適に用いることができる。

符号の説明

[0158]
１ 半導体基板
２ 貫通電極
３ 異方性導電性接着フィルム
５ 第１積層体
５´ 個片化された第１積層体
６ 第２積層体
７ 柱状半田部
８ 硬化樹脂層
１０ 半田粒子
２０ ダイシングテープ
２５ プレッシャーオーブン

請求の範囲

[請求項1] 厚み方向に貫通する貫通電極を備える半導体基板であって、前記厚み方向に並ぶ複数の半導体基板と、

前記厚み方向に隣り合う前記半導体基板の間に配置される硬化樹脂層とを備え、

前記硬化樹脂層は、硬化樹脂と、前記硬化樹脂に埋設される柱状半田部とを備え、

前記柱状半田部は、前記厚み方向に隣り合う前記半導体基板の前記貫通電極を電気的に接続するように、前記硬化樹脂を貫通している、半導体装置。

[請求項2] 厚み方向に貫通する貫通電極を備える半導体基板を準備する第１工程と、

半田粒子および硬化性樹脂を含む異方性導電性接着フィルムを準備する第２工程と、

前記半導体基板の表面に、前記異方性導電性接着フィルムを貼着し、第１積層体を製造する第３工程と、

前記第１積層体を複数積層して、第２積層体を製造する第４工程と、

前記第２積層体を加熱し、半田粒子を融解させることにより、前記厚み方向に隣り合う前記半導体基板の前記貫通電極を電気的に接続するように柱状半田部を形成する第５工程と、

前記第２積層体を加熱し、前記硬化性樹脂を硬化させる第６工程とを備える、半導体装置の製造方法。

[請求項3] 前記第３工程の後、前記第４工程の前に、前記第１積層体を個片化する第７工程を備え、

前記第４工程では、個片化された第１積層体を複数積層して、第２積層体を製造する、

請求項２に記載の半導体装置の製造方法。

[請求項4] 前記第７工程は、前記厚み方向と直交する面方向に伸長可能なダイシングテープを準備する工程と、

前記ダイシングテープの厚み方向一方面に、前記第１積層体を配置する工程と、

前記ダイシングテープを、面方向に伸長することにより、前記第１積層体を個片化する工程とを備える、請求項３に記載の半導体装置の製造方法。

[請求項5] 前記第１工程において、前記厚み方向と直交する面方向に伸長可能なダイシングテープに、前記半導体基板を配置する、請求項３に記載の半導体装置の製造方法。

[請求項6] 前記第２工程において、前記厚み方向と直交する面方向に伸長可能なダイシングテープに、前記異方性導電性接着フィルムを配置する、請求項３に記載の半導体装置の製造方法。

[請求項7] 前記第４工程では、

１００℃未満で加熱して、前記第１積層体を積層して、前記第２積層体を製造するか、

または、

加熱することなく前記第１積層体を積層して、前記第２積層体を製造し、

前記第５工程では、複数の前記第１積層体からなる前記第２積層体を、一括で加熱する、請求項２に記載の半導体装置の製造方法。

[請求項8] 前記第４工程では、加熱することなく前記第１積層体を積層して、前記第２積層体を製造し、

前記第５工程では、複数の前記第１積層体からなる前記第２積層体を、一括で加熱する、請求項７に記載の半導体装置の製造方法。

[請求項9] 前記第５工程では、最高温度が前記硬化性樹脂の軟化点よりも高くなるように、加熱する、請求項２に記載の半導体装置の製造方法。

[請求項10] 前記最高温度が、１５０℃以上２６０℃以下である、請求項９に記

載の半導体装置の製造方法。

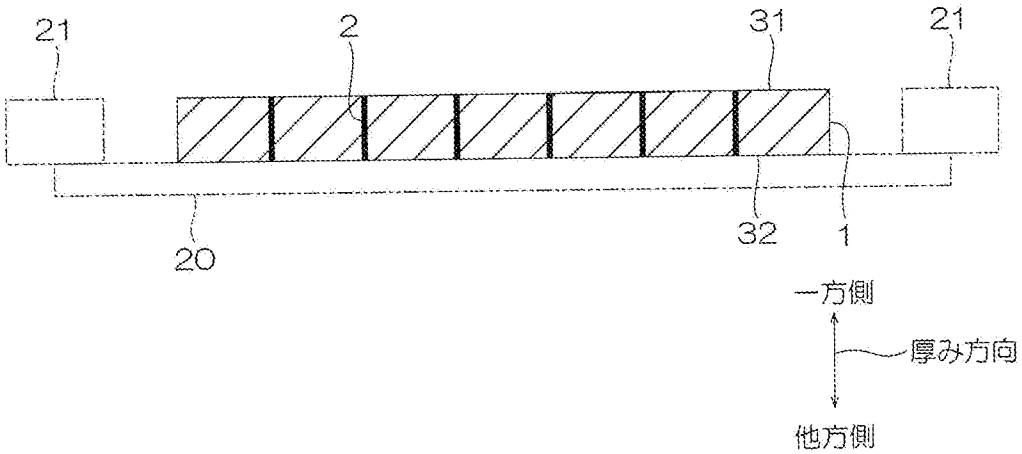
[請求項11] 前記第５工程では、プレッシャーオーブン内で加熱する、請求項２に記載の半導体装置の製造方法。

[請求項12] 前記第６工程では、最高温度が１００℃以上２６０℃以下となるように、加熱する、請求項２に記載の半導体装置の製造方法。

[請求項13] 前記第６工程における加熱は、プレッシャーオーブン内で加熱する、請求項２～１２のいずれか一項に記載の半導体装置の製造方法。

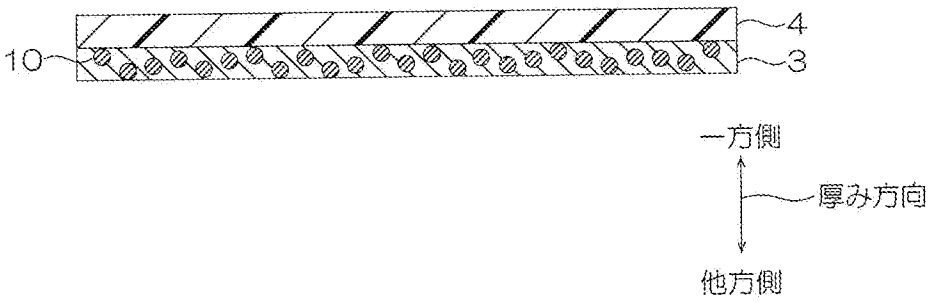
[図1]

図1



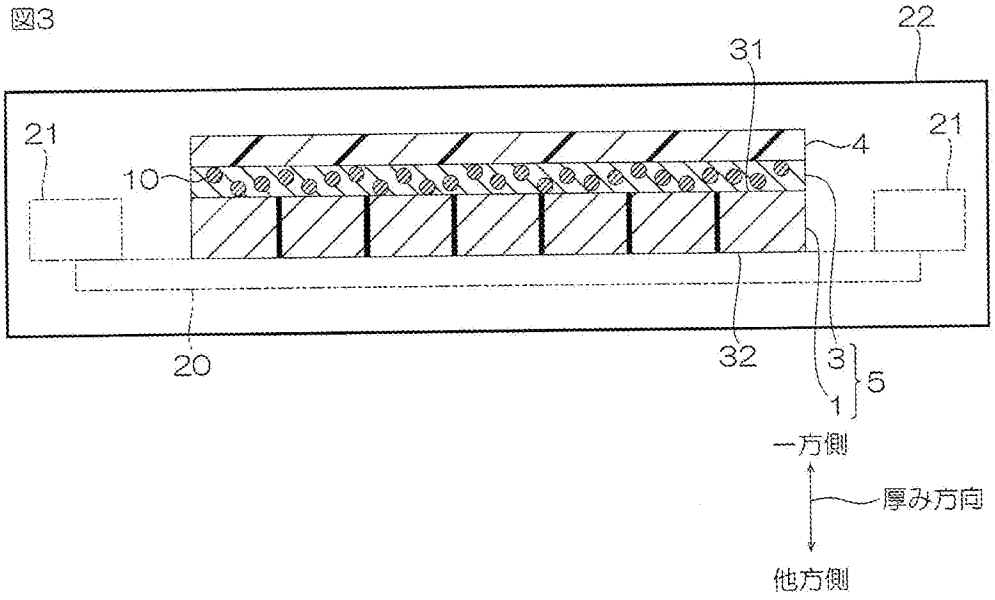
[図2]

図2



[図3]

図3



[図4]

図4A

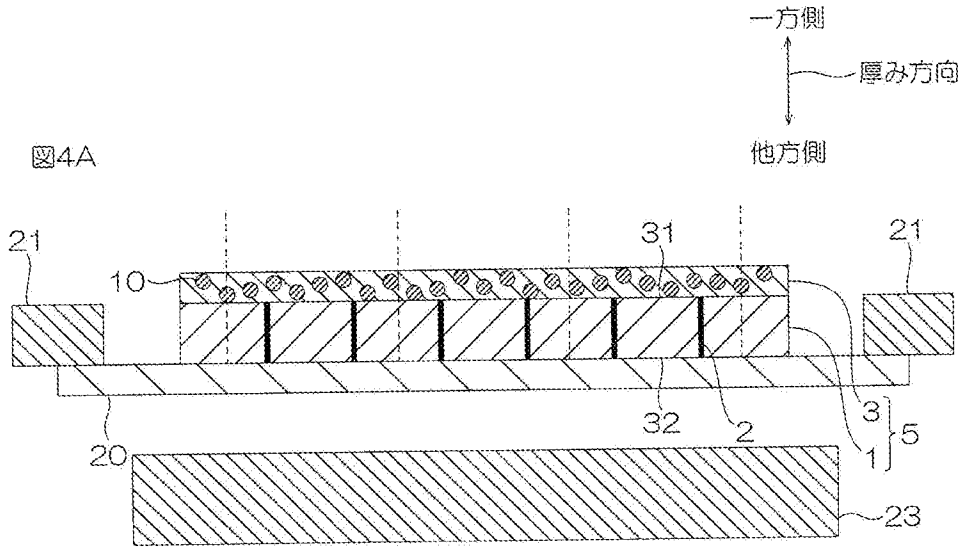


図4B

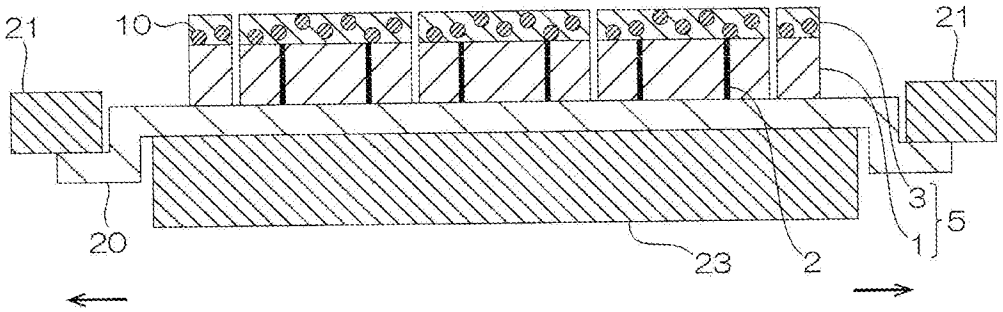
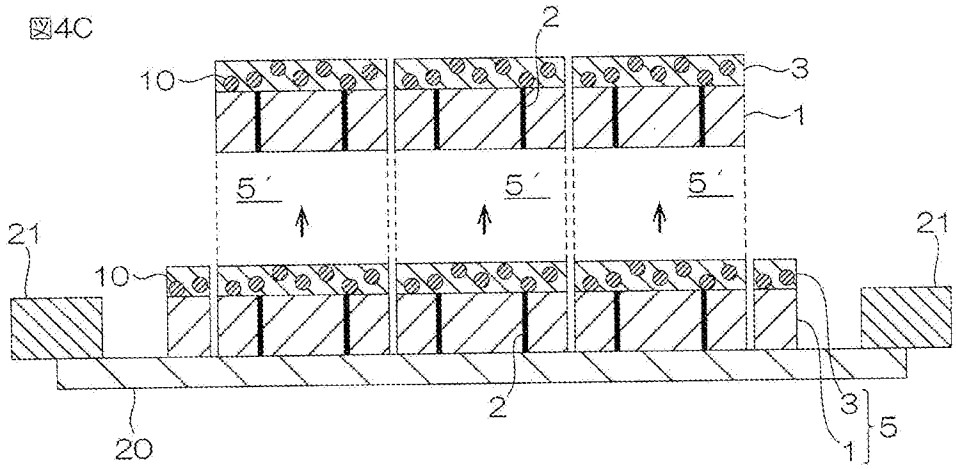
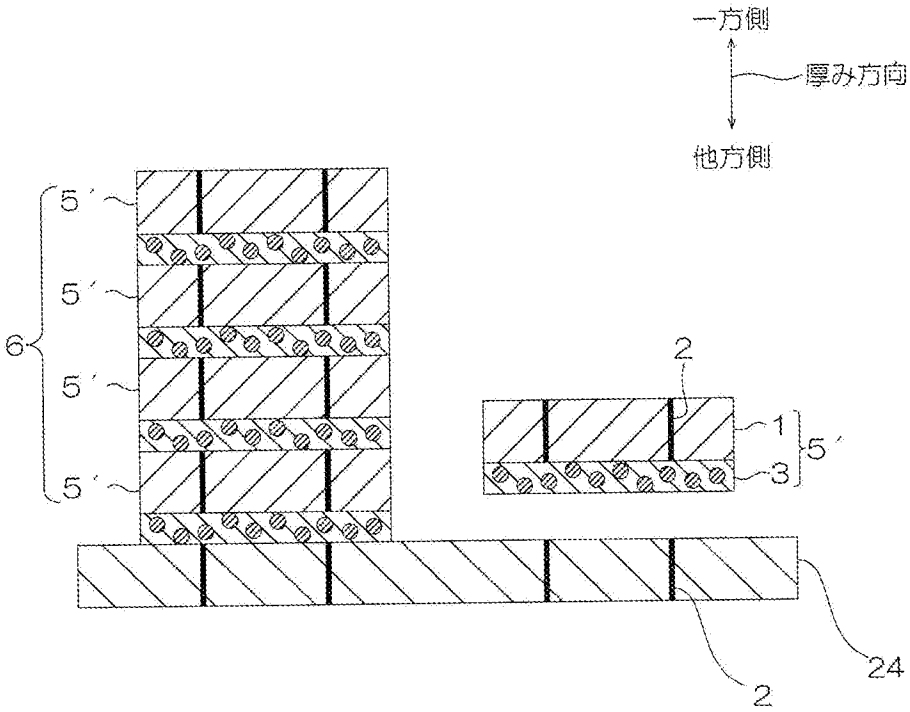


図4C



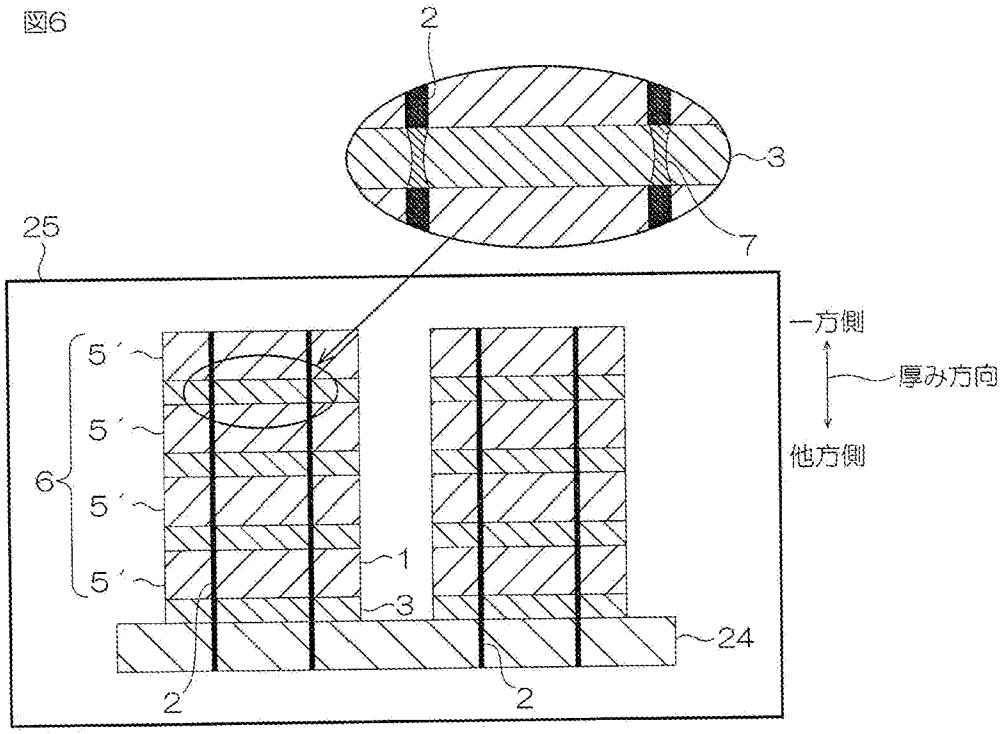
[図5]

図5



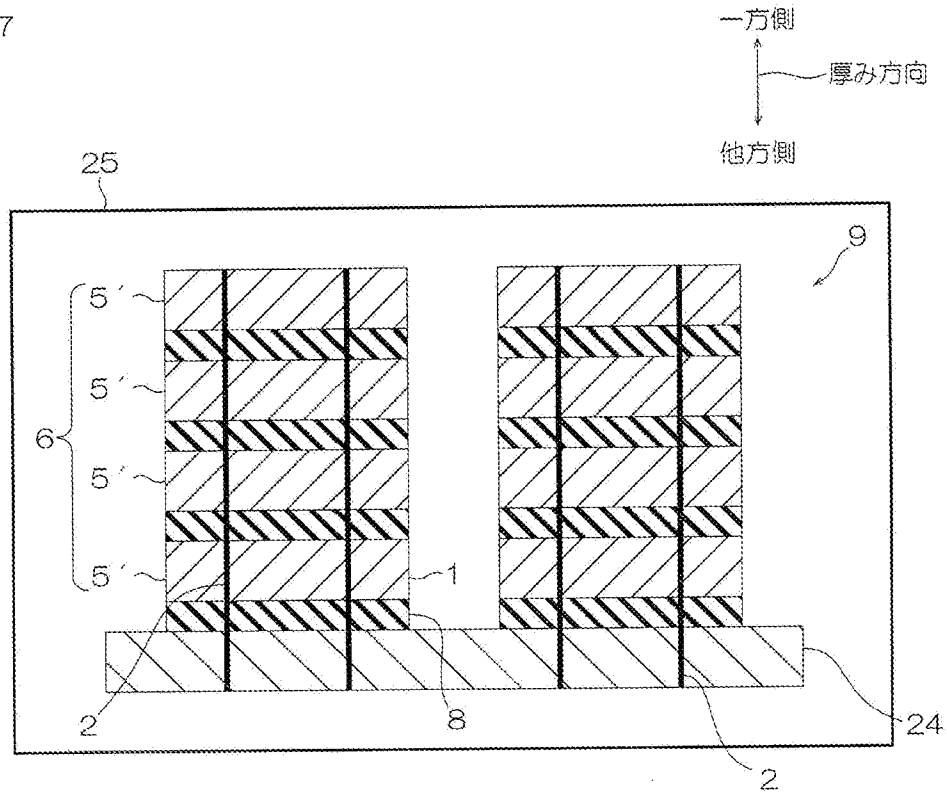
[図6]

図6



[図7]

図7



[図8]

図8A

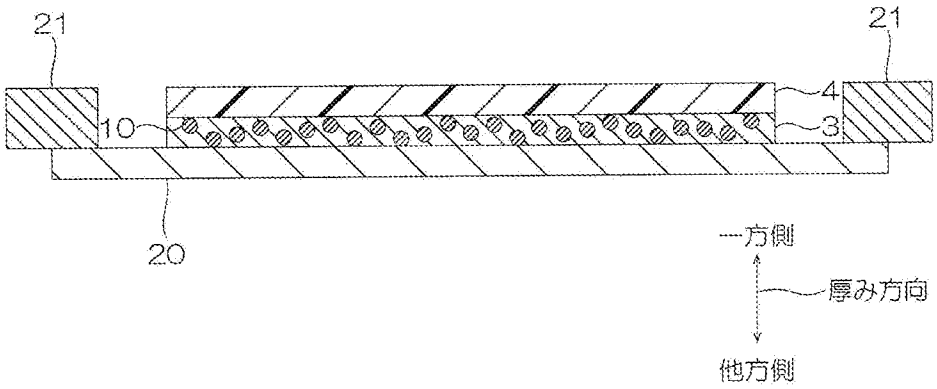
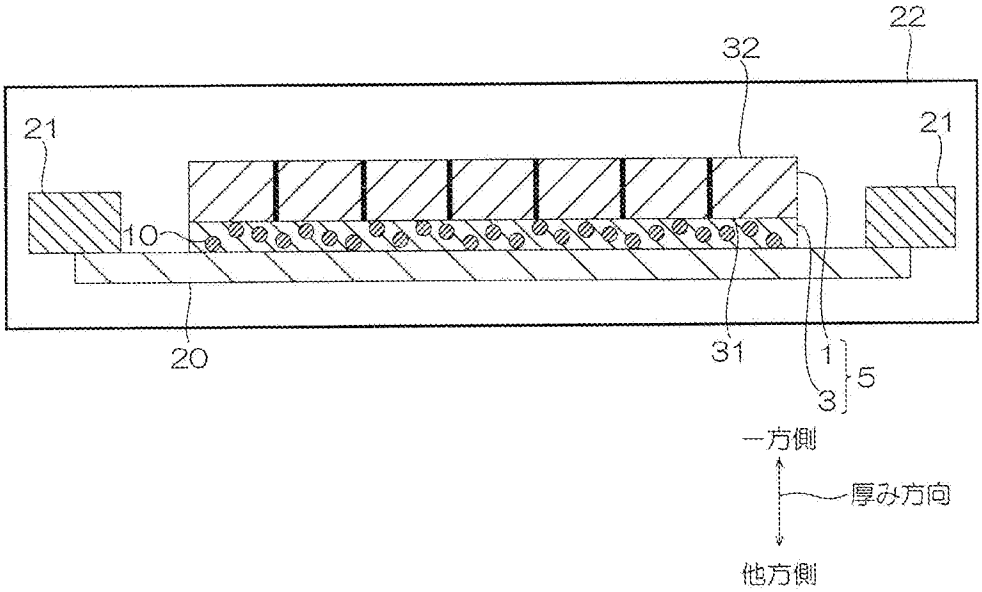
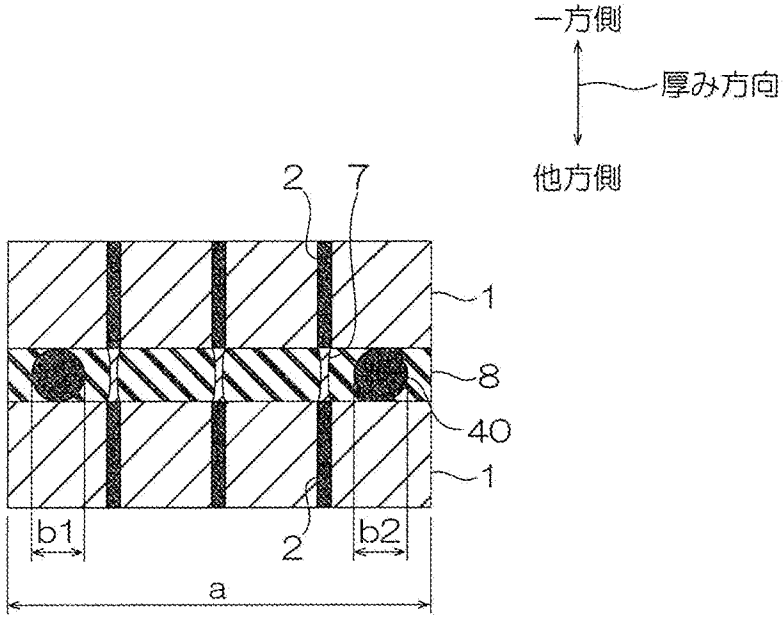


図8B



[図9]

図9



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/000790

A. CLASSIFICATION OF SUBJECT MATTER

H01L 25/065(2023.01)i; ***H01L 21/301***(2006.01)i; ***H01L 25/07***(2006.01)i; ***H01L 25/18***(2023.01)i
FI: H01L25/08 C; H01L21/78 X; H01L21/78 Q; H01L21/78 M

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/065; H01L21/301; H01L25/07; H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2008-300443 A (SUMITOMO BAKELITE CO LTD) 11 December 2008 (2008-12-11) paragraphs [0041]-[0049], [0105]-[0112], [0120]-[0124], [0140]-[0151], fig. 1-4	1
Y		2-13
Y	JP 2016-076722 A (SUMITOMO BAKELITE CO LTD) 12 May 2016 (2016-05-12) paragraphs [0016], [0045]-[0052], fig. 1-2	2-13
Y	JP 2019-195035 A (NITTO DENKO CORP) 07 November 2019 (2019-11-07) paragraphs [0085]-[0090], fig. 11-12	4-6, 13
A	WO 2008/023452 A1 (SUMITOMO BAKELITE CO LTD) 28 February 2008 (2008-02-28) entire text, all drawings	1-13

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
24 March 2023	**04 April 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/000790

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2008-300443 A	11 December 2008	(Family: none)	
JP 2016-076722 A	12 May 2016	(Family: none)	
JP 2019-195035 A	07 November 2019	US 2021/0098418 A1 paragraphs [0109]-[0114], fig. 11(a)-12(b) WO 2019/208071 A1 EP 3787012 A1 CN 112041973 A	
WO 2008/023452 A1	28 February 2008	US 2010/0059872 A1 entire text, all drawings EP 2055756 A1 CN 101501154 A KR 10-2009-0045195 A	

国際調査報告

国際出願番号
PCT/JP2023/000790

A.　発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01L 25/065(2023.01)i; H01L 21/301(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2023.01)i
FI: H01L25/08 C; H01L21/78 X; H01L21/78 Q; H01L21/78 M

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01L25/065; H01L21/301; H01L25/07; H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2008-300443 A (住友ベークライト株式会社) 11.12.2008 (2008-12-11) 段落［００４１］－［００４９］，［０１０５］－［０１１２］，［０１２０］－［０１２４］，［０１４０］－［０１５１］，図１－４	1
Y		2-13
Y	JP 2016-076722 A (住友ベークライト株式会社) 12.05.2016 (2016-05-12) 段落［００１６］，［００４５］－［００５２］，図１－２	2-13
Y	JP 2019-195035 A (日東電工株式会社) 07.11.2019 (2019-11-07) 段落［００８５］－［００９０］，図１１－１２	4-6, 13
A	WO 2008/023452 A1 (住友ベークライト株式会社) 28.02.2008 (2008-02-28) 全文，全図	1-13

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

*　引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
24.03.2023	04.04.2023

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

高橋　優斗 5F 5585

電話番号 03-3581-1101 内線 3514

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/000790

引用文献	公表日	パテントファミリー文献	公表日
JP 2008-300443 A	11.12.2008	（ファミリーなし）	
JP 2016-076722 A	12.05.2016	（ファミリーなし）	
JP 2019-195035 A	07.11.2019	US 2021/0098418 A1 段落［０１０９］－［０１１４］，図１１（ａ）－１２（ｂ） WO 2019/208071 A1 EP 3787012 A1 CN 112041973 A	
WO 2008/023452 A1	28.02.2008	US 2010/0059872 A1 全文，全図 EP 2055756 A1 CN 101501154 A KR 10-2009-0045195 A	