垂直沟道晶体管以及包含垂直沟道晶体管的存储器件

摘要

本发明提供了一种半导体器件，其包括：NMOS 垂直沟道晶体管，位于衬底上，并包括围绕垂直 p 沟道区的 p+ 多晶硅栅极电极；和 PMOS 垂直沟道晶体管，位于衬底上，并包括围绕垂直 n 沟道区的 n+ 多晶硅栅极电极。该 NMOS 和 PMOS 垂直沟道晶体管任选地在 CMOS 操作模式下可工作。
1. 一种半导体存储器件，包括：
衬底，其包括存储核心区域和外围电路区域；和
第一 NMOS 垂直沟道晶体管，第二 NMOS 垂直沟道晶体管，和 PMOS 垂直沟道晶体管，它们位于该衬底的该存储核心区域中；
其中，该第一 NMOS 垂直沟道晶体管包括围绕垂直 p 沟道区的 p+ 多晶硅棚电极，该第二 NMOS 垂直沟道晶体管包括围绕垂直 p 沟道区的 n+ 多晶硅棚电极，以及该 PMOS 垂直沟道晶体管包括围绕垂直 n 沟道区的 n+ 多晶硅棚电极，其中该第一 NMOS 垂直沟道晶体管的阈值电压为正，且该第二 NMOS 垂直沟道晶体管和该 PMOS 垂直沟道晶体管的阈值电压为负，以及其中该第一 NMOS 垂直沟道晶体管和该 PMOS 垂直沟道晶体管在 CMOS 操作模式下操作。
2. 如权利要求 1 所述的半导体存储器件，其中该衬底的该存储核心区域包括存储单元区和用于存储该存储单元区的控制电路区，并且
其中该第一 NMOS 垂直沟道晶体管位于该控制电路区中，而该第二 NMOS 垂直沟道晶体管位于该存储单元区中。
3. 如权利要求 2 所述的半导体存储器件，其中该第二 NMOS 垂直沟道晶体管是包含在该存储单元区中的存储单元的选择晶体管。
4. 如权利要求 1 所述的半导体存储器件，还包括位于该衬底的该外围电路区中的多个 NMOS 平面沟道晶体管和多个 PMOS 平面沟道晶体管。
5. 如权利要求 4 所述的半导体存储器件，其中该 NMOS 和 PMOS 平面沟道晶体管与该 NMOS 和 PMOS 垂直沟道晶体管共面。
6. 如权利要求 4 所述的半导体存储器件，其中该 NMOS 和 PMOS 平面沟道晶体管位于相对于该 NMOS 和 PMOS 垂直沟道晶体管的平面上。
7. 如权利要求 1 所述的半导体存储器件，还包括位于该衬底的该外围电路区中的多个 NMOS 垂直沟道晶体管和多个 PMOS 垂直沟道晶体管。
8. 如权利要求 7 所述的半导体存储器件，其中该外围电路区的该多个 NMOS 垂直沟道晶体管中的每一个都包括围绕垂直 p 沟道区的 p+ 多晶硅棚电极，
其中该外围电路的该多个 NMOS 垂直沟道晶体管包括围绕垂直 p 沟道区的 p+ 多晶硅棚电极，且该外围电路的该多个 PMOS 垂直沟道晶体管包括围绕垂直 n 沟道区的 n+ 多晶硅棚电极，其中该外围电路的该多个 NMOS 垂直沟道晶体管的阈值电压为正，且该外围电路的该多个 PMOS 垂直沟道晶体管的阈值电压为负，以及其中该外围电路的该多个 NMOS 垂直沟道晶体管和该多个 PMOS 垂直沟道晶体管在 CMOS 操作模式下操作。
9. 一种半导体存储器件，包括：
多个存储单元，他们连接在位线和各自的各条字线之间，该多个存储单元中的每一个都包括 NMOS 垂直沟道选择晶体管，其中该多个 NMOS 垂直沟道选择晶体管中的每一个都包括围绕垂直 p 沟道区的 n+ 多晶硅棚电极；和
连接到该位线上的读出放大器，包括多个 NMOS 垂直沟道晶体管和多个 PMOS 垂直沟道晶体管，其中该多个 NMOS 垂直沟道晶体管中的每一个都包括围绕垂直 p 沟道区的 p+ 多晶硅棚电极，而该多个 PMOS 垂直沟道晶体管中的每一个都包括围绕垂直 n 沟道区的 n+ 多晶硅棚电极，其中该 NMOS 垂直沟道晶体管的阈值电压为正，且该多个 NMOS 垂直沟道选择晶体管中的每一个的阈值电压和该 PMOS 垂直沟道晶体管的阈值电压为负。
10. 如权利要求 9 所述的半导体存储器件，还包括连接到该读出放大器的互补位线和
连接到该互补位线的多个互补存储单元。
11. 如权利要求 10 所述的半导体存储器件，其中该存储单元和该互补存储单元分别位于该
读出放大器的相反侧上。
12. 如权利要求 10 所述的半导体存储器件，其中该存储单元和该互补存储单元位于该
读出放大器的同一侧上。
13. 一种半导体存储器件，包括在半导体衬底上可操作地连接到列解码器和行解码器
上的存储核心，所述存储核心包括：
多个存储单元阵列，设置成行和列；
多个字线驱动器，位于各自相邻存储单元阵列之间的列之间；
多个读出放大器，位于各自相邻存储单元阵列之间的行之间；
其中每个存储单元阵列包括多个 NMOS 垂直沟道晶体管，以及该多个 NMOS 垂直
沟道晶体管包括围绕垂直 p 沟道区的 n+ 多晶硅栅电极，其中该多个 NMOS 垂直沟道选
择晶体管的阈值电压为负；
其中字线驱动器和读出放大器中的每一个都包括多个 PMOS 垂直沟
道晶体管和多个 NMOS 垂直沟道晶体管，其中该多个 NMOS 垂直沟道晶体管中的至少一个包括围绕垂直 p
沟道区的 p+ 多晶硅栅电极，而该多个 PMOS 垂直沟道晶体管中的至少一个包括围绕垂直 n
g沟道区的 n+ 多晶硅栅电极，其中该 NMOS 垂直沟道晶体管的阈值电压为正，且该 PMOS 垂直
沟道晶体管的阈值电压为负。
14. 如权利要求 13 所述的半导体存储器件，其中该行解码器和列解码器包括多个 NMOS
平面沟道晶体管和多个 PMOS 平面沟道晶体管。
15. 如权利要求 13 所述的半导体存储器件，其中该行解码器和列解码器包括多个 NMOS
垂直沟道晶体管和多个 PMOS 垂直沟道晶体管。
其中该行解码器和列解码器的该多个 NMOS 垂直沟道晶体管包括围绕垂直 p 沟道区的
p+ 多晶硅栅电极，且该行解码器和列解码器的该多个 PMOS 垂直沟道晶体管包括围绕垂直 n
g沟道区的 n+ 多晶硅栅电极，其中该行解码器和列解码器的该多个 NMOS 垂直沟道晶体管
的阈值电压为正，且该行解码器和列解码器的该多个 PMOS 垂直沟道晶体管的阈值电压为负，
以及其中该列解码器和列解码器的该多个 NMOS 垂直沟道晶体管和该多个 PMOS 垂直沟道晶
体管在 CMOS 操作模式下工作。
垂直通道晶体管以及包括垂直通道晶体管的存储器件

技术领域
[0001] 本发明一般涉及一种半导体器件，本发明尤其是涉及一种垂直通道晶体管和包括垂直通道晶体管的半导体存储器件。

背景技术
[0002] 图 1 是常规 CMOS 器件的 PMOS 和 NMOS 平面沟道晶体管的示意图。如图所示，NMOS 平面沟道晶体管通常由在 p 型衬底 100 的表面中形成的 n+ 型源 / 漏区 101 和 103 限定，且 n+ 型多晶硅栅极 104 位于 NMOS 平面沟道晶体管的 p 沟道区 102 上方。PMOS 平面沟道晶体管通常由在 p 型衬底 100 的 n 型阱 100' 的表面中形成的 p+ 型源 / 漏区 111 和 113 限定。n+ 型多晶硅栅极 114 位于 PMOS 平面沟道晶体管的 n 沟道区 112 上方。

[0003] 图 2 是通过图解 NMOS 和 PMOS 平面沟道晶体管的阈值电压 Vth 和沟道区杂质浓度之间关系的曲线。如所领域的技术人员所周知，NMOS 和 PMOS 平面沟道晶体管的阈值电压 (Vth) 可分别通过精细控制沟道区 202 和 212 中的杂质浓度来设计 ( 图 1)。在一般的 CMOS 操作中，NMOS 晶体管的阈值电压 Vth 为正，而 PMOS 晶体管的阈值电压 Vth 为负。因此，为了实现 CMOS 器件操作，在 NMOS 平面晶体管中通常需要精细沟道注入工艺，以将阈值电压 Vth 从负变成正 ( 见图 2)。

[0004] 在此将图 1 的 PMOS 和 NMOS 晶体管称作“平面沟道”晶体管，这是由于沟道区 202 和 212 沿着衬底 101 的平面（或水平）表面区延伸。然而，近在努力增加晶体集成度中，“垂直沟道”晶体管已经得到发展，其中沟道区相对于水平衬底表面垂直延伸。

[0005] 图 3A 是具有 NMOS 和 PMOS 垂直沟道晶体管的常规器件的示意图，而图 3B 是其透视图。在图 3A 和 3B 中，相同元件用相同参考数字表示。

[0006] 参考图 3A 和 3B，NMOS 垂直沟道晶体管包括形成在 p 型衬底 300 上的 p 型垂直沟道区 302，形成在 p 型衬底 300 表面中并且围绕 p 型垂直沟道区 302 的第一 n+ 型源 / 漏层 301，形成在 p 型垂直沟道区 302 上方的第二 n+ 型源 / 漏层 303。NMOS 垂直沟道晶体管还包括围绕 p 型垂直沟道层 302 的 n+ 型多晶硅栅极 304。尽管未示出，但是，将栅极电介质插设在 n+ 型多晶硅栅极 304 和 p 型垂直沟道层 302 之间。

[0007] PMOS 垂直沟道晶体管包括形成在 p 型衬底 300 中 n 阵上的 n 型垂直沟道层 312，形成在 n 阵 300' 的表面中并且围绕 n 型垂直沟道层 312 的第一 p+ 型源 / 漏层 311，形成在 n 型垂直沟道层 312 上方的第二 p+ 型源 / 漏层 313。PMOS 垂直沟道晶体管还包括 n+ 型多晶硅栅极 314，其围绕 n 型垂直沟道层 312。而且，栅极电介质（未示出）插设在 n+ 型多晶硅栅极 314 和 n 型垂直沟道层 312 之间。

[0008] 通常，垂直沟道 302 和 312 由柱状结构限定，该柱状结构通常具有圆形水平截面，且多晶硅栅极 304 和 314 是圆柱状且完全地围绕各自的垂直沟道 302 和 312。而且，第一源 / 漏层 301 和 311 以及第二源 / 漏层 303 和 313 通常由盘状结构限定，该盘状结构通常也具有圆形水平截面。如图 3A 和 3B 的实例中，多晶硅栅极 304 和 314 的外径基本上与第一源 / 漏层 301 和 311 的外径相同，且垂直沟道 302 和 312 的外径基本上与第
二类型源/漏层 303 和 313 的外直径相符。

[0009] 垂直沟道晶体管的一个缺点在于难以精确且可靠地将杂质注入到 p 型和 n 型垂直
沟道层 302 和 312 的柱状结构中。尤其关于 NMOS 垂直沟道晶体管存在问题。即，如之前结
合图 2 所说明的，通常都必须执行沟道注入工艺，从而对于 NMOS 器件建立正阈值电压 Vth。
然而，在 p 型垂直沟道 302 中注入离子的任何尝试都可能导致不均匀的离子密度分布，其会
导致阈值电压 Vth 上的预期变化。由于 p 型垂直沟道 302 的柱直径减小以增强器件集成度，
该问题更加突出。

[0010] 因此，常规 NMOS 垂直沟道晶体管通常在正阈值电压 Vth（例如，-0.4V）下操作。因
此，必须以能够产生负电压以截止 NMOS 垂直沟道晶体管的特定控制组块构造相应的器件。
此外，使用常规 NMOS 垂直沟道晶体管难以实现 CMOS 操作模式，这是由于 CMOS 操作模式通
常对于 NMOS 晶体管都需要正的阈值电压。

发明内容

[0011] 根据本发明的一个方面，提供了一种半导体器件，其包括 NMOS 垂直沟道晶体管和
PMOS 垂直沟道晶体管，其中 NMOS 垂直沟道晶体管位于衬底上并包括围绕垂直 p 沟道区的
p+ 多晶硅栅极，而 PMOS 垂直沟道晶体管位于衬底上并包括围绕垂直 n 沟道区的 n+ 多晶硅
栅极。

[0012] 根据本发明的另一方面，提供了一种半导体存储器件，其包括具有存储核心区域
和外围电路区域的衬底，以及位于衬底存储核心区域中的 NMOS 垂直沟道晶体管和 PMOS 垂
直沟道晶体管。NMOS 垂直沟道晶体管包括围绕垂直 p 沟道区的 p+ 多晶硅栅极。

[0013] 根据本发明的又一方面，提供了一种半导体存储器件，其包括连接在位线和相应
的多条字线之间的多个存储单元，其中多个存储单元中的每一个都包括 NMOS 垂直沟道选
择晶体管。该半导体存储器件还包括读出放大器 (sense amplifier)，其连接到位线并包括
多个 NMOS 垂直沟道晶体管和多个 PMOS 垂直沟道晶体管，其中多个 NMOS 垂直沟道晶体管中
的每一个都包括围绕垂直 p 沟道区的 p+ 多晶硅栅极，而多个 PMOS 垂直沟道晶体管中的每
一个都包括围绕垂直 n 沟道区的 n+ 多晶硅栅极。

[0014] 根据本发明再另一方面，提供了一种半导体存储器件，其包括在半导体衬底上可
操作地连接到行解码器和列解码器的存储核心。该存储核心包括设置成行和列的多个存储
单元阵列，位于各相邻存储单元阵列之间的列中的多个字线驱动器，以及在各相邻存储单
元阵列之间的行中的多个读出放大器。每个存储单元阵列都包括多个 NMOS 垂直沟道选择
晶体管，且字线驱动器和读出放大器中的每一个都包括多个 PMOS 垂直沟道晶体管和多个
NMOS 垂直沟道晶体管。多个 NMOS 垂直沟道晶体管中的至少一个包括 p+ 多晶硅栅极，其围
绕垂直 p 沟道区，而多个 PMOS 垂直沟道晶体管中的至少一个包括 n+ 多晶硅栅极，其围绕垂
直 n 沟道区。

附图说明

[0015] 参考附图，根据以下的详细描述，本发明的上述和其它方面和特征将变得非常明
显，其中；

[0016] 图 1 是常规平面沟道晶体管器件的截面图；
图 2 是显示常规平面沟道晶体管器件中阈值电压和沟道杂质密度之间关系的图线；
图 3A 是常规垂直沟道晶体管器件的截面图；
图 3B 是常规垂直沟道晶体管器件的透视图；
图 4 是根据本发明实施例的垂直沟道晶体管器件的截面图；
图 5A、5B、5C 和 5D 是具有根据本发明各实施例垂直沟道晶体管的存储器件的截面图；
图 6 是显示了具有根据本发明实施例的垂直沟道晶体管的存储器件的布置图；
图 7 和 8 是根据本发明实施例的存储单元和读出放大器的电路图；
图 9 是根据本发明实施例的字线驱动控制电路的电路图；和
图 10 是根据本发明实施例的字线驱动器的电路图。

具体实施方式
以下参考附图更加全面的描述本发明，附图中示出了本发明的示范性实施例。然而，本发明可体现为多种不同形式，且不应解释为限于在此列出的实例。在图中，为了清楚起见，放大和/或简化了层和区域的尺寸和相对尺寸。而且，应该理解的是，当将元件或层称作“在……上”、“连接到”或者“耦合到”另一元件或层时，其能直接在其上、连接或耦合到另一元件或层，或者可以存在插入元件或层。
现在将借助于优选、但非限制性的本发明实施例描述本发明。
图 4 是根据本发明实施例的半导体器件的截面示意图。如图所示，该实例的半导体器件包括 N-MOS 垂直沟道晶体管和 P-MOS 垂直沟道晶体管。
参考图 4，N-MOS 垂直沟道晶体管包括形成在 p 型衬底 400 上的 p 型垂直沟道层 402，形成在 p 型衬底 400 的表面中并且围绕 p 型垂直沟道层 402 的第一 n+ 型源 / 漏层 401，形成在 p 型垂直沟道层 402 上方的第二 n+ 型源 / 漏层 403。N-MOS 垂直沟道晶体管还包括 p+ 型多晶硅栅极 404，其围绕 p 型垂直沟道层 402。尽管未示出，但是，栅极电介质可插设在 p+ 型多晶硅栅极 404 和 p 型垂直沟道层 402 之间。
P-MOS 垂直沟道晶体管包括 n 型垂直沟道层 412，第一 p+ 型源 / 漏极层 411 和第二 p+ 型源 / 漏极层 413。P-MOS 垂直沟道晶体管还包括 n+ 型多晶硅栅极 414，其围绕 n 型垂直沟道层 412。而且，栅极电介质（未示出）可插设在 n+ 型多晶硅栅极 414 和 n 型垂直沟道层 412 之间。
垂直沟道 402 和 412 可通过柱状结构限定，该柱状结构通常具有圆形的水平截面，且多晶硅栅极 404 和 414 可以为柱状。而且，第一类型源 / 漏极层 401 和 411 以及第二类型源 / 漏极层 403 和 413 可以通过柱状结构限定，该柱状结构通常也具有圆形的水平截面。在图 4 的实例中，多晶硅栅极 404 和 414 的外形直径基本上分别与第一类型源 / 漏极层 401 和 411 的外形直径相符。另外，在该实例中，垂直沟道 402 和 412 的外形直径基本上分别与第二类型源 / 漏极层 403 和 413 的外形直径相符。
在实施例的半导体器件与前面图 3 描述的常规器件不同，区别在于，N-MOS 多晶硅栅极 404 由 p+ 型多晶硅（而不是常规的 n+ 型多晶硅）形成。如下面所说明的，这使得 N-MOS 晶体管具有正的阈值电压 Vth，而不需要 p 型沟道 402 的沟道注入。
晶体管的阈值电压 $V_{th}$ 通常根据以下的公式 1 确定：

$$V_{th} = \Phi_{ns} - \left( \frac{Q_{ov}}{C_{ox}} \right) - \left( \frac{Q_d}{C_{ox}} \right) + 2\Phi_F \ldots \ldots (1)$$

其中 $\Phi_{ns}$ 表示在栅极材料和沟道体材料之间的功函数差值，$C_{ox}$ 表示每单位面积栅极氧化物材料的电容，$Q_{ov}$ 表示栅极氧化物材料的电荷，$Q_d$ 表示半导体表面区的电荷，而 $\Phi_F$ 表示半导体表面的电势。

在图 3A 的常规器件中，在 n+ 型多晶硅栅极 304 和 p 型沟道 302 之间的功函数差值 $\Phi_{ns}$ 为负，且因此，该分量起到降低阈值电压 $V_{th}$ 的作用。例如，常规垂直沟道 NMOS 晶体管器件中 $\Phi_{ns}$ 可接近 -0.6V。相反，在图 4 实例的垂直沟道 NMOS 器件中，p+ 型多晶硅栅 极 404 和 p 型沟道 402 之间的功函数差 $\Phi_{ns}$ 为正，且因此该分量导致阈值电压 $V_{th}$ 的净增加。例如，在图 4 的实施例中，$\Phi_{ns}$ 可接近 +0.4V。因此，采用前述实例，通过本发明的实施例实现了 +1.0V 的阈值电压 $V_{th}$ 增加。

例如，如果图 3A 的垂直沟道晶体管的阈值电压为约 -0.4V, 则假设所有其他条件相同的话，图 4 的垂直沟道晶体管的阈值电压为约 +0.6V。由此实现了正的阈值电压 $V_{th}$，而不需实施困难的沟道注入工艺。

NMOS 垂直沟道晶体管的正网流电压的存在提供了显著的优点，避免了对能产生负电压以截止 NMOS 垂直沟道晶体管的特殊控制组块的需要。在图 4 的 NMOS 和 PMOS 垂直沟道晶体管要以 CMOS 操作模式操作的情况下，这尤其有利。

现在将参考图 5A 至 5D 的截面示意图描述半导体存储器件的示范性实施例。需要注意的是，所有这些图，相同的元件由相同的参考数字表示。

图 5A 是根据本发明实施例的半导体存储器的截面示意图。该实施例的半导体存储器件分成存储核心区域 AA 和外围电路区域 AB。而且，存储核心区域 AA 包含存储单元区 AC 和存储单元控制电路区 AD。存储单元控制电路区 AD 例如包括读出放大 (S/A) 电路和字线驱动 (WD) 电路 (未示出)。

参考图 5A 的实施例，存储单元区 AC 包括垂直沟道选择晶体管 NMOS1，其与前面结合图 3A 讨论的 NMOS 垂直沟道晶体管相似。即，图 5A 的垂直沟道选择晶体管 NMOS1 包括 p 型垂直沟道层 102、第一 n+ 型源 / 漏极层 101 和第二 n+ 型源 / 漏极层 103。垂直沟道选择晶体管 NMOS1 还包括 n+ 型多晶硅栅极 104，其围绕 p 型垂直沟道层 102。尽管未示出，但是栅极电介质可插设在 n+ 型多晶硅栅极 104 和 p 型垂直沟道层 102 之间。

仍参考图 5A，该实施例的存储单元控制电路区 AD 包括垂直沟道晶体管 NMOS2 和 PMOS1，这二者与之前图 4 描述的那些相似，且可选择在 CMOS 操作模式下运行。即，NMOS2 垂直沟道晶体管包括 p 型垂直沟道层 102、第一 n+ 型源 / 漏极层 101 和第二 n+ 型源 / 漏极层 103。NMOS2 垂直晶体管还包括 p+ 型多晶硅栅极 104’，其围绕 p 型垂直沟道层 102。尽管未示出，但是栅极电介质可夹设在 p+ 型多晶硅栅极 104’ 和 p 型垂直沟道层 102 之间。

PMOS1 垂直沟道晶体管包含 n 型垂直沟道层 112、第一 p+ 型源 / 漏极层 111 和第二 p+ 型源 / 漏极层 113。PMOS1 垂直晶体管还包括 n+ 型多晶硅栅极 114，其围绕 n 型垂直沟道层 112。而且，栅极电介质（未示出）插设在 n+ 型多晶硅栅极 114 和 n 型垂直沟道层 112 之间。

如之前结合图 4 所描述，垂直沟道晶体管 NMOS2 在正阈值电压下操作，这是由于在
p+ 型多晶硅栅极 104' 和 p 型道 102 之间的功函数差值 $\Phi_{ns}$ 为正。结果，垂直沟道晶体管 NMOS2 和 PMOS1 在 CMOS 操作模式下能有效地工作。

【0045】如前所述，在图 5A 的实施例中，存储单元区 AC 的垂直沟道选择晶体管 NMOS1 由常规的 NMOS 垂直沟道晶体管结构形成。这样，当与存储单元控制电路区 AD 中使用的垂直沟道晶体管 NMOS2 相比时，选择垂直沟道晶体管 NMOS1 的阈值电压较低（或为负）。这样具有降低对存储单元区域 AC 中垂直沟道选择晶体管栅极氧化物应力的优点。应该理解的是，通常不必在 CMOS 模式下操作存储单元的选择晶体管。由此，在图 5A 的实施例中，存储电路控制区 AD 的垂直沟道晶体管被设计成在 CMOS 操作模式下工作，而存储单元区域 AC 的垂直沟道选择晶体管被设计成最小化其栅极氧化物的应力。

【0046】仍然参考图 5A，该实施例的外围电路区域 AB 用平面沟道晶体管器件 NMOS3 和 PMOS2 构成。这些可以与之前结合图 1 描述的那些相似。即，NMOS3 平面沟道晶体管通常都通过在 p 型衬底 100 表面上形成的 n+ 型源 / 源区 201 和 203 定义，且 n+ 型多晶硅栅极 204 位于 NMOS 平面沟道晶体管的 p 沟道区 202 上方。PMOS2 平面沟道晶体管通常通过在 p 型衬底 100 的 n 型阱 101' 的表面中形成的 p+ 型源 / 源区 211 和 213 定义。n+ 型多晶硅栅极 214 位于 PMOS2 平面沟道晶体管的 n 沟道区 212 上方。

【0047】图 5A 显示了其中外围电路区域 AB 的平面沟道晶体管位于与存储核心区域 AA 垂直沟道晶体管的平面相比较升高了的平面中的实施例。如本领域技术人员将理解的，该结构由其中使用沟槽形成技术制造垂直沟道晶体管的方式产生。

【0048】现在参考图 5B，其图解了根据本发明另一实施例的半导体存储器件。该实施例的半导体存储器件与图 5A 的相似，除了外围电路区域 AB 与图 5B 中的存储核心区域 AA 共面，并且在图 5B 的外围电路区域 AB 中采用垂直沟道晶体管 NMOS4 和 PMOS3。因此，为了避免在描述中的冗余，以下仅描述图 5B 的外围电路区域 AB。

【0049】该实施例的外围电路区域 AB 包括垂直沟道晶体管 NMOS4 和 PMOS3，该二者与之前图 4 描述的那些相似，且其可选择在 CMOS 操作模式下工作。即，NMOS4 垂直沟道晶体管包括 p 型垂直沟道层 102、第一 n+ 型源 / 源区 101 和第二 n+ 型源 / 源区 103。NMOS4 垂直晶体管还包括 p+ 型多晶硅栅极 104'，其围绕 p 型垂直沟道层 102。尽管未示出，但是栅极电介质插设在 p+ 型多晶硅栅极 104' 和 p 型垂直沟道层 102 之间。

【0050】PMOS3 垂直沟道晶体管包括 n 型垂直沟道层 112、第一 p+ 型源 / 源区 111 和第二 p+ 型源 / 源区 113。PMOS3 垂直晶体管还包括 n+ 型多晶硅栅极 114，其围绕 n 型垂直沟道层 112。而且，栅极电介质（未示出）插设在 n+ 型多晶硅栅极 114 和 n 型垂直沟道层 112 之间。

【0051】如之前结合图 4 所描述的，垂直沟道晶体管 NMOS4 在阈值电压下操作，这是由于在 p+ 型多晶硅栅极 104' 和 p 型道 102 之间的功函数差值 $\Phi_{ns}$ 为正。结果，垂直沟道晶体管 NMOS4 和 PMOS3 可有利地在 CMOS 操作模式下工作。

【0052】现在参考图 5C，其图解了根据本发明另一实施例的半导体存储器件。该实施例的半导体存储器件与图 5A 的相似，除了在图 5C 的存储单元区域 AC 中采用垂直沟道选择晶体管 NMOS1'。因此，为了避免描述上的冗余，以下仅描述图 5C 的存储单元区域 AC 的 NMOS1'。

【0053】该实施例的存储单元区域 AC 用与图 4 的垂直沟道晶体管 NMOS 相似的垂直沟道选择晶体管 NMOS1' 构造。即，图 5C 的垂直沟道选择晶体管 NMOS1' 包括 p 型垂直沟道层 102、
第一 n+ 型源 / 漏极层 101 和第二 n+ 型源 / 漏极层 103。NMOS1 垂直沟道选择晶体管还包括 p+ 型多晶硅栅极 104’，其围绕 p 型垂直沟道层 102。尽管未示出，但是栅极电介质插设在 p+ 型多晶硅栅极 104’和 p 型垂直沟道层 102 之间。

[0054] 垂直沟道选择晶体管 NMOS1’在正向电压下操作，这是由于在 p+ 型多晶硅栅极 104’和 p 型沟道 102 之间的功函数差值 ϕm 为正。结果，不必构造内产生负电压以截止（turn off）NMOS 1’垂直沟道选择晶体管的特定控制组件（special control block）。然而，当与图 5A 的实施例相比时，可能把额外的应力施加到在存储单元区 AC 内部的栅极氧化物上。

[0055] 现在参考图 5D，其图解了根据本发明实施例的半导体存储器件。该实施例的半导体存储器件与之前图 5B 描述的相似，除了在图 5D 的存储单元区域 AC 中采用之前描述的图 5C 的垂直沟道选择晶体管 NMOS1’。另外，图 5D 的实例与图 5B 的实例相同时，且因此，在此省略图 5D 的详细描述以避免冗余。

[0056] 现在参考图 6，其图解了根据本发明实施例的半导体器件的布局结构。如图所示，图 6 的半导体器件包括存储核心区域 10、列解码器 12、行解码器 14 和控制组件 16。

[0057] 存储核心区域 10 包括多个存储单元区 SMCA，其设置成行和列。每个存储单元区域 SMAC 都包括连接到位线 BL 和 BLB 以及子字线 SWL 的存储单元 MC 的阵列。尽管未示出，但是每个存储单元都包括存储元件和 NMOS 垂直沟道选择晶体管。NMOS 垂直沟道选择晶体管可构造成为之前描述的图 5A 的 NMOS1 垂直沟道晶体管相似（具有 n+ 型多晶硅栅极），或者之前图 5C 描述的 NMOS1’垂直沟道晶体管相似（具有 p+ 型多晶硅栅极）。

[0058] 如图所示，存储核心区域 10 还包括读出放大器 SA 和子字线驱动器 SWD，设置在相邻存储单元区 SMCA 之间。如本领域技术人员将理解的，读出放大器 SA 连接到存储单元区域 SMCA 的位线 BL 和 BLB，而子字线驱动器 SWD 连接到存储单元区域 SMCA 的子字线 SWL。字线驱动器 PXID 通过字线驱动控制电路 PXID 控制。如图所示，字线驱动控制电路 PXID 坐落于由子字线驱动器 SWD 的行和读出放大器 SA 的列限定的交叉点处。图 6 的参考标志 CJ 表示其中可以设置其它电路（如读出放大控制电路）的结合区。

[0059] 在该实施例的实例中，字线驱动控制电路 PXID、读出放大器 SA、子字线驱动器 SWD 和结合区 CJ 含有 NMOS 和 / 或 PMOS 垂直沟道晶体管。NMOS 垂直沟道晶体管优选构造成为之前图 5A 所述的 NMOS2 垂直沟道晶体管相似（具有 p+ 型多晶硅栅极）。如此，CMOS 操作模式可在适当时候被采用。

[0060] 行解码器 14 响应于控制组件 16 的激励信号（active signal）ACT 和行地址 RA1 和 RA2，以产生字线控制和使能信号 PXi 和 NEW。列解码器 12 响应于写入和读出控制信号 WR 和 RE 以及列地址 CA 以产生列选择信号 CSL。控制组件 16 响应于指令信号 COM，以产生激励信号 ACT 和写入和读出控制信号 WR 和 RE。本领域技术人员非常了解列解码器 12、行解码器 14 和控制组件 16 的功能，因此，在此省略了更详细的描述。

[0061] 列解码器 16、行解码器 14 和控制组件 16 可以含有平面沟道和 / 或垂直沟道晶体管，如之前结合图 5A 至 5D 的外围电路描述的那些，且可在非 CMOS 操作模式和 / 或 CMOS 操作模式下操作。

[0062] 图 7 是描述了根据本发明实施例的半导体存储器存储核心区域的电路图。

[0063] 参考图 7，存储器包括多条互补位线对 BL1 和 BLB、BL2 和 BL2B、...，BLy 和 BLyB。
以及多条字线 WL1 至 WLm。应该理解的是，位线对和字线的数目不限于本发明的上述情况。[0064]

存储单元区域 SMCA 包括多个存储单元 MC，其中每个存储单元都包括垂直沟道晶体管 N 和串联连接在位线 BL 和参考电压之间的电容元件。尤其，互补存储单元 MC 对分别连接到互补位线对 BL 和 BLB，且每个存储单元 MC 的栅极都连接到一条字线 WL。

[0065] 读出放大区域 SA 包括存放大区域 SMCA 的相对侧上。读出放大区域 SA 包括分别连接到位线对 BL1 和 BL1B、BL2 和 BL2B、...、BLy 和 BLyB 之间的读出放大电路 SA1、SA2、...、SAy，如图 7 所示。在该实例中，连接到奇数位线对 BL/BLB 的奇数读出放大电路 SA 位于存储单元区域 SMCA 的一侧，且连接到偶数位线对 BL/BLB 的偶数读出放大电路 SA 位于存储单元区域 SMCA 的另一侧上。

[0066] 例如，读出放大电路 SA1 包括：第一和第二预充电电路 PRE1 和 PRE2，其每一个都包括 n 沟道晶体管 N6-N8，并响应于预充电电压 VPRE1 和 VPRE2，第一和第二隔离电路 IS01 和 IS02，其每一个都包括 n 沟道晶体管 N1 和 N2，并响应于隔离信号 IS1 和 IS2；列选择模块 CSN，其由 n 沟道晶体管 N10 和 N11 构成，该二者连接到互补数据线 D1 和 D1B，并响应于列选择信号 CSL，和读出放大器 PSA/NSA，其包括 p 沟道晶体管 P1 和 P1H 以及 n 沟道晶体管 N8 和 N9，并响应于互补读出使能信号 NWE1-NWEj，可使能。

[0067] 仍参考图 7，字线驱动区 SWD 位于存储单元区 SMCA 的相对侧上，且每一个都包括多条字线驱动电路 SWDI-SWDb。图 7 中，位于存储单元区域 SMCA 左侧（图中）上的字线驱动电路 SWDI-SWDb，每一个都包括第一和第二字线驱动器 SD1 和 SD2，用于驱动奇字线字线 WL，而位于存储单元区域 SMCA 右侧（图中）上的字线驱动电路 SWDI-SWDb，每一个都包括第一和第二字线驱动器 SD1 和 SD2，用于驱动偶字线字线 WL。而且，字线驱动电路 SWDI-SWDb 通过图 7 中所示的字线使能信号 NWE1-NWEj，可使能。

[0068] 图 7 还图解了结合区 CJ，其含有控制电路 D，该控制电路 D 响应于由行解码器产生的控制信号 PX1-PX2，以控制字线驱动电路 SWDI-SWDb 的操作。

[0069] 本领域的技术人员很容易理解图 7 中示出的各电路元件的操作，且因此在此为了简明省略了对其详细描述。

[0070] 能看出，图 7 的存储核心布局与之前描述的图 6 的相似。

[0071] 作为折叠位线结构（folded-bit line architecture），图 7 的布置图通常在本技术领域中公知。图 8 描述了根据本发明另一实施例半导体存储器的存储核心区域，其中采用了所谓的打开位线结构（open-bit line architecture）。这种情况下，互补存储单元 MC 对包含在位于读出放大区域 SA 相对侧上的分开的存储单元区域 SMCA 中。位线 BL1 至 BLy 连接到存储单元区 SMCA 之一的存储单元 MC 上，而互补位线 BLB 至 BLyB 连接到另一存储单元区 SMCA 的互补存储单元 MC 上。

[0072] 图 8 中图解的各电路元件都用之前描述的图 7 中图解的相同参考数字表示，且本领域技术人员明了图 8 中图解的电路元件的操作。因此，在此为了简明省略了对其详细描述。

[0073] 图 9 是根据本发明实施例的图 6 所图解的字线驱动控制电路 PXID 的电路图。如图所示，字线驱动控制电路 PXID 包括反向器 11、12 和 13。该反相器 11 和 12 由升压电压 VPP 驱动，并用于延迟由行解码器（图 6）产生的控制信号 PXi，并输出所延迟的控制信号 PXi0。该反相器 13 由电源电压 VCC 驱动，并用于将控制信号 PXi 反向和输出所反向的控制
信号 PXiB。
[0074] 在图 9 的实施例中，每个反向器 11、12 和 13 都由串联连接的且栅极共接的
NMOS（N12、N13 和 N14）和 PMOS（P3、P4 和 P5）垂直沟道晶体管构成，这些晶体管构造成与图
5A 所示的 NMOS2 和 PMOS1 垂直沟道晶体管相似。因此，NMOS 垂直沟道晶体管（具有 p+ 型
多晶硅栅极）具有正的阈值电压 Vth。
[0075] 图 10 是根据本发明实施例的图 6 所图解的子字线驱动器 SWD 的电路图。如图所
示，子字线驱动器 SWD 包括反向器（晶体管 P6 和 N15）和连接到字线 SWL 和参考电压
VSS（地）之间的 NMOS 晶体管（N16），该反相器通过控制信号 PXiB 驱动，且其将控制信号
NWEB 反向（图 6），以在子字线 SWL 上输出所反向的信号。
[0076] 在图 10 的实施例中，反向器可由串联连接且共接栅极的 NMOS 和 PMOS 垂直沟道晶
体构造，这些晶体管构造成与图 5A 所示的 NMOS2 和 PMOS1 垂直沟道晶体管相似。同样，连
接在字线 SWL 和参考电压 VSS 之间的 NMOS 晶体管 N16 可构造成与图 5A 所示的 NMOS2 垂
直沟道晶体管相似。因此，NMOS 垂直沟道晶体管（具有 p+ 多晶硅栅极）具有正的阈值电
压 Vth。
[0077] 前述为说明本发明而非构成为对其的限制。尽管已经描述了本发明的几个实例性
实施例，但是本发明领域技术人员将容易理解，在实例性实施例中可以作出各种修改，而实
质上不超出本发明新的教导和优点。因此，所有这种修改都旨在包括在如权利要求中所限
定的本发明的范围之内。因此，可以理解的是，前述的是说明本发明，而不应解释成为于所
描述的具体实施例，且对于所公开的实施例的修改以及其他实施例旨在包括在附属权利要
求的范围内。本发明由所附权利要求限定，权利要求的等价物也包括其中。
图4
图 8