



(12)发明专利申请

(10)申请公布号 CN 109427770 A

(43)申请公布日 2019.03.05

(21)申请号 201811013410.4

(22)申请日 2018.08.31

(30)优先权数据

17306137.5 2017.09.01 EP

(71)申请人 恩智浦美国有限公司

地址 美国得克萨斯

(72)发明人 詹柔莹 P·贝斯 A·萨勒斯

(74)专利代理机构 中国国际贸易促进委员会专
利商标事务所 11038

代理人 刘偶

(51)Int.Cl.

H01L 27/02(2006.01)

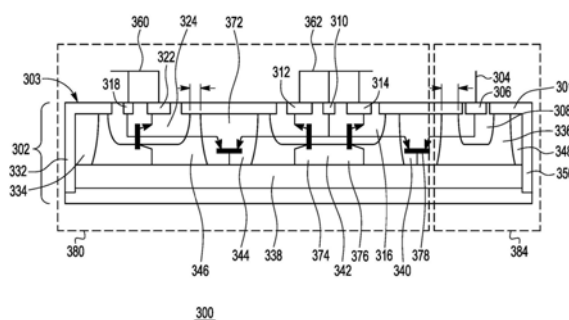
权利要求书3页 说明书11页 附图5页

(54)发明名称

具有双向硅控整流器(SCR)的静电放电保护
电路

(57)摘要

本公开涉及具有双向硅控整流器(SCR)的静电放电保护电路。静电放电(ESD)保护装置包括具有属于第一导电类型的掺杂阱的第一双向硅控整流器、具有与所述第一导电类型相反的第二导电类型的内埋式掺杂层、在所述掺杂阱中的属于所述第二导电类型的第一和第二高度掺杂区,以及在所述掺杂阱中的属于所述第一导电类型的第三高度掺杂区。所述第一、第二和第三高度掺杂区被连接到第一节点。所述掺杂阱中的第一晶体管包括耦合到所述第一高度掺杂区的发射极、耦合到所述内埋式掺杂层中的导线的集电极,和耦合到所述第三高度掺杂区的基极。所述掺杂阱中的第二晶体管包括耦合到所述第二高度掺杂区的发射极、耦合到所述内埋式掺杂层中的所述导线的集电极,和耦合到所述第三高度掺杂区的基极。



1. 一种静电放电ESD保护装置,其特征在于,包括:

第一双向硅控整流器SCR,其包括:

基板;

所述基板中的第一掺杂阱,所述第一掺杂阱具有第一导电类型;

所述基板中的内埋式掺杂层,所述内埋式掺杂层具有与所述第一导电类型相反的第二导电类型;

所述第一掺杂阱中的属于所述第二导电类型的第一和第二高度掺杂区;

所述第一掺杂阱中的属于所述第一导电类型的第三高度掺杂区,其中所述第一、第二和第三高度掺杂区被连接到第一节点;

所述第一掺杂阱中的第一晶体管,所述第一晶体管包括耦合到所述第一高度掺杂区的发射极、耦合到所述内埋式掺杂层中的第一导电线的集电极,和耦合到所述第三高度掺杂区的基极;

所述第一掺杂阱中的第二晶体管,所述第二晶体管包括耦合到所述第二高度掺杂区的发射极、耦合到所述内埋式掺杂层中的所述第一导电线的集电极,和耦合到所述第三高度掺杂区的基极。

2. 根据权利要求1所述的ESD保护装置,其特征在于,所述第一SCR进一步包括:

具有所述第二导电类型的第一掺杂基板区;

所述基板中的第二掺杂阱,所述第二掺杂阱具有所述第一导电类型;

所述第二掺杂阱中的属于所述第一导电类型的第四高度掺杂区;

所述第一掺杂基板区中的第三晶体管,所述第三晶体管包括连接到所述第三高度掺杂区的第一发射极、耦合到所述第一导电线的基极和连接到所述第四高度掺杂区的第二发射极。

3. 根据权利要求2所述的ESD保护装置,其特征在于,所述第一SCR进一步包括:

所述基板中的第三掺杂阱,所述第三掺杂阱具有所述第一导电类型;

所述第三掺杂阱中的属于所述第二导电类型的第五高度掺杂区;

所述第三掺杂阱中的属于所述第一导电类型的第六高度掺杂区,其中所述第五和第六高度掺杂区被连接到第二节点;

所述第三掺杂阱中的第四晶体管,所述第四晶体管包括耦合到所述第五高度掺杂区的发射极、耦合到所述内埋式掺杂层中的所述第一导电线的集电极,和耦合到所述第六高度掺杂区的基极。

4. 根据权利要求3所述的ESD保护装置,其特征在于,所述第一SCR进一步包括:

具有所述第二导电类型的第二掺杂基板区;

所述第二掺杂基板区中的第五晶体管,所述第五晶体管包括连接到所述第三高度掺杂区的第一发射极、耦合到所述第一导电线的基极和连接到所述第六高度掺杂区和所述第四晶体管的所述基极的第二发射极。

5. 根据权利要求4所述的ESD保护装置,其特征在于,进一步包括:

第二SCR,其包括:

所述基板中的第四掺杂阱,所述第四掺杂阱具有所述第一导电类型;

所述第四掺杂阱中的属于所述第二导电类型的第七高度掺杂区;

所述第四掺杂阱中的属于所述第一导电类型的第八高度掺杂区,其中所述第七和第八高度掺杂区被连接到第三节点;

所述第四掺杂阱中的第六晶体管,所述第六晶体管包括耦合到所述第七高度掺杂区的发射极、耦合到所述内埋式掺杂层中的第二导电网的集电极,和耦合到所述第八高度掺杂区的基极。

6. 根据权利要求5所述的ESD保护装置,其特征在于,所述第二SCR进一步包括:

所述基板中的第五掺杂阱,所述第五掺杂阱具有所述第一导电类型;

所述第五掺杂阱中的属于所述第二导电类型的第九高度掺杂区;

所述第五掺杂阱中的属于所述第一导电类型的第十高度掺杂区,其中所述第九和第十高度掺杂区被连接到所述第二节点;

所述第五掺杂阱中的第七晶体管,所述第七晶体管包括耦合到所述第十高度掺杂区的发射极、耦合到所述内埋式掺杂层中的所述第二导电网的集电极,和耦合到所述第十高度掺杂区的基极。

7. 根据权利要求6所述的ESD保护装置,其特征在于,所述第二SCR进一步包括:

具有所述第二导电类型的第三掺杂基板区;

所述第三掺杂基板区中的第八晶体管,所述第八晶体管包括耦合到所述第八高度掺杂区的第一发射极、耦合到所述第九高度掺杂区的第二发射极,和耦合到所述第二导电网的基极。

8. 根据权利要求7所述的ESD保护装置,其特征在于,进一步包括:

包括所述第八高度掺杂区的所述第四掺杂阱的一部分是高压掺杂阱;及

包括所述第六高度掺杂区的所述第三掺杂阱的一部分是高压掺杂阱。

9. 一种静电放电ESD保护装置,其特征在于,包括:

半导体基板中的第一双向硅控整流器,其包括:

属于第一导电类型的第一掺杂阱;

所述第一掺杂阱中的第一晶体管,其具有连接到属于第二导电类型的第一电极的发射极、耦合到属于所述第二导电类型的掺杂内埋式区的集电极,和连接到属于所述第一导电类型的第二电极的基极;

所述第一掺杂阱中的第二晶体管,其具有连接到属于所述第二导电类型的第三电极的发射极、耦合到所述掺杂内埋式区的集电极,和连接到所述第二电极的基极,其中所述第一、第二和第三电极在所述第一掺杂阱中;

靠近所述第一掺杂阱的属于所述第二导电类型的第一掺杂基板区;

属于所述第一导电类型的第二掺杂阱;以及

所述第一掺杂基板区中的第三晶体管,其具有连接到所述第二电极的第一发射极、耦合到所述掺杂内埋式区的基极,和连接到属于所述第一导电类型的第四电极的第二发射极,其中所述第四电极在所述第二掺杂阱中,且所述掺杂内埋式区在所述第一掺杂基板区和所述第一和第二掺杂阱下方。

10. 根据权利要求9所述的ESD保护装置,其特征在于,进一步包括:

所述第二掺杂阱中的第四晶体管,所述第二晶体管包括连接到属于所述第二导电类型的第五电极的发射极、连接到所述掺杂内埋式区的集电极,和连接到所述第四电极的基极,

其中所述第五电极在所述第二掺杂阱中。

具有双向硅控整流器 (SCR) 的静电放电保护电路

技术领域

[0001] 本公开大体上涉及集成电路,且更具体地说,涉及具有双向SCR的静电放电(Electrostatic Discharge,ESD)保护电路。

背景技术

[0002] 静电放电 (ESD) 是关于半导体装置的利用、制造和/或设计的问题。当从连接到半导体装置的其它电路或从接触半导体装置的人和/或机械设备和工具接收到ESD事件时,制造在半导体装置上的集成电路可能受到损坏。在ESD事件期间,集成电路可接收在相对较短时段期间产生相对大的电流的电荷。由于电流较大(在几十纳秒期间达到数安培),IC内的电压增大。如果所得电压、电流、功率或能量超过所述电路的最大容量,那么可能对集成电路造成不可修复的损坏。

[0003] 当今,大部分集成电路包括ESD保护电路系统,其能够将ESD事件的电荷传导到(例如)接地,而不会对集成电路造成不可修复的损坏。这种ESD保护电路通常被布置在半导体装置的I/O垫附近,并且被配置成在电流可能到达集成电路的脆弱部分之前,直接将ESD事件的电荷传导到接地。

[0004] 当今使用的ESD电路中的一种包括与PNP晶体管耦接的双向硅控整流器(Silicon Controlled Rectifier;SCR)。应注意当PNP晶体管的基极被耦接到NPN晶体管的集电极时,SCR(或闸流晶体管)被形成。在输入/输出(I/O)垫上的正电压的ESD事件的情况下,这种ESD保护电路可能传导较大电流,由此保护IC。举例而言,图1将所述通常行为示出为这种ESD保护装置的传输线脉冲(Transmission Line Pulse,TLP)曲线。如图1所示,如果ESD事件的电压在点12处升高到触发电压 V_{t1} ,那么触发ESD保护电路的操作,其中SCR被激活,导致跨越ESD保护电路的电压的减小。这种电压减小被称作“突返电压”。因此,在达到触发电压 V_{t1} 之后,所述电压向点14处的保持电压 V_h 下降。所述触发电压 V_t 与所述保持电压 V_h 之间的差值为突返电压 V_{sb} 。随后,ESD保护装置能够传导较大电流来保护IC,直到ESD保护装置在点16处受损。

[0005] 通常,存在使保持电压为特定量,使得其能够提供闭锁抗扰性的需求。因为保持电压帮助预防闭锁的风险,所以保持电压越高,越可以实现更好的质量和稳定性。目前的ESD保护电路无法提供足够高的保持电压,因此存在对改善的ESD保护电路的需要。

发明内容

[0006] 根据本发明的第一方面,提供一种静电放电ESD保护装置,包括:

[0007] 第一双向硅控整流器SCR,其包括:

[0008] 基板;

[0009] 所述基板中的第一掺杂阱,所述第一掺杂阱具有第一导电类型;

[0010] 所述基板中的内埋式掺杂层,所述内埋式掺杂层具有与所述第一导电类型相反的第二导电类型;

- [0011] 所述第一掺杂阱中的属于所述第二导电类型的第一和第二高度掺杂区；
- [0012] 所述第一掺杂阱中的属于所述第一导电类型的第三高度掺杂区，其中所述第一、第二和第三高度掺杂区被连接到第一节点；
- [0013] 所述第一掺杂阱中的第一晶体管，所述第一晶体管包括耦合到所述第一高度掺杂区的发射极、耦合到所述内埋式掺杂层中的第一导电线的集电极，和耦合到所述第三高度掺杂区的基极；
- [0014] 所述第一掺杂阱中的第二晶体管，所述第二晶体管包括耦合到所述第二高度掺杂区的发射极、耦合到所述内埋式掺杂层中的所述第一导电线的集电极，和耦合到所述第三高度掺杂区的基极。
- [0015] 在一个或多个实施例中，所述第一SCR进一步包括：
- [0016] 具有所述第二导电类型的第一掺杂基板区；
- [0017] 所述基板中的第二掺杂阱，所述第二掺杂阱具有所述第一导电类型；
- [0018] 所述第二掺杂阱中的属于所述第一导电类型的第四高度掺杂区；
- [0019] 所述第一掺杂基板区中的第三晶体管，所述第三晶体管包括连接到所述第三高度掺杂区的第一发射极、耦合到所述第一导电线的基极和连接到所述第四高度掺杂区的第二发射极。
- [0020] 在一个或多个实施例中，所述第一SCR进一步包括：
- [0021] 所述基板中的第三掺杂阱，所述第三掺杂阱具有所述第一导电类型；
- [0022] 所述第三掺杂阱中的属于所述第二导电类型的第五高度掺杂区；
- [0023] 所述第三掺杂阱中的属于所述第一导电类型的第六高度掺杂区，其中所述第五和第六高度掺杂区被连接到第二节点；
- [0024] 所述第三掺杂阱中的第四晶体管，所述第四晶体管包括耦合到所述第五高度掺杂区的发射极、耦合到所述内埋式掺杂层中的所述第一导电线的集电极，和耦合到所述第六高度掺杂区的基极。
- [0025] 在一个或多个实施例中，所述第一SCR进一步包括：
- [0026] 具有所述第二导电类型的第二掺杂基板区；
- [0027] 所述第二掺杂基板区中的第五晶体管，所述第五晶体管包括连接到所述第三高度掺杂区的第一发射极、耦合到所述第一导电线的基极和连接到所述第六高度掺杂区和所述第四晶体管的所述基极的第二发射极。
- [0028] 在一个或多个实施例中，所述ESD保护装置进一步包括：
- [0029] 第二SCR，其包括：
- [0030] 所述基板中的第四掺杂阱，所述第四掺杂阱具有所述第一导电类型；
- [0031] 所述第四掺杂阱中的属于所述第二导电类型的第七高度掺杂区；
- [0032] 所述第四掺杂阱中的属于所述第一导电类型的第八高度掺杂区，其中所述第七和第八高度掺杂区被连接到第三节点；
- [0033] 所述第四掺杂阱中的第六晶体管，所述第六晶体管包括耦合到所述第七高度掺杂区的发射极、耦合到所述内埋式掺杂层中的第二导电线的集电极，和耦合到所述第八高度掺杂区的基极。
- [0034] 在一个或多个实施例中，所述第二SCR进一步包括：

- [0035] 所述基板中的第五掺杂阱,所述第五掺杂阱具有所述第一导电类型;
- [0036] 所述第五掺杂阱中的属于所述第二导电类型的第九高度掺杂区;
- [0037] 所述第五掺杂阱中的属于所述第一导电类型的第十高度掺杂区,其中所述第九和第十高度掺杂区被连接到所述第二节点;
- [0038] 所述第五掺杂阱中的第七晶体管,所述第七晶体管包括耦合到所述第十高度掺杂区的发射极、耦合到所述内埋式掺杂层中的所述第二导电线的集电极,和耦合到所述第十高度掺杂区的基极。
- [0039] 在一个或多个实施例中,所述第二SCR进一步包括:
- [0040] 具有所述第二导电类型的第三掺杂基板区;
- [0041] 所述第三掺杂基板区中的第八晶体管,所述第八晶体管包括耦合到所述第八高度掺杂区的第一发射极、耦合到所述第九高度掺杂区的第二发射极,和耦合到所述第二导电线的基极。
- [0042] 在一个或多个实施例中,所述ESD保护装置进一步包括:
- [0043] 包括所述第八高度掺杂区的所述第四掺杂阱的一部分是高压掺杂阱;及
- [0044] 包括所述第六高度掺杂区的所述第三掺杂阱的一部分是高压掺杂阱。
- [0045] 根据本发明的第二方面,提供一种静电放电ESD保护装置,包括:
- [0046] 半导体基板中的第一双向硅控整流器,其包括:
- [0047] 属于第一导电类型的第一掺杂阱;
- [0048] 所述第一掺杂阱中的第一晶体管,其具有连接到属于第二导电类型的第一电极的发射极、耦合到属于所述第二导电类型的掺杂内埋式区的集电极,和连接到属于所述第一导电类型的第二电极的基极;
- [0049] 所述第一掺杂阱中的第二晶体管,其具有连接到属于所述第二导电类型的第三电极的发射极、耦合到所述掺杂内埋式区的集电极,和连接到所述第二电极的基极,其中所述第一、第二和第三电极在所述第一掺杂阱中;
- [0050] 靠近所述第一掺杂阱的属于所述第二导电类型的第一掺杂基板区;
- [0051] 属于所述第一导电类型的第二掺杂阱;以及
- [0052] 所述第一掺杂基板区中的第三晶体管,其具有连接到所述第二电极的第一发射极、耦合到所述掺杂内埋式区的基极,和连接到属于所述第一导电类型的第四电极的第二发射极,其中所述第四电极在所述第二掺杂阱中,且所述掺杂内埋式区在所述第一掺杂基板区和所述第一和第二掺杂阱下方。
- [0053] 在一个或多个实施例中,所述ESD保护装置进一步包括:
- [0054] 所述第二掺杂阱中的第四晶体管,所述第二晶体管包括连接到属于所述第二导电类型的第五电极的发射极、连接到所述掺杂内埋式区的集电极,和连接到所述第四电极的基极,其中所述第五电极在所述第二掺杂阱中。
- [0055] 在一个或多个实施例中,所述ESD保护装置进一步包括:
- [0056] 第一节点,其中所述第一、第二和第三电极被连接到所述第一节点;和/或
- [0057] 第二节点,其中所述第四和第五电极被连接到所述第二节点。
- [0058] 在一个或多个实施例中,所述ESD保护装置进一步包括:
- [0059] 所述半导体基板中的第二双向硅控整流器,其包括:

- [0060] 属于所述第一导电类型的第三掺杂阱；
- [0061] 第三节点；
- [0062] 所述第三掺杂阱中的第五晶体管，其具有连接到属于所述第二导电类型的第六电极的发射极、连接到所述掺杂内埋式区的集电极，和连接到属于所述第一导电类型的第七电极的基极，其中所述第六和第七电极在所述第三掺杂阱中且连接到所述第三节点。
- [0063] 在一个或多个实施例中，所述第二双向硅控整流器进一步包括：
- [0064] 靠近所述第三掺杂阱的属于所述第二导电类型的第二掺杂基板区；
- [0065] 属于所述第一导电类型的第四掺杂阱；
- [0066] 所述第二掺杂基板区中的第六晶体管，其具有连接到所述第七电极的第一发射极、耦合到所述掺杂内埋式区的基极，和连接到属于所述第二导电类型的第八电极的第二发射极，其中所述第八电极在所述第四掺杂阱中，且所述掺杂内埋式区在所述第二掺杂基板区和所述第三和第四掺杂阱下方。
- [0067] 在一个或多个实施例中，所述第二双向硅控整流器进一步包括：
- [0068] 所述第四掺杂阱中的第七晶体管，其具有连接到属于所述第一导电类型的第九电极的发射极、连接到所述掺杂内埋式区的集电极，和连接到所述第八电极的基极，其中所述第八和第九电极被连接到所述第二节点。
- [0069] 在一个或多个实施例中，所述ESD保护装置进一步包括：
- [0070] 属于所述第一导电类型的第五掺杂阱；
- [0071] 在所述第一掺杂阱与所述第五掺杂阱之间的属于所述第二导电类型的第三掺杂基板区；
- [0072] 所述第三掺杂基板区中的第八晶体管，其具有连接到所述第二电极的第一发射极、耦合到所述掺杂内埋式区的基极，和连接到属于所述第二导电类型的第八电极的第二发射极，其中所述第八电极在所述第五掺杂阱中，且所述掺杂内埋式区在所述第二掺杂基板区和所述第三和第四掺杂阱下方。
- [0073] 本发明的这些和其它方面将根据下文中所描述的实施例显而易见，且参考这些实施例予以阐明。

附图说明

- [0074] 本发明借助于例子示出并且不受附图的限制，在附图中的类似标记指示类似元件。为简单和清晰起见，示出图中的元件，并且这些元件未必按比例绘制。
- [0075] 图1示出现有技术ESD保护电路的通常TLP曲线。
- [0076] 图2以横截面形式示出根据本发明的一个实施例的ESD保护电路。
- [0077] 图3以示意图形式示出图2的ESD保护电路。
- [0078] 图4以横截面形式示出根据本发明的另一实施例的ESD保护电路。
- [0079] 图5以示意图形式示出图4的ESD保护电路。

具体实施方式

- [0080] 当与PNP晶体管组合时，ESD保护电路包括在正极端处具有双重发射极区的双向SCR。所述SCR中的双重发射极区导致保持电压增加，其可允许改善的闭锁抗扰性。

[0081] 图2以横截面形式示出根据本发明的一个实施例的ESD保护电路300(也被称为半导体装置300)。仅呈现了横截面视图,而本领域的技术人员了解这意味着所述结构朝着垂直于所述图的平面的方向延伸一定距离。另外,如将在下文中论述,所述结构的一部分封闭一个区,这意味着它们在垂直于图的平面的方向上延伸一定距离,并且随后沿循平行于所述图的平面的路径。

[0082] 装置300包括p掺杂基板302。P掺杂基板302具有第一侧303。在替代实施例中,p掺杂基板302还可以细分为两层。底部层(在图2中呈现的定向上可见)是在其上制造有p掺杂外延层的p掺杂半导体材料。在这种替代实施例中,p掺杂半导体材料应类似于p掺杂外延层。基板302借助基板连接(未示出)电力地与基板电压或接地电压接触。

[0083] 在基板302内形成隔离结构来将基板302细分成保留部分和隔离部分。隔离部分被隔离结构封闭。隔离结构至少包括N埋层NBL(N-buried layer) 338,其在所述隔离部分与所述保留部分之间的边界处,被布置在p掺杂基板302内部。NBL 338沿横向方向布置,并且被布置成在隔离部分与保留部分之间的接口下方,从第一侧可见。所述隔离结构还包括封闭所述隔离部分的深沟槽隔离结构DTI(Deep Trench Isolation) 332和350。应注意DTI 332和350是可选的。隔离结构还包括N掺杂区334和348,其从第一侧303朝向NBL 338延伸。N掺杂区334和348靠近所述深沟槽隔离结构,DTI 332和350,并且封闭所述隔离部分。

[0084] 第一N掺杂区340和第二N掺杂区344被形成于隔离部分中,并且从第一侧面303朝向NBL 338延伸。第一N掺杂区340和第二N掺杂区344将隔离部分细分成第一部分pepi1 336、第二部分pepi2 342,和第三部分pepi3 346。第一部分pepi1 336、第二部分pepi2 342和第三部分pepi3 346与彼此不重叠。

[0085] 第一p掺杂阱区308、第二p掺杂阱区316和第三p掺杂阱区324相应地被形成在第一部分336、第二部分342和第三部分346中。(p掺杂阱区308、316和324中的每一个都可被称为p掺杂区。)第一p掺杂区308、第二p掺杂区316和第三p掺杂区324中的每一个从第一侧面303相应地延伸到其对应的部分pepin 336、342和346。P掺杂区308、316和324并不完全延伸到NBL 338。另外,p掺杂区308、316和324各自具有高于对应的第一部分pepi1 336、第二部分pepi2 342和第三部分pepi3 346的p掺杂剂浓度的p掺杂剂浓度。p掺杂区之间的第一侧303处还包括浅沟槽隔离(Shallow trench isolation,STI)区301。

[0086] 第一p接触区306位于第一p掺杂区308内。P接触区306被连接到电连接304,其被连接到装置300的负电压NEG端(或节点)。NEG基本上被绑定到接地电压。P接触区306是高度掺杂P+区,其与第一p掺杂区308的P掺杂剂浓度相比具有较高P掺杂剂浓度。

[0087] N接触区314和312和P接触区310被形成在第二p掺杂区316中,而N接触区322和p接触区318被形成在第三p掺杂区324中。N接触区314、312和322和P接触区310和318从第一侧面303延伸到对应的P掺杂区中,然而,它们并不完全延伸到对应的P掺杂区的底部。即,如沿从第一侧303的方向所见,接触区310、314、312、318和322各自被对应的p掺杂区316或324包围。P接触区310和318是高度掺杂P+区,且具有高于P掺杂区316和324的p掺杂剂浓度的p掺杂剂浓度。电连接362被连接到N接触区312和314和P接触区310中的每一个。电连接362被配置成连接到半导体装置300的I/O垫,其被称作装置300的正极POS端(或节点)。电连接360被连接到N接触区322和P接触区318。电连接360被配置成连接到NEG或连接到接地电压。

[0088] 应注意,在替代实施例中,掺杂区和接触区可能被形成在不同定向中。举例来说,

如图2中的从左到右方向中所见,N接触区322和P接触区318可能是反向的,使得N接触区322可能位于P接触区318左侧。类似地,p掺杂区324中的接触区可被不同地布置。

[0089] 半导体装置300的结构实施特定电路。图2示意性地示出所述电路的晶体管NPN1 370、PNP1 372、NPN3 374、NPN2 376和PNP2 378。NPN1 370由从N接触区322到p掺杂区324到NBL 338的n-p-n接面形成。PNP1 372由从p掺杂区324到N掺杂区344到p掺杂区316的p-n-p接面形成。NPN3 374由从N接触区312到p掺杂区316到NBL 338的n-p-n接面形成。NPN2 376由从N接触区314到p掺杂区316到NBL338的n-p-n接面形成。PNP2由从p掺杂区316到N掺杂区340到p掺杂区308的p-n-p接面形成。接触区322提供到NPN1的发射极的接触,而接触区318提供到NPN1的基极的接触。接触区312提供到NPN3的发射极的接触,而接触区314提供到NPN2的发射极的接触。接触区310提供到NPN3和NPN2的基极的接触。电连接362电连接NPN3和NPN2的发射极,使得NPN3和NPN2的组合形成双重发射极装置。

[0090] 如图2和3中所见,PNP1的发射极被绑定到NPN3和NPN2的基极,PNP1的基极被绑定到NPN1的集电极,而PNP 1的集电极被绑定到NPN1的基极。PNP2的发射极被绑定到NEG,PNP2的基极被绑定到NPN2和NPN3的集电极,而PNP2的集电极被绑定到NPN3和NPN2的基极。因此,可看出NPN1、PNP1、NPN3和NPN2形成在POS端上具有双重发射极(亦即NPN3和NPN2两者的发射极)的第一双向SCR380。应注意第二SCR 382由NPN3、NPN2和PNP2形成。

[0091] 在操作中,如果跨越SCR1 380的电压朝向第一触发电压 V_{t1} 增加,那么SCR1 380开始操作。当达到 V_{t1} 时,通过ESD保护装置300的电流值等于触发电流 I_{t1} 。一旦SCR1 380开始其操作,那么跨越SCR1 380的电压减小到保持电压 V_h ,并且从那一点之后,如果通过SCR1 380的电流增加,那么跨越SCR1 380的电压同样增加。第一触发器电压 V_{t1} 很大程度上取决于N掺杂区344与p掺杂区324之间沿通过第三部分pepi3 346的最短线的距离 S_p (参见图2)。因此,N掺杂区344与p掺杂区324之间的距离 S_p 被配置成获取第一预先确定的触发电压 V_{t1} 。

[0092] 当跨越ESD保护装置300的电压增加时,从N掺杂区340朝向p掺杂区308的n-p接面被逆向偏置。一旦在第二触发电压 V_{t2} 处达到这种接面的击穿电压,那么通过这种n-p接面产生由碰撞电离导致的崩溃现象。孔电流从p掺杂区308流过。p掺杂区是电阻性的,并且一旦N掺杂区340与第一p掺杂区308之间的电压差变为大于0.3伏特,那么晶体管PNP2开始操作。一旦PNP2开始操作,那么通过PNP2的电流随着跨越PNP2的电压而增加。第二触发电压 V_{t2} 很大程度上取决于p掺杂区308与N掺杂区340之间沿通过第一部分pepi1 336的最短线的距离 S_{pi2} (图2)。因此,p掺杂区308与N掺杂区340之间的距离 S_{pi2} 被配置成获取第一预先确定的触发电压 V_{t2} 。

[0093] 在一个实施例中,SCR1 380被配置成具有大于第二触发电压 V_{t2} 的第一触发电压 V_{t1} 。因此,当跨越ESD保护装置300的电压增加时,首先达到第二触发电压 V_{t2} 。因此PNP2被首先接通,并且首先向NEG端传导掉ESD事件的电流。如果在PNP2的操作开始之后,跨越ESD保护装置300的电压仍然增加,那么可能达到第一触发器电压 V_{t1} ,并且SCR1 380也被接通,来向NEG端传导更多的ESD事件的电流。这可能导致突返状态。然而,仅在比SCR1 380的触发电流 I_{t1} 高得多的突返电流 I_{sb} 处观测到突返状态。

[0094] 应注意SCR1 380包括被触点接触的312和314的两个发射极区,和被触点310接触的基极区。发射极区和基极区两者借助于电连接362被连接到POS端。在POS端相对于NEG端偏置为高的正向极性情形下,主电流从POS端处的基极触点310流向NEG端处的发射极触点

322。被NPN3和触点312提供的额外发射极区在主电流中。在正向极性情形的情况下,随着发射极触点312短接到POS端,由触点312和P掺杂区316形成的n-p接面将被逆向偏置。由此产生的较高场将调制正向电流,导致比只用SCR 380的单个发射极区(即,用NPN2但不具有NPN3)可实现更高的 V_h 。这种较高的保持电压可以允许装置300满足相比于使用现有技术的SCR装置先前可能的电压,需要更高保持电压的规格。这可允许改善的闭锁抗扰性。

[0095] 图4以横截面形式示出根据本发明的另一实施例的ESD保护电路400。图4中,双向SCR 402与具有双重发射极区的双向SCR 404串联连接,并且PNP晶体管405与SCR 404并联连接。在所示出的实施例中,SCR 402可以是如技术中已知的SCR,诸如具有单个发射极区的一个SCR,而SCR 404可能与上文所述的具有由NPN3 374和NPN2 376形成的双重发射极区相似的SCR1 380。

[0096] 装置400包括基板406。P掺杂基板406具有第一侧403。在替代实施例中,基板406还可以被细分成两层。底部层(在图4中呈现的定向上可见)是在其上制造有p掺杂外延层的p掺杂半导体材料。在这种替代实施例中,p掺杂半导体材料应类似于p掺杂外延层。基板406借助基板连接(未示出)电力地与基板电压或接地电压接触。在替代实施例中,内埋式氧化物层(BOX)可以位于基板406与p掺杂外延层之间。在此情况下,基板406可以是n型或p型的任一种。

[0097] 在基板406内形成隔离结构来将基板406细分成保留部分和隔离部分。隔离部分被隔离结构封闭。隔离结构至少包括在隔离部分与保留部分之间的边界处在p掺杂基板406内沿横向方向布置的内埋式氧化物层BOX 409。所述隔离结构还包括在BOX 409上方布置于横向方向中的N埋层NBL 407。隔离结构还包括深沟槽隔离结构DTI 418和422,其连同BOX 409一起封闭隔离部分。应注意DTI 418、420和422是可选的。隔离结构还包括N掺杂区480、484、486、488和492,其从第一侧403朝向NBL 407延伸。N掺杂区480靠近DTI 418,而N掺杂区484和486靠近DTI 420。应注意如果DTI 430不存在,那么N掺杂区484和486可能形成单个N掺杂区。N掺杂区492靠近DTI 422。

[0098] N掺杂区482、N掺杂区488和N掺杂区490被形成在隔离部分中,并且从第一侧面403朝向NBL 507延伸。N掺杂区482、N掺杂区488和N掺杂区490,连同N掺杂区484和486将隔离部分细分成第一部分pepi1 408、第二部分pepi2 410、第三部分pepi3 412、第四部分pepi4 414和第五部分pepi5 416。第一部分pepi1 408、第二部分pepi2 410、第三部分pepi3 412、第四部分pepi4 414和第五部分pepi5 416不与彼此重叠。隔离区426被形成于第一部分pepi1 408底部处的NBL 407内,使得NBL407在第一部分pepi1 408下方不连续。

[0099] p掺杂阱区428和p掺杂阱区430被形成在第一部分408中,p掺杂阱区438被形成在第二部分410中,p掺杂阱区450和p掺杂阱区448被形成在第三部分412中,p掺杂区458被形成在第四部分414中,而p掺杂区466被形成在第五部分416中。(p掺杂阱区428、430、438、450和448的EAc可被称为p掺杂区。)这些p掺杂区中的每一个相应地从第一侧面403延伸到其对应的部分pepin中,并且并不完全延伸到NBL407。另外,p掺杂区428、430、438、450、448、458和466各自具有高于对应的第一、第二、第三、第四和第五部分的P掺杂剂浓度的P掺杂剂浓度。并且,P掺杂区430和428可能被视为相同阱的部分,并且p掺杂区450和448可能被视为相同阱的部分。P掺杂区430和450是高压阱区。p掺杂区之间的第一侧403处还包括浅沟槽隔离(STI)区401。

[0100] P接触区436位于p掺杂区430内。N接触区434和P接触区432位于p掺杂区428内。P接触区436和N接触区434被连接到电连接470,其被连接到装置400的负电压NEG端(或节点)。NEG基本上被绑定到接地电压。N接触区N+442和P接触区440位于p掺杂区438中。P接触区456位于p掺杂区450内。N接触区454和P接触区452位于p掺杂区448内。N接触区442、P接触区440、P接触区456和N接触区454通过电连接472彼此连接。N接触区464、P接触区462和N接触区460位于p掺杂区458中。电连接474被连接到N接触区464和460和P接触区462中的每一个。电连接474被配置成连接到半导体装置400的I/O垫,其被称作装置400的正极POS端(或节点)。P接触区468位于p掺杂区466中,且被配置成连接到NEG或接地电压。应注意P接触区是高度掺杂P+区,且具有高于p掺杂区428、438、448、458和466的p掺杂剂浓度的p掺杂剂浓度。并且,N接触区是高度掺杂N+区,其具有与N掺杂区480、482、484、486、488、490和492相比较高的掺杂剂浓度。应注意,在替代实施例中,掺杂区和接触区可能被形成在不同定向中。类似地,接触区可被不同地布置。

[0101] 半导体装置400的结构实施特定电路。图5示意性地示出所述电路的晶体管NPN1' 504、PNP1' 506、NPN2' 508、NPN1 510、PNP1 512、NPN3 514、NPN2 516和PNP2 518。这些晶体管适合于接收到ESD事件的情形。在图5中呈现在接收到ESD事件(正向或逆向ESD事件中的任一种)情况下,实施在半导体装置400中的电路的对应电路图。NPN1' 504由从N接触区434到p掺杂区428到NBL 407的n-p-n接面形成。PNP1' 506由从p掺杂区428到N掺杂区482到p掺杂区438的p-n-p接面形成。NPN2' 508由从N接触区442到p掺杂区438到NBL 407的n-p-n接面形成。NPN1 510由从N接触区454到p掺杂区448到NBL 407的n-p-n接面形成。PNP1 512由从p掺杂区448到N掺杂区488到p掺杂区458的p-n-p接面形成。NPN3 514由从N接触区464到p掺杂区458到NBL 407的n-p-n接面形成。NPN2 516由从N接触区460到p掺杂区458到NBL 407的n-p-n接面形成。PNP2由从p掺杂区458到N掺杂区490到p掺杂区466的p-n-p接面形成。

[0102] 接触区436提供到NPN1' 504的基极的接触,而接触区434提供到NPN1' 504的发射极的接触。接触区442提供到NPN2' 508的发射极的接触,而接触区440提供到NPN2' 508的基极的接触。接触区456提供到NPN1 510的基极的接触,而接触区454提供到NPN1 510的发射极的接触。接触区464提供到NPN3 514的发射极的接触,接触区460提供到NPN2 516的发射极的接触,而接触区462提供到NPN3 514和NPN2 516的基极的接触。电连接474电连接NPN3 514和NPN2 516的发射极,使得NPN3和NPN2的组合形成双重发射极装置。

[0103] 参考图4和5,PNP1'的发射极被绑定到NPN2'的基极,PNP1'的基极被绑定到NPN1'和NPN2'的集电极,并且PNP1'的集电极被绑定到NPN1'的基极。NPN1'的基极和NPN1'的发射极被绑定到NEG端。NPN2'的发射极、NPN2'的基极、NPN1的基极和NPN1的发射极被全部绑定在一起。PNP1的发射极被绑定到NPN3和NPN2的基极,PNP1的基极被绑定到NPN1的集电极,而PNP1的集电极被绑定到NPN1的基极。PNP2的发射极被绑定到NEG,PNP2的基极被绑定到NPN3和NPN2的集电极,而PNP2的集电极被绑定到NPN3和NPN2的基极。NPN3和NPN2的基极和发射极被电连接到POS端。因此,可看出NPN1、PNP1、NPN3和NPN2形成在POS端上具有双重发射极(亦即NPN3和NPN2两者的发射极)的第一双向SCR 404。第二SCR 402由NPN1'、PNP1'和NPN2'形成。应注意第三SCR 502由NPN3、NPN2和PNP2形成。

[0104] 与上文所论述的图2和3相似,应注意SCR1 404包括被触点464和460接触的两个发射极区和被触点462接触的基极区。发射极区和基极区两者借助于电连接474被连接到POS

端。在POS端相对于NEG端偏置为高的正向极性情形下,主电流从POS端处的基极触点462流向NEG端处的发射极触点454,且穿过SCR 404。因此被NPN3和触点464提供的额外发射极区在主电流中。在正向极性情形下,随着发射极触点464短接到POS端,由触点464和P掺杂区458形成的n-p接面将被逆向偏置。由此产生的较高场将调制正向电流,导致相比只用SCR404的单个发射极区域(即,用NPN2但不具有NPN3)可实现更高的 V_h 。这种较高的保持电压可以允许装置400满足相比于使用现有技术的SCR装置先前可能的电压,需要更高保持电压的规格。这可以允许改善的闭锁抗扰性。

[0105] 因此,现在可以了解使用具有双重发射极区的SCR装置能够如何允许ESD保护装置的增加的保持电压。相比于现有技术ESD保护电路,这种增加的保持电压提高闭锁抗扰性。较高保持电压帮助确保保持电压大于集成电路中的任何正常操作电压。这导致更稳定的ESD保护装置,因为它可以防止闭锁的风险,直到更高的操作电压。

[0106] 因为实施本发明的设备在很大程度上是由本领域的技术人员已知的电子组件和电路形成的,所以将不会以超过上文所说明的视为必需的任何程度解释电路细节,以了解和理解本发明的基础概念,且避免与本发明的传授内容混淆或分散。

[0107] 尽管已经相对于特定导电类型或电位的极性描述了本发明,但本领域的技术人员应了解到,可颠倒导电类型或电位的极性。

[0108] 此外,在说明书和权利要求书中的术语“正面”、“背面”、“顶部”、“底部”、“在……上方”、“在……下方”和其类似术语(如果存在的话)用于描述性目的,且未必用于描述永久性相对位置。应理解,如此使用的术语在适当情况下可互换,使得本文中所描述的实施例(例如)能够相比本文中所说明或以其它方式描述的那些定向以其它定向进行操作。

[0109] 虽然本文中参考具体实施例描述了本发明,但是可以在不脱离如所附权利要求书中所阐述的本发明的范围的情况下进行各种修改和改变。举例来说,掺杂区和触点的布置可能不同。因此,说明书和图式应视为说明性而不是限制性意义,并且预期所有这些修改都包括在本发明的范围内。本文中对于具体实施例描述的任何优势、优点或问题解决方案并不意图被理解为任何或全部权利要求的重要的、需要的或基本特征或元素。

[0110] 如本文中所使用,术语“耦合”并不旨在局限于直接耦合或机械耦合。

[0111] 此外,如本文中所使用,术语“一”被限定为一个或超过一个。而且,权利要求书中例如“至少一个”和“一个或多个”等介绍性短语的使用不应被解释为暗示由不定冠词“一”导入的另一权利要求要素将含有此导入的权利要求要素的任何特定权利要求限于仅含有一个此要素的发明,甚至是在同一权利要求包含介绍性短语“一个或多个”或“至少一个”和例如“一”等不定冠词时。上述同样适用于定冠词的使用。

[0112] 除非另外说明,否则例如“第一”和“第二”等术语用于任意地区别这些术语所描述的元件。因此,这些术语未必意图指示此些元件的时间上的优先级或其它优先级。

[0113] 以下为本发明的各种实施例。

[0114] 在一个实施例中,静电放电(ESD)保护装置包括:第一双向硅控整流器(SCR),其包括:基板;所述基板中的第一掺杂阱,所述第一掺杂阱具有第一导电类型;所述基板中的内埋式掺杂层,所述内埋式掺杂层具有与所述第一导电类型相反的第二导电类型;所述第一掺杂阱中的属于所述第二导电类型的第一和第二高度掺杂区;所述第一掺杂阱中的属于所述第一导电类型的第三高度掺杂区,其中所述第一、第二和第三高度掺杂区被连接到第一

节点;所述第一掺杂阱中的第一晶体管,所述第一晶体管包括耦合到所述第一高度掺杂区的发射极、耦合到所述内埋式掺杂层中的第一导电线的集电极,和耦合到所述第三高度掺杂区的基极;所述第一掺杂阱中的第二晶体管,所述第二晶体管包括耦合到所述第二高度掺杂区的发射极、耦合到所述内埋式掺杂层中的所述第一导电线的集电极,和耦合到所述第三高度掺杂区的基极。在这种实施例的一个方面中,所述第一SCR进一步包括:具有所述第二导电类型的第一掺杂基板区;所述基板中的第二掺杂阱,所述第二掺杂阱具有所述第一导电类型;所述第二掺杂阱中的属于所述第一导电类型的第四高度掺杂区;所述第一掺杂基板区中的第三晶体管,所述第三晶体管包括连接到所述第三高度掺杂区的第一发射极、耦合到所述第一导电线的基极和连接到所述第四高度掺杂区的第二发射极。在另一方面,所述第一SCR进一步包括:所述基板中的第三掺杂阱,所述第三掺杂阱具有所述第一导电类型;所述第三掺杂阱中的属于所述第二导电类型的第五高度掺杂区;所述第三掺杂阱中的属于所述第一导电类型的第六高度掺杂区,其中所述第五和第六高度掺杂区被连接到第二节点;所述第三掺杂阱中的第四晶体管,所述第四晶体管包括耦合到所述第五高度掺杂区的发射极、耦合到所述内埋式掺杂层中的所述第一导电线的集电极,和耦合到所述第六高度掺杂区的基极。在又另一个方面,所述第一SCR进一步包括:具有所述第二导电类型的第二掺杂基板区;所述第二掺杂基板区中的第五晶体管,所述第五晶体管包括连接到所述第三高度掺杂区的第一发射极、耦合到所述第一导电线的基极和连接到所述第六高度掺杂区和所述第四晶体管的所述基极的第二发射极。在更进一步态样中,所述ESD保护装置进一步包括:第二SCR,其包括:所述基板中的第四掺杂阱,所述第四掺杂阱具有所述第一导电类型;所述第四掺杂阱中的属于所述第二导电类型的第七高度掺杂区;所述第四掺杂阱中的属于所述第一导电类型的第八高度掺杂区,其中所述第七和第八高度掺杂区被连接到第三节点;所述第四掺杂阱中的第六晶体管,所述第六晶体管包括耦合到所述第七高度掺杂区的发射极、耦合到所述内埋式掺杂层中的第二导电线的集电极,和耦合到所述第八高度掺杂区的基极。在又另一个方面,所述第二SCR进一步包括:所述基板中的第五掺杂阱,所述第五掺杂阱具有所述第一导电类型;所述第五掺杂阱中的属于所述第二导电类型的第九高度掺杂区;所述第五掺杂阱中的属于所述第一导电类型的第十高度掺杂区,其中所述第九和第十高度掺杂区被连接到第二节点;所述第五掺杂阱中的第七晶体管,所述第七晶体管包括耦合到所述第十高度掺杂区的发射极、耦合到所述内埋式掺杂层中的所述第二导电线的集电极,和耦合到所述第十高度掺杂区的基极。在又更进一步态样中,所述第二SCR进一步包括:具有所述第二导电类型的第三掺杂基板区;所述第三掺杂基板区中的第八晶体管,所述第八晶体管包括耦合到所述第八高度掺杂区的第一发射极、耦合到所述第九高度掺杂区的第二发射极,和耦合到所述第二导电线的基极。在又另一个方面,所述ESD保护装置进一步包括:包括所述第八高度掺杂区的所述第四掺杂阱的一部分是高压掺杂阱;及包括所述第六高度掺杂区的所述第三掺杂阱的一部分是高压掺杂阱。在另一个方面中,所述ESD保护装置进一步包括在所述第四掺杂井下方的埋层中的隔离区。在另一个方面,所述ESD保护装置进一步包括所述第一、第二、第三、第四和第五掺杂井的一部分是掺杂外延层。

[0115] 在另一个实施例中,静电放电(ESD)保护装置包括:半导体基板中的第一双向硅控整流器,其包括:属于第一导电类型的第一掺杂阱;所述第一掺杂阱中的第一晶体管,其具有连接到属于第二导电类型的第一电极的发射极、耦合到属于所述第二导电类型的掺杂内

埋式区的集电极,和连接到属于所述第一导电类型的第二电极的基极;所述第一掺杂阱中的第二晶体管,其具有连接到属于所述第二导电类型的第三电极的发射极、耦合到所述掺杂内埋式区的集电极,和连接到所述第二电极的基极,其中所述第一、第二和第三电极在所述第一掺杂阱中;靠近所述第一掺杂阱的属于所述第二导电类型的第一掺杂基板区;属于所述第一导电类型的第二掺杂阱;以及所述第一掺杂基板区中的第三晶体管,其具有连接到所述第二电极的第一发射极、耦合到所述掺杂内埋式区的基极,和连接到属于所述第一导电类型的第四电极的第二发射极,其中所述第四电极在所述第二掺杂阱中,且所述掺杂内埋式区在所述第一掺杂基板区和所述第一和第二掺杂阱下方。在这个另一实施例的一个方面中,所述ESD保护装置进一步包括:所述第二掺杂阱中的第四晶体管,所述第二晶体管包括连接到属于所述第二导电类型的第五电极的发射极、连接到所述掺杂内埋式区的集电极,和连接到所述第四电极的基极,其中所述第五电极在所述第二掺杂阱中。在另一方面,所述ESD保护装置进一步包括第一节点,其中所述第一、第二和第三电极被连接到所述第一节点。在又一个方面,所述ESD保护装置进一步包括第二节点,其中所述第四和第五电极被连接到所述第二节点。在又更进一步态样中当所述第一节点相对于所述第二节点偏置为高时,电流从所述第二电极向所述第五电极流动。在另一个方面,所述ESD保护装置进一步包括:所述半导体基板中的第二双向硅控整流器,其包括:属于所述第一导电类型的第三掺杂阱;以及第三节点;所述第三掺杂阱中的第五晶体管,其具有连接到属于所述第二导电类型的第六电极的发射极、连接到所述掺杂内埋式区的集电极,和连接到属于所述第一导电类型的第七电极的基极,其中所述第六和第七电极在所述第三掺杂阱中,且连接到所述第三节点。在另一方面,所述第二双向硅控整流器进一步包括:靠近所述第三掺杂阱的属于所述第二导电类型的第二掺杂基板区;属于所述第一导电类型的第四掺杂阱;所述第二掺杂基板区中的第六晶体管,其具有连接到所述第七电极的第一发射极、耦合到所述掺杂内埋式区的基极,和连接到属于所述第二导电类型的第八电极的第二发射极,其中所述第八电极在所述第二掺杂阱中,且所述掺杂内埋式区在所述第一掺杂基板区和所述第三和第四掺杂阱下方。在另一方面,所述第二双向硅控整流器进一步包括:所述第四掺杂阱中的第七晶体管,其具有连接到属于所述第一导电类型的第九电极的发射极、连接到所述掺杂内埋式区的集电极,和连接到所述第八电极的基极,其中所述第八和第九电极被连接到所述第二节点。在另一方面,所述ESD保护装置进一步包括:属于所述第一导电类型的第五掺杂阱;在所述第一掺杂阱与所述第五掺杂阱之间的属于所述第二导电类型的第三掺杂基板区;所述第三掺杂基板区中的第八晶体管,其具有连接到所述第二电极的第一发射极、耦合到所述掺杂内埋式区的基极,和连接到属于所述第二导电类型的第八电极的第二发射极,其中所述第八电极在所述第五掺杂阱中,且所述掺杂内埋式区在所述第二掺杂基板区和所述第三和第四掺杂阱下方。在另一个方面,所述第一导电类型是p型导电性;所述第二导电类型是n型导电性;所述第一节点是正极节点;以及所述第二和第三节点是负极节点。

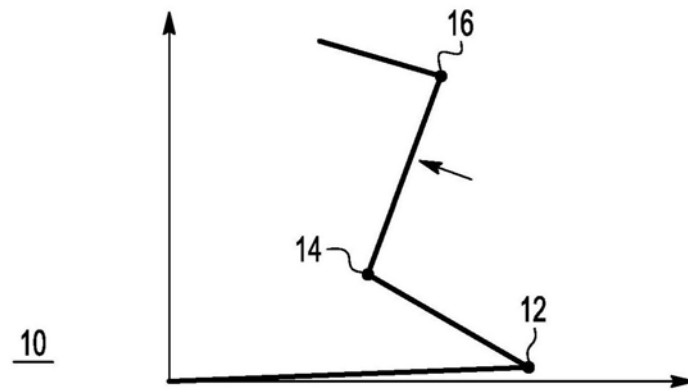


图1

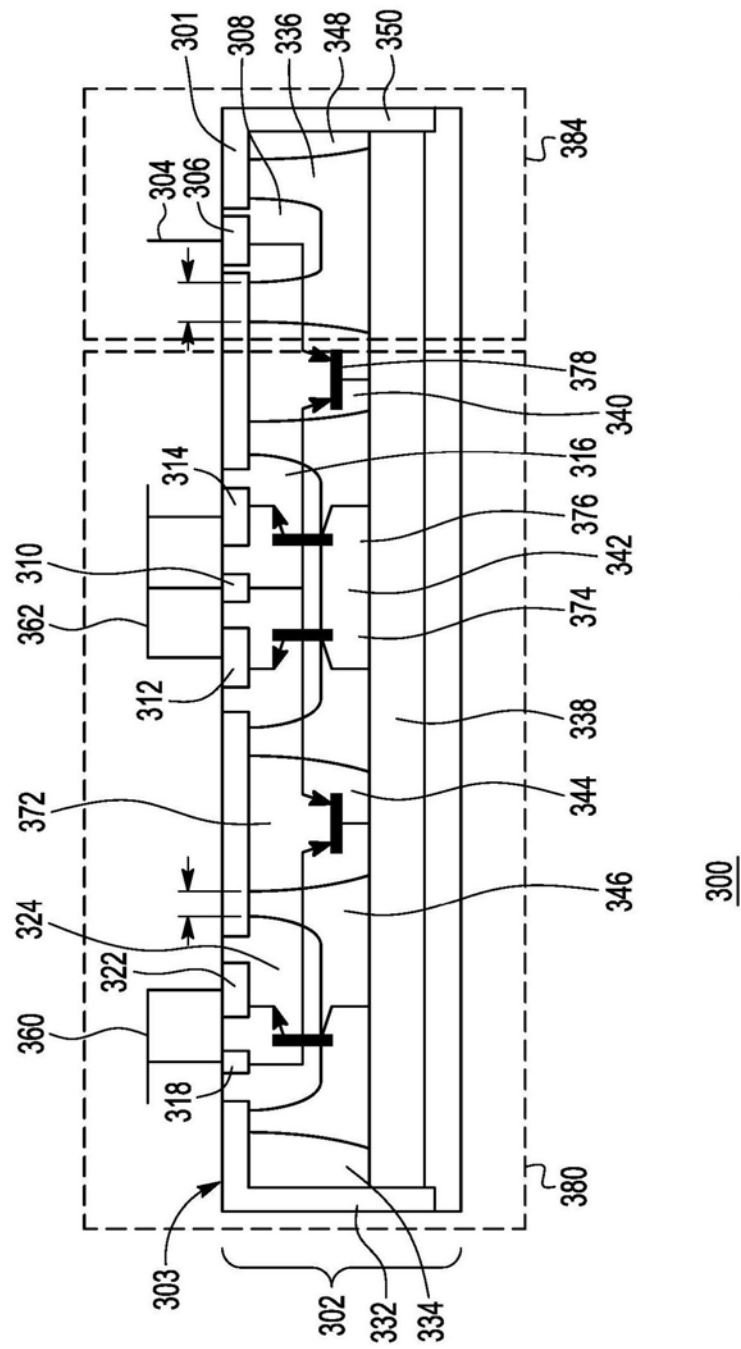


图2

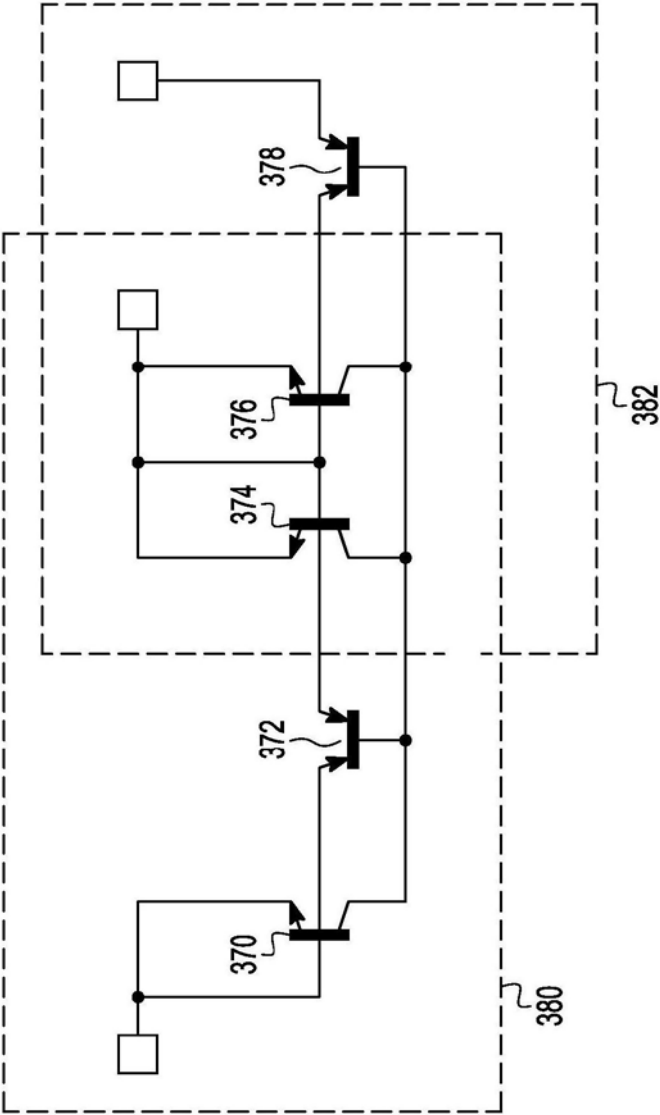


图3

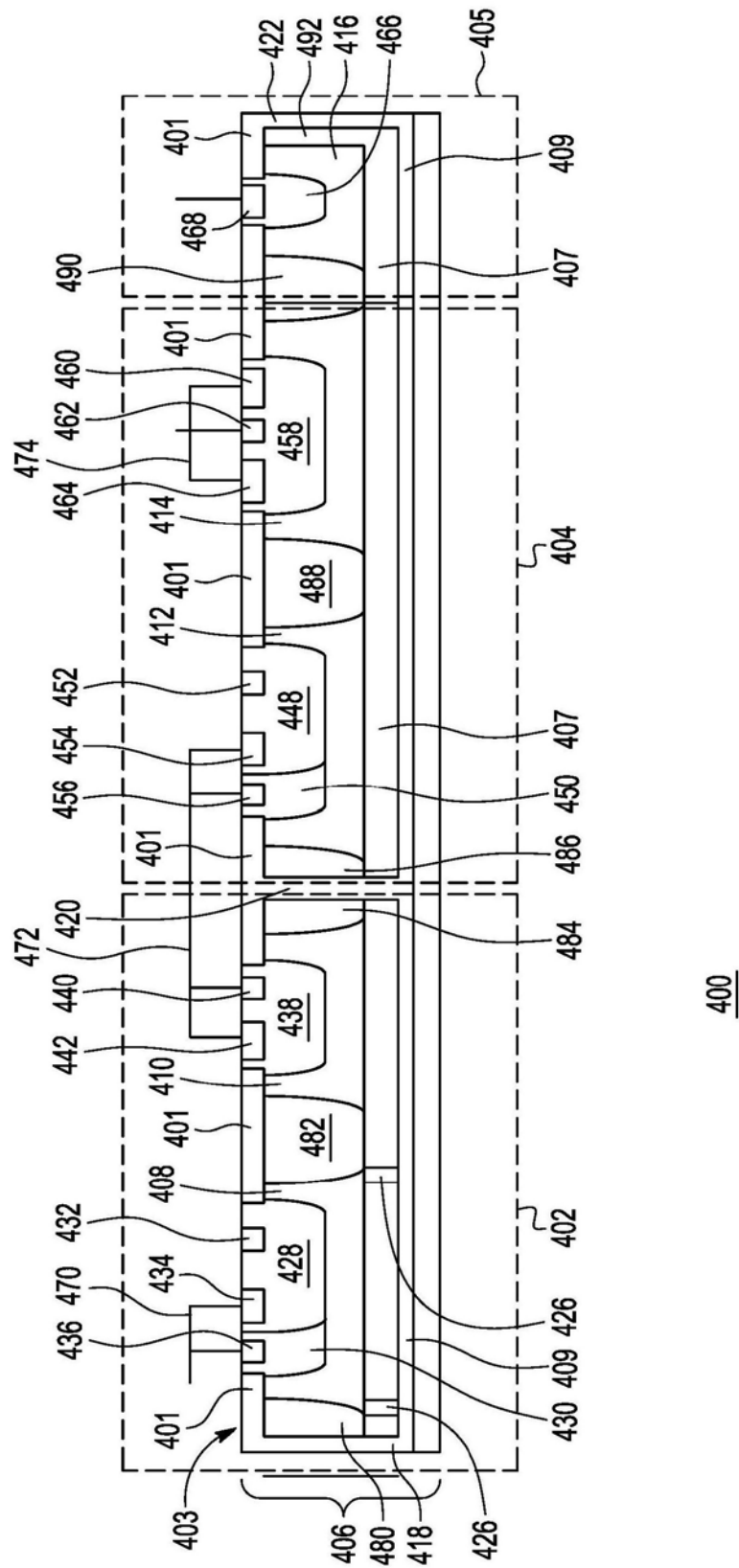


图4

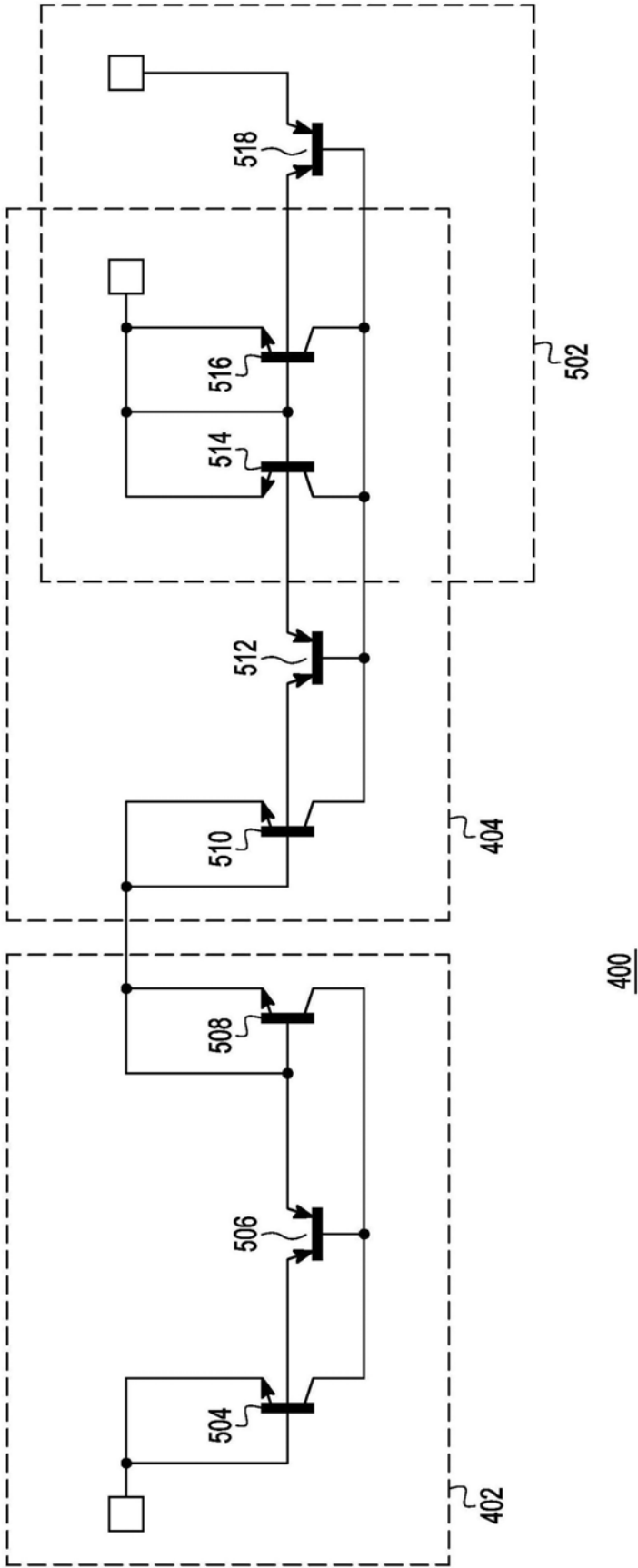


图5