

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3823026号
(P3823026)

(45) 発行日 平成18年9月20日(2006.9.20)

(24) 登録日 平成18年6月30日(2006.6.30)

(51) Int. Cl.	F I
G 1 1 C 29/44 (2006.01)	G 1 1 C 29/00 6 5 5 M
G 0 6 F 11/22 (2006.01)	G 0 6 F 11/22 3 6 0 E
H 0 1 L 21/82 (2006.01)	H 0 1 L 21/82 A

請求項の数 37 (全 14 頁)

(21) 出願番号	特願2000-534342 (P2000-534342)	(73) 特許権者	596079127
(86) (22) 出願日	平成11年3月5日(1999.3.5)		マイクロン・テクノロジー・インコーポレ
(65) 公表番号	特表2002-505497 (P2002-505497A)		ーテッド
(43) 公表日	平成14年2月19日(2002.2.19)		MICRON TECHNOLOGY, I
(86) 国際出願番号	PCT/US1999/004903		N C.
(87) 国際公開番号	W01999/044752		アメリカ合衆国 アイダホ州 83707
(87) 国際公開日	平成11年9月10日(1999.9.10)		-0006 ボイシ エス フェデラル
審査請求日	平成14年6月6日(2002.6.6)		ウェイ 8000
(31) 優先権主張番号	09/036,700	(74) 代理人	100078282
(32) 優先日	平成10年3月6日(1998.3.6)		弁理士 山本 秀策
(33) 優先権主張国	米国 (US)	(72) 発明者	マニング, トロイ エイ.
			アメリカ合衆国 アイダホ 83642,
			メリディアン, サウス オバデア レ
			ーン 8153

最終頁に続く

(54) 【発明の名称】 集積回路における性能パラメータを指定する回路および方法

(57) 【特許請求の範囲】

【請求項1】

関数回路の性能パラメータを提供する性能指定回路であって、該関数回路は、該関数回路に印加されるクロック信号に同期して動作するように構成されており、該性能指定回路および該関数回路は共通の集積回路内に製造されており、該性能指定回路は、

該関数回路の速度性能能力を指定するようにプログラム可能な速度グレードレジスタと

、
該関数回路の動作中に該関数回路に印加される該クロック信号の周波数を指定するようにプログラム可能なクロック速度レジスタと、

該関数回路の複数の組の性能パラメータを有する性能データレジスタ回路と
を備え、

各組における該性能パラメータは、複数の速度性能能力のうちの1つと複数のクロック信号周波数のうちの1つとの各組み合わせについて指定され、

該性能データレジスタ回路は、該速度グレードレジスタと該クロック速度レジスタとに接続されており、該性能データレジスタ回路は、該速度グレードレジスタのプログラミングと該クロック速度レジスタのプログラミングとの関数として、該複数の組の性能パラメータのうちの1つの組を選択し、提供するように動作可能である、性能指定回路。

【請求項2】

前記速度グレードレジスタは、前記集積回路の製造時にプログラムされた各導電状態を有する複数のプログラム可能素子を備え、該複数のプログラム可能素子は、前記関数回路

10

20

の複数の速度グレードのうちの1つに対応するパターンでプログラムされている、請求項1に記載の性能指定回路。

【請求項3】

前記複数のプログラム可能素子のそれぞれに接続されたデコーダをさらに備え、該デコーダは、該複数のプログラム可能素子のプログラムされた前記パターンをデコードして、これに対応する出力信号を生成するように動作可能である、請求項2に記載の性能指定回路。

【請求項4】

前記複数のプログラム可能素子はそれぞれアンチヒューズを備えている、請求項2に記載の性能指定回路。

10

【請求項5】

前記クロック速度レジスタは、前記集積回路の製造後に外部からプログラムされた各導電状態を有する複数のプログラム可能素子を備え、該複数のプログラム可能素子は、前記関数回路の動作中に該関数回路に印加され得る前記クロック信号の複数の周波数のうちの1つに対応するパターンでプログラムされている、請求項1に記載の性能指定回路。

【請求項6】

前記複数のプログラム可能素子のそれぞれに接続されたデコーダをさらに備え、該デコーダは、該複数のプログラム可能素子のプログラムされた前記パターンをデコードして、これに対応する出力を生成するように動作可能である、請求項5に記載の性能指定回路。

【請求項7】

20

前記複数のプログラム可能素子はそれぞれアンチヒューズを備えている、請求項5に記載の性能指定回路。

【請求項8】

外部からアクセス可能な複数の入力端子を有するパラメータ読出しモードデコーダをさらに備え、該読出しモードデコーダは、該複数の入力端子に印加される所定の1組のそれぞれの信号に応答して、前記性能指定回路をアクティベートすることにより前記複数の組の性能パラメータのうちの1つの組を選択するように動作可能である、請求項1に記載の性能指定回路。

【請求項9】

前記性能データレジスタ回路は、複数の性能データレジスタを備えており、該複数の性能データレジスタのそれぞれは、前記複数の組の性能パラメータのうちのそれぞれ1つの組を含み、前記性能データレジスタ回路は、前記速度グレードレジスタのプログラミングと前記クロック速度レジスタのプログラミングとの関数として、該複数の性能データレジスタのうちの1つをイネーブルするように動作可能である、請求項1に記載の性能指定回路。

30

【請求項10】

前記性能データレジスタ回路は、複数の組の性能データレジスタを備えており、各組の性能データレジスタは、前記クロック信号の複数の周波数にて、各速度グレードで、前記関数回路の前記性能パラメータを有し、前記速度グレードレジスタのプログラミングの関数として前記性能データレジスタ回路によって該複数の組の性能データレジスタのうちの1つの組が選択され、前記クロック速度レジスタのプログラミングの関数として該性能データレジスタ回路によって該選択された組の中の該複数の性能データレジスタのうちの1つがイネーブルされる、請求項1に記載の性能指定回路。

40

【請求項11】

前記関数回路はメモリ素子を含む、請求項1に記載の性能指定回路。

【請求項12】

関数回路の性能パラメータを提供する性能指定回路であって、該関数回路は、該関数回路に印加されるクロック信号に同期して動作するように構成されており、該性能指定回路および該関数回路は共通の集積回路内に製造されており、該性能指定回路は、

該関数回路の速度性能能力を指定するようにプログラム可能な速度グレードレジスタと

50

、
該関数回路の複数の組の性能パラメータを有する性能データレジスタ回路と
を備え、
各組における該性能パラメータは、複数の速度性能能力のうちのそれぞれ1つについて
指定され、

各組における該性能パラメータは、複数のクロック速度について指定され、
該性能データレジスタ回路は、該速度グレードレジスタに接続されており、該性能デー
タレジスタ回路は、該速度グレードレジスタのプログラミングの関数として、複数の組の
性能パラメータのうちの1つの組を選択し、提供するように動作可能である、性能指定回
路。

10

【請求項13】

前記速度グレードレジスタは、前記集積回路の製造時にプログラムされた各導電状態を
有する複数のプログラム可能素子を備え、該複数のプログラム可能素子は、前記関数回路
の複数の速度グレードのうちの1つに対応するパターンでプログラムされている、請求項
12に記載の性能指定回路。

【請求項14】

前記複数のプログラム可能素子のそれぞれに接続されたデコーダをさらに備え、該デコ
ーダは、該複数のプログラム可能素子のプログラムされた前記パターンをデコードして、
これに対応する出力信号を生成するように動作可能である、請求項13に記載の性能指定
回路。

20

【請求項15】

前記複数のプログラム可能素子はそれぞれアンチヒューズを備えている、請求項13に
記載の性能指定回路。

【請求項16】

外部からアクセス可能な複数の入力端子を有するパラメータ読出しモードデコーダをさ
らに備え、該読出しモードデコーダは、該複数の入力端子に印加される所定の1組のそれ
ぞれの信号に応答して、前記性能指定回路をアクティベートすることにより前記複数の組
の性能パラメータのうちの1つの組を選択するように動作可能である、請求項12に記載
の性能指定回路。

【請求項17】

前記性能データレジスタ回路は、複数の性能データレジスタを備えており、該複数の性
能データレジスタのそれぞれは、前記複数の組の性能パラメータのうちのそれぞれ1つの
組を含み、前記性能データレジスタ回路は、前記速度グレードレジスタのプログラミング
の関数として、該複数の性能データレジスタのうちの1つをイネーブルするように動作可
能である、請求項12に記載の性能指定回路。

30

【請求項18】

前記関数回路はメモリ素子を含む、請求項12に記載の性能指定回路。

【請求項19】

クロック信号を生成するクロック回路と、
該クロック信号を受け取るように該クロック回路に接続される、プロセッサバスを有す
るプロセッサと、

40

該コンピュータシステムにデータが入力されることを可能にするように構成された該プ
ロセッサバスを通して該プロセッサに接続された入力装置と、

該コンピュータシステムからデータが出力されることを可能にするように構成された該
プロセッサバスを通して該プロセッサに接続された出力装置と、

該クロック信号を受け取るように該クロック回路に接続された集積回路であって、該集
積回路は、該クロック信号に同期して動作するように構成されたメモリ素子と、該メモリ
素子の性能パラメータを提供する性能指定回路とを含んでおり、該メモリ素子は、該プロ
セッサによって該メモリ素子からデータが読み出されることを可能にするとともに該プロ
セッサによって該メモリ素子にデータが書き込まれることを可能にするように該プロセッ

50

サバスに接続されている集積回路と

を備えたコンピュータシステムであって、

該性能指定回路は、

該メモリ素子の速度性能能力を指定するようにプログラム可能な速度グレードレジスタと、

該クロック信号の周波数を指定するようにプログラム可能なクロック速度レジスタと、

該関数回路の複数の組の性能パラメータを有する性能データレジスタ回路と

を含み、

各組における該性能パラメータは、複数の速度性能能力のうちの1つと複数の該クロック信号の周波数のうちの1つとの各組み合わせについて指定され、

10

該性能データレジスタ回路は、該速度グレードレジスタと該クロック速度レジスタとに接続されており、該性能データレジスタ回路は、該速度グレードレジスタのプログラミングと該クロック速度レジスタのプログラミングとの関数として、複数の組の性能パラメータのうちの1つの組を選択し、提供するように動作可能である、コンピュータシステム。

【請求項20】

前記速度グレードレジスタは、前記集積回路の製造時にプログラムされた各導電状態を有する複数のプログラム可能素子を備え、該複数のプログラム可能素子は、前記メモリ素子の複数の速度グレードのうちの1つに対応するパターンでプログラムされている、請求項19に記載のコンピュータシステム。

【請求項21】

20

前記複数のプログラム可能素子のそれぞれに接続されたデコーダをさらに備え、該デコーダは、該複数のプログラム可能素子のプログラムされた前記パターンをデコードして、これに対応する出力信号を生成するように動作可能である、請求項20に記載のコンピュータシステム。

【請求項22】

前記複数のプログラム可能素子はそれぞれアンチヒューズを備えている、請求項20に記載のコンピュータシステム。

【請求項23】

前記クロック速度レジスタは、前記集積回路の製造後に外部からプログラムされた各導電状態を有する複数のプログラム可能素子を備え、該複数のプログラム可能素子は、前記関数回路の動作中に該関数回路に印加され得る前記クロック信号の複数の代替周波数のうちの1つに対応するパターンでプログラムされている、請求項19に記載のコンピュータシステム。

30

【請求項24】

前記複数のプログラム可能素子のそれぞれに接続されたデコーダをさらに備え、該デコーダは、該複数のプログラム可能素子のプログラムされた前記パターンをデコードして、これに対応する出力を生成するように動作可能である、請求項23に記載のコンピュータシステム。

【請求項25】

前記複数のプログラム可能素子はそれぞれアンチヒューズを備えている、請求項23に記載のコンピュータシステム。

40

【請求項26】

外部からアクセス可能な複数の入力端子を有するパラメータ読出しモードデコーダをさらに備え、該読出しモードデコーダは、該複数の入力端子に印加される所定の1組のそれぞれの信号に応答して、前記性能指定回路をアクティベートすることにより前記複数の組の性能パラメータのうちの1つの組を選択するように動作可能である、請求項19に記載のコンピュータシステム。

【請求項27】

前記性能データレジスタ回路は、複数の性能データレジスタを備えており、該複数の性能データレジスタのそれぞれは、前記複数の組の性能パラメータのうちのそれぞれ1つの

50

組を含み、前記性能データレジスタ回路は、前記速度グレードレジスタのプログラミングと前記クロック速度レジスタのプログラミングとの関数として、該複数の性能データレジスタのうちの1つをイネーブルするように動作可能である、請求項19に記載のコンピュータシステム。

【請求項28】

前記性能データレジスタ回路は複数の組の性能データレジスタを備えており、各組の性能データレジスタは、前記クロック信号の複数の周波数にて、各速度グレードで、前記メモリ素子の前記性能パラメータを有し、前記速度グレードレジスタのプログラミングの関数として前記性能データレジスタ回路によって該複数の組の性能データレジスタのうちの1つの組が選択され、前記クロック速度レジスタのプログラミングの関数として該性能データレジスタ回路によって該選択された組の中の複数の性能データレジスタのうちの1つがイネーブルされる、請求項19に記載のコンピュータシステム。

10

【請求項29】

複数のクロック周波数のうちの1つを有し得るクロック信号に従って動作するように構成された集積回路の性能パラメータを提供する方法であって、

該集積回路をテストして該集積回路の少なくとも1つの速度パラメータを測定する工程と、

該測定された速度パラメータに対応する速度グレード値を該集積回路に記録する工程と、

該クロック信号の周波数を決定する工程と、

20

該クロック信号の該決定された周波数に対応するクロック速度値を該集積回路に記録する工程と、

該集積回路の複数の組の性能パラメータを該集積回路に格納する工程であって、各組における該性能パラメータは、複数の速度性能能力のうちの1つと複数のクロック信号周波数のうちの1つとの各組み合わせについて指定される、工程と、

該記録された速度グレード値と該記録されたクロック速度値との関数として、該複数の組の性能パラメータのうちの1つの組を選択する工程と、

該選択された組の性能パラメータを提供する工程と

を包含する、方法。

【請求項30】

30

前記集積回路をテストして少なくとも1つの速度パラメータを測定する前記工程は、該集積回路の製造時に該集積回路をテストする工程を包含する、請求項29に記載の方法。

【請求項31】

速度グレード値を前記集積回路に記録する前記工程は、該集積回路の製造時に速度グレード値を該集積回路に記録する工程を包含する、請求項30に記載の方法。

【請求項32】

クロック速度値を前記集積回路に記録する前記工程は、該集積回路の製造後にクロック速度値を該集積回路に記録する工程を包含する、請求項29に記載の方法。

【請求項33】

前記集積回路の複数の組の性能パラメータを該集積回路に格納する前記工程は、該集積回路の製造時に複数の組の性能パラメータを格納する工程を包含する、請求項29に記載の方法。

40

【請求項34】

集積回路の性能パラメータを提供する方法であって、

該集積回路をテストして該集積回路の少なくとも1つの速度パラメータを測定する工程と、

該測定された速度パラメータに対応する速度グレード値を該集積回路に記録する工程と、

該集積回路の複数の組の性能パラメータを該集積回路に格納する工程であって、各組における該性能パラメータは、複数の速度性能能力のうちのそれぞれ1つについて指定され

50

る、工程と、

該記録された速度グレード値の関数として、該複数の組の性能パラメータのうちの1つの組を選択する工程と、

該選択された組の性能パラメータを提供する工程と
を包含する、方法。

【請求項35】

前記集積回路をテストして少なくとも1つの速度パラメータを測定する前記工程は、該集積回路の製造時に該集積回路をテストする工程を包含する、請求項34に記載の方法。

【請求項36】

速度グレード値を前記集積回路に記録する前記工程は、該集積回路の製造時に速度グレード値を該集積回路に記録する工程を包含する、請求項35に記載の方法。 10

【請求項37】

前記集積回路の複数の組の性能パラメータを該集積回路に格納する前記工程は、該集積回路の製造時に複数の組の性能パラメータを格納する工程を包含する、請求項34に記載の方法。

【発明の詳細な説明】

【0001】

(技術分野)

本発明は、集積回路に関し、より詳細には、集積回路の性能パラメータの各組を記録するための回路および方法に関する。 20

【0002】

(発明の背景)

集積回路は一般的に、多様な分野において用いられる。例えば、集積回路ダイナミックランダムアクセスメモリ(「DRAM」)は一般的に、コンピュータシステムおよびその他のデバイスにおいて用いられる。DRAMのような、他の構成要素とのインターフェースを有する集積回路は、集積回路を最大性能で動作させようとする場合は特に、複雑なタスクとなり得る。集積回路の製造業者は、集積回路を用いた電子的システムの設計において助力となるように、集積回路の性能パラメータを指定するデータブックまたはデータシートを公表している。例えば、DRAMについてのデータシートは、アクセス時間、すなわち、アドレスがデバイスに与えられた後、有効データがデータバスに現れるまでに必要な時間と、アドレス保持時間、すなわち、アドレスストロブ信号の後、アドレスがアドレスバス上に現れなければならない時間と、他の多くのタイミングパラメータとを指定し得る。タイミングパラメータは概して、例えばマイクロ秒またはナノ秒などの時間または時間の範囲として指定されるが、クロックサイクルの数でも指定され得る。例えば、メモリ素子の読み取り待ち時間は、メモリ素子をアドレッシングすることと、データバス上のアドレッシングされた場所からのデータのアベイラビリティとの間のクロックサイクル数として指定され得る。 30

【0003】

タイミングおよび他の性能パラメータを指定するとき、製造業者は通常、保守的なアプローチを用いる。より具体的には、集積回路の実際の性能能力は概して、プロセス変化などの様々な理由のため、有意な範囲に亘って異なる。集積回路についての性能パラメータは一般的に、所定の性能能力の範囲に収まるように、実質的に全ての集積回路にとって十分に保守的な値で指定される。しかし、殆どの集積回路は実際には、有意により高いレベルで働くことができる。その結果、多くの集積回路は、たとえ実際には有意により高いレベルで働き、有意により高い価格で販売され得るとしても、比較的低い性能のデバイスとして比較的低価格で販売されている。 40

【0004】

集積回路の性能パラメータを、より有利な様態で指定するアプローチの1つは、製造後に集積回路を「速度グレード分け(speed grade)」することである。速度グレード分けにおいて、比較的に広い範囲の性能値を有する集積回路は、テストされ、その後、 50

テスト時のそれらの性能に従ってグループ分けされる。より速い速度で動作することが分かった集積回路は、より厳しい時間パラメータで指定され、より遅い速度でのみ動作する能力がある集積回路は、より厳しくないパラメータで指定される。この速度グレード分けのアプローチを用いることによって、同じ処理で製造された同じ集積回路が、異なる性能仕様を有することになる。しかし、全ての集積回路がその実際の性能にふさわしい価格で販売され得る。

【0005】

速度グレード分けは、集積回路がその最も高い潜在能力で用いられることを可能にするが、それにも関わらず、このアプローチを用いることによって起こる問題点がある。第一に、ユーザまたはシステム設計者にとって、任意の特定の集積回路と関連付けられた性能パラメータを決定することが困難になり得る。概して、様々な速度グレードについての性能パラメータは、速度グレード分けされてない集積回路について性能パラメータが指定される様態と同じ様態で、データブックにおいて指定される。集積回路の外部表面上のマーキングは、その速度グレードを識別する。集積回路の性能パラメータは、その後、集積回路上にマークされた速度グレードに対応するデータブックで性能パラメータを調べることによって決定される。あいにく、ユーザは、常に、最新版の利用可能なデータブックを有するわけではない。また、集積回路上の速度グレードマーキングは、削除され得る。このような環境においては、集積回路の性能パラメータを決定できないかもしれない。

【0006】

集積回路の速度グレード分けにおける他の問題は、集積回路の動作を同期させるために用いられるクロック信号の周波数に依存して性能パラメータが変化する環境において、性能パラメータを指定することが困難であることから起こる。所定の周波数のクロック信号と同期して動作する集積回路の性能パラメータを決定するために、性能パラメータの異なる組が、それぞれのクロック周波数について指定される。しかし、やはり、ユーザが、選択されたクロック周波数で動作する集積回路の性能パラメータを決定するためには、データブック内の性能パラメータの適切な組を見いだすことが必要である。

【0007】

従って、特に集積回路のユーザによって選択され得るクロック周波数での最適な性能で集積回路が動作する場合、集積回路の性能データを決定する改良された技術が必要である。

【0008】

(発明の要旨)

本発明の1つの局面において、ある集積回路のための性能パラメータは、その集積回路自体に記録され、その後、集積回路の動作中に読み出されるか、もしくは用いられ得る。この集積回路は、メモリ素子等の各種の関数回路の内のいずれかを含み得る。この集積回路は、速度グレードレジスタを含み得るが、この速度グレードレジスタは、集積回路の速度性能特性を指定するために集積回路をテストした後に、その集積回路の製造業者によってプログラム可能である。この速度グレードレジスタに加えて、またはこれの変わりに、集積回路はクロック速度レジスタを含み得る。このクロック速度レジスタは、使用中に集積回路に印加されるクロック信号の周波数を指定するために集積回路のユーザによりプログラム可能である。集積回路のための性能パラメータの複数組が、集積回路内の性能データ記録回路に記録される。性能パラメータの1つの組が、複数の速度グレードのそれぞれ、および／またはクロック信号の複数の周波数のそれぞれに対して示される。性能データ選出回路は、記録された性能パラメータ組の内の1つを速度グレードレジスタのプログラミングおよび／またはクロック速度レジスタのプログラミングの関数として選択する。速度グレードレジスタおよびクロック速度レジスタはそれぞれ、アンチヒューズ (anti-fuse) 等の個々に導電状態を有する複数のプログラム可能な素子を備え得る。性能データ記録回路は、性能パラメータ組の内の対応する1つをそれぞれが記録するような複数の性能データレジスタを望ましくは含む。このような場合、性能データ選出回路は、性能データレジスタの内の1つを、速度グレードレジスタのプログラミングおよび／またはクロック速度レジスタのプログラミングの関数としてイネーブルする。

10

20

30

40

50

【0009】

(発明の詳細な説明)

性能パラメータを特定するための方法および回路に基づく、集積回路10の一実施形態を図1に示す。集積回路10は関数回路(functional circuit)12を含み、この関数回路12は、集積回路として従来通りに製造された多種多様な回路のいずれかであり得る。例えば、関数回路12は、DRAM、シンクロナスDRAM、パケット型DRAM、スタティックランダムアクセスメモリ(「SRAM」)等のメモリ素子であり得る。関数回路は、複数の外部からアクセス可能な入力端子14と、複数の外部からアクセス可能な出力端子16とを含む。しかし、関数回路12は、入力端子14のみ、出力端子16のみ、入力端子および出力端子のいずれとしても用いられる端子、またはそれらの組み合わせを有し得る。関数回路12についての性能パラメータは、通常、データシートまたはデータブック内に特定される。

10

【0010】

本発明の1つの実施形態において、集積回路10はまた、関数回路12の性能パラメータを指定するための回路20を含む。このパラメータ指定回路20は、速度グレードレジスタ22を含み、この速度グレードレジスタ22は通常、関数回路12の速度グレードを指定するために製造中に製造業者によりプログラムされる。より詳細には、集積回路10の製造中に、集積回路10がまだウエハの部分であるときに、この関数回路12はテストされる。このテストに基づいて、関数回路12の速度特性が決定される。製造業者は次に、レジスタ22に関数回路12の速度グレードを示すデータをプログラムする。速度グレードレジスタ22は、製造業者によりプログラムされるプログラム可能な読み出し専用メモリ、または速度グレードに応じてとばされるヒューズもしくはアンチヒューズ等の各種の従来のレジスタの一種であり得る。また、速度グレードレジスタ22は、望ましくは製造中にプログラムされるが、製造後に従来の手段によってプログラムされてもよい。最後に、関数回路12のテストも、望ましくは製造中に行われるが、製造後に行ってもよく、この場合には、速度グレードレジスタ22が製造後にプログラムされなければならない。

20

【0011】

性能指定回路20はまた、クロック速度レジスタ24を含み、このクロック速度レジスタ24は、集積回路10を購入したユーザによりプログラムされるように適合される。クロック速度レジスタ24は入力端子14を介して、関数回路12の動作を同期させるために用いられるクロック信号の周波数の指標をプログラムされる。例えば、クロック速度レジスタ24は、クロック速度が200メガビット/秒(「Mbps」)、400Mbps、600Mbps、または800Mbpsに対応するかどうかの指標を提供する2ビットレジスタであり得る。このクロック速度レジスタ24は、不揮発性方式でデータを記憶することができる幅広い種類のデバイスの内のいずれでもあり得る。例えば、クロック速度レジスタ24は、プログラム可能な読み出し専用メモリ(「PROM」)、フラッシュROM、またはヒューズもしくはアンチヒューズ等のプログラム可能な素子であり得る。

30

【0012】

速度グレードレジスタ22およびクロック速度レジスタ24は、パラメータアクセス検出回路26からの出力によりイネーブルされる。パラメータアクセス検出回路26は、集積回路10の入力端子14に結合される複数の入力を含む。入力端子14に印加され、且つパラメータアクセス検出器26によりデコードされる信号の所定の組合せに応答して、パラメータアクセス検出器26は、速度グレードレジスタ22およびクロック速度レジスタ24をイネーブルする。パラメータアクセス検出器26によるデコードのために選ばれる信号の組合せは、通常動作中には集積回路10に通常印加されない信号の組合せであることが望ましい。パラメータアクセス検出器26に用いられ得る回路は、集積回路のテストモード等の特別な動作モードを選択するために従来的に用いられる。

40

【0013】

パラメータ記録システム20はまた、複数組の性能パラメータを記録する複数の性能データレジスタ30を含み、各組は、集積回路10の速度グレードおよび集積回路10に適

50

10

20

30

40

50

ている。2 値入力 A 0 および A 1 あるいは A 2 および A 3 は、NOR ゲート 6 0 ～ 6 6 に直接またはインバータ 7 0、7 2 を介して印加されることにより、最初の NOR ゲート 6 0 は 2 値入力を受け取って「0 0」をデコードし、NOR ゲート 6 2 は反転された A 0 または A 2 ビットを受け取って「0 1」をデコードし、NOR ゲート 6 4 は反転された A 1 または A 3 ビットを受け取って「1 0」をデコードし、NOR ゲート 6 6 は反転された A 0 および A 1 の両方または A 2 および A 3 の両方を受け取って「1 1」をデコードする。

【0 0 1 8】

性能データレジスタ 3 0 の一実施形態を図 5 に示す。性能データレジスタは、それぞれ 4 つのレジスタ 9 0 ～ 9 6 を有する、4 つのレジスタ組 8 0 ～ 8 6 を有する。各レジスタ組 8 0 ～ 8 6 は、各速度グレードについて性能パラメータを記録する。従って、例えばレジスタ組 8 2 は 3 5 ナノ秒速度グレードについて性能パラメータを記録する。レジスタ 9 0、9 6 の各々は、速度グレード内の各クロック速度について性能パラメータを記録する。従って、レジスタ組 8 0 内において、レジスタ 9 0 はクロック速度 2 0 0 M B P S における 3 0 ナノ秒速度グレードについての性能パラメータを記録し、レジスタ 9 2 はクロック速度 4 0 0 M B P S における 3 0 ナノ秒速度グレードについての性能パラメータを記録し、レジスタ 9 4 はクロック速度 6 0 0 M B P S における 3 0 ナノ秒速度グレードについての性能パラメータを記録し、レジスタ 9 6 はクロック速度 8 0 0 M B P S における 3 0 ナノ秒速度グレードについての性能パラメータを記録する。レジスタ 9 0、9 6 の各々は、互いに対して結合されたデータ出力および、各イネーブル入力を有する。

【0 0 1 9】

各レジスタ組 8 0 ～ 8 6 のレジスタ 9 0 ～ 9 6 に対するイネーブル入力は、それぞれのセレクト回路 1 0 0 ～ 1 0 6 に結合される。セレクト回路 1 0 0 ～ 1 0 6 は、速度グレードデコーダ 5 0 およびクロック速度デコーダ 5 2 の出力と結合される。（速度グレードデコーダ 5 0 の出力は、参照符号 1 ～ 4 で示され、クロック速度デコーダ 5 2 の出力は参照符号 A ～ D で示される）。各デコード回路 1 0 0 ～ 1 0 6 は、4 つの NAND ゲート 1 1 0 ～ 1 1 6 を含む。各セレクト回路 9 0 のすべての NAND ゲート 1 1 0 ～ 1 1 6 は、速度グレードデコーダ 5 0 の出力の 1 つからのアクティブハイにより同時にイネーブルされる。従って、セレクト回路 1 0 0 の NAND ゲート 1 1 0 ～ 1 1 6 は、3 0 ナノ秒の速度グレードを示す速度グレードデコーダ 5 0 のアクティブハイの「1」出力によりイネーブルされる。同様に、セレクト回路 1 0 6 の NAND ゲート 1 1 0 ～ 1 1 6 のすべては、4 5 ナノ秒の速度グレードを示す速度グレードデコーダ 5 0 の「4」出力のアクティブハイによりイネーブルされる。各セレクト回路 1 0 0 ～ 1 0 6 内の個々の NAND ゲート 1 1 0 ～ 1 1 6 は、クロック速度デコーダ 5 2 からのそれぞれの出力によりイネーブルされる。従って、例えば NAND ゲート 1 1 0 は、2 0 0 M B P S のクロック速度を示すクロック速度デコーダ 5 2 からのアクティブハイの「A」出力によりイネーブルされる。その結果、速度グレードデコーダ 5 0 が、3 5 ナノ秒の速度グレードを示す出力「2」上にアクティブハイの信号を出力し、クロック速度デコーダ 5 2 が、6 0 0 M B P S のクロック速度を示す出力「C」上にアクティブハイの信号を出力するとき、選択回路 1 0 2 内の NAND ゲート 1 1 4 はローを出力する。NAND ゲート 1 1 4 の出力でのローは、レジスタ組 8 2 内のレジスタ 9 4 をイネーブルし、レジスタ 9 4 は次に 3 5 ナノ秒の速度グレードおよび 6 0 0 M B P S のクロック速度での性能パラメータを示すデータを出力する。次に、動作パラメータが上述のようにユーザにより読み出される。

【0 0 2 0】

図 6 は、関数回路 1 2 がメモリ素子である、図 1 の集積回路 1 0 を含むコンピュータシステム 2 0 0 のブロック図である。コンピュータシステム 2 0 0 は、特定の計算またはタスクを実行する特定のソフトウェアを実行するなど、様々な演算関数を実行するための、プロセッサなどのコンピュータ回路 2 0 2 を含む。コンピュータ回路 2 0 2 には、関数回路 1 2 としてのメモリ素子を含む集積回路 1 0 が含まれる。さらに、コンピュータシステム 2 0 0 は、キーボードまたはマウスなど、コンピュータ回路 2 0 2 に結合された 1 つ以上の入力装置 2 0 4 を含み、これによりオペレータはコンピュータシステム 2 0 0 とインタ

10

20

30

40

50

ーフェイスを取ることができる。典型的には、コンピュータシステム 200 は、コンピュータ回路 202 に結合された 1 つ以上の出力装置も含む。そのような出力装置は、典型的には、プリンタまたはビデオ端子である。コンピュータ回路 202 には、外部格納媒体（図示せず）にデータを格納し、外部格納媒体（図示せず）からデータを検索するための 1 つ以上のデータ格納装置 212 も典型的に結合される。典型的な格納装置 212 の例には、ハードおよびフロッピーディスク、テープカセット、ならびにコンパクトディスク読み出し専用メモリ（CD-ROM）が含まれる。コンピュータ回路 202 は、典型的には、制御バス、データバス、およびアドレスバスを介してメモリ素子 12 に結合され、メモリ素子 12 へのデータの書き込みおよびメモリ素子 12 からのデータの読み出しを提供する。

10

【0021】

本発明を図示目的で例示的な実施形態により説明してきたが、本発明の精神および範囲から逸脱することなく様々な改変を施し得る。従って、本発明は、添付の特許請求の範囲によってのみ限定される。

【図面の簡単な説明】

【図 1】 図 1 は、関数回路と関数回路の性能パラメータを記録する回路の好適な実施形態とを含む集積回路のブロック図である。

【図 2】 図 2 は、図 1 の性能パラメータ記録回路において使用される、速度グレードレジスタおよびクロック速度レジスタの一実施形態を示す模式図である。

【図 3 A】 図 3 A は、図 2 の速度グレードレジスタによって指定され得る 4 つの異なる速度グレード値を示す表である。

20

【図 3 B】 図 3 B は、図 2 のクロック速度レジスタによって指定され得る 4 つの異なるクロック速度値を示す表である。

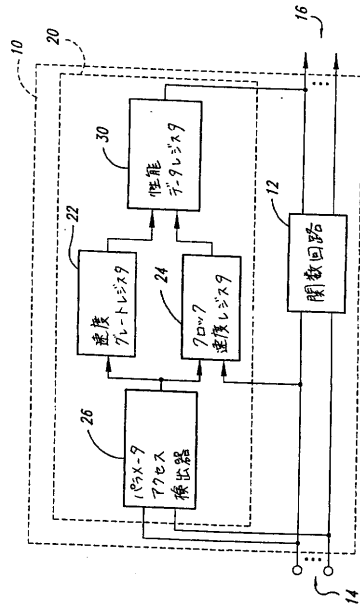
【図 4】 図 4 は、図 2 の速度グレードレジスタおよびクロック速度レジスタにおいて使用される、速度グレードデコーダおよびクロック速度デコーダの一実施形態の論理図である。

【図 5】 図 5 は、図 1 の性能パラメータ記録回路において使用される性能パラメータデータレジスタおよびデータレジスタ選択回路の一実施形態の論理図である。

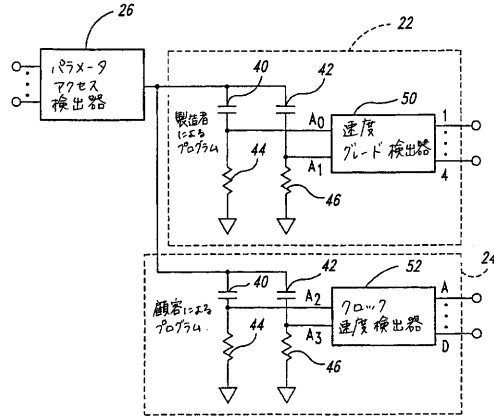
【図 6】 図 1 の集積回路を用いるコンピュータシステムの一実施形態のブロック図である。

30

【図 1】



【図 2】



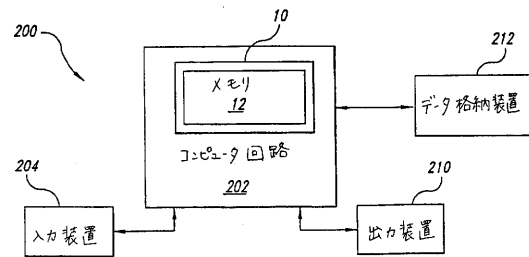
【図 3 A】

A ₁	A ₀	速度グレード
0	0	30ns
0	1	35ns
1	0	40ns
1	1	45ns

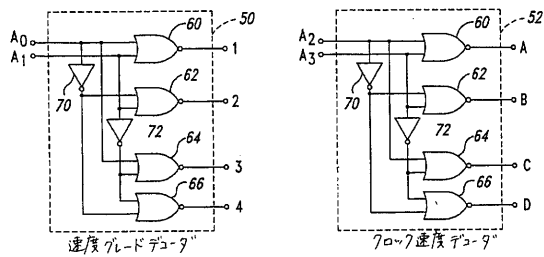
【図 3 B】

A ₃	A ₄	700MHz速度
0	0	200 MBPS
0	1	400 MBPS
1	0	600 MBPS
1	1	800 MBPS

【図 6】



【図 4】



【図 5】

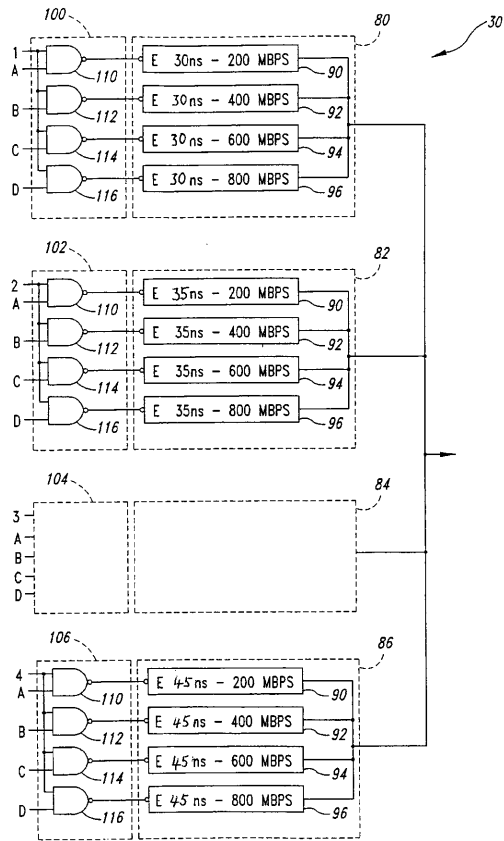


Fig. 5

フロントページの続き

審査官 石川 正二

(56)参考文献 特開昭62-213150 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 29/44

G06F 11/22

H01L 21/82