

POLSKA
RZECZPOSPOLITA
LUDOWA



URZĄD
PATENTOWY
PRL

OPIS PATENTOWY

90390

Patent dodatkowy
do patentu nr _____

Zgłoszono: 20.03.74 (P. 170733)

Pierwszeństwo: _____

Zgłoszenie ogłoszono: 03.11.76

Opis patentowy opublikowano: 15.08.1977

MKP G01r 31/28

Int. Cl.² G01R 31/28



Twórcy wynalazku: Anna Sałacińska, Jan Mucha

Uprawniony z patentu: Ośrodek Badawczo-Rozwojowy Pomiarów i Automatyki Elektronicznej, Wrocław (Polska)

Tester sieci logicznych

1

Przedmiotem wynalazku jest tester sieci logicznych przeznaczony do wykrywania stanów logicznych, przerw w układzie a także do wykrywania pojedynczych impulsów i zliczania ich do trzech. Tester według wynalazku jest przeznaczony dla sieci logicznych zbudowanych na elementach scalonych TTL.

Stan techniki. Znany jest ze zgłoszenia wzoru użytkowego W-47 255 układ testera utworzony z układu Darlingtona, w który włączona jest żaróweczka stanowiąca element wskazujący.

Tester ten może poprawnie wskazywać wyłącznie stan „jedynek” logicznej poprzez zapalenie się wymienionej żaróweczki, natomiast stan „zera” logicznego nie jest rozpoznawany jednoznacznie, gdyż stan przerwy w układzie przejawia się analogicznie jak stan „zera” logicznego.

Znany jest z polskiego opisu patentowego Nr 74 640 układ do badania układów logicznych, który jest utworzony z rozbudowanego systemu zanegowanych iloczynów logicznych.

Układ ten jest również niejednoznaczny, ponadto wymaga dodatkowych zewnętrznych przyrządów pomocniczych, gdyż jego element wskazujący reaguje jednakowo na stan „jedynek” logicznej i na stan przerwy w układzie.

Istota wynalazku. Tester według wynalazku, którego zespół wykrywania stanów zero-jedynkowych jest zaopatrzony w układ Darlingtona, zaś zespół wskaźnika impulsów zawiera przerzutnik i deszyf-

2

rator, ma wejście układu Darlingtona w zespole wykrywania stanów zero-jedynkowych połączone poprzez rezystor, układ negacji i dwie diody ze wzmacniaczem połączonym poprzez wskaźnik „zera” logicznego ze źródłem napięcia zasilającego, przy czym wspólny punkt szeregowego i przeciwsobnego połączenia dwóch wspomnianych diod jest połączony poprzez drugi rezystor z wymienionym źródłem napięcia. Zespół wskaźnika impulsów ma odrębne wejście połączone poprzez układ drugiej negacji z dwójkowym licznikiem utworzonym na dwóch szybkich przerzutnikach, natomiast wyjście licznika jest poprzez układ deszyfratora i wzmacniacze połączony ze wskaźnikami stanu licznika.

Rozwiązanie według wynalazku umożliwia uzyskanie przyrządu o małych gabarytach, którego jednym wejściem można jednoznacznie ustalić stan zero-jedynkowy dowolnego punktu układu elektronicznego, zaś drugim wejściem stwierdzić istnienie ilości impulsów w określonym miejscu układu, bądź krótkich serii impulsów, co szczególnie jest przydatne dla stwierdzenia pasożytniczych generacji wytwarzanych w badanych układach.

Przy wykonaniu testera w technice obwodów scalonych i zastosowaniu jako wskaźników miniaturowych żarówek, elektronika testera mieści się w rękojeści tak utworzonej dwuwejściowej sondy, co czyni z testera praktyczne i poręczne narzędzie w pracach konstrukcyjnych i obsłudze serwisowej.

Objaśnienie rysunku. Wynalazek jest bliżej objaśniony w przykładzie wykonania przedstawionym na załączonym rysunku na którym fig. 1 przedstawia schemat elektryczny testera, zaś fig. 2 przedstawia wykres sygnalizacji stanów zero-jedynkowych ze zespołu wykrywania stanów zero-jedynkowych w funkcji amplitudy napięcia na wejściu tego zespołu.

Przykład realizacji wynalazku. Tester według wynalazku jest utworzony z zespołu 1 wykrywania stanów zero-jedynkowych i z zespołu 2 wskaźnika impulsów, przy czym każdy z zespołów 1 i 2 ma odrębne wejście 3 i 4 w postaci sondy pomiarowej.

Zespół 1 wykrywania stanów zero-jedynkowych ma układ 5 Darlingtona, z którym jest połączony wskaźnik 6 „jedynki” logicznej. Jednocześnie wejście 3 zespołu 1 jest połączone poprzez rezystor 7, układ 8 negacji i dwie diody 9 i 10 ze wzmacniaczem 11, połączonym szeregowo poprzez wskaźnik 12 „zera” logicznego ze źródłem 13 napięcia zasilającego. Wspólny punkt 14 szeregowego, przeciwsobnego połączenia wspomnianych dwóch diod 9 i 10 jest połączony poprzez drugi rezystor 15 ze źródłem 13 napięcia zasilającego. Odrębne wejście 4 zespołu 2 wskaźnika impulsów jest połączone przez drugi układ 16 negacji z wejściem dwójkowego licznika 17, utworzonego na dwóch szybkich przerzutnikach 18 i 19. Wyjścia licznika 17 są połączone poprzez deszyfrator 20 i nieobciążające wzmacniacze 21 ze wskaźnikami 22, 23, 24 i 25 stanu licznika 17.

Przy pojawieniu się na wejściu 3 napięcia o wartości od 0 do 0,4 V (fig. 2) następuje wysterowanie wzmacniacza 11, co powoduje świecenie wskaźnika 12 „zera” logicznego. W przedziale napięć od 0,4 V do 2,4 V obydwa wskaźniki 6 i 12 układu 1 stanów

zero-jedynkowych nie świecą się. W przedziale od 2,4 V do napięcia 5,7 V następuje wysterowanie układu 5 Darlingtona i świecenie się wskaźnika 6 „jedynki” logicznej.

5 Przy pojawieniu się na wejściu 4 pojedynczych impulsów o czasie trwania większym lub równym 10 nsek. lub serii impulsów następuje zliczanie tych impulsów i sygnalizacja ich ilości odpowiednio przez jeden z czterech wskaźników 22, 23, 24 i 25 stanu licznika 17.

Zastrzeżenie patentowe

Tester sieci logicznych, którego zespół wykrywania stanów zero-jedynkowych jest zaopatrzony w układ Darlingtona sterujący wskaźnikiem „jedynki” logicznej, zaś zespół wskaźnika impulsów zawiera przerzutniki i deszyfrator, znamienny tym, że wejście (3) zespołu (1) wykrywania stanów zero-jedynkowych jest połączone poprzez rezystor (7), układ (8) negacji i dwie diody (9) i (10) ze wzmacniaczem (11), połączonym poprzez wskaźnik (12) „zera” logicznego ze źródłem (13) napięcia zasilającego, przy czym wspólny punkt (14) szeregowego i przeciwsobnego połączenia wspomnianych dwóch diod (9 i 10) jest połączony poprzez drugi rezystor (15) ze źródłem (13) napięcia, podczas gdy zespół (2) wskaźnika impulsów ma odrębne wejście (4) połączone poprzez drugi układ (16) negacji z dwójkowym licznikiem (17), utworzonym z dwóch szybkich przerzutników (18) i (19), natomiast wyjścia licznika (17) są połączone przez deszyfrator (20) z nieobciążającymi wzmacniaczami (21), sterującymi wskaźnikami (22, 23, 24, 25) ilości zliczanych impulsów lub serii impulsów.

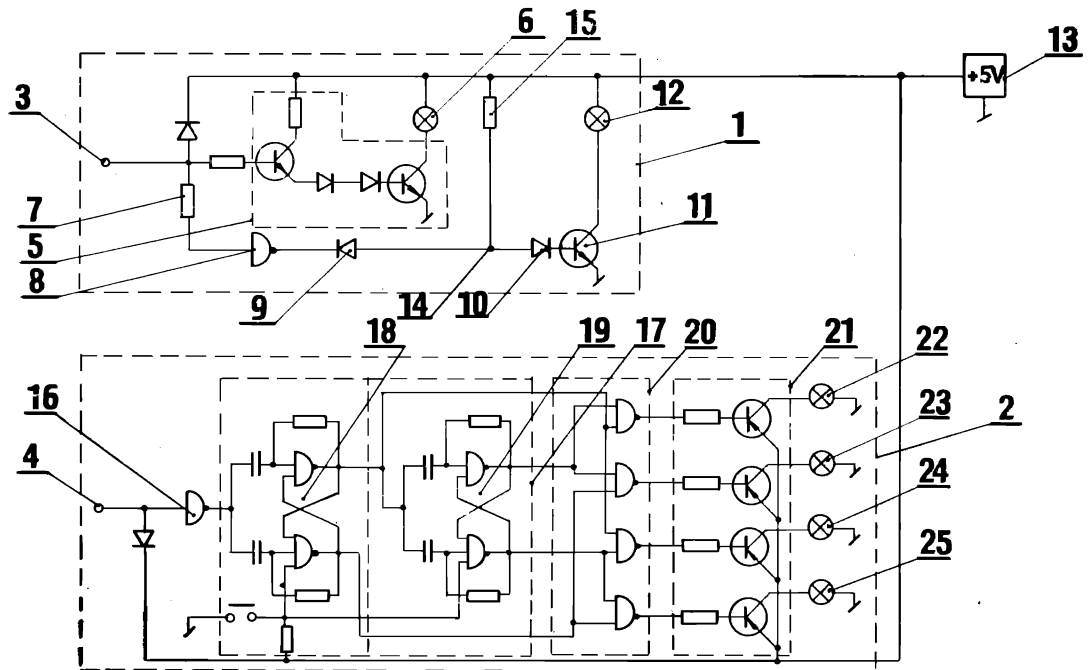


Fig.1

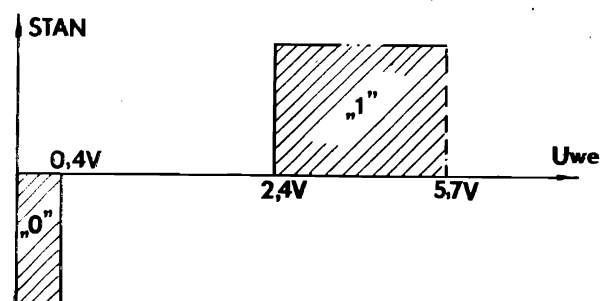


Fig.2