

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국



(10) 국제공개번호

WO 2025/018515 A1

2025 년 1 월 23 일 (23.01.2025) WIPO | PCT

(51) 국제특허분류:

H10B 63/00 (2023.01)

H10N 70/00 (2023.01)

G06N 3/0464 (2023.01)

G06N 3/063 (2006.01)

(21) 국제출원번호:

PCT/KR2024/004908

(22) 국제출원일:

2024 년 4 월 12 일 (12.04.2024)

(25) 출원언어:

한국어

(26) 공개언어:

한국어

(30) 우선권정보:

10-2023-0092525 2023 년 7 월 17 일 (17.07.2023) KR

(71) 출원인: 울산과학기술원 (UNIST(ULSAN NATIONAL
INSTITUTE OF SCIENCE AND TECHNOLOGY))

[KR/KR]; 44919 울산광역시 울주군 언양읍 유니스트길
50, Ulsan (KR).

(72) 발명자:

서준기 (SUH, Joonki); 44919 울산광역시
울주군 언양읍 유니스트길 50, Ulsan (KR). 허남욱
(HUR, Nam Wook); 44919 울산광역시 울주군 언양읍
유니스트길 50, Ulsan (KR). 이동현 (LEE, Donghyun);
44919 울산광역시 울주군 언양읍 유니스트길 50, Ulsan
(KR). 임동혁 (LIM, Dong Hyeok); 44919 울산광역시
울주군 언양읍 유니스트길 50, Ulsan (KR).

(74) 대리인:

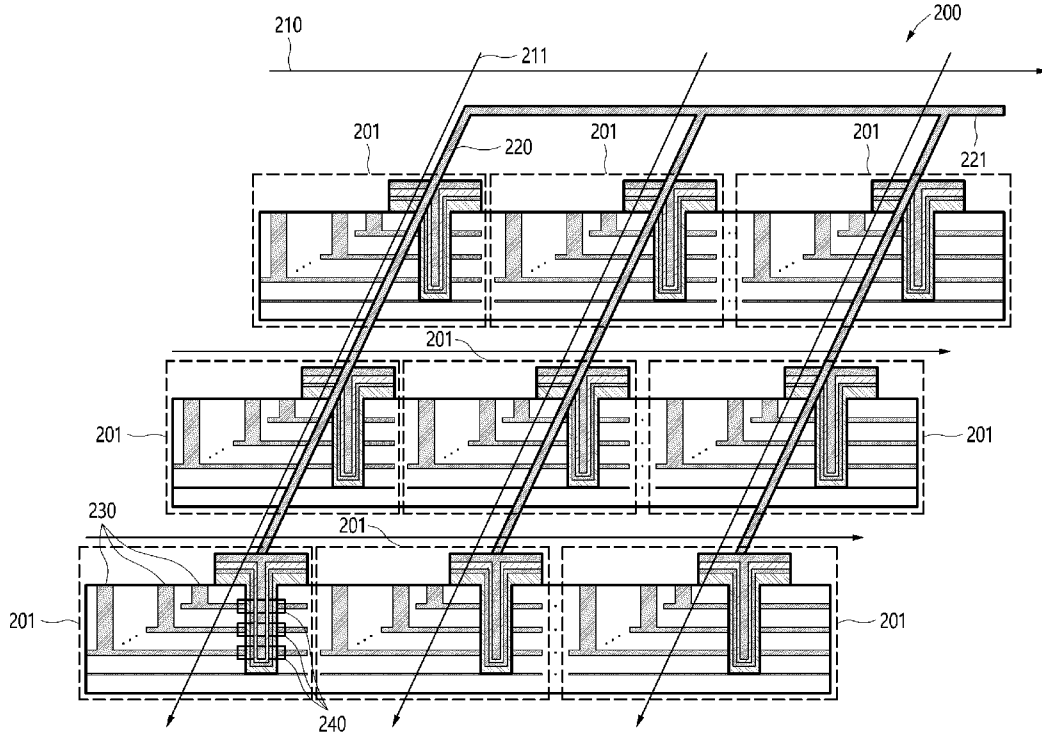
특허법인 무한 (MUHANN PATENT & LAW
FIRM); 06144 서울특별시 강남구 언주로 560, 8층,
Seoul (KR).

(81) 지정국

(별도의 표시가 없는 한, 가능한 모든 종류의
국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT,
AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH,
CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ,
EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR,
HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH,

(54) Title: MEMRISTOR-BASED ARRAY DEVICE FOR PERFORMING THREE-DIMENSIONAL CONVOLUTIONAL NEURAL NETWORK (3D CNN) OPERATION AND 3D CNN OPERATION METHOD USING SAME

(54) 발명의 명칭: 3차원 컨볼루션 신경망(3D CONVOLUTIONAL NEURAL NETWORK, 3D CNN) 연산을 수행하는 멤리스터 기반의 어레이 장치 및 이를 통한 3D CNN 연산 방법



(57) Abstract: A memristor array device according to one embodiment may comprise a vertical memristor-based inference element which comprises: a first stacked structure in which each of a plurality of insulating layers and each of a plurality of lower electrode layers are alternately stacked; and a second stacked structure in which a resistive switching element material layer, an intermediate electrode layer, a selection element material layer, and an upper electrode are stacked in a hole formed in the first stacked structure, and which comprises a plurality of memristor elements formed in electrical paths from the plurality of lower electrode layers to the upper electrode.

[다음 쪽 계속]

WO 2025/018515 A1



KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(57) 요약서: 일 실시예에 따른, 멤리스터 어레이 장치는, 복수의 절연층들의 각각 및 복수의 하부 전극층들의 각각이 교대로 적층된 제1 적층 구조체 및 제1 적층 구조체에 형성된 홀(hole) 내에 저항변화소자 물질층, 중간 전극층, 선택소자 물질층 및 상부 전극이 적층되고 복수의 하부 전극층들로부터 상부 전극으로 향하는 전기 경로들에서 형성되는 복수의 멤리스터 소자들을 포함하는 제2 적층 구조체를 가지는 수직형 멤리스터 기반 추론 소자를 포함할 수 있다.

명세서

발명의 명칭: 3차원 컨볼루션 신경망(3D CONVOLUTIONAL NEURAL NETWORK, 3D CNN) 연산을 수행하는 메모리 기반의 어레이 장치 및 이를 통한 3D CNN 연산 방법 기술분야

- [1] 본 개시는 3차원 컨볼루션 신경망(3D Convolutional neural network, 3D CNN) 연산을 수행하기 위한 장치 및 이를 이용한 3D CNN 연산 방법에 관한 것이다.

배경기술

- [2] 3차원 컨볼루션 신경망(3D Convolutional neural network, 3D CNN)은 2차원 컨볼루션 신경망(2D Convolutional neural network, 2D CNN)에서 사용하는 2D 형태의 가중치(weight)가 아닌, 3D 형태의 가중치를 사용하여 컨볼루션 연산을 한다. 이에, 3D CNN 연산은, 3D 형태의 가중치를 포함하는 커널(kernel)을 입력 데이터에 대하여 3방향으로 슬라이드(slide) 함으로써 컨볼루션 연산을 수행하고, 이를 통해 하나의 결과 값을 도출한다. 이 때, 3D CNN 학습에는 3D 물체 혹은 시간축 정보가 포함된 비디오 데이터가 사용될 수 있다.
- [3] 일반적인 인공 신경망을 활용한 뉴로모픽 기반 학습(예를 들어, 2D CNN, Artificial neural network(ANN), Deep neural network(DNN) 등)에서는 입력 데이터들을 1차원상의 부분 집합으로 나누어 학습을 진행해도 무방하기 때문에, 기존의 2차원 메모리스트 어레이 구조의 소자를 구현하여 이를 통해 연산 하는 것이 용이하다.
- [4] 그러나, 3D CNN 학습은 최종적으로 3차원 데이터를 처리해야 하므로, 학습 진행 시 입력 데이터들을 1차원 상의 부분 집합으로 나누면 그 수가 매우 많아진다. 구체적인 예시로서, 입력 데이터의 크기가 N^3 경우, 1차원 상의 부분 집합으로서 $1 \times N$ 크기의 데이터로 분할하여 연산하면, 데이터 처리(연산)를 N^2 번 진행해야 한다. 따라서, 기존의 2차원 메모리스트 어레이 구조로는 해당 학습을 위해 용이하지 않으므로, 이를 해결하고자, 새로운 개념의 추론 소자 구조 및 이를 활용한 연산 방법을 제시한다.

발명의 상세한 설명

과제 해결 수단

- [5] 일 실시예에 따른 메모리스트 어레이 장치는, 복수의 절연층들의 각각 및 복수의 하부 전극층들의 각각이 교대로 적층된 제1 적층 구조체, 및 상기 제1 적층 구조체에 형성된 홀(hole) 내에 저항변화소자 물질층, 중간 전극층, 선택소자 물질층, 및 상부 전극이 적층되고, 상기 복수의 하부 전극층들로부터 상기 상부 전극으로 향하는 전기 경로들에서 형성되는 복수의 메모리스트 소자들을 포함하는 제2 적층 구조체를 가지는, 수직형 메모리스트 기반 추론 소자를 포함할 수 있다.

- [6] 일 실시예에 따른 메모리스트 어레이 장치는, 입력 라인 및 출력 라인을 따라 어레이 구조로 배치된 복수의 메모리스트 기반 추론 소자들, 상기 복수의 메모리스트 기반 추론 소자들 중 동일한 출력 라인에 연결된 적어도 하나의 메모리스트 기반 추론 소자의 제2 적층 구조체들과 연결되는 연산 전극층, 상기 연산 전극층으로부터 전달된 컬럼 연산 결과와 다른 출력 라인의 다른 연산 전극층으로부터 전달된 컬럼 연산 결과에 기초한 출력 연산 결과를 출력하는 출력 전극층을 더 포함하고, 상기 복수의 메모리스트 기반 추론 소자들 중 한 소자가 상기 수직형 메모리스트 기반 추론 소자이며, 상기 연산 전극층은, 상기 적어도 하나의 메모리스트 기반 추론 소자의 각각에서 복수의 하부 전극층들을 통해 수신되는 입력들과 복수의 메모리스트 소자들에 저장된 가중치들 간의 개별 연산 결과를 수신하고, 상기 적어도 하나의 메모리스트 기반 추론 소자로부터 수신된 상기 개별 연산 결과를 병합함으로써 생성된 컬럼 연산 결과를 상기 출력 전극층에게 전달할 수 있다.
- [7] 일 실시예에 따른 메모리스트 어레이 장치는, 상기 복수의 메모리스트 기반 추론 소자들 중 같은 입력 라인에 연결된 하나 이상의 메모리스트 기반 추론 소자의 제2 적층 구조체가 같은 하부 전극층에 연결되는 메모리스트 어레이 장치일 수 있다.
- [8] 일 실시예에 따른 메모리스트 어레이 장치는, 상기 연산 전극층의 제1 연산에 기초한 출력을 저장하는 제1 버퍼, 및 상기 다른 연산 전극층의 제2 연산에 기초한 출력을 저장하는 제2 버퍼를 더 포함하고, 상기 출력 전극층은, 상기 제1 연산 및 상기 제2 연산이 개별적으로(individually) 수행되는 경우, 상기 제1 버퍼로부터 수신된 상기 제1 연산에 기초한 출력 및 상기 제2 버퍼로부터 수신된 상기 제2 연산에 기초한 출력을 통합한 결과를 출력하는 메모리스트 어레이 장치일 수 있다.
- [9] 일 실시예에 따른 메모리스트 어레이 장치에 있어서, 상기 복수의 메모리스트 기반 추론 소자들 중 각 메모리스트 기반 추론 소자는, 다른 메모리스트 기반 추론 소자들에 대해 병렬적으로, 입력 데이터로부터 미리 정해진 크기의 3차원 커널(kernel)에 대응하여 획득된 3차원 부분 데이터 중 해당하는 값들을 복수의 하부 전극층들을 통해 수신하고, 상기 다른 메모리스트 기반 추론 소자들에 대해 병렬적으로, 상기 해당하는 값들과 해당하는 메모리스트 기반 추론 소자에 형성된 복수의 메모리스트 소자들의 가중치들 간의 연산 결과를 생성할 수 있다.
- [10] 일 실시예에 따른 메모리스트 어레이 장치에 있어서, 상기 저항변화소자 물질층은, 금속 산화물 또는 칼코제나이드계 물질 중 적어도 하나를 포함하고, 상기 선택소자 물질층은, 칼코제나이드계 물질을 포함할 수 있다.
- [11] 일 실시예에 따른 메모리스트 어레이 장치는 상기 복수의 하부 전극층들에 입력 데이터를 입력하는 주변 회로(peripheral circuit)에 대해 적층될 수 있다.
- [12] 일 실시예에 따른 메모리스트 어레이 장치에 기초한 3차원 컨볼루션 신경망(3D Convolutional neural network) 연산 방법은, 입력 데이터로부터 미리 정해진 크기의 3차원 커널(kernel)에 대응하는 3차원 부분 데이터를 획득하는 단계, 상기 획득된 부분 데이터의 값들을, 수직으로 이격되어 형성된 복수의 메모리스트 소자들에 개별적으로 연결된 복수의 하부 전극층들에 입력하는 단계, 상기 복수의 하부 전

극층에 입력된 값들과 상기 복수의 메모리스트 소자들에 저장된 가중치들 간의 개별 연산 결과들의 합산에 대응하는 컬럼 연산 결과를 생성하는 단계, 상기 생성된 컬럼 연산 결과 및 다른 출력 라인에 연결된 복수의 메모리스트 기반 추론 소자들의 컬럼 연산 결과를 출력 전극층에 전달하는 단계, 및 상기 전달된 컬럼 연산 결과들을 병합하여, 출력 연산 결과를 출력하는 단계를 포함할 수 있다.

- [13] 일 실시예에 따른 3차원 컨볼루션 신경망 연산 방법에 있어서, 상기 메모리스트 어레이 장치가, 입력 라인 및 출력 라인을 따라 어레이 구조로 배치된 복수의 메모리스트 기반 추론 소자들을 포함하고, 상기 입력하는 단계는, 상기 3차원 부분 데이터를 복수의 메모리스트 소자들 각각에 포함된 복수의 하부 전극 층들에 병렬적으로 입력하는 단계를 포함할 수 있다.
- [14] 일 실시예에 따른 3차원 컨볼루션 신경망 연산 방법에 있어서, 상기 메모리스트 어레이 장치가, 입력 라인 및 출력 라인을 따라 어레이 구조로 배치된 복수의 메모리스트 기반 추론 소자들을 포함하고, 상기 복수의 메모리스트 기반 추론 소자들 중 같은 입력 라인에 연결된 하나 이상의 메모리스트 기반 추론 소자의 제2 적층 구조체가 같은 하부 전극층에 연결되며, 상기 입력하는 단계는, 상기 3차원 부분 데이터를 슬라이스(slice)함으로써 복수의 2차원 데이터를 형성하는 단계, 및 상기 형성된 복수의 2차원 데이터 중 하나의 데이터에 해당하는 값을, 출력 라인들 중 해당 출력 라인에 연결된 복수의 메모리스트 기반 추론 소자들의 해당 복수의 하부 전극층들에 입력하는 단계를 포함할 수 있다.
- [15] 일 실시예에 따른 3차원 컨볼루션 신경망 연산 방법은, 상기 생성된 컬럼 연산 결과를 버퍼에 저장하는 단계를 더 포함할 수 있다.
- [16] 일 실시예에 따른 3차원 컨볼루션 신경망 연산 방법에 있어서, 상기 메모리스트 어레이 장치는, 상기 복수의 하부 전극층들에 입력 데이터를 입력하는 주변 회로(peripheral circuit)에 대해 적층되고, 상기 입력하는 단계는, 상기 주변회로가 상기 복수의 하부 전극층들에 데이터를 입력하는 단계를 포함할 수 있다.

도면의 간단한 설명

- [17] 도 1a는 일 실시예에 따른 수직형 메모리스트 기반 추론 소자의 단면도를 도시한다.
- [18] 도 1b 및 도 1c는 전기적 펄스가 가해진 경우의 펄스 응답 특성 및 메모리스트 소자의 시간에 따른 저항 변화 특성을 도시한다.
- [19] 도 2는 일 실시예에 따른 메모리스트 어레이 장치를 도시한다.
- [20] 도 3은 일 실시예에 따른 메모리스트 어레이 장치를 도시한다.
- [21] 도 4는 일 실시예에 따른 메모리스트 어레이 장치를 도시한다.
- [22] 도 5는 일 실시예에 따른 메모리스트 어레이 장치를 도시한다.
- [23] 도 6은 주변 회로(peripheral circuit)와 메모리스트 어레이 장치의 위치 관계를 비교 실시예와 비교하는 도면이다.

- [24] 도 7a 내지 도 7b는 본 개시에 따른 멤리스터 어레이 장치에 기초한 3차원 컨볼루션 신경망 연산 방법에 대한 흐름도 및 개략도를 나타낸다.
- [25] 도 8a 내지 도 8c는 멤리스터 어레이 장치에 n^2 의 2차원 데이터가 순차적으로 입력되는 경우, 3D CNN 연산을 위한 멤리스터 어레이 장치 작동 방법을 도시한다.
- 발명의 실시를 위한 최선의 형태**
- [26] 실시예들에 대한 특정한 구조적 또는 기능적 설명들은 단지 예시를 위한 목적으로 개시된 것으로서, 다양한 형태로 변경되어 구현될 수 있다. 따라서, 실제 구현되는 형태는 개시된 특정 실시예로만 한정되는 것이 아니며, 본 명세서의 범위는 실시예들로 설명한 기술적 사상에 포함되는 변경, 균등물, 또는 대체물을 포함한다.
- [27] 제1 또는 제2 등의 용어를 다양한 구성요소들을 설명하는데 사용될 수 있지만, 이런 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 해석되어야 한다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.
- [28] 어떤 구성요소가 다른 구성요소에 "연결되어" 있다고 언급된 때에는, 그 다른 구성요소에 직접적으로 연결되어 있거나 또는 접속되어 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다.
- [29] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 본 명세서에서, "포함하다" 또는 "가지다" 등의 용어는 설명된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함으로 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [30] 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 여기서 사용되는 모든 용어들은 해당 기술 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 의미를 갖는 것으로 해석되어야 하며, 본 명세서에서 명백하게 정의하지 않는 한, 이상적이거나 과도하게 형식적인 의미로 해석되지 않는다.
- [31] 이하, 실시예들을 첨부된 도면들을 참조하여 상세하게 설명한다. 첨부 도면을 참조하여 설명함에 있어, 도면 부호에 관계없이 동일한 구성 요소는 동일한 참조부호를 부여하고, 이에 대한 중복되는 설명은 생략하기로 한다.
- [32] 도 1a는 일 실시예에 따른 수직형 멤리스터 기반 추론 소자(100)의 단면도를 도시한다.
- [33] 수직형 멤리스터 기반 추론 소자(100)는 본 개시에 따른 멤리스터 어레이 장치를 구성하는 단일 소자 중 하나 일 수 있다. 수직형 멤리스터 기반 추론 소자(100)

는 제1 적층 구조체(110) 및 제1 적층 구조체(110)의 홀(113)에 형성된 제2 적층 구조체(114)를 포함할 수 있다.

- [34] 제1 적층 구조체(110)는 복수의 절연층들(111)의 각각 및 복수의 하부 전극층들(112)의 각각이 교대로 적층된 구조일 수 있다. 복수의 하부 전극층들(112)은, 복수의 하부 전극층들(112)의 일부분이 외부로부터 입력 데이터 값을 수신할 수 있도록 제1 적층 구조체(110)의 외부로 노출된 구조일 수 있다. 예를 들어, 복수의 하부 전극층(112)은 제1 적층 구조체(110)의 상면을 향해 이격되어 노출된 구조일 수 있으나, 복수의 하부 전극층(112)의 구조는 이에 한정되지 않는다. 복수의 절연층들(111)은 복수의 하부 전극층들(112) 각각 간의 전기적 간섭, 상호작용, 또는 전하의 유출을 방지할 수 있다.

- [35] 제2 적층 구조체(114)는 제1 적층 구조체(112)에 형성된 홀(hole)(113) 내에 저항 변화소자 물질층(115), 중간 전극층, 선택소자 물질층(116), 및 상부 전극(117)이 적층된 구조일 수 있다. 제1 적층 구조체(112)에 형성된 홀(113)은 에칭(etching) 프로세스를 통해 형성될 수 있다. 예를 들어, 에칭 프로세스는 건식 식각(dry etching) 또는 습식 식각(wet etching) 프로세스 일 수 있다. 구체적으로, 건식 식각 프로세스는 유도성 결합 플라즈마 장치(inductively coupled plasma reactive ion etching, ICP-RIE) 또는 용량성 결합 플라즈마 장치(capacitively coupled plasma reactive ion etching, CCP-RIE)를 활용하여 진행될 수 있다. 에칭 프로세스에서 플라즈마 형성을 위해 Ar 가스 및/또는 화학적 반응을 위한 CF₄, CHF₃, O₂, SF₆, Cl₂ 또는 HBr 가스 등이 활용될 수 있다. 이상 에칭 프로세스에 대한 구체적인 예시는 일 실시예 일뿐, 홀(hole) 형성을 위한 에칭 프로세스는 이에 제한되지 않는다. 일 실시예에 따르면, 저항변화소자 물질층(115)은, 홀(113) 내부 표면에 박막 형태로 증착 또는 도포 될 수 있으나, 제조 공정은 이에 제한되지 않는다. 저항변화소자 물질층(115)은, 금속 산화물 또는 칼코제나이드계 물질 중 적어도 하나를 포함할 수 있다. 예를 들어, 저항변화소자 물질층(115)은 산화물 기반의 저항성 램(Resistance Random Access Memory, ReRAM) 및 칼코제나이드계 물질 기반의 상변화 램(Phase-Change Random Access Memory, PCRAM)의 물질군들 중 적어도 하나를 포함할 수 있다.

- [36] 저항변화소자 물질층(115)이 홀(113) 내부에 형성된 후, 중간 전극층 및 선택소자 물질층(116)이 적층 형성될 수 있다. 선택소자 물질층(116)은 칼코제나이드계 물질을 포함할 수 있다. 예를 들어, 선택소자 물질층(116)은 칼코제나이드계 물질 기반의 오보닉 임계값 스위칭 선택기(Ovonic-threshold switching selector, OTS)의 물질군들을 포함할 수 있다. 선택소자 물질층(116)에 미리 설정된 임계치 이상의 입력이 인가되는 경우, 제2 적층 구조체(114)에 포함된 복수의 메모리스터 소자들(118)이 동작될 수 있다. 예를 들어, 선택소자 물질층(116)에 임계치 이상의 전압이 인가됨으로써, 제2 적층 구조체(114)에 포함된 메모리스터 소자들(118)이 동작될 수 있다. 보다 구체적으로, 선택소자 물질층(116)에 임계치 이상의 특정 전압이 인가됨으로써, 메모리스터 소자들(118)의 동작이 선택적으로 활성화 또는 비활

성화 될 수 있다. 또한, 선택소자 물질층(116)에 임계치 이상의 전압이 인가됨으로써, 메모리스트 소자들(118) 각각에 저장된 가중치에 대응되는 서로 다른 저항 값이 쉽게 읽힐(reading) 수 있다.

[37] 도 1a에 도시된 바와 같이 선택소자 물질층(116)은 메모리스트 소자(118)에 포함될 수 있으나, 별도의 소자로서 메모리스트 소자(118)와 연결될 수 있다.

[38] 제2 적층 구조체(114)는 복수의 하부 전극층들(111)로부터 상부 전극(117)으로 향하는 전기 경로들에서 형성되는 복수의 메모리스트 소자들(118)을 포함할 수 있다. 예를 들어, 복수의 하부 전극층들(111) 각각 및 상부 전극(117) 사이에, 저항변화소자 물질층(115), 중간 전극층, 및 선택소자 물질층(116)이 순차적으로 형성될 수 있고, 복수의 하부 전극층들(111)에서 저항변화소자 물질층(115), 중간 전극층, 및 선택소자 물질층(116)을 거쳐 상부 전극(117)으로 향하는 전기 경로들 상에 복수의 메모리스트 소자들(118)이 형성될 수 있다. 보다 구체적으로, 복수의 하부 전극층들(111) 각각과 상부 전극(117) 사이에, $4F^2$ 면적의 복수의 메모리스트 소자들(118)이 형성될 수 있다. 복수의 메모리스트 소자들(118)은 전기적 펄스에 의한 저항변화소자 물질층(115)의 상변화를 야기하거나 전기적 통로(conductive path)의 생성을 야기함으로써 저항 값 또는 임피던스 값을 형성할 수 있다. 복수의 메모리스트 소자들(118)의 저항 값 또는 임피던스 값은 3D CNN 연산을 위해 설정된 가중치(weight)에 대응하는 값일 수 있다. 구체적인 메모리스트 소자(118)에 의한 가중치 설정 방법은 이하, 도 1b 및 도 1c의 전기적 펄스 응답 특성(101) 및 저항 변화 특성(102)에서 자세히 설명한다.

[39] 수직형 메모리스트 기반 추론 소자(100)는 복수의 하부 전극층(112)을 통해 입력 데이터 값을 수신할 수 있다. 입력 데이터 값은 복수의 메모리스트 소자들(118)에 설정된 가중치들에 기초하여 연산될 수 있고, 복수의 메모리스트 소자들(118)에 의해 연산된 결과 값은 상부 전극(117)에서 병합될 수 있다.

[40] 도 1b 및 도 1c는 전기적 펄스가 가해진 경우의 펄스 응답 특성(101) 및 메모리스트 소자의 시간에 따른 저항 변화 특성(102)을 도시한다.

[41] 전기적 펄스 응답 특성(101)에 따르면, 전기적 펄스의 수가 증가함에 따라, 정규화된 컨덕턴스(normalized conductance)의 값이 감소하는 특성을 나타낼 수 있다. 그러나, 전기적 펄스의 조건 변화에 따른 정규화된 컨덕턴스의 값의 변화 특성 방향은 이에 한정되지 않으며, 증가 혹은 그 외의 점진적 변화 특성을 나타낼 수 있다.

[42] 저항 변화 특성(102)에 따르면, 메모리스트 소자는 전기적 펄스의 세기에 따라 서로 다른 저항 값(R)을 나타낼 수 있다. 예를 들어, 저항 변화 특성(102)에서 서로 다른 저항 값은 x축인 시간축에서 x값이 0일 때, y축인 저항축 상의 서로 다른 8개의 y값에 대응될 수 있다. 저항 변화 특성(102)에 따르면, 메모리스트 소자(118)는 전기적 펄스에 따라 형성된 저항 값을 시간이 지남에 따라 일정 임계 범위 내에서 유지할 수 있다. 예를 들어, $|y|$ 는 시간에 따른 저항의 변화 정도를 나타내는

상수 값에 대응될 수 있다. 시간에 따른 저항의 변화 정도($|v|$)가 10^4 초의 시간동안 최대 0.0890에 불과하므로, 서로 다른 저항 값들은 시간의 경과에도 서로 중복되지 않는 범위내에서 유지될 수 있다. 저항 값들이 시간이 지남에 따라 서로 다른 일정 임계 범위 내에서 유지됨으로써, 메모리스트 소자(118) 간 저항 값이 서로 다른 범위로 구별될 수 있다. 서로 구별되는 복수의 저항 값은, 메모리스트 소자(118) 각각의 서로 다른 가중치 값에 대응될 수 있다. 따라서, 복수의 메모리스트 소자(118)에 서로 다른 세기의 전기적 펄스를 가하여, 각 소자 별 지정된 가중치(weight) 값에 대응하는 저항 값을 개별적으로 설정할 수 있다.

[43] 도 2는 일 실시예에 따른 메모리스트 어레이 장치(200)를 도시한다.

[44] 메모리스트 어레이 장치(200)는 입력 라인(210) 및 출력 라인(211)을 따라 어레이 구조로 배치된 복수의 메모리스트 기반 추론 소자들(201)을 포함할 수 있다. 메모리스트 어레이 장치(200)에 포함된 복수의 메모리스트 기반 추론 소자들(201) 중 한 소자가 도 1에 도시된 수직형 메모리스트 기반 추론 소자일 수 있다. 메모리스트 어레이 장치(200)는 입력 라인(210)의 수 및 출력 라인(211)의 수가 동일할 수 있고, 입력 라인(210) 및 출력 라인(211)을 따라 배치된 복수의 메모리스트 기반 추론 소자들(201)의 수가 동일할 수 있다. 다른 예를 들어, 입력 라인(210)의 수와 출력 라인(211)의 수가 서로 다를 수 있고, 입력 라인(210)을 따라 배치된 복수의 메모리스트 기반 추론 소자들의 수와 출력 라인(211)을 따라 배치된 복수의 메모리스트 기반 추론 소자들의 수가 서로 다를 수 있다. 예를 들어, 도 2에 도시된 메모리스트 어레이 장치는 입력 라인(210)을 따라 n 개 및 출력 라인(211)을 따라 n 개의 메모리스트 기반 추론 소자가 배치된 것을 나타낸다. 예를 들어, 메모리스트 기반 추론 소자들(201) 각각에 포함된 하부 전극층의 수가 n 개인 경우, 메모리스트 어레이 장치(200)에 n^3 개의 복수의 메모리스트 소자들(240)이 형성될 수 있다. n^3 개의 복수의 메모리스트 소자들(240)로 인해 n^3 개의 가중치가 정의될 수 있다. 이하, 설명의 편의를 위해 입력 라인(210) 및 출력 라인(211)을 따라 배치된 복수의 메모리스트 기반 추론 소자들(201)의 수가 동일한 경우를 기준으로 설명한다.

[45] 메모리스트 어레이 장치(200)는 복수의 메모리스트 기반 추론 소자들(201) 중 동일한 출력 라인(211)에 연결된 적어도 하나의 메모리스트 기반 추론 소자의 제2 적층 구조체들과 연결되는 연산 전극층(220)을 더 포함할 수 있다. 연산 전극층(220)은 적어도 하나의 메모리스트 기반 추론 소자의 각각에서 복수의 하부 전극층들을 통해 수신되는 입력들과 복수의 메모리스트 소자들에 저장된 가중치들 간의 개별 연산 결과를 수신하고, 적어도 하나의 메모리스트 기반 추론 소자로부터 수신된 개별 연산 결과를 병합함으로써 생성된 컬럼 연산 결과를 출력 전극층에게 전달할 수 있다. 예를 들어, 메모리스트 어레이 장치(200)에 포함된 복수의 메모리스트 기반 추론 소자들 중 하나의 소자는 복수의 하부 전극층들(230)을 통해 입력을 수신할 수 있다. 수신된 입력 각각과 복수의 메모리스트 소자들(240)에 저장된 가중치 각각에 대해 개별 연산이 수행될 수 있다. 예를 들어, 복수의 하부 전극층들(230)을 통해

전압이 입력된 경우, 메모리스트 소자들(240) 각각의 저항 값에 기초하여 전류 값이 출력될 수 있다. 동일한 출력 라인에 배치된 복수의 메모리스트 기반 추론 소자들에 의해 출력된 전류 값의 합산 결과가 컬럼 연산 결과에 대응될 수 있다.

[46] 메모리스트 어레이 장치(200)는 연산 전극층(220)으로부터 전달된 컬럼 연산 결과와 다른 출력 라인의 다른 연산 전극층으로부터 전달된 컬럼 연산 결과에 기초한 출력 연산 결과를 출력하는 출력 전극층(221)을 더 포함할 수 있다. 출력 전극층(221)은 복수의 컬럼 연산 결과들의 합산 결과에 대응하는 출력 연산 결과를 출력할 수 있다. 예를 들어, 컬럼 연산 결과가 전류 값에 대응되는 경우, 출력 연산 결과는 모든 컬럼 연산 결과와 대응되는 전류 값을 병합한 전류 값에 대응될 수 있다.

[47] 도 3은 일 실시예에 따른 메모리스트 어레이 장치(300)를 도시한다.

[48] 메모리스트 어레이 장치(300)는 복수의 메모리스트 기반 추론 소자들 중 같은 입력 라인(310)에 연결된 하나 이상의 메모리스트 기반 추론 소자의 제2 적층 구조체들(320)이 같은 하부 전극층(321)에 연결될 수 있다. 예를 들어, 메모리스트 어레이 장치(300)는 입력 라인(310)을 따라 하부 전극층(321)이 연장되고, 입력 라인(310)을 따라 이격 배치된 제2 적층 구조체들(320)이 연장된 하부 전극층(321)을 공유하는 구조일 수 있다. 보다 구체적으로, 메모리스트 어레이 장치(300)는 입력 라인(310) 각각에 대해 n 개의 하부 전극층(321)을 포함하는 제1 적층 구조체 n 개가 배치된 것을 나타낸다. 또한, 입력 라인(310)을 따라 n 개 및 출력 라인(311)을 따라 n 개의 제2 적층 구조체가 각각 배치된 것을 나타낸다. 제1 적층 구조체 각각에 포함된 하부 전극층의 수가 n 개이므로, 메모리스트 어레이 장치(300)에 n^2 크기의 데이터가 입력될 수 있다. 다른 예를 들어, 입력 데이터의 크기가 n^3 인 경우, 메모리스트 어레이 장치(300)에 n^2 크기의 데이터가 n 회 반복하여 순차적으로 입력될 수 있다. 또한, 제2 적층 구조체들(320) 각각과 n 개의 하부 전극층들에 의해 n^3 개의 복수의 메모리스트 소자들이 형성될 수 있다. n^3 개의 복수의 메모리스트 소자들로 인해 n^3 개의 가중치가 정의될 수 있다. 메모리스트 어레이 장치(300)에 n^2 크기의 데이터가 n 회 반복하여 순차적으로 입력되는 경우의 메모리스트 어레이 장치 동작 방법은 추후 도 8a 내지 8c에서 상세히 설명한다.

[49] 도 4는 일 실시예에 따른 메모리스트 어레이 장치(400)를 도시한다.

[50] 메모리스트 어레이 장치(400)는 n^2 개의 하부 전극층을 포함할 수 있다. 메모리스트 어레이 장치(400)에 포함된 n^2 개의 하부 전극층에 n^2 크기의 2차원 배열의 데이터가 입력될 수 있다. 입력 데이터의 크기가 n^3 인 경우, 메모리스트 어레이 장치(400)에 n^2 크기의 데이터가 n 회 반복하여 순차적으로 입력될 수 있다. 메모리스트 어레이 장치(400)는 n^2 크기의 입력 데이터 각각과 메모리스트 소자들에 저장된 가중치들 간의 개별 연산 결과들의 합산에 대응하는 컬럼 연산 결과를 생성하기 위해 연산이 수행될 출력 라인을 선택할 수 있다. n^2 크기의 데이터가 n 회 반복하여 메모리스트 어레이 장치(400)에 순차적으로 입력되는 경우, 입력 순서에 따른 연산 수

행 시간 차가 발생할 수 있다. 메모리스트 어레이 장치(400)는 n^3 크기의 입력 데이터에 대한 하나의 출력 연산 결과를 생성함에 있어서, n^2 크기의 데이터의 순차적 입력으로 인한 연산 수행 시간 차를 상쇄하기 위해 각 출력 라인 상에 버퍼를 포함할 수 있다. 구체적으로, 메모리스트 어레이 장치(400)는 연산 수행 시간 차를 상쇄하기 위해 컬럼 연산 결과를 버퍼에 저장할 수 있다. 버퍼에 저장된 컬럼 연산 결과는 다른 컬럼 연산 결과가 모두 완료된 경우, 버퍼에서 출력 연산층으로 전달될 수 있다.

- [51] 예를 들어, 메모리스트 어레이 장치(400)는 연산 전극층의 제1 연산에 기초한 출력을 저장하는 제1 버퍼(410) 및 다른 연산 전극층의 제2 연산에 기초한 출력을 저장하는 제2 버퍼(411)를 더 포함할 수 있다.
- [52] 제1 버퍼(410)는 하나의 출력 라인 상에 배치된 연산 전극층의 제1 연산에 기초한 출력을 저장할 수 있다. 연산 전극층의 제1 연산은 같은 출력 라인 상에 배치된 메모리스트 기반 추론 소자들 각각의 복수의 하부 전극층들을 통해 수신된 입력 값과 메모리스트 소자들에 정의된 가중치에 기초한 가중합 연산에 대응될 수 있다.
- [53] 제2버퍼(411)는 제1 버퍼(410)가 배치된 출력 라인과는 다른 출력 라인 상에 배치된 연산 전극층의 제2 연산에 기초한 출력을 저장할 수 있다. 제2 연산은 제1 연산을 출력하는 연산 전극층과는 다른 연산 전극층에서 수행될 수 있다.
- [54] 도 4에 도시된 바와 같이, 메모리스트 어레이 장치(400)의 출력 라인이 n 개이고, 각 출력 라인에 메모리스트 기반 추론 소자가 배치된 경우, 메모리스트 어레이 장치(400)는 총 n 개의 버퍼를 포함할 수 있다. 제 n 버퍼(412)는 연산 전극층의 제 n 연산에 기초한 출력을 저장할 수 있다.
- [55] 메모리스트 어레이 장치(400)의 출력 전극층(413)은, 제1 연산 및 제2 연산이 개별적으로(individually) 수행되는 경우, 제1 버퍼(410)로부터 수신된 제1 연산에 기초한 출력 및 제2 버퍼(411)로부터 수신된 제2 연산에 기초한 출력을 통합한 결과를 출력할 수 있다. 보다 구체적으로, 메모리스트 어레이 장치(400)의 출력 전극층(413)은 제1 연산, 제2 연산부터 제 n 연산까지 총 n 개의 연산이 개별적으로 수행되는 경우, 제1 연산, 제2 연산부터 제 n 연산까지 총 n 개의 연산에 기초한 출력을 통합한 결과를 출력할 수 있고, 통합된 결과는 전류 값에 대응될 수 있다.
- [56] 도5는 일 실시예에 따른 메모리스트 어레이 장치(500)를 도시한다.
- [57] 메모리스트 어레이 장치(500)에 포함된 복수의 메모리스트 기반 추론 소자들 중 각 메모리스트 기반 추론 소자는 다른 메모리스트 기반 추론 소자들에 대해 병렬적으로, 입력 데이터로부터 미리 정해진 크기의 3차원 커널(kernel)에 대응하여 획득된 3차원 부분 데이터 중 해당하는 값들을 복수의 하부 전극층들(501, 502, 503)을 통해 수신할 수 있다. 예를 들어, 미리 정해진 크기의 3차원 커널의 크기는 출력 라인의 수를 가로 길이로 하고, 입력 라인의 수를 세로 길이로 하며, 복수의 하부 전극층의 수를 높이로 하여, 가로 $\times$ 세로 $\times$ 높이의 크기일 수 있다. 3차원 부분 데이터는 3차원 커널에 대응하여 입력 데이터로부터 분할 또는 추출된 데이터에

대응될 수 있다. 예를 들어, 3차원 부분 데이터는 $n \times n \times n$ 의 크기일 수 있다. 또 다른 예를 들어, 3차원 부분 데이터 가로, 세로, 높이가 서로 다른 $n \times l \times k$ 의 크기일 수 있다. 메모리스트 기반 추론 소자들 각각에 포함된 복수의 하부 전극층의 수가 n 개이고, 전체 복수의 하부 전극층들(501, 502, 503)의 수가 n^3 개인 경우, 메모리스트 어레이 장치(200)에 n^3 개의 데이터가 병렬적으로 입력될 수 있다.

- [58] 메모리스트 어레이 장치(500)는 병렬적으로 입력된 데이터에 기초하여, 각 메모리스트 기반 추론 소자들이 다른 메모리스트 기반 추론 소자들에 대해 병렬적으로, 해당하는 값들과 해당하는 메모리스트 기반 추론 소자에 형성된 복수의 메모리스트 소자들(510, 511, 512)의 가중치들 간의 연산 결과를 생성할 수 있다.
- [59] 도 6은 주변 회로(peripheral circuit)와 메모리스트 어레이 장치의 위치 관계를 비교 실시예와 비교하는 도면이다.
- [60] 주변 회로(peripheral circuit)는 메모리스트 어레이 장치에 포함될 수 있고, 메모리스트 어레이 장치와 별도의 회로로서, 메모리스트 어레이 장치에 입력 데이터에 해당하는 값을 공급할 수 있다.
- [61] 비교 실시예(601)는 메모리스트 어레이 장치(610)에 입력 데이터에 해당하는 값을 공급하기 위한 별도의 주변 회로(611)를 포함한다. 예를 들어, 메모리스트 어레이 장치(610)가 도 2에 도시된 메모리스트 어레이 장치(200)에 대응되는 경우, 메모리스트 어레이 장치(610)는 총 n^3 개의 복수의 하부 전극 층들을 포함할 수 있다. 하부 전극 층들이 총 n^3 개인 메모리스트 어레이 장치(610)에 입력 데이터에 해당하는 전압을 인가하기 위해, 총 n^3 개의 전극을 포함하는 주변 회로(611)를 필요로 할 수 있다. 주변 회로(611)를 메모리스트 어레이 장치(610)와 별개의 구성으로 포함하면 주변 회로에 의한 부피 차지가 증가한다는 단점이 있다.
- [62] 주변 회로 적층 구조(602)는 메모리스트 어레이 장치(620)가 복수의 하부 전극 층들에 입력 데이터를 입력하는 주변 회로(621)에 대해 적층되는 구조를 도시한다. 예를 들어, 메모리스트 어레이 장치(620)가 도 2에 도시된 메모리스트 어레이 장치(200)에 대응되는 경우, 메모리스트 어레이 장치(610)는 총 n^3 개의 복수의 하부 전극 층들을 포함할 수 있다. 총 n^3 개의 복수의 하부 전극 층들을 포함하는 메모리스트 어레이 장치(610)에 입력 데이터에 해당하는 전압을 인가하기 위해, 주변 회로(621)는 메모리스트 어레이 장치(610)와 적층 되어 주변 회로에(621)에 의한 부피 차지 감소될 수 있다.
- [63] 도 7a 내지 도 7b는 본 개시에 따른 메모리스트 어레이 장치에 기초한 3차원 컨볼루션 신경망 연산 방법에 대한 흐름도(701) 및 개략도(700)를 나타낸다.
- [64] 단계(720)에서, 메모리스트 어레이 장치(713)는 입력 데이터(710)로부터 미리 정해진 크기의 3차원 커널(kernel)(711)에 대응하는 3차원 부분 데이터(712)를 획득할 수 있다. 예를 들어, 입력 데이터(710)의 크기는 m^3 , 3차원 커널(711)의 크기는 n^3 일 수 있고, $m > n$ 으로 정의될 수 있다. 또한, 3차원 커널(711)의 크기는 메모리스트 어레이 장치(713)에 포함된 메모리스트 소자의 수에 대응될 수 있다.

- [65] 단계(721)에서, 메모리스트 어레이 장치(713)는 획득된 부분 데이터(712)의 값들을, 메모리스트 어레이 장치(713)에 포함된, 수직으로 이격되어 형성된 복수의 메모리스트 소자들에 개별적으로 연결된 복수의 하부 전극층들에 입력할 수 있다. 부분 데이터(712)의 입력 방법에 대하여 이하 도 8a 내지 도 8c에서 구체적으로 설명한다.
- [66] 단계(722)에서, 메모리스트 어레이 장치(713)는 복수의 하부 전극층에 입력된 값들과 복수의 메모리스트 소자들에 저장된 가중치들 간의 개별 연산 결과들의 합산에 대응하는 컬럼 연산 결과를 생성할 수 있다. 예를 들어, 복수의 하부 전극층에 입력된 값들이 전압인 경우, 복수의 메모리스트 소자들에 저장된 가중치들은 메모리스트 소자들의 저항 값에 대응될 수 있다. 따라서, 개별 연산 결과들 및 개별 연산 결과들의 합산에 대응하는 컬럼 연산 결과는 복수의 메모리스트 소자 저항 값들과 복수의 하부 전극층에 입력된 전압 값에 기초한 전류 값에 대응될 수 있다.
- [67] 단계(723)에서, 메모리스트 어레이 장치(713)는 생성된 컬럼 연산 결과 및 다른 출력 라인에 연결된 복수의 메모리스트 기반 추론 소자들의 컬럼 연산 결과를 출력 전극층에 전달할 수 있다. 컬럼 연산 결과 및 다른 출력 라인에서 획득된 컬럼 연산 결과는 출력 전극층으로 동시에 또는 시계열 적으로 전달될 수 있다.
- [68] 단계(724)에서, 메모리스트 어레이 장치(713)는, 전달된 컬럼 연산 결과들을 병합하여, 출력 연산 결과(714)를 출력할 수 있다. 출력 연산 결과(714)는 n^3 크기의 부분 데이터(712)에 대한 연산 결과에 대응하는 단일 전류 값에 해당할 수 있다.
- [69] 입력 데이터(710)에 대하여, 3차원 커널(711)이 스위핑(sweeping)되고, 3차원 커널(711)에 의해 획득된 3차원 부분 데이터(712)가 메모리스트 어레이 장치(713)에 입력되면서 단계(720) 내지 단계(724)가 반복될 수 있다. 또한, 메모리스트 어레이 장치(713)는 단계(720) 내지 단계(740)을 반복함으로써, $(m-n+1)^3$ 개의 출력 연산 결과(714)를 출력하고, $(m-n+1)^3$ 크기의 출력 연산 결과들(715)을 생성할 수 있다.
- [70]
- [71] 도 8a 내지 도 8c는 메모리스트 어레이 장치에 n^2 의 2차원 데이터가 순차적으로 입력되는 경우, 3D CNN 연산을 위한 메모리스트 어레이 장치 작동 방법을 도시한다.
- [72] 예를 들어, 메모리스트 어레이 장치가, 입력 라인 및 출력 라인을 따라 어레이 구조로 배치된 복수의 메모리스트 기반 추론 소자들을 포함하고, 복수의 메모리스트 기반 추론 소자들 중 같은 입력 라인에 연결된 하나 이상의 메모리스트 기반 추론 소자의 제2 적층 구조체가 같은 하부 전극층에 연결될 수 있다. 이 때, 메모리스트 어레이 장치는 3차원 부분 데이터(800)를 슬라이스(slice)함으로써 복수의 2차원 데이터를 형성할 수 있다. 예를 들어, 형성된 복수의 2차원 데이터는 n^2 크기일 수 있고, 제1 이차원 데이터부터 제 n 이차원 데이터까지 총 n 개의 슬라이스로 정의될 수 있다.

- [73] 멤리스터 어레이 장치는, 형성된 복수의 2차원 데이터 중 하나의 데이터에 해당하는 값을, 출력 라인들 중 해당 출력 라인에 연결된 복수의 멤리스터 기반 추론 소자들의 해당 복수의 하부 전극층들에 입력할 수 있다.
- [74] 예를 들어, 도 8a는 부분 데이터(800) 중 제1 이차원 데이터(801a)가 멤리스터 어레이 장치에 입력된 경우, 멤리스터 어레이 장치의 동작 방법을 도시한다. 제1 이차원 데이터(801a)는 복수의 하부 전극층(810)에 입력될 수 있다. 멤리스터 어레이 장치는, 제1 출력 라인(811a)에 배치된 제1 연산 전극층(812a)(또는 상부 전극)을 선택할 수 있다. 선택된 제1 연산 전극층(812a)은 제1 이차원 데이터(801a) 및 복수의 멤리스터 소자에 저장된 가중치들 간의 n^2 개의 개별 연산 결과를 병합하여 제1 컬럼 연산 결과로 생성할 수 있다. 제1 컬럼 연산 결과는 출력 전극층(820)으로 전달될 수 있다. 도 8a에는 도시되지 않았으나, 제1 출력 라인(811a)에 배치된 제1 연산 전극층(812a)과 출력 전극층(820) 사이에 버퍼가 포함될 수 있다. 제1 연산 전극층(812a)은 이하 다른 연산 전극층에서의 컬럼 연산 결과가 생성되기 전까지 제1 컬럼 연산 결과를 버퍼에 저장할 수 있다.
- [75] 도 8b는 부분 데이터(800) 중 제1 이차원 데이터가 입력된 후, 제2 이차원 데이터(801b)가 멤리스터 어레이 장치에 입력되는 경우, 멤리스터 어레이 장치의 동작 방법을 도시한다. 제2 이차원 데이터(801b)는 복수의 하부 전극층(810)에 입력될 수 있다. 멤리스터 어레이 장치는, 제2 출력 라인(811b)에 배치된 제2 연산 전극층(812b)(또는, 상부 전극)을 선택할 수 있다. 선택된 제2 연산 전극층(812b)은 제2 이차원 데이터(801b) 및 복수의 멤리스터 소자에 저장된 가중치들 간의 n^2 개의 개별 연산 결과를 병합하여 제2 컬럼 연산 결과로 생성할 수 있다. 제2 컬럼 연산 결과는 출력 전극층(820)으로 전달될 수 있다. 도 8b에 도시되지 않았으나, 제2 출력 라인(811b)에 배치된 제2 연산 전극층(812b)과 출력 전극층(820) 사이에 버퍼가 포함될 수 있다. 제2 연산 전극층(812b)은 이하 다른 연산 전극층에서의 컬럼 연산 결과가 생성되기 전까지 제2 컬럼 연산 결과를 버퍼에 저장할 수 있다.
- [76] 도 8c는 부분 데이터(800) 중 제1 및 제2 이차원 데이터가 입력된 후, 제n 이차원 데이터(801c)가 멤리스터 어레이 장치에 입력되는 경우, 멤리스터 어레이 장치의 동작 방법을 도시한다. 제n 이차원 데이터(801c)는 복수의 하부 전극층(810)에 입력될 수 있다. 멤리스터 어레이 장치는, 제n 출력 라인(811c)에 배치된 제n 연산 전극층(812c)(또는, 상부전극)을 선택할 수 있다. 선택된 제n 연산 전극층(812c)은 제n 이차원 데이터(801c) 및 복수의 멤리스터 소자에 저장된 가중치들 간의 n^2 개의 개별 연산 결과를 병합하여 제n 컬럼 연산 결과로 생성할 수 있다. 제n 컬럼 연산 결과는 출력 전극층(820)으로 전달될 수 있다. 도 8c에 도시되지 않았으나, 제n 출력 라인(811c)에 배치된 제n 연산 전극층(812c)과 출력 전극층(820) 사이에 버퍼가 포함될 수 있다. 제n 연산 전극층(812c)은 제n 컬럼 연산 결과를 버퍼에 저장할 수 있다.

- [77] 메모리스트 어레이 장치는 제1 부터 제n 컬럼 연산 결과가 각 버퍼(미도시) 모두에 저장된 경우, 버퍼에 저장된 컬럼 연산 결과들을 동시에 출력 전극층(820)으로 전달할 수 있다. 출력 전극층(820)은 전달 받은 복수의 컬럼 연산 결과들을 병합하여 출력 연산 결과를 출력할 수 있다.
- [78] 본 문서에서, "A 또는 B", "A 및 B 중 적어도 하나", "A 또는 B 중 적어도 하나", "A, B 또는 C", "A, B 및 C 중 적어도 하나", 및 "A, B, 또는 C 중 적어도 하나"와 같은 문구들 각각은 그 문구들 중 해당하는 문구에 함께 나열된 항목들 중 어느 하나, 또는 그들의 모든 가능한 조합을 포함할 수 있다.
- [79] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 이를 기초로 다양한 기술적 수정 및 변형을 적용할 수 있다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [80] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

청구범위

- [청구항 1] 멤리스터 어레이 장치에 있어서,
 복수의 절연층들의 각각 및 복수의 하부 전극층들의 각각이 교대로 적층된 제1 적층 구조체; 및
 상기 제1 적층 구조체에 형성된 홀(hole) 내에 저항변화소자 물질층, 중간 전극층, 선택소자 물질층, 및 상부 전극이 적층되고, 상기 복수의 하부 전극층들로부터 상기 상부 전극으로 향하는 전기 경로들에서 형성되는 복수의 멤리스터 소자들을 포함하는 제2 적층 구조체
 를 가지는 수직형 멤리스터 기반 추론 소자
 를 포함하는 멤리스터 어레이 장치.
- [청구항 2] 제1항에 있어서,
 상기 멤리스터 어레이 장치는,
 입력 라인 및 출력 라인을 따라 어레이 구조로 배치된 복수의 멤리스터 기반 추론 소자들;
 상기 복수의 멤리스터 기반 추론 소자들 중 동일한 출력 라인에 연결된 적어도 하나의 멤리스터 기반 추론 소자의 제2 적층 구조체들과 연결되는 연산 전극층;
 상기 연산 전극층으로부터 전달된 컬럼 연산 결과와 다른 출력 라인의 다른 연산 전극층으로부터 전달된 컬럼 연산 결과에 기초한 출력 연산 결과를 출력하는 출력 전극층
 을 더 포함하고,
 상기 복수의 멤리스터 기반 추론 소자들 중 한 소자가 상기 수직형 멤리스터 기반 추론 소자이며,
 상기 연산 전극층은,
 상기 적어도 하나의 멤리스터 기반 추론 소자의 각각에서 복수의 하부 전극층들을 통해 수신되는 입력들과 복수의 멤리스터 소자들에 저장된 가중치들 간의 개별 연산 결과를 수신하고, 상기 적어도 하나의 멤리스터 기반 추론 소자로부터 수신된 상기 개별 연산 결과를 병합함으로써 생성된 컬럼 연산 결과를 상기 출력 전극층에게 전달하는
 멤리스터 어레이 장치.
- [청구항 3] 제2항에 있어서,
 상기 멤리스터 어레이 장치는,
 상기 복수의 멤리스터 기반 추론 소자들 중 같은 입력 라인에 연결된 하나 이상의 멤리스터 기반 추론 소자의 제2 적층 구조체가 같은 하부 전극층에 연결되는,
 멤리스터 어레이 장치.
- [청구항 4] 제2항에 있어서,

상기 메모리스트 어레이 장치는,
 상기 연산 전극층의 제1 연산에 기초한 출력을 저장하는 제1 버퍼; 및
 상기 다른 연산 전극층의 제2 연산에 기초한 출력을 저장하는 제2 버퍼
 를 더 포함하고,
 상기 출력 전극층은,
 상기 제1 연산 및 상기 제2 연산이 개별적으로(individually) 수행되는 경
 우, 상기 제1 버퍼로부터 수신된 상기 제1 연산에 기초한 출력 및 상기 제2
 버퍼로부터 수신된 상기 제2 연산에 기초한 출력을 통합한 결과를 출력하
 는,
 메모리스트 어레이 장치.

[청구항 5] 제2항에 있어서,
 상기 복수의 메모리스트 기반 추론 소자들 중 각 메모리스트 기반 추론 소자
 는,
 다른 메모리스트 기반 추론 소자들에 대해 병렬적으로, 입력 데이터로부터
 미리 정해진 크기의 3차원 커널(kernel)에 대응하여 획득된 3차원 부분 데
 이터 중 해당하는 값들을 복수의 하부 전극 층들을 통해 수신하고,
 상기 다른 메모리스트 기반 추론 소자들에 대해 병렬적으로, 상기 해당하는
 값들과 해당하는 메모리스트 기반 추론 소자에 형성된 복수의 메모리스트 소
 자들의 가중치들 간의 연산 결과를 생성하는,
 메모리스트 어레이 장치.

[청구항 6] 제1항에 있어서,
 상기 저항변화소자 물질층은,
 금속 산화물 또는 칼코제나이드계 물질 중 적어도 하나를 포함하고,
 상기 선택소자 물질층은,
 칼코제나이드계 물질을 포함하는,
 메모리스트 어레이 장치.

[청구항 7] 제1항에 있어서,
 상기 메모리스트 어레이 장치는,
 상기 복수의 하부 전극층들에 입력 데이터를 입력하는 주변 회로
 (peripheral circuit)에 대해 적층되는,
 메모리스트 어레이 장치.

[청구항 8] 메모리스트 어레이 장치에 기초한 3차원 컨볼루션 신경망(3D Convolutional
 neural network) 연산 방법에 있어서,
 입력 데이터로부터 미리 정해진 크기의 3차원 커널(kernel)에 대응하는 3
 차원 부분 데이터를 획득하는 단계;
 상기 획득된 부분 데이터의 값들을, 수직으로 이격되어 형성된 복수의 멤
 브리스트 소자들에 개별적으로 연결된 복수의 하부 전극층들에 입력하는
 단계;

상기 복수의 하부 전극층에 입력된 값들과 상기 복수의 멤리스터 소자들에 저장된 가중치들 간의 개별 연산 결과들의 합산에 대응하는 컬럼 연산 결과를 생성하는 단계;

상기 생성된 컬럼 연산 결과 및 다른 출력 라인에 연결된 복수의 멤리스터 기반 추론 소자들의 컬럼 연산 결과를 출력 전극층에 전달하는 단계; 및
상기 전달된 컬럼 연산 결과들을 병합하여, 출력 연산 결과를 출력하는 단계

를 포함하는

3차원 컨볼루션 신경망 연산 방법.

[청구항 9]

제8항에 있어서,

상기 멤리스터 어레이 장치가, 입력 라인 및 출력 라인을 따라 어레이 구조로 배치된 복수의 멤리스터 기반 추론 소자들을 포함하고,

상기 입력하는 단계는,

상기 3차원 부분 데이터를 복수의 멤리스터 소자들 각각에 포함된 복수의 하부 전극 층들에 병렬적으로 입력하는 단계

를 포함하는

3차원 컨볼루션 신경망 연산 방법.

[청구항 10]

제8항에 있어서,

상기 멤리스터 어레이 장치가, 입력 라인 및 출력 라인을 따라 어레이 구조로 배치된 복수의 멤리스터 기반 추론 소자들을 포함하고, 상기 복수의 멤리스터 기반 추론 소자들 중 같은 입력 라인에 연결된 하나 이상의 멤리스터 기반 추론 소자의 제2 적층 구조체가 같은 하부 전극층에 연결되며, 상기 입력하는 단계는,

상기 3차원 부분 데이터를 슬라이스(slice)함으로써 복수의 2차원 데이터를 형성하는 단계; 및

상기 형성된 복수의 2차원 데이터 중 하나의 데이터에 해당하는 값을, 출력 라인들 중 해당 출력 라인에 연결된 복수의 멤리스터 기반 추론 소자들의 해당 복수의 하부 전극층들에 입력하는 단계;

를 포함하는

3차원 컨볼루션 신경망 연산 방법.

[청구항 11]

제8항에 있어서,

상기 생성된 컬럼 연산 결과를 버퍼에 저장하는 단계

를 더 포함하는

3차원 컨볼루션 신경망 연산 방법.

[청구항 12]

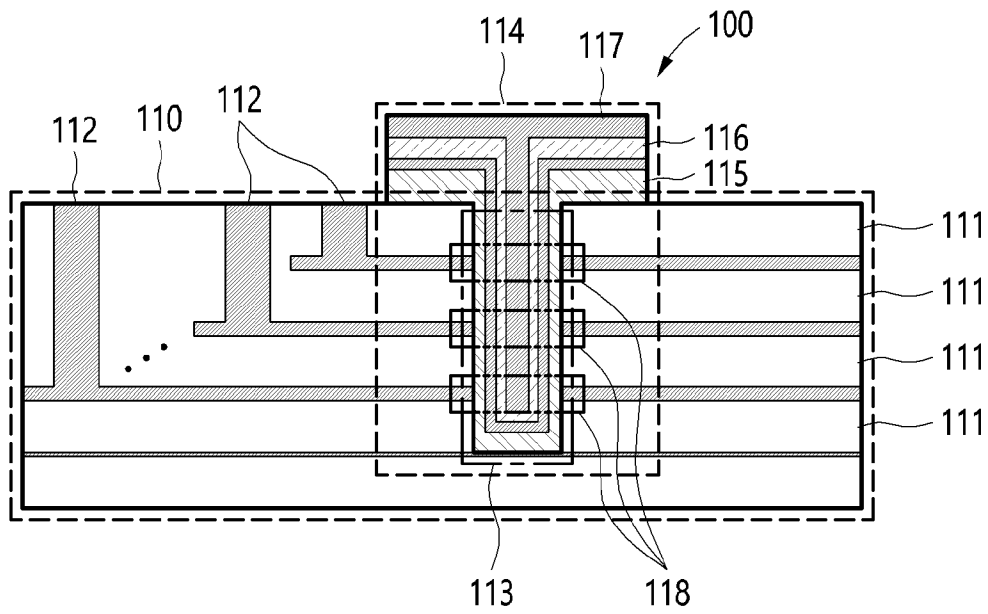
제8항에 있어서,

상기 멤리스터 어레이 장치는, 상기 복수의 하부 전극층들에 입력 데이터를 입력하는 주변 회로(peripheral circuit)에 대해 적층되고,

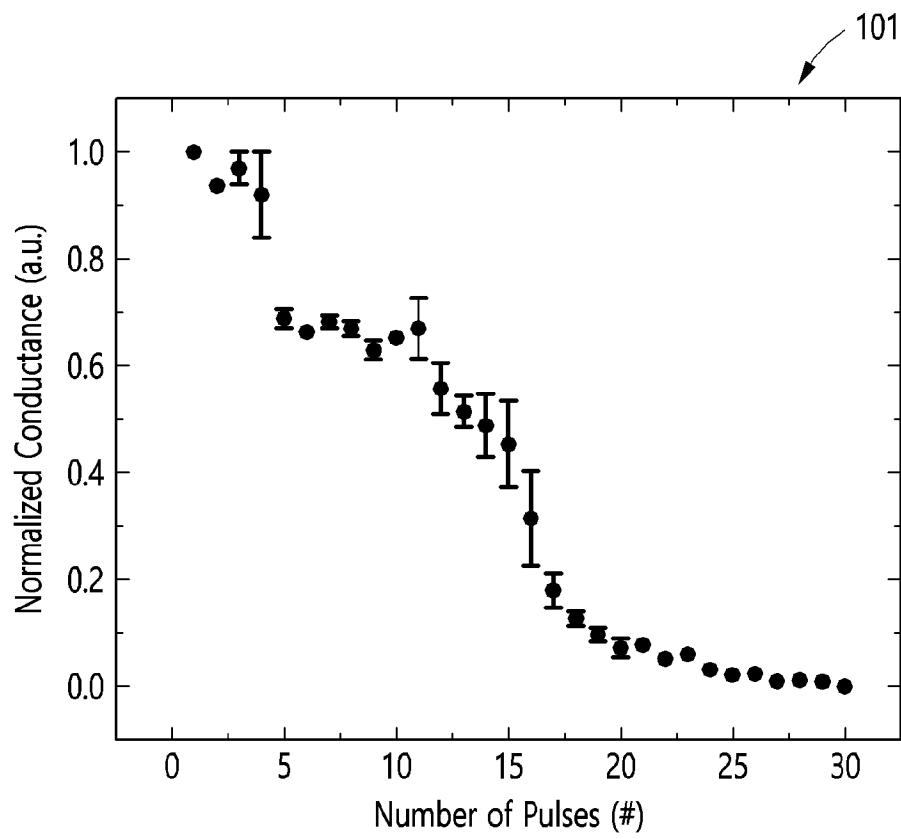
상기 입력하는 단계는,

상기 주변 회로가 상기 복수의 하부 전극층들에 데이터를 입력하는 단계를 포함하는
3차원 컨볼루션 신경망 연산 방법.

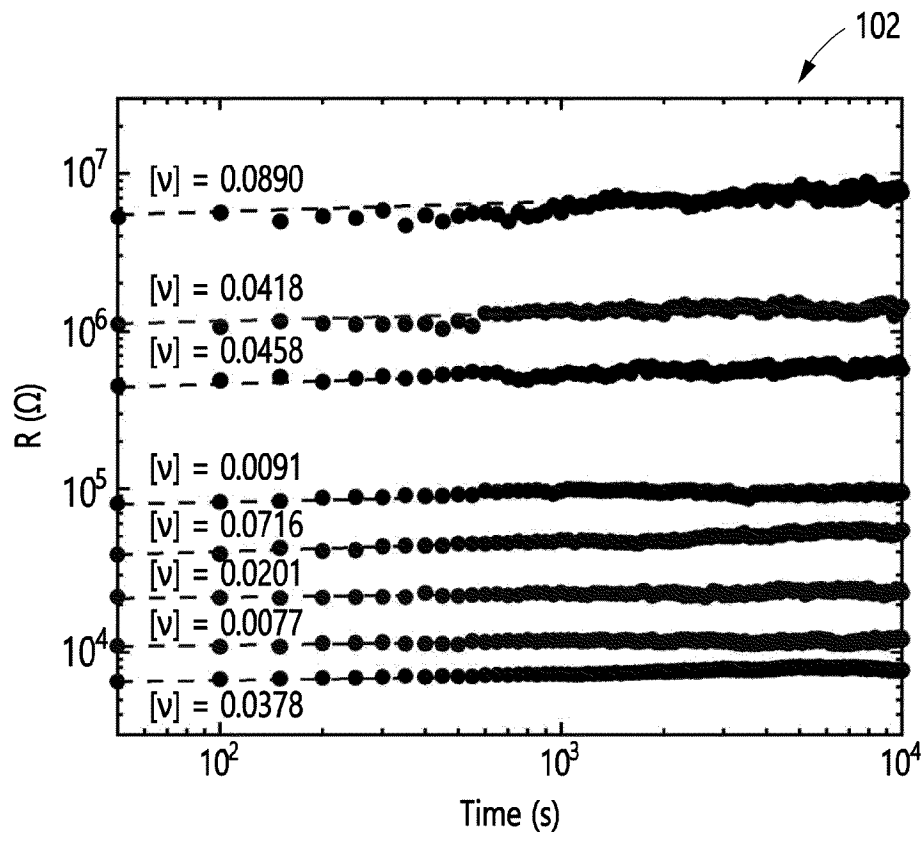
[도 1a]



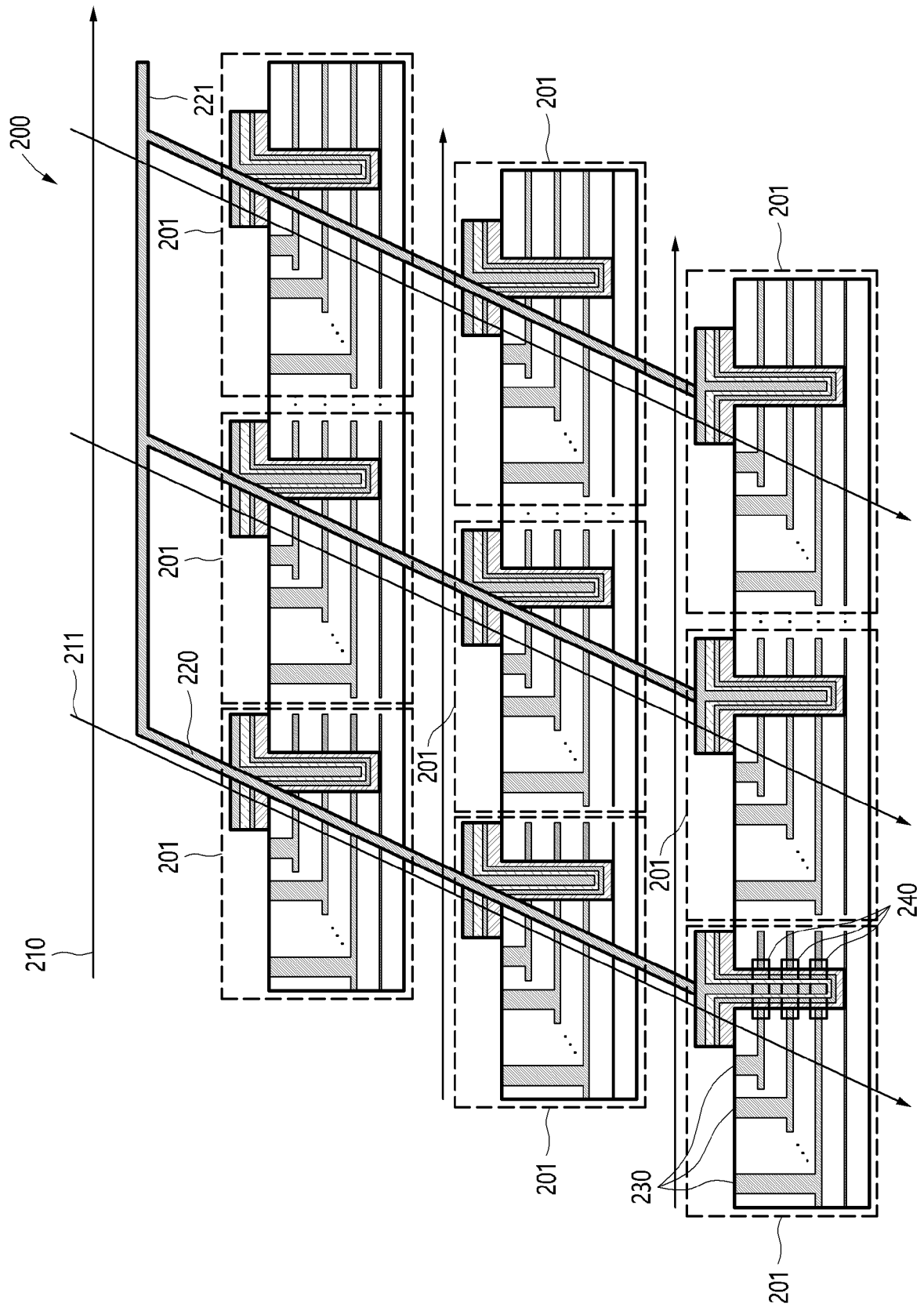
[도 1b]



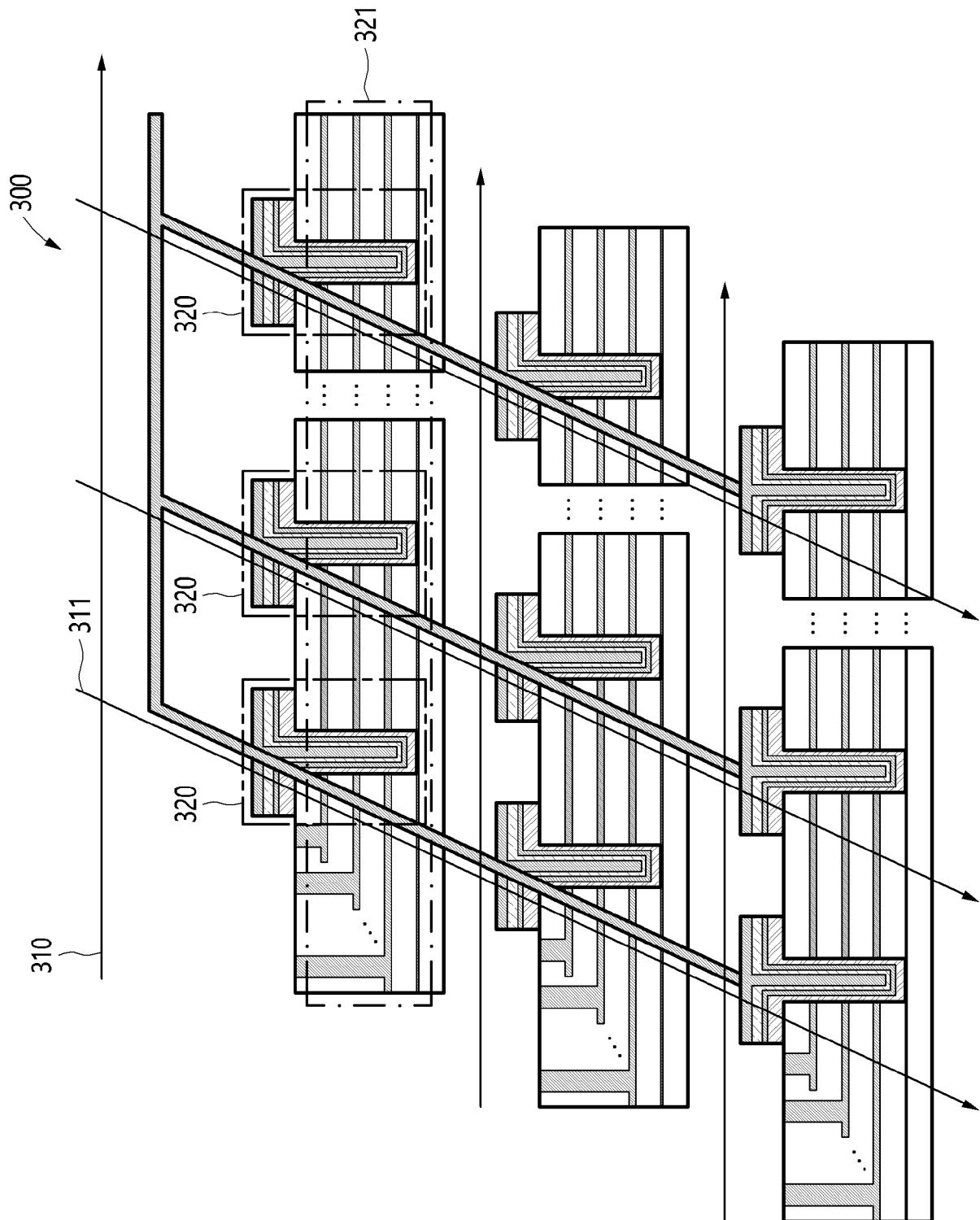
[도 1c]



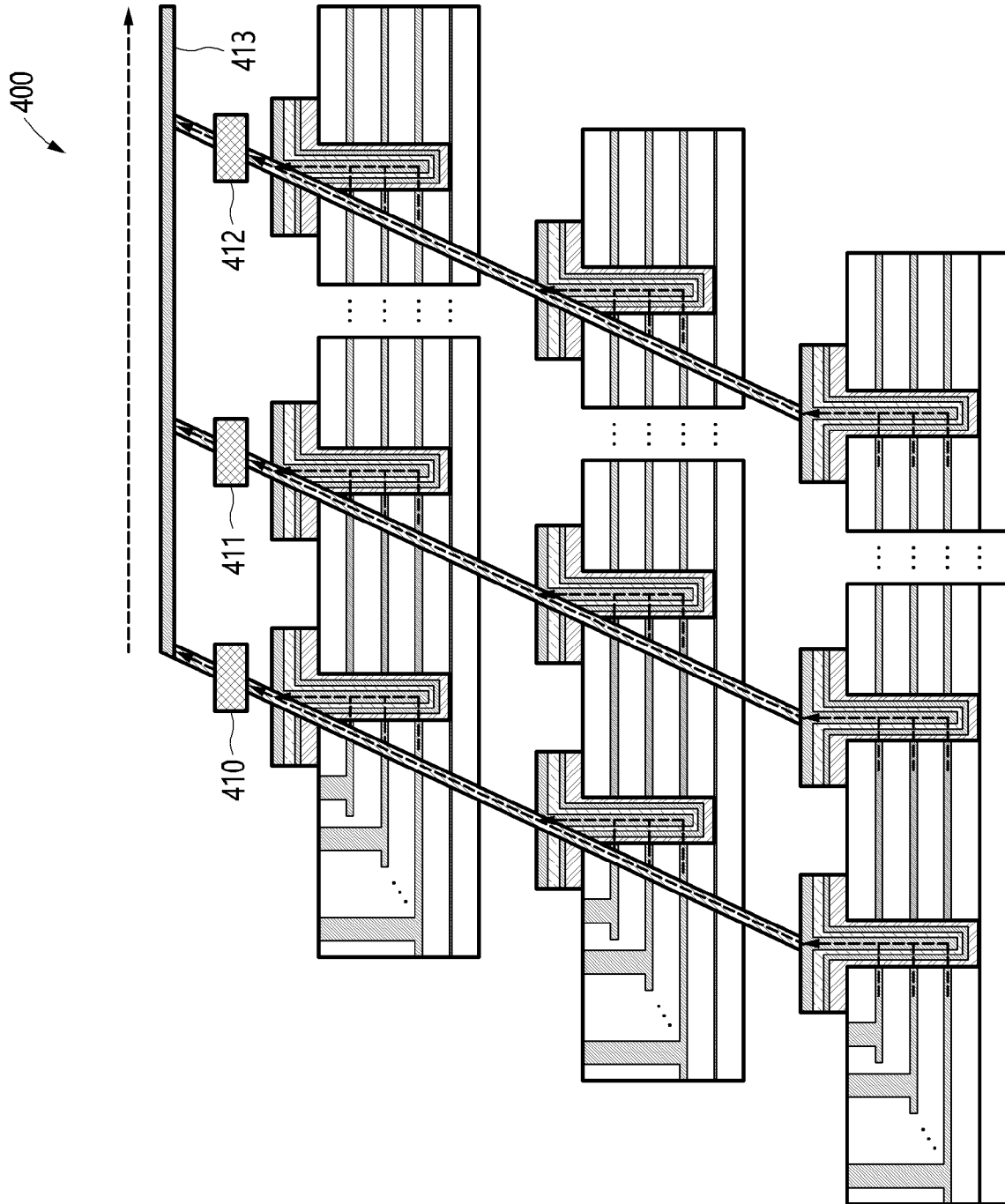
[도2]



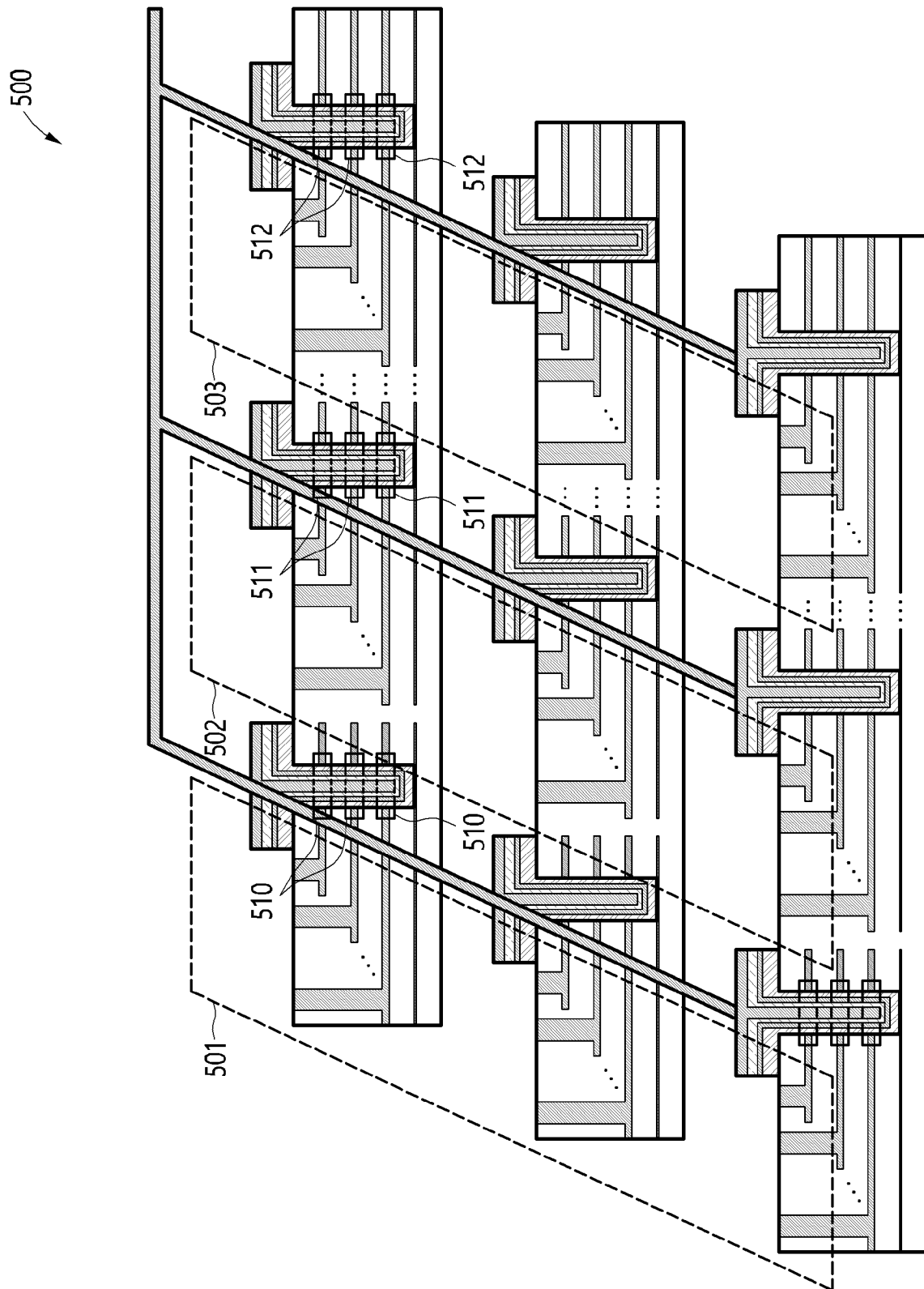
[도3]



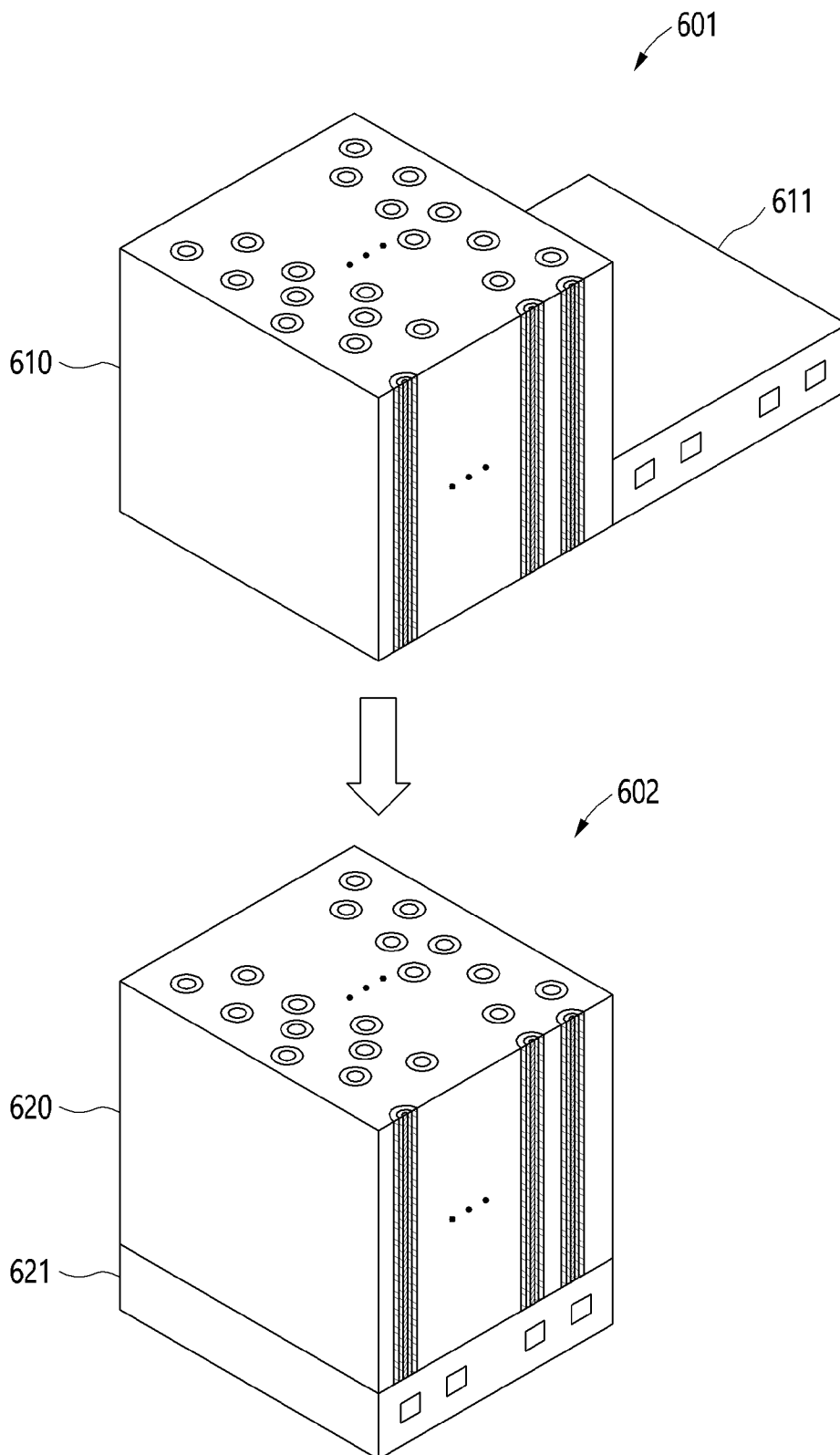
[도4]



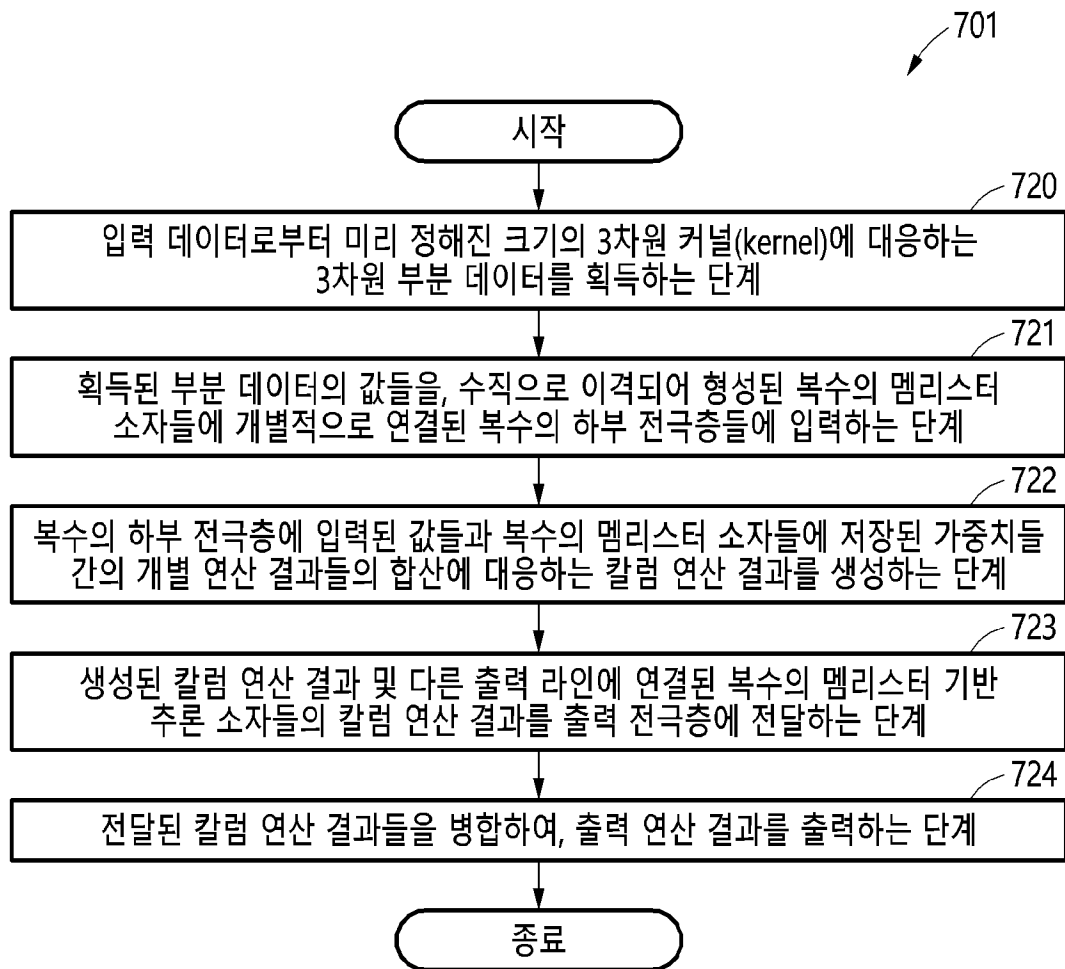
[도5]



[도6]

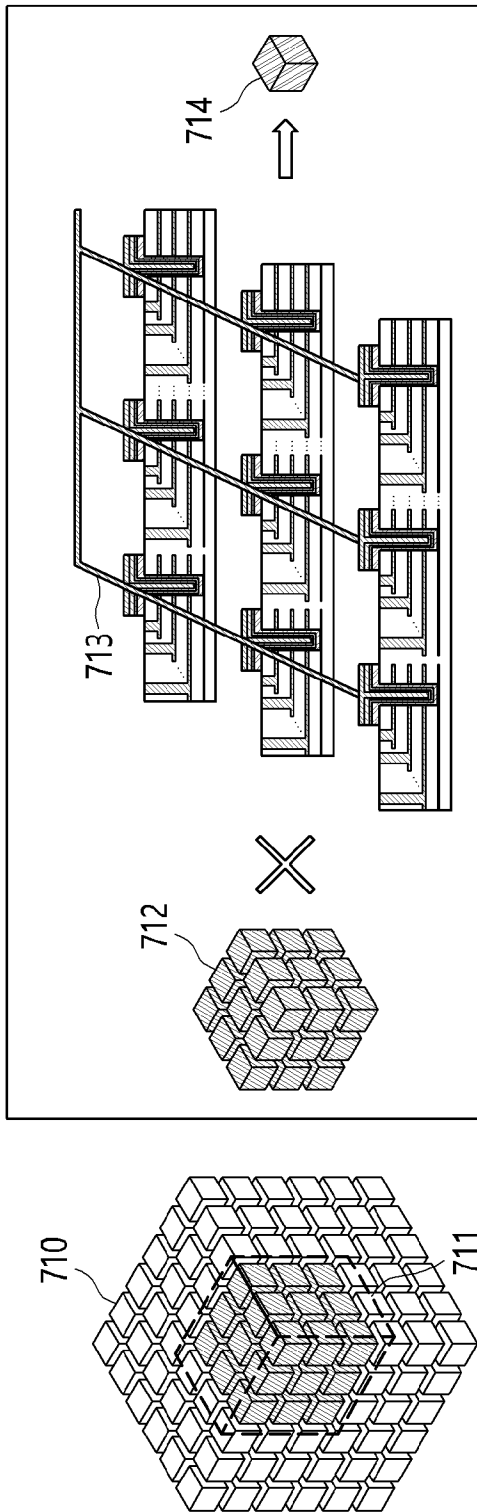


[도7a]

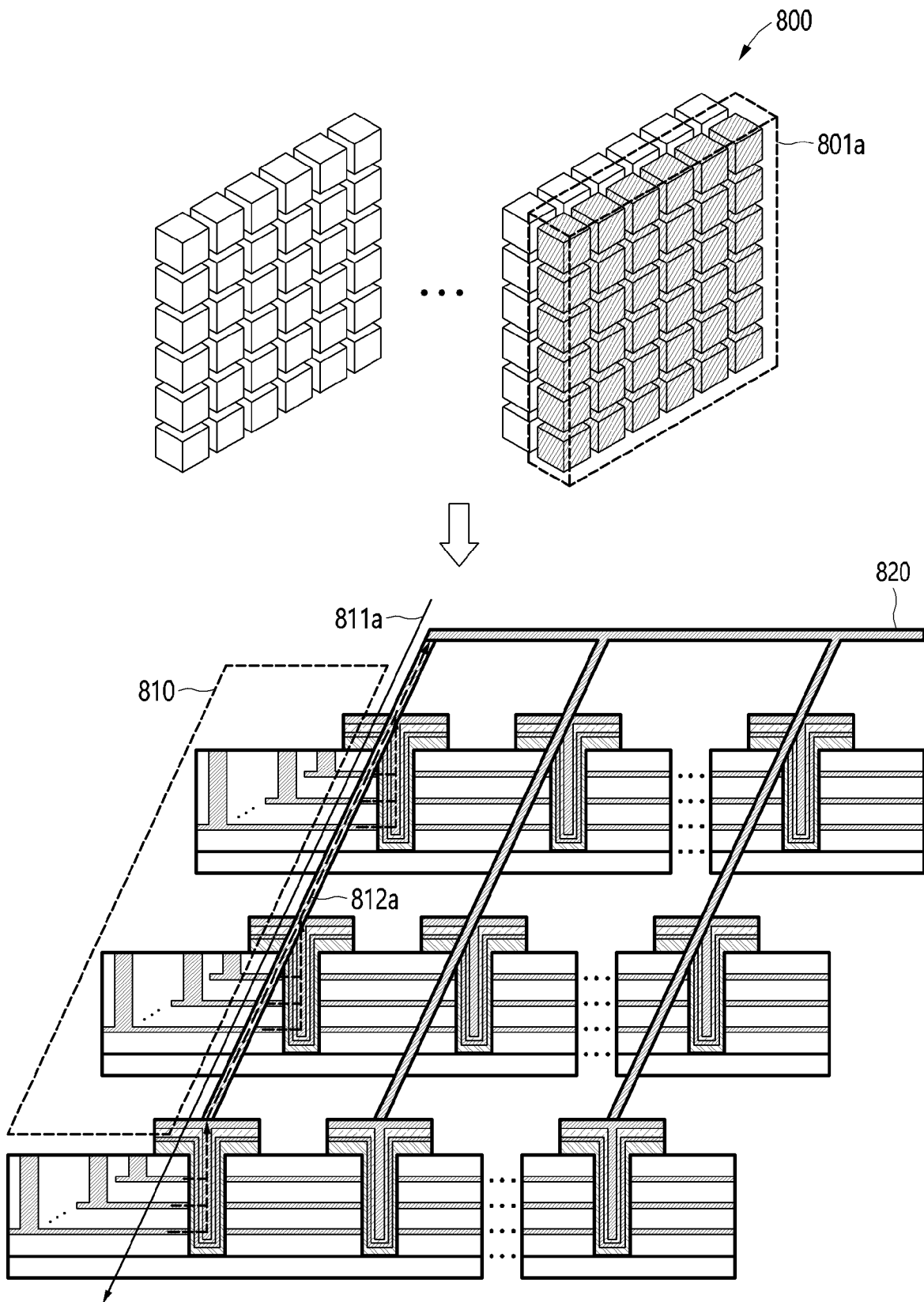


[도 7b]

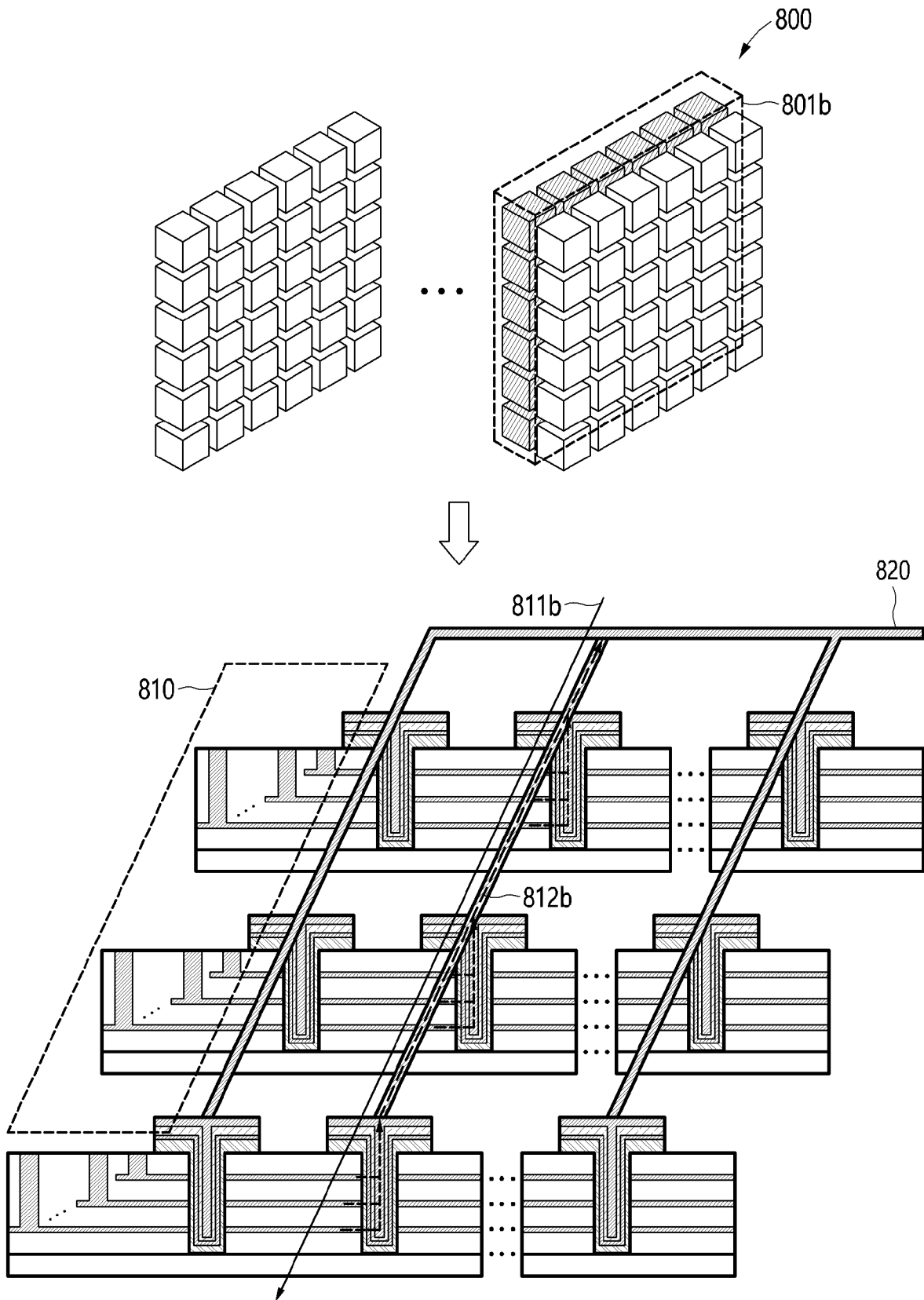
700



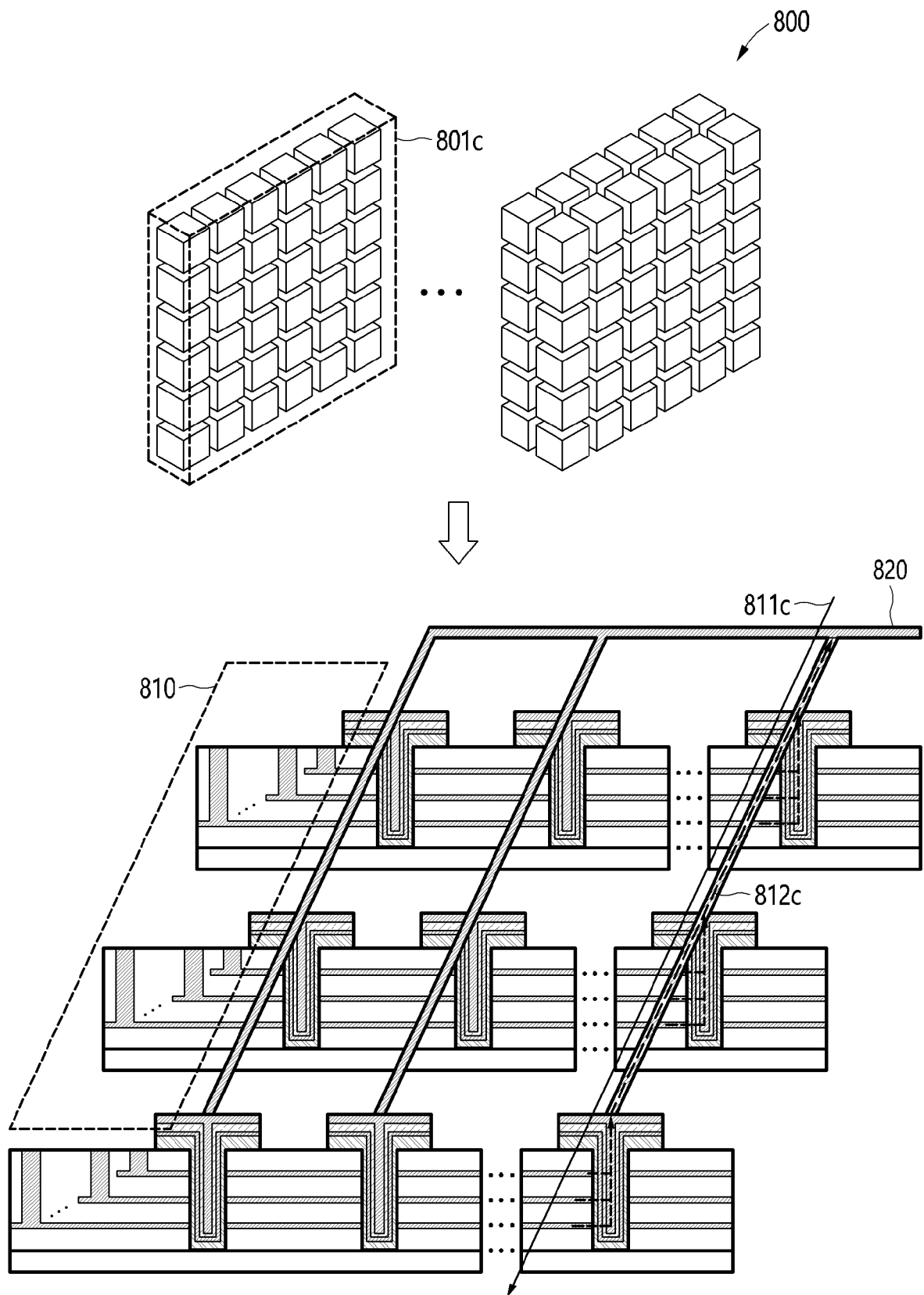
[도8a]



[도8b]



[도8c]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/004908

A. CLASSIFICATION OF SUBJECT MATTER H10B 63/00(2023.01)i; H10N 70/00(2023.01)i; G06N 3/0464(2023.01)i; G06N 3/063(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H10B 63/00(2023.01); G06N 3/04(2006.01); G06N 3/063(2006.01); G06N 3/08(2006.01); H01L 27/24(2006.01); H01L 45/00(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 멤리스터 어레이 장치(memristor array device), 3차원 컨볼루션 신경망 연산(three dimensional convolutional neural network operation), 적층 구조체(stack structure), 수직형 멤리스터 기반 추론 소자(vertical memristor based inference device)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	KR 10-2016-0018761 A (MICRON TECHNOLOGY, INC.) 17 February 2016 (2016-02-17) See paragraphs [0020]-[0060] and figures 2-4f.	1,6-7 2-5,8-12
Y	PARK, Taegyun et al. Highly parallel stateful Boolean logic gates based on aluminum-doped self-rectifying memristors in a vertical crossbar array structure. Nanoscale. 02 March 2023, vol. 15, pp. 6387-6395. DOI: 10.1039/D3NR00271C. [Retrieved on 01 July 2024]. Retrieved from <ROYAL SOCIETY OF CHEMISTRY. //pubs.rsc.org/en/content/articlehtml/2023/nr/d3nr00271c>. See page 6388, figure 1.	1,6-7
A	KR 10-2022-0088943 A (TSINGHUA UNIVERSITY) 28 June 2022 (2022-06-28) See paragraph [0069] and figure 7a.	1-12
A	KR 10-2023-0043512 A (SK HYNIX INC.) 31 March 2023 (2023-03-31) See paragraphs [0013]-[0126] and figures 1-9h.	1-12
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 17 July 2024		Date of mailing of the international search report 18 July 2024
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/004908

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-2022-0078312 A (KOREA ADVANCED INSTITUTE OF SCIENCE AND TECHNOLOGY) 10 June 2022 (2022-06-10) See paragraphs [0040]-[0074] and figures 3-5.	1-12

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2024/004908

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR 10-2016-0018761	A	17 February 2016		CN	105359271	A	24 February 2016
				CN	105359271	B	30 March 2018
				EP	3008754	A1	20 April 2016
				EP	3008754	A4	22 March 2017
				EP	3008754	B1	01 August 2018
				JP	2016-527710	A	08 September 2016
				JP	6159023	B2	05 July 2017
				KR	10-1960214	B1	19 March 2019
				KR	10-2018-0001578	A	04 January 2018
				TW	201515197	A	16 April 2015
				TW	1536546	B	01 June 2016
				US	10134810	B2	20 November 2018
				US	10916586	B2	09 February 2021
				US	2014-0361239	A1	11 December 2014
				US	2017-0263683	A1	14 September 2017
				US	2019-0019842	A1	17 January 2019
				US	9728584	B2	08 August 2017
				WO	2014-200791	A1	18 December 2014
KR 10-2022-0088943	A	28 June 2022		CN	110807519	A	18 February 2020
				CN	110807519	B	17 January 2023
				JP	2022-554371	A	28 December 2022
				JP	7399517	B2	18 December 2023
				US	2022-0335278	A1	20 October 2022
				WO	2021-088248	A1	14 May 2021
KR 10-2023-0043512	A	31 March 2023		CN	115860072	A	28 March 2023
				US	2023-0096854	A1	30 March 2023
KR 10-2022-0078312	A	10 June 2022		None			

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H10B 63/00(2023.01)i; H10N 70/00(2023.01)i; G06N 3/0464(2023.01)i; G06N 3/063(2006.01)i		
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H10B 63/00(2023.01); G06N 3/04(2006.01); G06N 3/063(2006.01); G06N 3/08(2006.01); H01L 27/24(2006.01); H01L 45/00(2006.01) 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 멤리스터 어레이 장치(memristor array device), 3차원 컨볼루션 신경망 연산(three dimensional convolutional neural network operation), 적층 구조체(stack structure), 수직형 멤리스터 기반 추론 소자(vertical memristor based inference device)		
C. 관련 문헌		
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y A	KR 10-2016-0018761 A (마이크론 테크놀로지, 인크.) 2016.02.17 단락 [0020]-[0060] 및 도면 2-4f 참조.	1,6-7 2-5,8-12
Y	TAEGYUN PARK 등. Highly parallel stateful Boolean logic gates based on aluminum-doped self-rectifying memristors in a vertical crossbar array structure. Nanoscale, 2023.03.02, 권수 15, 페이지 6387-6395, DOI: 10.1039/D3NR00271C [검색일 2024-07-01]. 출처 <ROYAL SOCIETY OF CHEMISTRY, https://pubs.rsc.org/en/content/articlehtml/2023/nr/d3nr00271c >. 페이지 6388 및 도면 1 참조.	1,6-7
A	KR 10-2022-0088943 A (청화대학교) 2022.06.28 단락 [0069] 및 도면 7a 참조.	1-12
A	KR 10-2023-0043512 A (에스케이하이닉스 주식회사) 2023.03.31 단락 [0013]-[0126] 및 도면 1-9h 참조.	1-12
☒ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.		
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “D” 본 국제출원에서 출원인이 인용한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌		
국제조사의 실제 완료일 2024년07월17일(17.07.2024)		국제조사보고서 발송일 2024년07월18일(18.07.2024)
ISA/KR의 명칭 및 우편주소 대한민국 특허청 (35208) 대전광역시 서구 청사로 189, 4동 (둔산동, 정부대전청사) 팩스 번호 +82-42-481-8578		심사관 이강하 전화번호 +82-42-481-5687

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2016-0018761 A	2016/02/17	CN 105359271 A	2016/02/24
		CN 105359271 B	2018/03/30
		EP 3008754 A1	2016/04/20
		EP 3008754 A4	2017/03/22
		EP 3008754 B1	2018/08/01
		JP 2016-527710 A	2016/09/08
		JP 6159023 B2	2017/07/05
		KR 10-1960214 B1	2019/03/19
		KR 10-2018-0001578 A	2018/01/04
		TW 201515197 A	2015/04/16
		TW I536546 B	2016/06/01
		US 10134810 B2	2018/11/20
		US 10916586 B2	2021/02/09
		US 2014-0361239 A1	2014/12/11
		US 2017-0263683 A1	2017/09/14
		US 2019-0019842 A1	2019/01/17
		US 9728584 B2	2017/08/08
		WO 2014-200791 A1	2014/12/18
KR 10-2022-0088943 A	2022/06/28	CN 110807519 A	2020/02/18
		CN 110807519 B	2023/01/17
		JP 2022-554371 A	2022/12/28
		JP 7399517 B2	2023/12/18
		US 2022-0335278 A1	2022/10/20
		WO 2021-088248 A1	2021/05/14
KR 10-2023-0043512 A	2023/03/31	CN 115860072 A	2023/03/28
		US 2023-0096854 A1	2023/03/30
KR 10-2022-0078312 A	2022/06/10	없음	