



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2014년08월06일  
(11) 등록번호 10-1426329  
(24) 등록일자 2014년07월29일

(51) 국제특허분류(Int. Cl.)  
H01L 27/146 (2006.01) H04N 5/335 (2011.01)  
(21) 출원번호 10-2011-0134411  
(22) 출원일자 2011년12월14일  
심사청구일자 2012년12월12일  
(65) 공개번호 10-2012-0067298  
(43) 공개일자 2012년06월25일  
(30) 우선권주장  
JP-P-2010-279873 2010년12월15일 일본(JP)  
(56) 선행기술조사문헌  
US07334211 B1\*  
US20090086066 A1\*  
US20100002108 A1  
JP2008078302 A  
\*는 심사관에 의하여 인용된 문헌

(73) 특허권자  
캐논 가부시끼가이샤  
일본 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2고  
(72) 발명자  
시노하라 마히토  
일본 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2고  
캐논 가부시끼가이샤 내  
(74) 대리인  
박충범, 장수길

전체 청구항 수 : 총 12 항

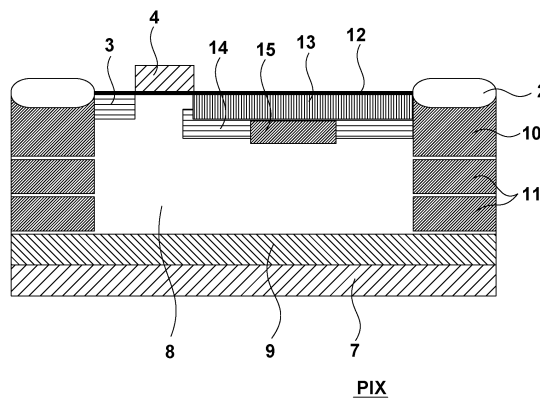
심사관 : 방기인

(54) 발명의 명칭 고체 이미지 센서, 이의 제조 방법 및 카메라

(57) 요약

본 발명의 고체 이미지 센서는, 제1 도전형의 제1 반도체 영역과, 제1 반도체 영역의 하부면과 접촉하도록 배치되고, 전하 축적 영역으로서 기능하는 제2 도전형의 제2 반도체 영역과, 제2 반도체 영역으로 둘러싸인 측면을 포함하는 제3 반도체 영역과, 제2 반도체 영역으로부터 이격되어 배치되는 제2 도전형의 제4 반도체 영역과, 제2 반도체 영역에 축적된 전하를 제4 반도체 영역으로 전송하는 채널을 형성하는 전송 게이트를 포함한다. 제3 반도체 영역은, 제1 도전형의 반도체 영역과, 제2 반도체 영역에서의 불순물 농도보다 불순물 농도가 낮은 제2 도전형의 반도체 영역 중 하나이다.

대표도 - 도2



## 특허청구의 범위

### 청구항 1

제1 도전형의 제1 반도체 영역과,

상기 제1 반도체 영역의 하부면과 접촉하도록 배치되고, 전하 축적 영역으로서 기능하는 제2 도전형의 제2 반도체 영역과,

상기 제2 반도체 영역과 접촉하는 상부면, 하부면, 및 상기 제2 반도체 영역으로 둘러싸인 측면을 포함하고, 상기 제1 반도체 영역과 접촉하지 않는, 제3 반도체 영역과,

상기 제2 반도체 영역으로부터 이격되어 배치된 제2 도전형의 제4 반도체 영역과,

상기 제3 반도체 영역의 하부면 및 상기 제2 반도체 영역의 하부면과 접촉하도록 배치된 제2 도전형의 제5 반도체 영역과,

상기 제2 반도체 영역에 축적된 전하를 상기 제4 반도체 영역으로 전송하는 채널을 형성하는 전송 게이트를 포함하며,

상기 제3 반도체 영역의 상부면으로부터 상기 제3 반도체 영역의 하부면으로 연장되는 부분은, (a) 제1 도전형의 반도체 영역, 또는 (b) 상기 제2 반도체 영역에서의 불순물 농도보다 낮은 불순물 농도를 갖는 제2 도전형의 반도체 영역으로 이루어지는, 고체 이미지 센서.

### 청구항 2

삭제

### 청구항 3

제1항에 있어서,

상기 제3 반도체 영역은 상기 제2 도전형의 반도체 영역으로 이루어지는, 고체 이미지 센서.

### 청구항 4

제1항에 있어서,

상기 제5 반도체 영역의 하부면과 접촉하는 제1 도전형의 제6 반도체 영역을 더 포함하는 고체 이미지 센서.

### 청구항 5

삭제

### 청구항 6

제1항에 있어서,

복수의 화소를 포함하도록 구성되며,

각각의 화소는 상기 제2 반도체 영역, 상기 제3 반도체 영역 및 상기 전송 게이트를 포함하고, 하나의 화소의 제2 반도체 영역과 다른 화소의 제2 반도체 영역 사이에 제1 도전형의 반도체 영역이 배치되는 고체 이미지 센서.

### 청구항 7

제1항에 있어서,

복수의 화소를 포함하도록 구성되며,

각각의 화소는 상기 제2 반도체 영역, 상기 제3 반도체 영역 및 상기 전송 게이트를 포함하고, 하나의 화소의 제2 반도체 영역과 다른 화소의 제2 반도체 영역 사이에 제1 도전형의 반도체 영역이 배치되며,

상기 제3 반도체 영역 및 상기 제1 도전형의 반도체 영역은 동일한 깊이에 배치되고, 또한 동일한 불순물 농도를 갖는 고체 이미지 센서.

#### 청구항 8

제1 도전형의 제1 반도체 영역, 상기 제1 반도체 영역의 하부면과 접촉하도록 배치되고 전하 축적 영역으로서 기능하는 제2 도전형의 제2 반도체 영역, 및 상기 제2 반도체 영역으로부터 이격되어 배치되는 제2 도전형의 제4 반도체 영역이 배치되는 기판과, 상기 제2 반도체 영역에 축적된 전하를 상기 제4 반도체 영역으로 전송하는 채널을 형성하는 전송 게이트를 포함하는 고체 이미지 센서를 제조하는 방법이며,

상기 기판의 하나의 영역에 제1 도전형의 이온을 주입하여, 상기 하나의 영역의 전체를, 상기 제2 반도체 영역으로 둘러싸인 측면과 상기 제2 반도체 영역에 접촉하는 상부면을 포함하는 제3 반도체 영역으로 변경시키는 이온 주입 단계를 포함하는, 고체 이미지 센서의 제조 방법.

#### 청구항 9

제8항에 있어서,

상기 고체 이미지 센서는, 각각이 상기 제2 반도체 영역, 상기 제3 반도체 영역 및 상기 전송 게이트를 포함하는 복수의 화소를 포함하고,

상기 이온 주입 단계에서는, 하나의 화소의 제2 반도체 영역과 다른 화소의 제2 반도체 영역 사이에, 제1 도전형의 반도체 영역을 상기 제3 반도체 영역과 함께 형성하도록, 상기 기판에 이온을 주입하는 고체 이미지 센서의 제조 방법.

#### 청구항 10

제9항에 있어서,

상기 이온 주입 단계에서는,

제1 도전형의 반도체 영역 및 상기 제3 반도체 영역이 동일한 깊이에 배치되고 또한 동일한 불순물 농도를 갖도록, 상기 기판에 이온을 주입하는 고체 이미지 센서의 제조 방법.

#### 청구항 11

제9항에 있어서,

제1 도전형의 반도체 영역 아래에 제1 도전형의 다른 반도체 영역을 형성하도록, 상기 기판에 이온을 주입하는 단계를 더 포함하는 고체 이미지 센서의 제조 방법.

#### 청구항 12

제8항에 있어서,

이온을 주입하여 상기 제3 반도체 영역을 형성한 후에, 상기 제1 반도체 영역 및 상기 제2 반도체 영역을 형성하는 단계를 더 포함하는 고체 이미지 센서의 제조 방법.

#### 청구항 13

삭제

#### 청구항 14

제1항, 제4항, 및 제6항 중 어느 한 항에 따른 고체 이미지 센서와,

상기 고체 이미지 센서로부터 출력된 신호를 처리하는 처리 유닛을 포함하는 카메라.

#### 청구항 15

제1 도전형의 제1 반도체 영역, 상기 제1 반도체 영역의 하부면과 접촉하도록 배치되고 전하 축적 영역으로서 기능하는 제2 도전형의 제2 반도체 영역, 상기 제2 반도체 영역으로부터 이격되어 배치되는 제2 도전형의 제4

반도체 영역, 및 제2 도전형의 제5 반도체 영역이 배치된 기관, 및 상기 제2 반도체 영역에 축적된 전하를 상기 제4 반도체 영역으로 전송하는 채널을 형성하는 전송 게이트를 포함하는 고체 이미지 센서를 제조하는 방법이며,

상기 기관의 하나의 영역에 제1 도전형의 이온을 주입하여, 상기 하나의 영역을, 상기 제2 반도체 영역으로 둘러싸인 측면, 상기 제2 반도체 영역과 접촉하는 상부면, 및 상기 제5 반도체 영역과 접촉하는 하부면을 포함하는 제3 반도체 영역으로 변경시키는 이온 주입 단계를 포함하고,

상기 제3 반도체 영역은 상기 제1 반도체 영역과 접촉하지 않고,

상기 제3 반도체 영역의 상부면으로부터 상기 제3 반도체 영역의 하부면으로 연장되는 부분은 제1 도전형을 갖는, 고체 이미지 센서의 제조 방법.

## 명세서

### 기술 분야

[0001] 본 발명은 고체 이미지 센서, 이의 제조 방법 및 카메라에 관한 것이다.

### 배경 기술

[0002] CCD 센서 또는 CMOS 센서와 같은 고체 이미지 센서는 촬상 영역 내에 배치되는 복수의 화소를 포함한다. 각각의 화소는 광전 변환부, 및 광전 변환부에 축적된 전하를 신호 출력부로 전송하는 채널을 형성하는 전송 게이트를 포함한다. 신호 출력부는 CCD 센서의 수직 CCD 레지스터이거나, CMOS 센서의 증폭 트랜지스터의 게이트에 접속된 플로팅 디퓨전(floating diffusion)일 수 있다. 광전 변환부는 일반적으로, 효과적인 신호 전하 수집 및 암전류 억제에 의해, 매설식 포토 다이오드(buried photo diode)를 사용하며, 이 매설식 포토 다이오드는 반도체의 표면의  $p^+$  형 영역,  $p^+$  형 영역 바로 아래의 n형 영역, 및 n형 영역 아래의  $n^-$  형 영역을 포함한다.  $p^+$  형 영역의 하부면과 접촉하는  $n^-$  형 영역은 신호 전하 축적 영역으로서 작용한다.

[0003] 포화 전자, 즉 축적 영역 내의 포화 전하의 개수는 축적 영역의 면적과 퍼텐셜의 깊이의 곱에 거의 비례한다. 그러나, 퍼텐셜이 깊어짐에 따라, 신호 출력부의 전자 전송은 어려워진다. 특히, 화소 면적이 작은 경우, 충분한 개수의 포화 전자 및 신호 전송 성능 양자 모두를 확보하는 것이 어렵다.

[0004] 일본 특허공개공보 제2008-078302호에는,  $p^+$  형 영역, n형 영역,  $p^-$  형 영역 및  $n^-$  형 영역이 반도체 기관의 표면으로부터 깊이 방향으로 배치되어 있는 구조가 개시되어 있다. 이러한 구조에 있어서,  $p^-$  형 영역이 축적 영역으로서 작용하는 n형 영역의 하부면과 접촉하여 배치되기 때문에, n형 영역의 두께는 제한된다. 반도체 이론에 따르면, n형 축적 영역 내의 불순물 농도가 일정한 포화 전하를 유지하도록 조정되는 상태에서, n형 축적 영역이 얇아수록 n형 영역을 공핍화(depleting) 하는데 필요한 전압을 낮출 수 있다. 낮은 공핍화 전압이 신호 전하의 전송을 용이하게 하기 때문에, n형 영역 두께의 제한은 포화도 및 전송 성능 양자 모두를 확보할 수 있다.

[0005] 그러나, 일본 특허공개공보 제2008-078302호에 기술된 구조에서는, 신호 전하를 수집하는 공핍화된  $n^-$  형 영역에서의 퍼텐셜 구배가 작다. 이는 감도를 감소시키거나 혼선을 증가시킬 수 있다. 특히, 화소 크기가 작은 경우, p형 영역이 수평 방향으로 화소를 분리시키도록 배치되는 구조에서는, p형 영역은  $n^-$  형 층의 퍼텐셜을 평탄화하는 작용을 한다. 따라서, 감도 감소는 더욱 두드러질 수 있다. 즉, 종래의 화소 구조 또는 일본 특허공개공보 제2008-078302호의 구조에서는, 특히 화소의 크기가 작은 경우, 포화 전하량, 전송 성능 및 감도의 모두에 대한 요구사항을 만족시키기란 곤란할 수 있다.

## 발명의 내용

### 해결하려는 과제

[0006] 본 발명은 포화 전하량, 전송 성능 및 감도의 요구사항을 만족시키는데 유리한 기술을 제공한다.

### 과제의 해결 수단

- [0007] 본 발명의 제1 태양은, 제1 도전형의 제1 반도체 영역과, 제1 반도체 영역의 하부면과 접촉하도록 배치되고 전하 축적 영역으로서 기능하는 제2 도전형의 제2 반도체 영역과, 제2 반도체 영역으로부터 둘러싸인 측면을 포함하는 제3 반도체 영역과, 제2 반도체 영역으로부터 이격되어 배치되는 제2 도전형의 제4 반도체 영역과, 제2 반도체 영역에 축적된 전하를 제4 반도체 영역으로 전송하는 채널을 형성하는 전송 게이트를 포함하며, 제3 반도체 영역은, 제1 도전형의 반도체 영역과, 제2 반도체 영역에서의 불순물 농도보다 낮은 불순물 농도의 제2 도전형의 반도체 영역 중 하나인 고체 이미지 센서를 제공한다.
- [0008] 본 발명의 제2 태양은, 제1 도전형의 제1 반도체 영역, 제1 반도체 영역의 하부면과 접촉하도록 배치되고 전하 축적 영역으로서 기능하는 제2 도전형의 제2 반도체 영역, 및 제2 반도체 영역으로부터 이격되어 배치되는 제2 도전형의 제4 반도체 영역이 배치되는 기판과, 제2 반도체 영역에 축적된 전하를 제4 반도체 영역으로 전송하는 채널을 형성하는 전송 게이트를 포함하는 고체 이미지 센서를 제조하는 방법으로서, 제2 반도체 영역으로 둘러싸인 측면을 포함하는 제3 반도체 영역을 형성하도록, 제1 도전형의 이온을 기판에 주입하는 단계를 포함하는 고체 이미지 센서의 제조 방법을 제공한다.
- [0009] 본 발명의 제3 태양은, 제1 도전형의 제1 반도체 영역과, 제1 반도체 영역의 하부면과 접촉하도록 배치되고 전하 축적 영역으로서 기능하는 제2 도전형의 제2 반도체 영역과, 제2 반도체 영역으로부터 이격되어 배치되는 제2 도전형의 제4 반도체 영역과, 제2 반도체 영역에 축적된 전하를 제4 반도체 영역으로 전송하는 채널을 형성하는 전송 게이트를 포함하는 고체 이미지 센서를 제조하는 방법으로서, 제2 반도체 영역을 형성하고 제2 반도체 영역으로 둘러싸인 측면을 포함하는 제2 도전형의 제3 반도체 영역을 형성하도록, 제2 반도체 영역이 형성되어야 할 영역에 이온을 주입하는 단계를 포함하며, 제3 반도체 영역은 제2 도전형의 불순물 농도가 제2 반도체 영역에서의 불순물 농도보다 낮은 반도체 영역인 고체 이미지 센서의 제조 방법을 제공한다.
- [0010] 본 발명의 제4 태양은, 본 발명의 제1 태양에서 형성된 것과 같은 고체 이미지 센서 및 고체 이미지 센서로부터 출력된 신호를 처리하는 처리 유닛을 포함하는 카메라를 제공한다.
- [0011] 본 발명의 다른 특징은 첨부 도면을 참조하여 이하의 예시적인 실시예의 설명으로부터 명백할 것이다.

### 도면의 간단한 설명

- [0012] 도 1은 본 발명의 제1, 제2 및 제4 실시예에 따른 고체 이미지 센서의 하나의 화소의 구조를 도시하는 평면도.  
 도 2는 본 발명의 제1 실시예에 따른 고체 이미지 센서의 하나의 화소의 구조를 도시하는 단면도.  
 도 3은 본 발명의 제1 실시예에 따른 고체 이미지 센서를 제조하는 방법을 설명하는 단면도.  
 도 4a 및 도 4b는 포텐셜 분포를 도시하는 그래프.  
 도 5는 본 발명의 제2 실시예에 따른 고체 이미지 센서의 하나의 화소의 구조를 도시하는 단면도.  
 도 6은 본 발명의 제2 실시예에 따른 고체 이미지 센서를 제조하는 방법을 설명하기 위한 단면도.  
 도 7은 본 발명의 제3 실시예에 따른 고체 이미지 센서의 하나의 화소의 구조를 도시하는 평면도.  
 도 8은 본 발명의 제3 실시예에 따른 고체 이미지 센서의 하나의 화소의 구조를 도시하는 단면도.  
 도 9는 본 발명의 제4 실시예에 따른 고체 이미지 센서의 하나의 화소의 구조를 도시하는 단면도.

### 발명을 실시하기 위한 구체적인 내용

- [0013] 본 발명의 고체 이미지 센서는, 전하 축적 영역에 축적된 전하를 플로팅 디퓨전 또는 수직 CCD 레지스터와 같은 신호 출력부로 전송하는 기능을 갖는 CCD 센서 및 CMOS 센서와 같은 각종 센서에 적용할 수 있다. 고체 이미지 센서는 복수의 화소를 포함한다. 각각의 화소는 전하 축적 영역을 포함하는 광전 변환부, 및 전하 축적 영역에 축적된 전하(전자 또는 정공)를 전송하는 채널을 형성하는 전송 게이트를 포함할 수 있다. CMOS 센서에서, 신호 출력부로서 작용하는 플로팅 디퓨전은 복수의 화소 또는 복수의 광전 변환부에 의해 공유될 수 있다.
- [0014] 특허청구범위에 사용된 "제1 도전형" 및 "제2 도전형"은 서로 상이한 도전형을 나타내는 용어이다. "제1 도전형"이 p형인 경우, "제2 도전형"은 n형이다. 이하의 예는 간략화를 위해 도전형이 전술한 바와 같이 정의되는 것으로 가정하지만, 본 발명은 반대의 도전성의 장치에서도 유효하다. n형 전하 축적 영역은 광전 변환 영역에서 생성되는 전자 및 정공 캐리어 중 전자를 저장하는 반면, p형 전하 축적 영역은 신호 캐리어로서 정공을 저장한다. 본 발명은 전술한 바와 같이, 전하 축적 영역에 축적된 전하를 신호 출력부로 전송하는 기능을 갖는

각종 센서에 적용할 수 있다. 그러나, 이하의 예는 간략화를 위해, CMOS 센서로만 상정한다.

[0015] 도 1은 본 발명의 제1 실시예에 따른 CMOS 센서의 하나의 화소(PIX)의 구조를 도시하는 평면도이다. 화소(PIX)는 포토 다이오드(이하, PD라 함)(1), 신호 출력부로서 작용하는 플로팅 디퓨전(이하, FD라 함)(3) 및 전송 게이트(4)를 포함할 수 있다. PD(1)는 입사광에 의해 생성되는 신호 전하를 축적하는 전하 축적부를 포함한다. FD(3)는 FD로 전송되는 전하량에 따라 포텐셜을 변경한다. 즉, FD(3)는 전하 형태의 신호를 전압 형태의 신호로 변환하는 전하-대-전압 변환기로서 작용한다. FD(3)는 다른 FD에 접속되거나 다른 PD에 의해 공유될 수 있다는 점을 인식해야 한다. 전송 게이트(4)는 PD(1)의 전하 축적부에 축적된 전하를 FD(3)로 전송하는 채널을 형성한다. 소스 또는 드레인으로서의 PD(1) 및 드레인 또는 소스로서의 FD(3)와 관련하여, MOS 트랜지스터는 PD(1), FD(3) 및 전송 게이트(4)로 형성되는 것으로 고려된다. PD(1) 및 FD(3)는 절연체 또는 p-n 접속으로 이루어질 수 있는 소자 분리부(2)에 의해 다른 소자(당해 화소 내의 다른 소자 및 다른 화소의 소자)로부터 분리된다. 화소(PIX)는 FD(3)의 포텐셜에 대응하는 신호를 수직 신호선으로 출력하는 증폭 MOS 트랜지스터 또는 FD(3)의 포텐셜을 리셋하는 리셋 MOS 트랜지스터와 같은 다른 소자가 배치되는 영역(5)을 포함할 수 있다.

[0016] 도 2는 도 1의 라인 A-B를 따라 취해진 개략적인 단면도이다. 화소(PIX)는 제1 도전형의 제1 반도체 영역(이 경우에는  $p^+$  형 영역)(13), 및 제1 반도체 영역(13)의 하부면과 접촉하여 배치되고 전하 축적부로서 기능하는 제2 도전형의 제2 반도체 영역(이 경우에는 n형 영역; 신호 전자 축적 영역)(14)을 포함한다. 특징적 구조로서, 화소(PIX)는 제2 반도체 영역(14)으로 둘러싸인 측면을 포함하는 제1 도전형의 제3 반도체 영역(15)(p형 영역)을 더 포함한다. 화소(PIX)는 제2 반도체 영역(14)으로부터 이격되어 배치되는 제2 도전형의 제4 반도체 영역인 FD(3), 및 제2 반도체 영역(14)에 축적된 전하를 FD(3)로 전송하기 위해 제2 도전형의 제5 반도체 영역(8)(n<sup>-</sup> 형 영역)에 채널을 형성하는 전송 게이트(4)를 더 포함한다. 전송 게이트(4)는 제5 반도체 영역(8)의 절연 필름(12)에 배치된다. 제5 반도체 영역(8)은, 제2 반도체 영역(14)의 하부면 및 제3 반도체 영역(15)의 하부면과 접촉하는 부분과, FD(3)와 접촉하는 부분과, 전송 게이트(4)에 인가되는 포텐셜에 의해 채널이 형성되는 부분을 포함할 수 있다. PD(1) 및 FD(3)는 소자 분리부(2)에 의해 다른 소자(당해 화소 내의 다른 소자 및 다른 화소의 소자)로부터 분리된다. 화소(PIX)는 제5 반도체 영역(8)의 하부면과 접촉하는 제1 도전형의 제6 반도체 영역(9)을 더 포함한다. PD(1)는 제1 반도체 영역(13), 제2 반도체 영역(14), 제3 반도체 영역(15), 제5 반도체 영역(8) 및 제6 반도체 영역(9)으로 형성되는 매립형 구조이다. 제1 도전형의 제6 반도체 영역(9)은, PD(1)의 깊이를 규정하고, 제2 도전형의 반도체 영역(7)(예를 들어, 반도체 기판) 상에 중첩된다. 채널 멈춤부를 형성하는 제1 도전형의 반도체 영역(10)은 소자 분리부(2) 아래에 형성될 수 있다. 화소끼리를 분리시키는 제1 도전형의 반도체 영역(11)은 제6 반도체 영역(9)과 채널 멈춤부를 형성할 수 있는 반도체 영역(10) 사이에 형성될 수 있다. 반도체 영역(11)은 예를 들어, 복수의 반도체 영역으로부터 깊이 방향으로 형성된다. 반도체 영역(11)은 예를 들어, 복수의 불순물 농도 피크(peak)를 가질 수 있다.

[0017] 제1 도전형의 제3 반도체 영역(15)은 제1 도전형의 제6 반도체 영역(9)과 접촉하지 않도록 형성될 수 있다. 다시 말해, 제3 반도체 영역(15)의 하부면은 제1 도전형의 제6 반도체 영역(9)의 상부면보다 얇은 위치에 배치된다. 바람직하게는, 제3 반도체 영역(15)의 하부면은 광전 변환 영역으로서의 반도체 영역(14)에서의 포텐셜 구배를 감소시키지 않도록, 반도체 영역(11)의 최상단부보다 얇은 위치에 배치된다. 제3 반도체 영역(15)은 제1 도전형의 제1 반도체 영역(13)과 접촉하지 않도록 배치될 수 있다. 다시 말해, 제3 반도체 영역(15)은 제2 도전형의 제2 반도체 영역(14)과 접촉하는 상부면을 포함할 수 있다.

[0018] 제1 도전형의 제3 반도체 영역(15)의 측면의 적어도 상부를 둘러싸는 제2 도전형의 제2 반도체 영역(14)으로부터 제6 반도체 영역(9)까지 차지하는 제5 반도체 영역(8)은 입사광이 전자 및 정공 캐리어를 생성하는 광전 변환 영역으로서 작용한다. 이 영역에서의 포텐셜 구배는 제3 반도체 영역(15)이 없는 배열체에서의 구배와 거의 동일하기 때문에, 높은 양자 효율을 갖는 구조는 낮은 혼선 및 높은 감도 양자 모두를 유지한다.

[0019] 도 3은 제3 반도체 영역(15)을 형성하는 이온 주입 단계를 설명하는 단면도이다. 제1 실시예의 고체 이미지 센서를 제조하는 방법은 마스크 형성 단계 및 이온 주입 단계를 포함할 수 있다. 마스크 형성 단계에서, 제3 반도체 영역(15)에 대응하는 개구(OP1)를 갖는 마스크(M1)가 형성된다. 이온 주입 단계에서, 제1 도전형을 형성하기 위해, 마스크(M1)를 사용하여 기판에 이온이 주입된다. 이 단계에서, 제3 반도체 영역(15)에 대한 기하학적 관계를 명확하게 보여주기 위해 도 3에 있는 반도체 영역(13) 또는 제2 반도체 영역(14)의 형성이 완료될 필요는 없다. 이들은 반도체 영역(15)의 형성 후에 형성될 수도 있다. 제1 도전형의 반도체 영역(10)과 제3 반도체 영역(15)은 동일한 단계에서 형성될 수도 있다. 여기서, 제3 반도체 영역(15)은 제1 도전형인 것(p형 영역)으로 상정된다. 그러나, 이것은 제2 반도체 영역(14)의 불순물 농도보다 낮은 불순물 농도를 갖는 제2 도전



형의 것(n형 영역)일 수도 있다. 이 경우에는, 제1 도전형에 대한 것보다 적은 분량을 사용하여 이온 주입이 행해진다. 제1 실시예의 고체 이미지 센서를 제조하는 방법은 제1 도전형의 반도체 영역(10) 아래에, 제1 도전형의 반도체 영역(11)을 추가로 형성하기 위해 기판에 이온을 주입하는 단계를 더 포함할 수 있다.

[0020] 도 4a는 전송 게이트(4)에 의해 채널이 형성되어 있지 않은 경우[전송 게이트(4)를 포함하는 전송 MOS 트랜지스터가 오프된 경우], 도 1의 라인 A-B를 따른 포텐셜 분포를 도시하는 그래프이다. 이 상태에서, 전자는 전하 축적 영역인 제2 반도체 영역(14)에 축전된다. 도 4b는 채널이 전송 게이트(4)에 의해 형성되는 경우[전송 게이트(4)를 포함하는 전송 MOS 트랜지스터가 온이 된 경우], 도 1의 라인 A-B를 따른 포텐셜 분포를 도시하는 그래프이다. 이 상태에서, 전하 축적 영역으로서 작용하는 제2 반도체 영역(14)에 축적되는 전자는 채널을 통해 FD(3)로 전송된다. 도 4a 및 도 4b를 참조하면, 굵은 선은 제1 실시예의 화소에 있어서의 포텐셜 분포를 나타내고, 얇은 선은 비교예의 포텐셜 분포를 나타내며, 비교예에서는, 도 2에 도시된 구조로부터 제3 반도체 영역(15)이 제거되고, 제2 반도체 영역(14)의 불순물 농도가 조정되어 제2 반도체 영역(14)의 포화 전하가 제1 실시예의 것과 동일하다.

[0021] 도 4a에 도시된 바와 같이, 제1 실시예의 포텐셜 분포의 바닥부는 비교예에서보다 더 수평 방향으로 확장된다. 따라서, 포텐셜 분포의 바닥부는 비교예에서보다 제1 실시예에서 전송 게이트(4)에 더 근접한다. 이는 구조가, 제2 도전형의 제2 반도체 영역(14)으로 둘러싸인 측면을 포함하는 제1 도전형의 제3 반도체 영역(15)을 포함하기 때문이다. 제1 실시예는 비교예보다 PD(1)로부터 FD(3)로의 경로에 포텐셜 배리어를 형성하기 어렵다. 따라서, 포화 신호를 유지하는 제1 실시예는 비교예에 비해 FD(3)로의 전하 전송의 성능을 향상시킬 수 있다. 한편, 포텐셜 분포의 바닥부는 비교예에서보다 제1 실시예에서 높다. 그러나, 제1 실시예의 포텐셜 분포의 바닥부가 전술한 바와 같이 수평 방향으로 확장되기 때문에, 포화 전하량에 있어서의 감소가 억제된다. 포화 전하량은 제2 반도체 영역(14)에서의 제2 도전형의 불순물 농도를 증가시킴으로써 증가될 수 있음을 인식해야 한다.

[0022] 따라서, 제1 실시예의 화소 구조는 특히 화소 크기가 작을 때, 충분한 감도, 전송 성능 및 포화 전하량을 얻는데 유리하다.

[0023] 본 발명의 제2 실시예에 따른 CMOS 센서의 하나의 화소(PIX)의 구조가 도 5를 참조하여 기술된다. 여기서 언급되지 않는 개소는 제1 실시예와 일치한다는 점을 인식해야 한다. 제2 실시예의 화소(PIX)는 제1 실시예의 제1 도전형의 제3 반도체 영역(15) 대신에 제2 도전형의 제3 반도체 영역(n<sup>-</sup>형 영역)(150)을 포함한다. 제3 반도체 영역(n<sup>-</sup>형 영역)(150)에서의 제2 도전형의 불순물 농도는 제2 반도체 영역(n형 영역)(14)에서의 불순물 농도보다 낮다. 제3 반도체 영역(n<sup>-</sup>형 영역)(150)에서의 제2 도전형의 불순물 농도는 제5 반도체 영역(n<sup>-</sup>형 영역)(8)에서의 불순물 농도와 동일할 수 있다. 제2 반도체 영역(14)은 프레임 형상 또는 링 형상을 가질 수 있다.

[0024] 도 6은 기판 내로 이온을 주입하여 제3 반도체 영역(150)을 규정하기 위해 제2 반도체 영역(14)을 형성하는 이온 주입 단계를 설명하는 단면도이다. 제2 실시예의 고체 이미지 센서를 제조하는 방법은 제2 반도체 영역(14)이 형성되어야 할 영역에 대응하는 영역에 개구(OP2)를 갖는 마스크(M2)를 형성하는 단계와, 마스크(M2)를 이용하여 기판 내에 이온을 주입하는 이온 주입 단계를 포함한다. 마스크(M2)는 제3 반도체 영역(150)이 형성되어야 할 영역에 대응하는 부분을 덮도록 형성된다. 이온 주입 단계에서, 이온은, 제2 도전형의 제2 반도체 영역(14)으로 둘러싸인 측면을 포함하는 제2 도전형의 제3 반도체 영역(150)을 규정하기 위해 마스크(M2)를 이용하여 제2 반도체 영역(14)이 기판에 형성되어야 할 영역으로 주입된다. 도 6은 반도체 영역의 기하학적 관계를 도시한다. 제1 반도체 영역(13)은 반도체 영역(14)의 형성 후에 형성될 수도 있다.

[0025] 제2 실시예의 화소 구조에 따르면, 제1 실시예의 화소 구조에 의해 형성된 포텐셜 분포와 동일한 포텐셜 분포를 형성하는 것이 가능하다. 또한, 제1 도전형의 제3 반도체 영역(15)의 부재로 인해, 화소 구조는 더 단순하다.

[0026] 또한, 제2 실시예는 충분한 감도, 전송 성능 및 포화 전하량을 얻는데 유리하다.

[0027] 본 발명의 제3 실시예가 도 7 및 도 8을 참조하여 설명된다. 도 7은 본 발명의 제3 실시예에 따른 CMOS 센서의 하나의 화소(PIX)의 구조를 도시하는 평면도이다. 도 8은 도 7의 라인 C-D를 따라 취해진 개략적인 단면도이다. 여기서 언급되지 않은 개소는 제1 실시예와 일치할 수 있음을 인식해야 한다. 제3 실시예에서, 각각의 화소는 제2 반도체 영역(14), 제3 반도체 영역(15) 및 전송 게이트(4)를 포함한다. 제1 도전형의 반도체 영역(20)은 하나의 화소의 제2 반도체 영역(14)과 다른 화소의 제2 반도체 영역 사이에 배치된다. 절연체로 이루어진 어떠한 소자 분리부도 반도체 영역(20)에 배치되지 않는다. 절연체(산화 필름)로 이루어진 소자 분리

부(예를 들어, LOCOS 또는 STI)가 PD끼리를 분리하는데 사용되는 경우, 반도체와 절연체 사이의 경계면 상의 주기적 원자 구조의 파괴로 인해 화질 악화를 초래하는 암전류를 야기할 수도 있다. 제3 실시예에서, 반도체 영역(20)(불순물 반도체 영역)은 인접하는 화소의 PD끼리를 분리하는데 사용된다. 포텐셜 분포 제어를 위한 제3 반도체 영역(15) 및 분리를 위한 반도체 영역(20)이 동일 단계에서 형성될 수도 있다. 이 경우에, 처리는 단순화될 수 있다. 이렇게 단순화된 처리는 제3 반도체 영역(15)과 반도체 영역(20)이 동일한 깊이에 배치되고 동일한 불순물 농도를 갖는 경우에 행해질 수 있다. 제3 반도체 영역(15)을 형성하는 단계는 제1 반도체 영역(13) 및 제2 반도체 영역(14)을 형성하는 단계 이전 또는 이후에 행해질 수 있다.

[0028] 제3 실시예는 충분한 감도, 전송 성능 및 포화 전하량을 얻는데 유리하며, 또한 암전류를 감소시키는데 유리하다.

[0029] 도 9는 본 발명의 제4 실시예에 따른 CMOS 센서의 하나의 화소(PIX)의 구조를 설명하기 위해 도 1의 라인 A-B를 따라 취해진 개략적인 단면도이다. 여기서 언급되지 않은 개소는 제1 실시예와 일치할 수 있다. 제4 실시예의 화소(PIX)는 제2 반도체 영역(14)의 하부면 및 제3 반도체 영역(15)의 하부면과 접촉하는 부분을 포함하는 제1 도전형의 반도체 영역(p형 우물)(16)을 더 포함한다. 반도체 영역(16)은 전송 게이트(4)에 인가되는 포텐셜에 의해 채널이 형성되는 부분 및 FD(3)와 접촉하는 부분을 포함할 수 있다. 제4 실시예에서는, 포텐셜 구배가 더 작을 수 있기 때문에, 높은 전송 성능을 얻을 수 있으나, 감도는 더 낮아질 수 있다. 제4 실시예의 화소 구조는 또한, 제3 반도체 영역(15)의 존재로 인해 전송 효율 및 포화 전하량 양자 모두에 유리하다. 이는 또한, 제2 실시예에서와 같이, 제2 도전형의 반도체 영역(150)이 제1 도전형의 반도체 영역(15) 대신에 채용된 경우에도 적용된다.

[0030] 제1 실시예 내지 제4 실시예에서, 제1 도전형의 불순물 농도는 제1 도전형의 제1 반도체 영역(13)에서보다 제3 반도체 영역(15) 또는 반도체 영역(150)에서 더 낮다.

[0031] 제3 반도체 영역(15)이 제2 반도체 영역(14)에 존재하거나, 또는 복수의 제3 반도체 영역(15)이 존재할 수도 있다. 예를 들어, 제3 실시예에서, 반도체 영역(11)과 동시에 형성된 제3 반도체 영역(15)이 반도체 영역(20)에 추가로 제공될 수도 있다.

[0032] 제1 실시예, 제2 실시예 및 제3 실시예에서, 농도가 낮은 제2 도전형의 제5 반도체 영역(8)이 주 광전 변환 영역을 형성하도록 공급화될 수 있다. 그러나, 제2 도전형의 제5 반도체 영역(8)은 농도가 높은 제1 도전형의 반도체 영역으로 대체될 수도 있다. 실시예들의 배열은 필요에 따라 조합될 수 있다.

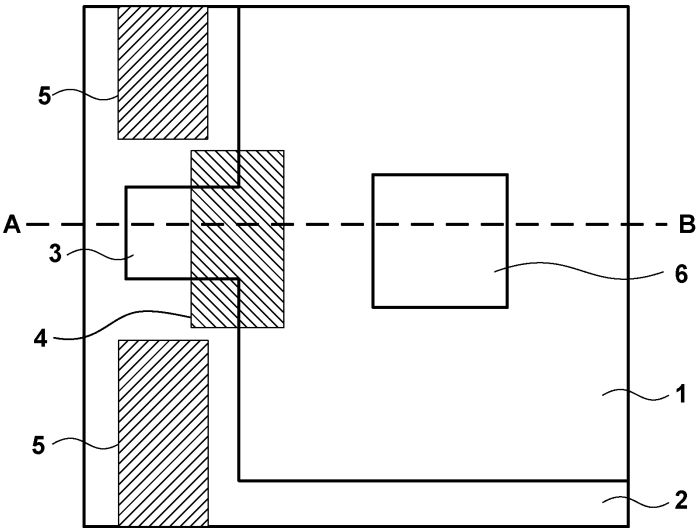
[0033] 전술한 실시예들에 따른 고체 이미지 센서의 적용예로서, 고체 이미지 센서를 장착한 카메라를 예시하기로 한다. 카메라의 개념은 주로 촬영을 목적으로 하는 장치뿐만 아니라 부수적으로 촬영 기능을 갖는 장치(예를 들어, 개인용 컴퓨터 또는 휴대 전화)도 포함한다. 카메라는 전술한 실시예들에서 기술된 본 발명의 고체 이미지 센서, 및 고체 이미지 센서로부터 출력된 신호를 처리하는 처리 유닛을 포함한다. 처리 유닛은 예를 들어, A/D 변환기 및 A/D 변환기로부터 출력된 디지털 데이터를 처리하는 프로세서를 포함할 수 있다.

[0034] 본 발명이 예시적인 실시예를 참조하여 기술되었지만, 본 발명은 개시된 예시적인 실시예들에 한정되지 않는다는 점을 이해해야 한다. 이하의 청구범위의 범주는 이러한 모든 변형 및 동등 구조와 기능을 포함하도록 최광의로 해석되어야 한다.



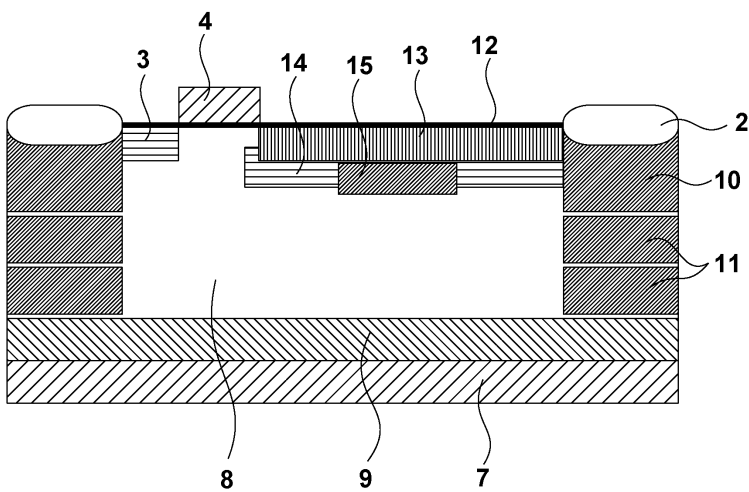
도면

도면1



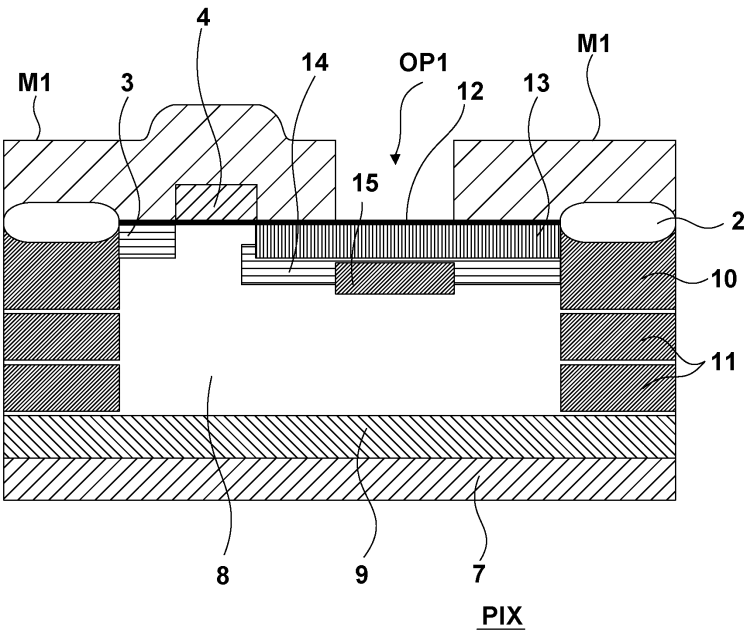
PIX

도면2

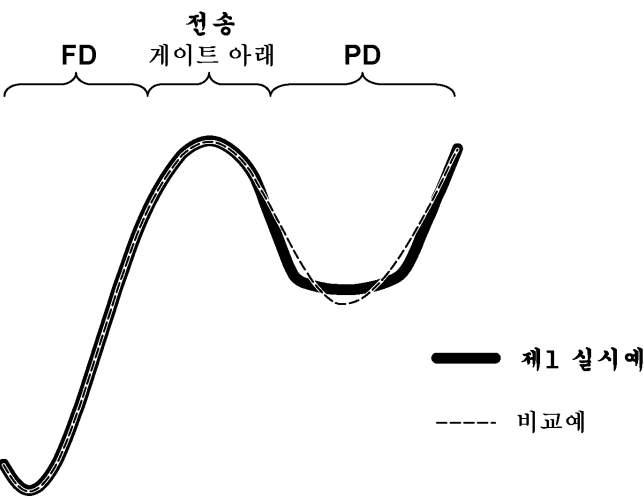


PIX

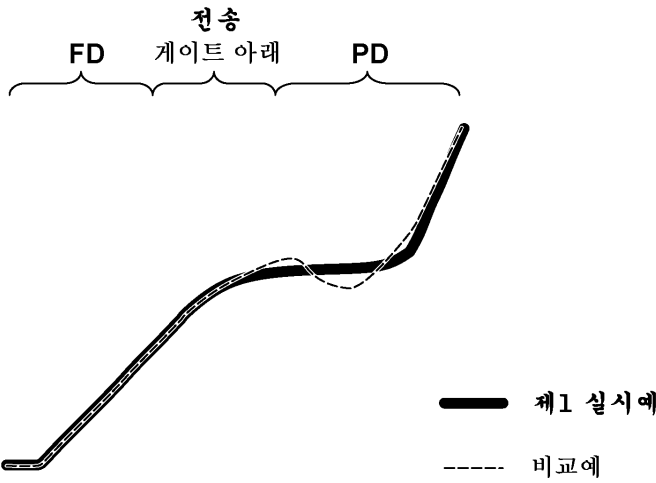
도면3



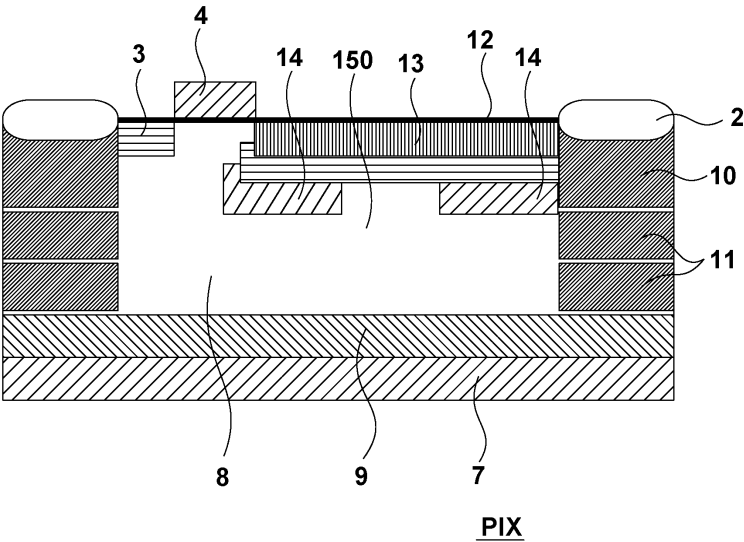
도면4a



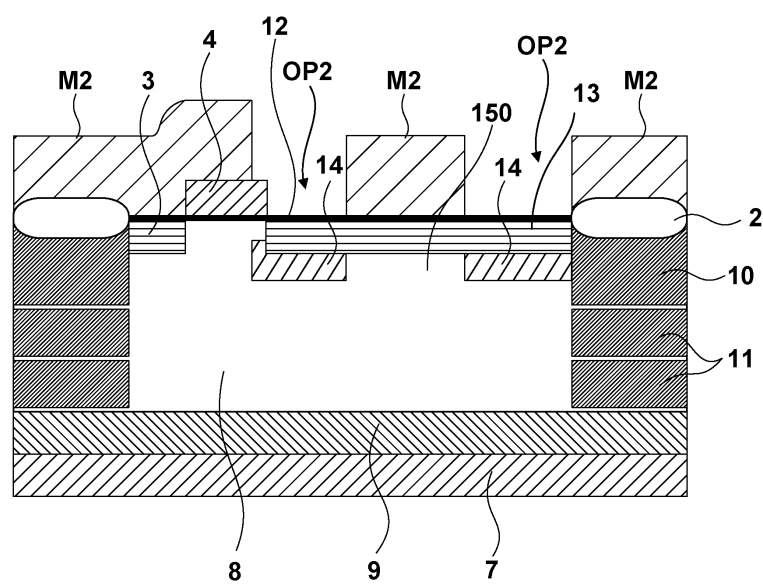
도면4b



도면5

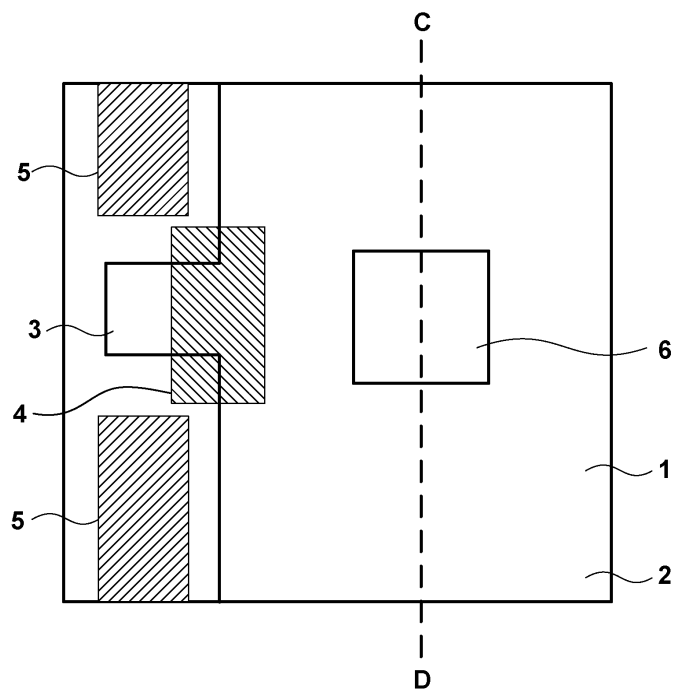


도면6



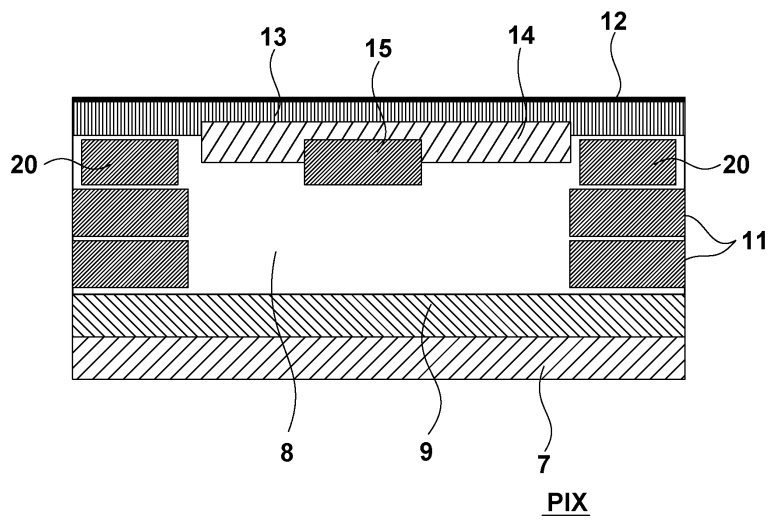
PIX

도면7



PIX

도면8



도면9

