

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成22年2月18日(2010.2.18)

【公開番号】特開2009-140161(P2009-140161A)

【公開日】平成21年6月25日(2009.6.25)

【年通号数】公開・登録公報2009-025

【出願番号】特願2007-314782(P2007-314782)

【国際特許分類】

G 06 F 17/30 (2006.01)

G 06 F 12/00 (2006.01)

G 06 F 7/24 (2006.01)

【F I】

G 06 F 17/30 4 1 1

G 06 F 12/00 5 2 0 A

G 06 F 17/30 4 1 4 Z

G 06 F 17/30 4 1 9 B

G 06 F 7/24 M

【手続補正書】

【提出日】平成21年12月25日(2009.12.25)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

昇順あるいは降順にソート済みのビット列からなるキーを格納した複数のソート済みキー記憶領域からそれぞれ最小値あるいは最大値であるキーを取り出してマージ用キー列を生成し、該マージ用キー列のうちの最小値あるいは最大値であるものを該マージ用キー列から取り出してマージ済みキー記憶領域に格納し、該マージ済みキー記憶領域に格納されたキーが取り出された前記ソート済みキー記憶領域から次の最小値あるいは次の最大値である次のキーを取り出して前記マージ用キー列に挿入し、該マージ用キー列のうちの最小値あるいは最大値であるキーを該マージ用キー列から取り出して前記マージ済みキー記憶領域に格納することを前記複数のソート済みキー記憶領域からすべてのキーを取り出して前記マージ済みキー記憶領域に格納するまで繰り返すことにより、前記複数のソート済みキー記憶領域に格納された全てのキーを昇順あるいは降順にソートするビット列のマージソート方法において、

前記マージ用キー列のキーを、

ルートノードと、隣接した記憶領域に配置されるプランチノードとリーフノードまたはプランチノード同士またはリーフノード同士のノード対、からなるビット列検索に用いるツリーであって、前記ルートノードは、ツリーの始点を表すノードであって、該ツリーのノードが1つのときは前記リーフノード、ツリーのノードが2つ以上のときは前記プランチノードであり、前記プランチノードは、ビット列検索を行う検索キーの弁別ビット位置とリンク先のノード対の一方のノードである代表ノードの位置を示す位置情報を含み、前記リーフノードは検索対象のビット列からなるインデックスキーを含み、前記ツリーの任意のノードを検索開始ノードとして前記プランチノードにおいて、該プランチノードに含まれる弁別ビット位置の検索キーのビット値に応じてリンク先のノード対の代表ノードあるいはそれと隣接した記憶領域に配置されたノードにリンクすることを順次前記リーフ

ノードに至るまで繰り返すことにより、前記リーフノードに格納されたインデックスキーを、前記検索開始ノードをルートノードとする前記ツリーの任意の部分木の前記検索キーによる検索結果である検索結果キーとするように構成されたカップルドノードツリー上のインデックスキーとして保持するとともに、前記リーフノードは前記キーの格納されていた前記ソート済みキー記憶領域を識別する処理元識別子を含むものとし、

前記ソート済みのキーを格納した複数のソート済みキー記憶領域からそれぞれ最小あるいは最大のキーを取り出して前記カップルドノードツリーを生成するマージツリー生成ステップと、

該カップルドノードツリーを用いて最小値あるいは最大値検索を行い、検索結果の最小値である最小キーあるいは最大値である最大キーと前記処理元識別子を取得し該最小キーあるいは最大キーを前記マージ済みキー記憶領域に格納するマージステップと、

該最小キーあるいは最大キーを前記カップルドノードツリーから削除するキー削除ステップと、

前記マージステップにおいて取得された処理元識別子が示す前記ソート済みキー記憶領域から前記最小キーの次の最小値である次のキーあるいは前記最大キーの次の最大値である次のキーを取り出す次キー取り出しへと、

該取り出した次のキーを前記カップルドノードツリーに挿入する次キー挿入ステップと、

を備え、

前記マージステップ、前記キー削除ステップ、前記次キー取り出しへと前記次キー挿入ステップを、前記複数のソート済みキー記憶領域からすべてのキーを取り出して前記マージ済みキー記憶領域に格納するまで繰り返すことにより、

前記複数のソート済みキー記憶領域に格納されたキーを昇順あるいは降順に前記マージ済みキー記憶領域に格納することを特徴とするビット列のマージソート方法。

【請求項2】

請求項1に記載のビット列のマージソート方法において、

前記次キー取り出しへは、前記取得された処理元識別子が示す前記ソート済みキー記憶領域から前記次のキーが取り出せたか判定する次キー取り出し判定ステップを含み、

該次キー取り出し判定ステップで前記次のキーが取り出せないと判定した場合に、前記次キー挿入ステップをスキップすることを特徴とするビット列のマージソート方法。

【請求項3】

請求項2に記載のビット列のマージソート方法において、

前記キー削除ステップは、前記最小キーあるいは最大キーを前記カップルドノードツリーから削除した後に前記カップルドノードツリーの前記ルートノードが登録されているか判定するルートノード登録判定ステップを含み、

前記ルートノード登録判定ステップにおいて前記ルートノードが登録されていないと判定された場合に未取り出しのキーが存在する前記ソート済みキー記憶領域から順次最大あるいは最小のキーまで取り出して前記マージ済みキー記憶領域に格納する最終マージステップを備えることを特徴とするビット列のマージソート方法。

【請求項4】

請求項1に記載のビット列のマージソート方法において、

前記キー削除ステップ、前記次キー取り出しへと前記次キー挿入ステップの実行順序を、前記次キー取り出しへ、前記次キー挿入ステップ及び前記キー削除ステップの実行順序とすることを特徴とするビット列のマージソート方法。

【請求項5】

請求項4に記載のビット列のマージソート方法において、

前記削除された最小値あるいは最大値を含むノードの直近上位のノードを前記マージステップにおける最小値あるいは最大値検索の検索開始ノードとすることを特徴とするビット列のマージソート方法。

【請求項 6】

請求項 5 に記載のビット列のマージソート方法において、

前記挿入された次のキーをインデックスキーとして含むノードの直近上位のノードである挿入ノードが、前記最小値検索あるいは最大値検索におけるルートノードから該最小値あるいは最大値を含むリーフノードに至る検索経路に存在するか判定する挿入ノード検索ステップと、

前記挿入ノード検索ステップで該挿入ノードが前記検索経路に存在すると判定されるとルートノードを検索開始ノードとして再度最小値検索あるいは最大値検索を行う再検索ステップと、

を備えることを特徴とするビット列のマージソート方法。

【請求項 7】

請求項 1 に記載のビット列のマージソート方法において、

前記キー削除ステップの次に、該キー削除ステップで削除された最小値あるいは最大値を含むノードの直近上位のノードを検索開始ノードとして最小値あるいは最大値検索を行う中間検索ステップと、

前記次キー取り出しきーの次に、該次キー取り出しきーで取り出した前記次のキーが前記中間検索ステップで求めた最小値あるいは最大値より小さいかあるいは大きいか判定する次キー大小判定ステップを備え、

前記次のキーが前記最小値あるいは最大値より小さいかあるいは大きい場合、該次のキーを前記マージ済みキー記憶領域に格納して再度前記次キー取り出しきーを実行し、

前記次のキーが前記最小値あるいは最大値より大きいかあるいは小さい場合、前記次キー挿入ステップを実行することを特徴とするビット列のマージソート方法。

【請求項 8】

請求項 7 に記載のビット列のマージソート方法において、

前記次キー取り出しきーは、前記取得された処理元識別子が示す前記ソート済みキー記憶領域から前記次のキーが取り出せたか判定する次キー取り出しきー判定ステップを含み、

該次キー取り出しきー判定ステップで前記次のキーが取り出せないと判定した場合に、前記次キー挿入ステップとルートノードを検索開始ノードとして最小値検索あるいは最大値検索を行う検索ステップとをスキップすることを特徴とするビット列のマージソート方法。

【請求項 9】

請求項 1 ~ 8 のいずれか 1 項に記載のビット列のマージソート方法において、

前記カップルドノードツリーのリーフノードには、処理元識別子とインデックスキーに替えて、該処理元識別子とインデックスキーの配置された領域へのポインタを格納し、処理元識別子とインデックスキーの取得は、該ポインタを介して行われることを特徴とするビット列のマージソート方法。

【請求項 10】

請求項 1 ~ 9 のいずれか 1 項に記載のビット列のマージソート方法をコンピュータに実行させるためのプログラム。

【請求項 11】

請求項 1 ~ 9 のいずれか 1 項に記載のビット列のマージソート方法をコンピュータに実行させるためのプログラムを記憶したことを特徴とするコンピュータ読み取り可能な記憶媒体。

【請求項 12】

昇順あるいは降順にソート済みのビット列からなるキーを格納した複数のソート済みキー記憶領域からそれぞれ最小値あるいは最大値であるキーを取り出してマージ用キー列を生成し、該マージ用キー列のうちの最小値あるいは最大値であるものを該マージ用キー列から取り出してマージ済みキー記憶領域に格納し、該マージ済みキー記憶領域に格納されたキーが取り出された前記ソート済みキー記憶領域から次の最小値あるいは次の最大値である次のキーを取り出して前記マージ用キー列に挿入し、該マージ用キー列のうちの最小

値あるいは最大値であるキーを該マージ用キー列から取り出して前記マージ済みキー記憶領域に格納することを前記複数のソート済みキー記憶領域からすべてのキーを取り出して前記マージ済みキー記憶領域に格納するまで繰り返すことにより、前記複数のソート済みキー記憶領域に格納された全てのキーを昇順あるいは降順にソートするビット列のマージソート方法におけるマージ用キー列のためのツリー状のデータ構造であって、

ルートノードと、隣接した記憶領域に配置されるプランチノードとリーフノードまたはプランチノード同士またはリーフノード同士のノード対、からなり、

前記ルートノードは、前記ツリーの始点を表すノードであって、該ツリーのノードが1つのときは前記リーフノード、該ツリーのノードが2つ以上のときは前記プランチノードであり、

前記プランチノードは、ビット列検索を行う検索キーの弁別ビット位置とリンク先のノード対の一方のノードの位置を示す情報を含み、

前記リーフノードは前記ソート済みキー記憶領域から取り出したキーであって検索対象のビット列からなるインデックスキーと前記キーの格納されていた前記ソート済みキー記憶領域を識別する処理元識別子を含み、

前記ルートノードを含む前記プランチノードにおいて、該プランチノードに含まれる弁別ビット位置の検索キーのビット値に応じてリンク先のノード対のどちらかのノードにリンクすることを順次前記リーフノードに至るまで繰り返すことにより前記検索キーによる検索の実行と該検索の結果得られるキーを取り出した前記ソート済みキー記憶領域の識別を可能とすることを特徴とするデータ構造。

【請求項13】

請求項12記載のデータ構造を記憶したことを特徴とするコンピュータ読み取り可能な記憶媒体。

【請求項14】

昇順あるいは降順にソート済みのビット列からなるキーを格納した複数のソート済みキー記憶領域からそれぞれ最小値あるいは最大値であるキーを取り出してマージ用キー列を生成し、該マージ用キー列のうちの最小値あるいは最大値であるものを該マージ用キー列から取り出してマージ済みキー記憶領域に格納し、該マージ済みキー記憶領域に格納されたキーが取り出された前記ソート済みキー記憶領域から次の最小値あるいは次の最大値である次のキーを取り出して前記マージ用キー列に挿入し、該マージ用キー列のうちの最小値あるいは最大値であるキーを該マージ用キー列から取り出して前記マージ済みキー記憶領域に格納することを前記複数のソート済みキー記憶領域からすべてのキーを取り出して前記マージ済みキー記憶領域に格納するまで繰り返すことにより、前記複数のソート済みキー記憶領域に格納された全てのキーを昇順あるいは降順にソートするビット列のマージソート装置において、

前記マージ用キー列のキーを、

ルートノードと、隣接した記憶領域に配置されるプランチノードとリーフノードまたはプランチノード同士またはリーフノード同士のノード対、からなるビット列検索に用いるツリーであって、前記ルートノードは、ツリーの始点を表すノードであって、該ツリーのノードが1つのときは前記リーフノード、ツリーのノードが2つ以上のときは前記プランチノードであり、前記プランチノードは、ビット列検索を行う検索キーの弁別ビット位置とリンク先のノード対の一方のノードである代表ノードの位置を示す位置情報を含み、前記リーフノードは、検索対象のビット列からなるインデックスキーと前記キーの格納されていた前記ソート済みキー記憶領域を識別する処理元識別子を含み、前記ツリーの任意のノードを検索開始ノードとして前記プランチノードにおいて、該プランチノードに含まれる弁別ビット位置の検索キーのビット値に応じてリンク先のノード対の代表ノードかあるいはそれと隣接した記憶領域に配置されたノードにリンクすることを順次前記リーフノードに至るまで繰り返すことにより、前記リーフノードに格納されたインデックスキーを、前記検索開始ノードをルートノードとする前記ツリーの任意の部分木の前記検索キーによる検索結果である検索結果キーとするように構成されたカップルドノードツリー上のイン

デックスキーとして保持するマージツリー格納手段と、

前記ソート済みのキーを格納した複数のソート済みキー記憶領域からそれぞれ最小あるいは最大のキーを取り出して前記カップルドノードツリーを生成して前記マージツリー格納手段に格納するマージツリー生成手段と、

該カップルドノードツリーを用いて最小値あるいは最大値検索を行い、検索結果の最小値である最小キーあるいは最大値である最大キーと前記処理元識別子を取得し該最小キーあるいは最大キーを前記マージ済みキー記憶領域に格納するとともに、該最小キーあるいは最大キーを前記カップルドノードツリーから削除するマージ手段と、

前記マージ手段により取得された処理元識別子が示す前記ソート済みキー記憶領域から前記最小キーの次の最小値である次のキーあるいは前記最大キーの次の最大値である次のキーを取り出すとともに、該取り出した次のキーを前記カップルドノードツリーに挿入する次キー挿入手段と、

を備え、

前記マージ手段、及び前記次キー挿入手段により、前記複数のソート済みキー記憶領域からすべてのキーを取り出して前記マージ済みキー記憶領域に格納することにより、

前記複数のソート済みキー記憶領域に格納されたキーを昇順あるいは降順に前記マージ済みキー記憶領域に格納することを特徴とするビット列のマージソート装置。

【請求項 1 5】

請求項 1 4 に記載のビット列のマージソート装置において、

前記マージ手段は、該削除した最小値あるいは最大値を含むノードの直近上位のノードを検索開始ノードとして最小値あるいは最大値検索を行う中間検索部を備えるとともに、

前記次キー挿入手段は、前記取り出した次のキーが、前記中間検索部が求めた最小値あるいは最大値より小さいかあるいは大きいか判定する次キー大小判定部を備え、

前記次キー判定部が、前記次のキーが前記最小値あるいは最大値より小さいかあるいは大きいと判定すると、

前記マージ手段は該次のキーを前記マージ済みキー記憶領域に格納し、

前記次キー挿入手段は再度前記次キーを取り出し、

前記次キー判定部が、前記次のキーが前記最小値あるいは最大値より大きいかあるいは小さいと判定すると、

前記次キー挿入手段は該次のキーを前記カップルドノードツリーに挿入することを特徴とするビット列のマージソート装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】ビット列のマージソート装置、方法及びプログラム

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 1

【補正方法】変更

【補正の内容】

【0 0 0 1】

本発明は、ビット列のマージソート装置及び方法とその方法をコンピュータに実行させるプログラムに関する。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 5 9

【補正方法】変更

【補正の内容】

【0059】

図3Aは、本実施形態のためのハードウェア構成例を説明する図である。

本実施形態によるマージソートは中央処理装置302及びキャッシュメモリ303を少なくとも備えたデータ処理装置301によりデータ格納装置308を用いて実施される。カップルドノードツリーが配置されるマージ配列309、マージソートの前段の処理でソートされたキーを格納する複数のソート済みキー配列312、マージ済みであって全体としてソート済みのキーを格納するマージ済みキー配列313と検索中にたどるノードが格納された配列要素の配列番号を記憶する探索経路スタック310を有するデータ格納装置308は、主記憶装置305または外部記憶装置306で実現することができ、あるいは通信装置307を介して接続された遠方に配置された装置を用いることも可能である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0060

【補正方法】変更

【補正の内容】

【0060】

図3Aの例示では、主記憶装置305、外部記憶装置306及び通信装置307が一本のバス304によりデータ処理装置301に接続されているが、接続方法はこれに限るものではない。また、主記憶装置305をデータ処理装置301内のものとすることもできるし、探索経路スタック310を中央処理装置302内のハードウェアとして実現することも可能である。あるいは、ソート済みキー配列312とマージ済みキー配列313は外部記憶装置306に、探索経路スタック310を主記憶装置305に持つなど、使用可能なハードウェア環境、インデックスキー集合の大きさ等に応じて適宜ハードウェア構成を選択できることは明らかである。

また、特に図示されてはいないが、処理の途中で得られた各種の値を後の処理で用いるためにそれぞれの処理に応じた主記憶装置305の一時記憶領域が用いられることは当然である。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0061

【補正方法】変更

【補正の内容】

【0061】

図3Bは、第1の実施形態におけるマージソート装置の機能ブロック構成例を説明する図である。図に示すように、マージソート装置は、ソート済みキーを格納した複数のソート済みキー配列312、ソート済みキー配列312からそれぞれ最小あるいは最大のキーをインデックスキーとして取り出すとともに、取り出し元であるソート済みキー配列312を識別する処理元識別子を付加してマージ用のカップルドノードツリー（マージツリー）を生成してマージ配列（マージツリー格納手段）309へ格納するマージツリー生成手段321、マージツリーの最小値あるいは最大値検索によるキーのマージ済みキー配列313への書き出しと書き出したキーのマージツリーから削除するマージ手段323、及び、書き出したキーの取り出し元のソート済みキー配列312から次のキーを取り出してマージツリーへ挿入する次キー挿入手段322から構成されている。図の矢印は、各ブロック間のアクセスあるいはデータの流れを表している。

なお、図に示す例ではデータを格納する領域を配列としたが、データ格納領域を配列に限る必要はない。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0230

【補正方法】変更

【補正の内容】

【0230】

図17は、本実施形態のためのハードウェア構成例を説明する図である。図3Aに示す第1の実施形態のためのハードウェア構成例と比較すると、キー情報の記憶領域311がデータ格納装置308に加わっただけであるから、説明を省略する。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0267

【補正方法】変更

【補正の内容】

【0267】

【図1A】ソート済みのデータのマージを繰り返してソート対象データ全体のソートを行うマージソートの後段の処理を説明する図である。

【図1B】従来の検索で用いられるパトリシアツリーの一例を示す図である。

【図2A】第1の実施形態に係る配列に格納されたカップルドノードツリーの構成例を説明する図である。

【図2B】第1の実施形態に係るカップルドノードツリーのツリー構造を概念的に示す図である。

【図3A】第1の実施形態のためのハードウェア構成例を説明する図である。

【図3B】第1の実施形態におけるマージソート装置の機能ブロック構成例を説明する図である。

【図4】第1の実施形態に係るビット列検索の基本動作を示したフローチャートである。

【図5A】第1の実施形態に係る、カップルドノードツリーに格納されたインデックスキーの最小値を求める処理を示したフローチャートである。

【図5B】第1の実施形態に係る、カップルドノードツリーに格納されたインデックスキーの最大値を求める処理を示したフローチャートである。

【図6A】第1の実施形態に係る、挿入処理の前段である検索処理の処理フローを示す図である。

【図6B】第1の実施形態に係る、挿入するノード対のための配列要素を準備する処理を説明する処理フロー図である。

【図6C】第1の実施形態に係る、ノード対を挿入する位置を求め、ノード対の各ノードの内容を書き込んで挿入処理を完成させる処理フローを示す図である。

【図7】第1の実施形態に係る、ルートノードの挿入処理を説明する処理フロー図である。

【図8A】第1の実施形態に係る、削除処理の前段である検索処理の処理フローを示す図である。

【図8B】第1の実施形態に係る、削除処理の後段の処理フローを説明する図である。

【図9】実施例1の概要を説明する図である。

【図10A】実施例1におけるカップルドノードツリーを用いたマージソートの初期処理を説明する図である。

【図10B】実施例1におけるカップルドノードツリーの最小値を検索してマージを実行する処理を説明する図である。

【図11A】図9に示す例をカップルドノードツリーで説明する第1の図である。

【図11B】図9に示す例をカップルドノードツリーで説明する第2の図である。

【図 1 1 C】図 9 に示す例をカップルドノードツリーで説明する第 3 の図である。

【図 1 1 D】図 9 に示す例をカップルドノードツリーで説明する第 4 の図である。

【図 1 1 E】図 9 に示す例をカップルドノードツリーで説明する第 5 の図である。

【図 1 1 F】図 9 に示す例をカップルドノードツリーで説明する第 6 の図である。

【図 1 2 A】実施例 2 の概要を説明する図である。

【図 1 2 B】実施例 3 の概要を説明する図である。

【図 1 3 A】実施例 2 及び 3 におけるカップルドノードツリーを用いたマージソートの初期処理を説明する図である。

【図 1 3 B】実施例 2 におけるカップルドノードツリーの最小値を検索してマージを実行する処理を説明する図である。

【図 1 3 C】実施例 3 におけるカップルドノードツリーの最小値を検索してマージを実行する処理を説明する図である。

【図 1 4 A】実施例 2 及び 3 における削除処理を説明する図である。

【図 1 4 B】探索経路スタックの検索処理を説明する図である。

【図 1 5】第 2 の実施形態に係る配列に格納されたカップルドノードツリーの構成例を説明する図である。

【図 1 6】第 2 の実施形態に係るカップルドノードツリーのツリー構造を概念的に示す図である。

【図 1 7】第 2 の実施形態のためのハードウェア構成例を説明する図である。

【図 1 8】第 2 の実施形態に係るビット列検索の基本動作を示したフローチャートである。

【図 1 9 A】第 2 の実施形態に係る、カップルドノードツリーを用いたインデックスキーの最小値を求める処理を示したフローチャートである。

【図 1 9 B】第 2 の実施形態に係る、カップルドノードツリーを用いたインデックスキーの最大値を求める処理を示したフローチャートである。

【図 2 0 A】第 2 の実施形態に係る、挿入処理の前段である検索処理の処理フローを示す図である。

【図 2 0 B】第 2 の実施形態に係る、挿入するノード対のための配列要素を準備する処理を説明する処理フロー図である。

【図 2 0 C】第 2 の実施形態に係る、ノード対を挿入する位置を求め、ノード対の各ノードの内容を書き込んで挿入処理を完成させる処理フローを示す図である。

【図 2 1】第 2 の実施形態に係る、ルートノードの挿入処理を説明する処理フロー図である。

【図 2 2 A】第 2 の実施形態に係る、削除処理の前段である検索処理の処理フローを示す図である。

【図 2 2 B】第 2 の実施形態に係る、削除処理の後段の処理フローを説明する図である。

【図 2 3 A】実施例 4 におけるカップルドノードツリーを用いたマージソートの初期処理を説明する図である。

【図 2 3 B】実施例 4 におけるカップルドノードツリーにより最小値を検索してマージを実行する処理フローを説明する図である。

【図 2 4 A】実施例 5 及び 6 におけるカップルドノードツリーを用いたマージソートの初期処理を説明する図である。

【図 2 4 B】実施例 5 におけるカップルドノードツリーにより最小値を検索してマージを実行する処理フローを説明する図である。

【図 2 4 C】実施例 6 におけるカップルドノードツリーにより最小値を検索してマージを実行する処理フローを説明する図である。

【手続補正 9】

【補正対象書類名】明細書

【補正対象項目名】0 2 6 8

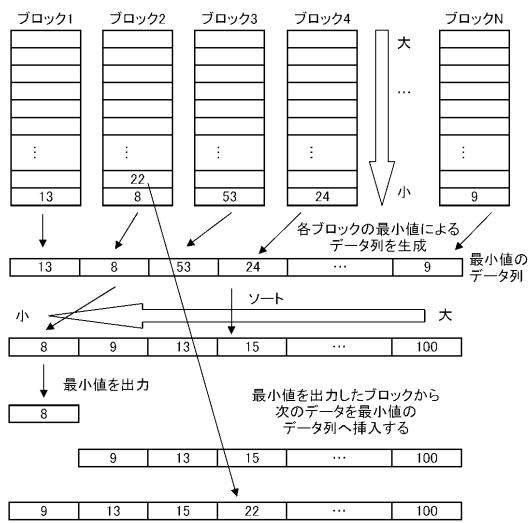
【補正方法】変更

【補正の内容】**【0 2 6 8】**

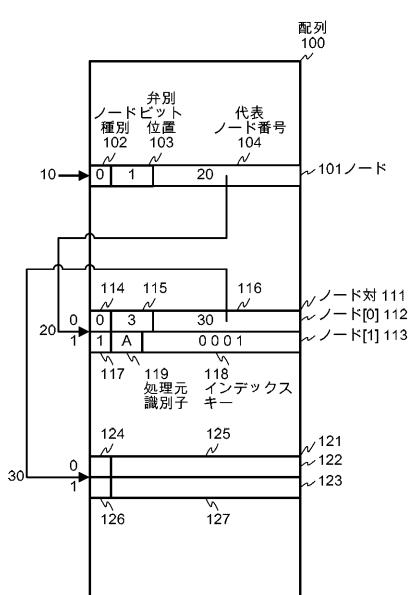
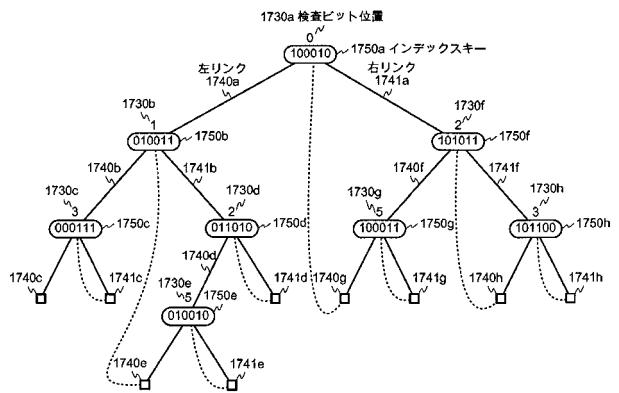
1 0 、 2 0 、 3 0	配列番号
1 0 0	配列
1 0 1	ノード
1 0 2	ノード種別
1 0 3	弁別ビット位置
1 0 4	代表ノード番号
1 1 1	ノード対
1 1 2	ノード[0]、代表ノード
1 1 3	ノード[1]、代表ノードと対をなすノード
1 1 8	インデックスキー
3 0 1	データ処理装置
3 0 2	中央処理装置
3 0 3	キャッシュメモリ
3 0 4	バス
3 0 5	主記憶装置
3 0 6	外部記憶装置
3 0 7	通信装置
3 0 8	データ格納装置
3 0 9	配列
3 1 0	探索経路スタック
3 1 1	キー情報の記憶領域
3 1 2	ソート済みキー配列
3 1 3	マージ済みキー配列
3 2 1	<u>マージツリー生成手段</u>
3 2 2	<u>次キー挿入手段</u>
3 2 3	<u>マージ手段</u>

【手続補正10】**【補正対象書類名】**図面**【補正対象項目名】**全図**【補正方法】**変更**【補正の内容】**

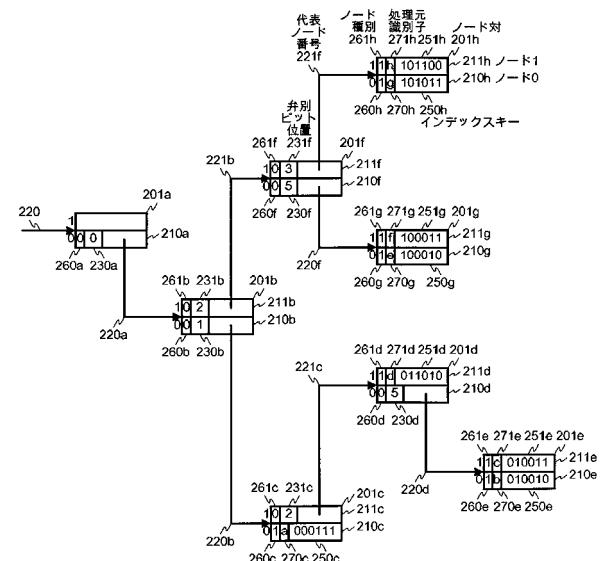
【図 1 A】



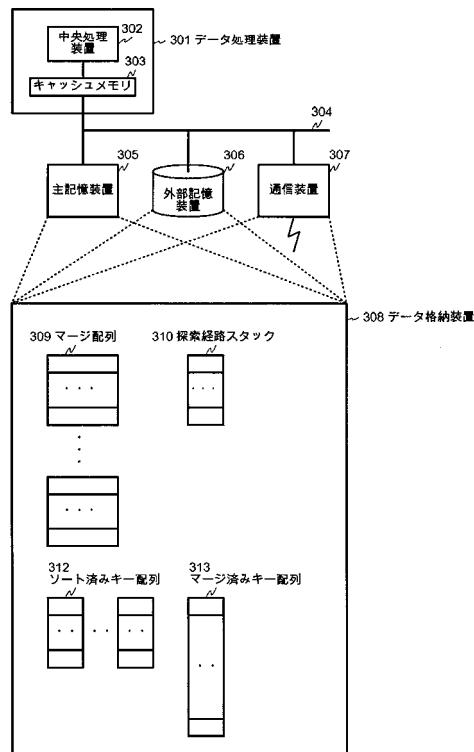
【図 1 B】



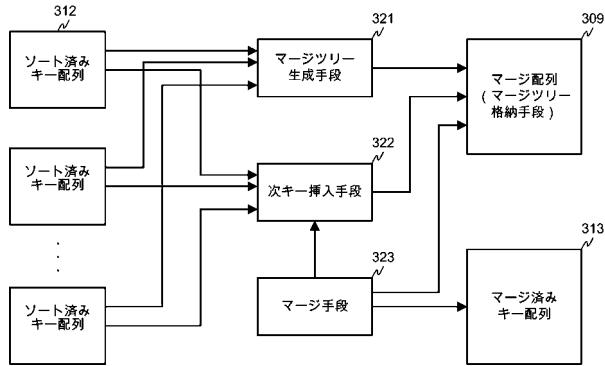
【図 2 B】



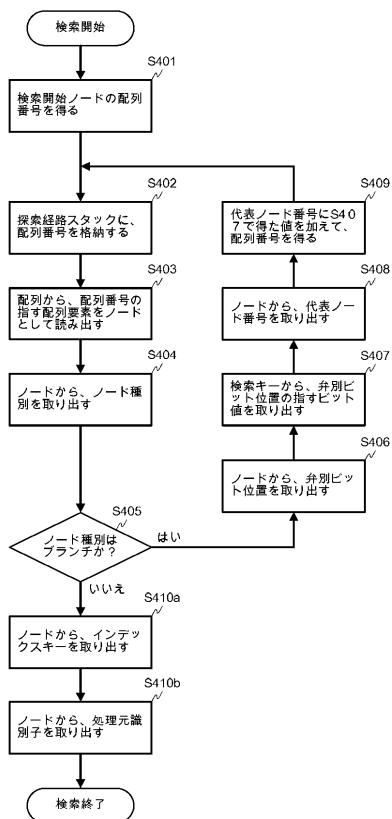
【図3A】



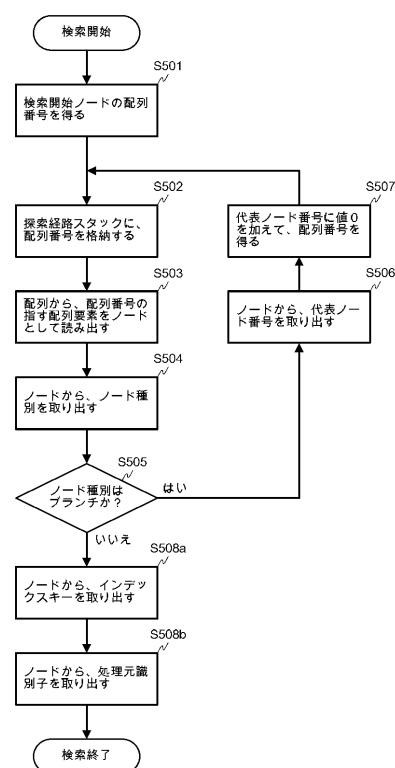
【図3B】



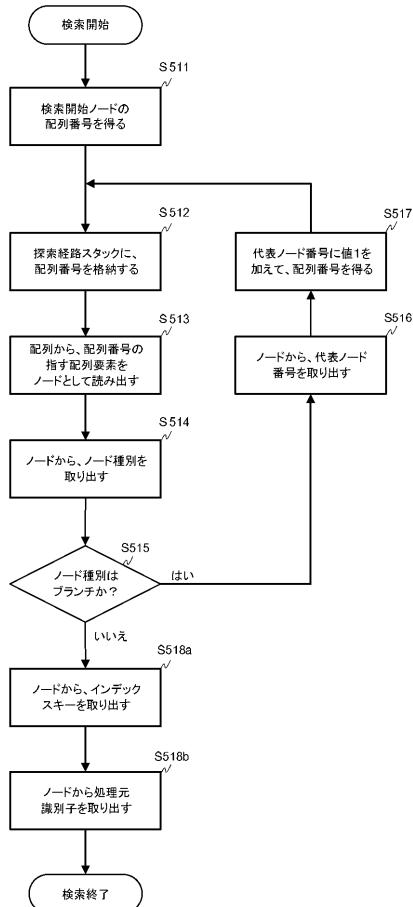
【図4】



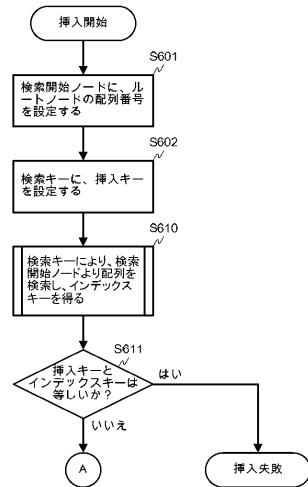
【図5A】



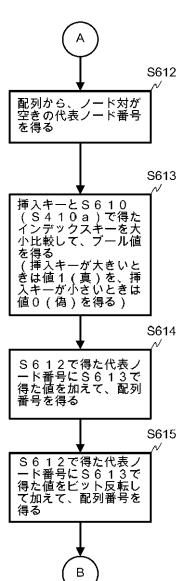
【図 5 B】



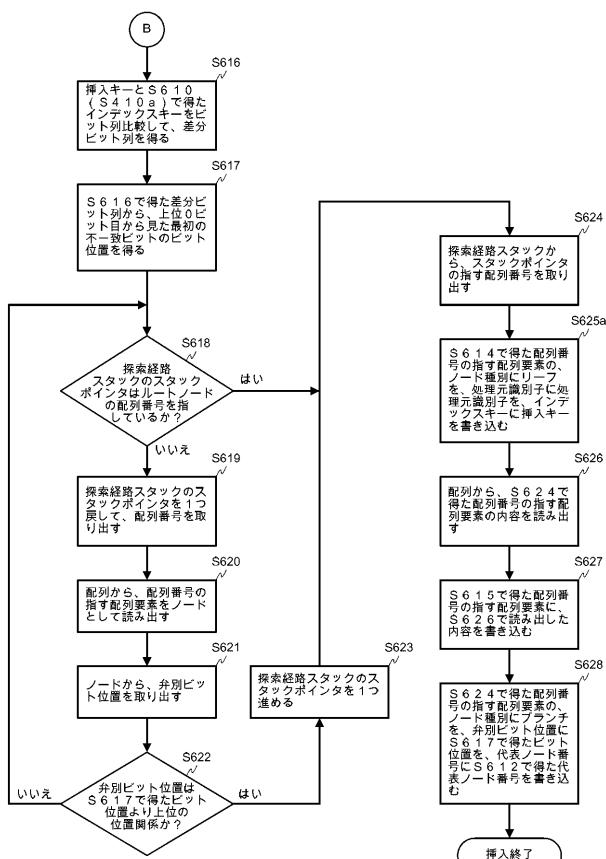
【図 6 A】



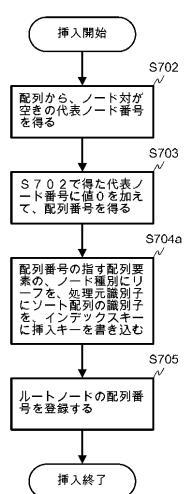
【図 6 B】



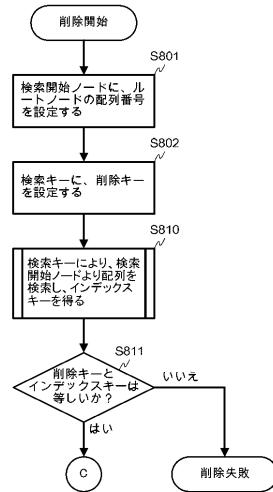
【図 6 C】



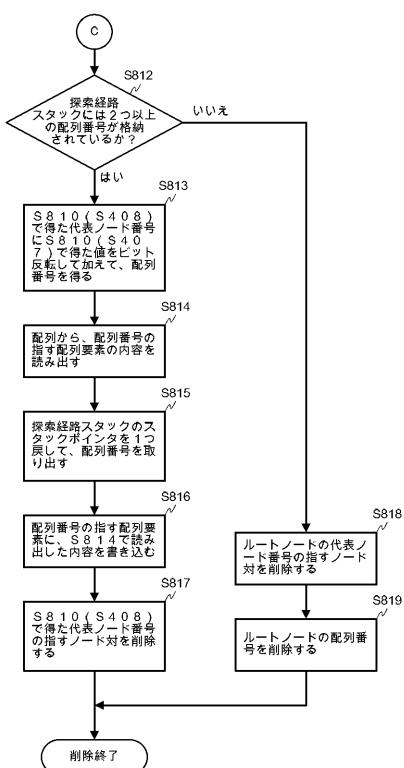
【図7】



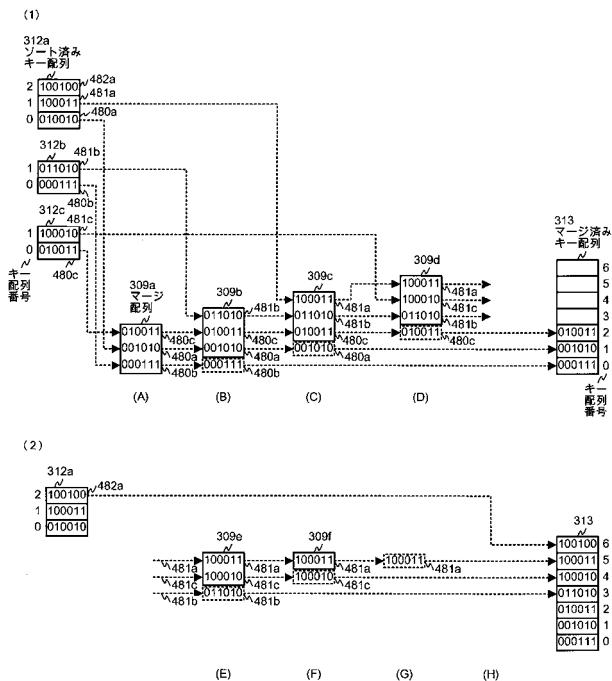
【図8 A】



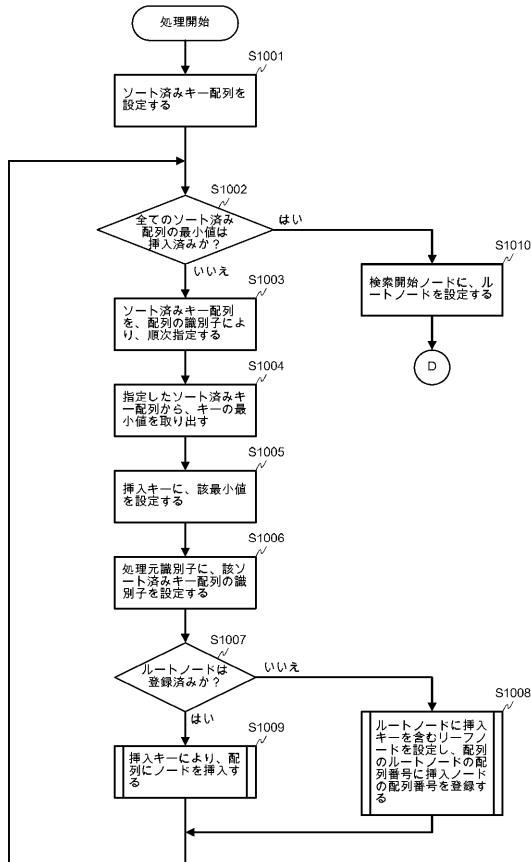
【図8 B】



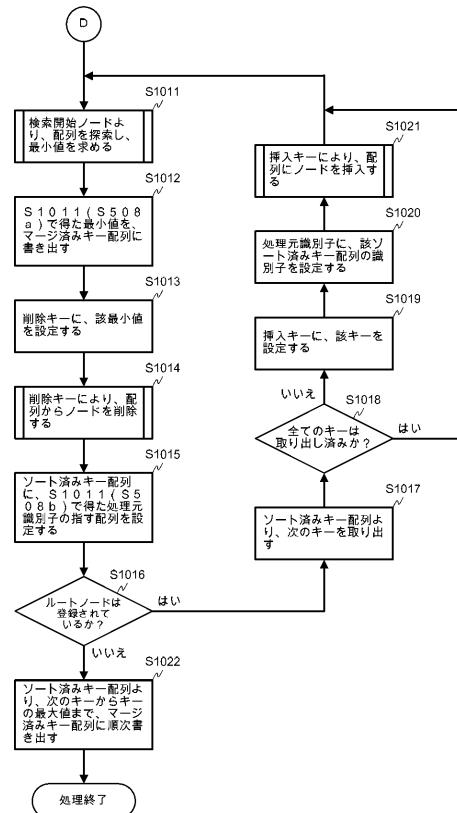
【図9】



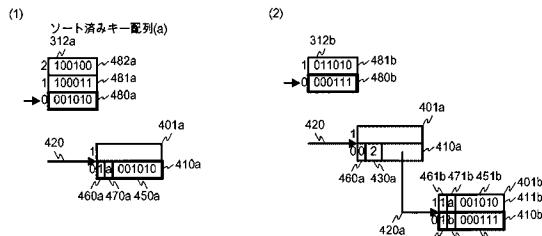
【図10A】



【図10B】



【 义 1 1 A 】



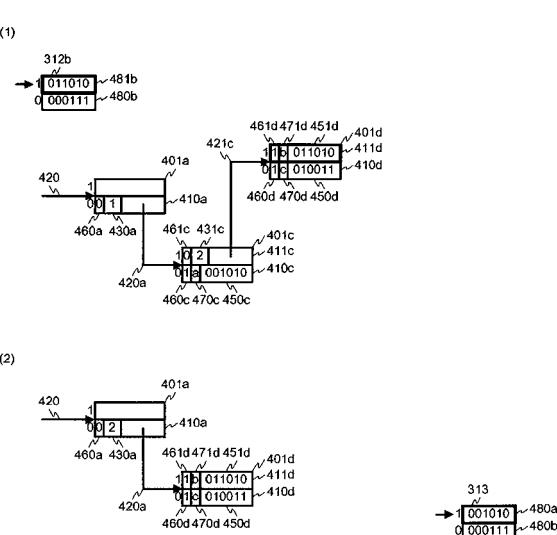
(4)

The diagram illustrates a memory array structure. It features a row decoder at the top with inputs 420 and 430a, which outputs address lines 401a and 410a. Below the row decoder is a row of memory cells, each labeled with a small '1'. The row address 401a is connected to the first cell. The row address 410a is connected to the second cell. The row address 460a is connected to the third cell. The row address 430a is connected to the fourth cell. The row address 461c is connected to the fifth cell. The row address 471c is connected to the sixth cell. The row address 420a is connected to the seventh cell. The row address 401c is connected to the eighth cell. The row address 411c is connected to the ninth cell. The row address 410c is connected to the tenth cell.

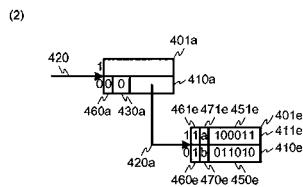
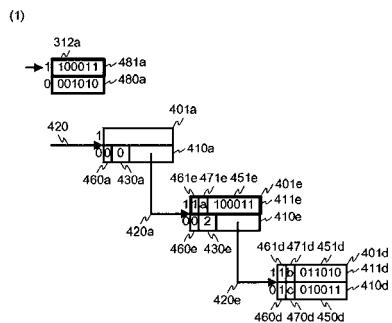
Below the row decoder is a column decoder with inputs 010011 and 001010. The output of the column decoder is connected to the first cell. The output of the column decoder is also connected to the second cell. The output of the column decoder is connected to the third cell. The output of the column decoder is connected to the fourth cell. The output of the column decoder is connected to the fifth cell. The output of the column decoder is connected to the sixth cell. The output of the column decoder is connected to the seventh cell. The output of the column decoder is connected to the eighth cell. The output of the column decoder is connected to the ninth cell. The output of the column decoder is connected to the tenth cell.

On the right side, there is a box labeled "313 一時記憶
キーリストアレジ" (Temporary Memory Key List Store) with a pointer to the tenth cell. Below this box is a pointer to the output of the column decoder, which is labeled "0 0000111 ~ 480b".

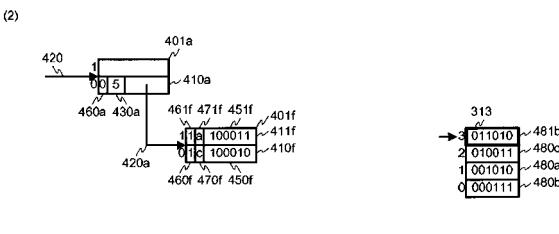
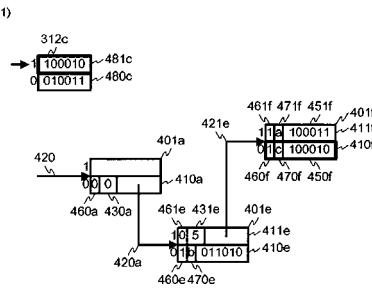
【 図 1 1 B 】



【図 1 1 C】

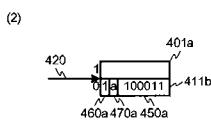
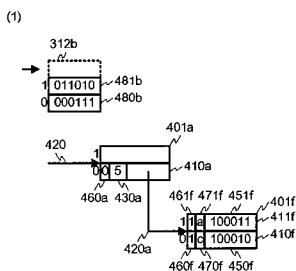


【図 1 1 D】



313	→ 3 010010 ~ 481b 2 010011 ~ 480c 1 001010 ~ 480a 0 000111 ~ 480b
-----	--

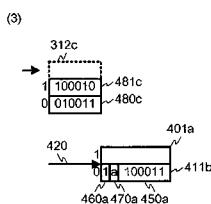
【図 1 1 E】



【図 1 1 F】

312a	→ 2 100100 ~ 482a 1 100010 ~ 481a 0 100011 ~ 480c
------	---

313	→ 6 100011 ~ 482a 5 100011 ~ 481a 4 100010 ~ 481c 3 011010 ~ 481b 2 010011 ~ 480c 1 001010 ~ 480a 0 000111 ~ 480b
-----	---

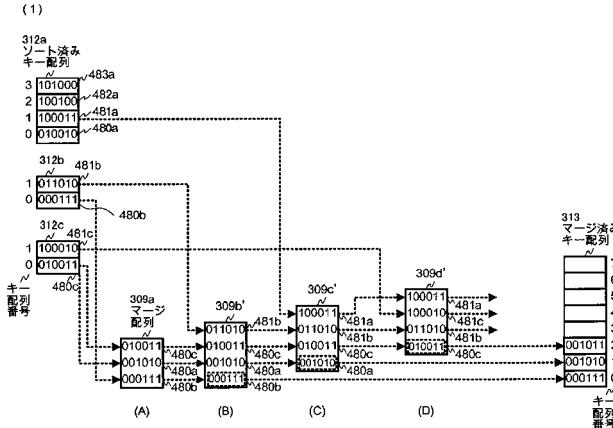


313	→ 3 100100 ~ 481c 2 011010 ~ 480c 1 010011 ~ 480a 0 000111 ~ 480b
-----	--

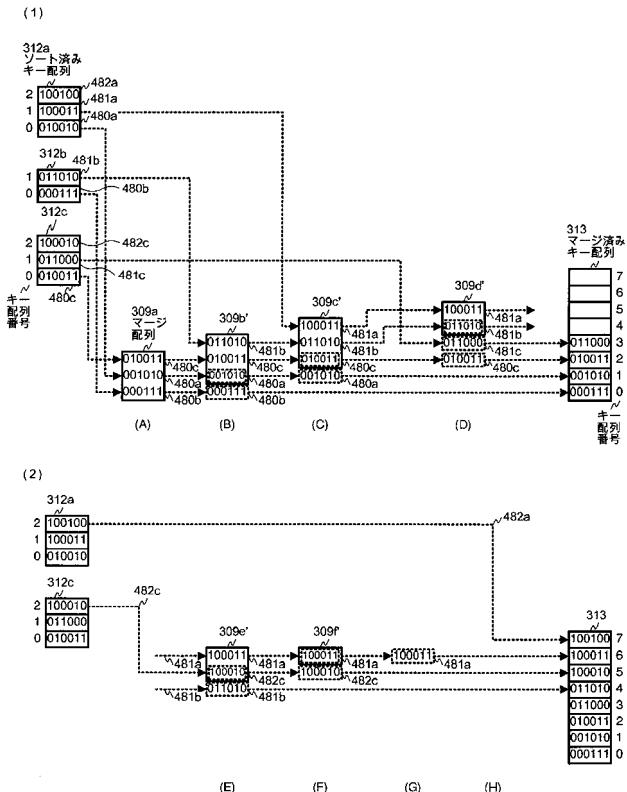


313	→ 5 100011 ~ 481a 4 100010 ~ 481c 3 011010 ~ 481b 2 010011 ~ 480c 1 001010 ~ 480a 0 000111 ~ 480b
-----	--

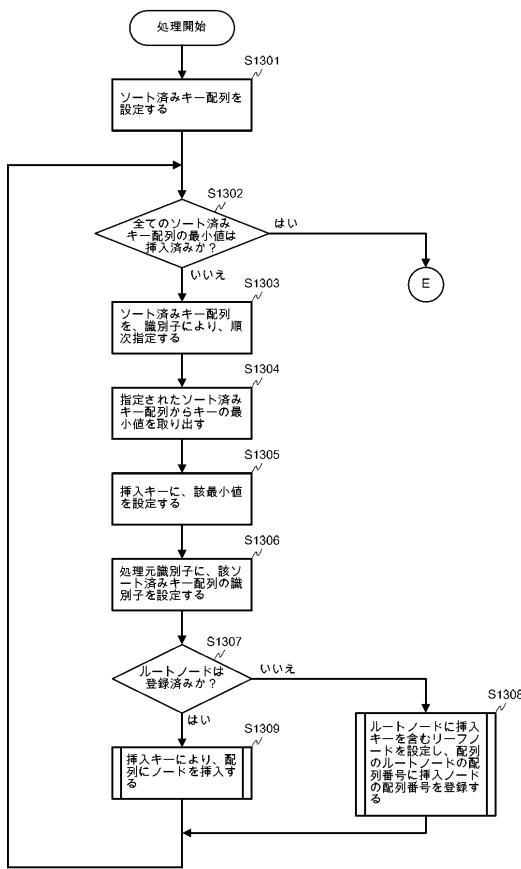
【図12A】



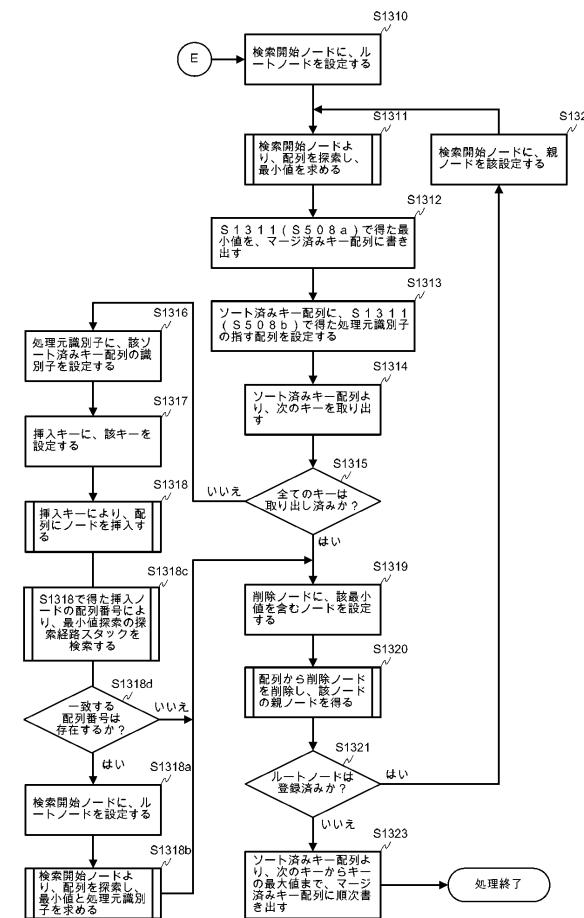
【図12B】



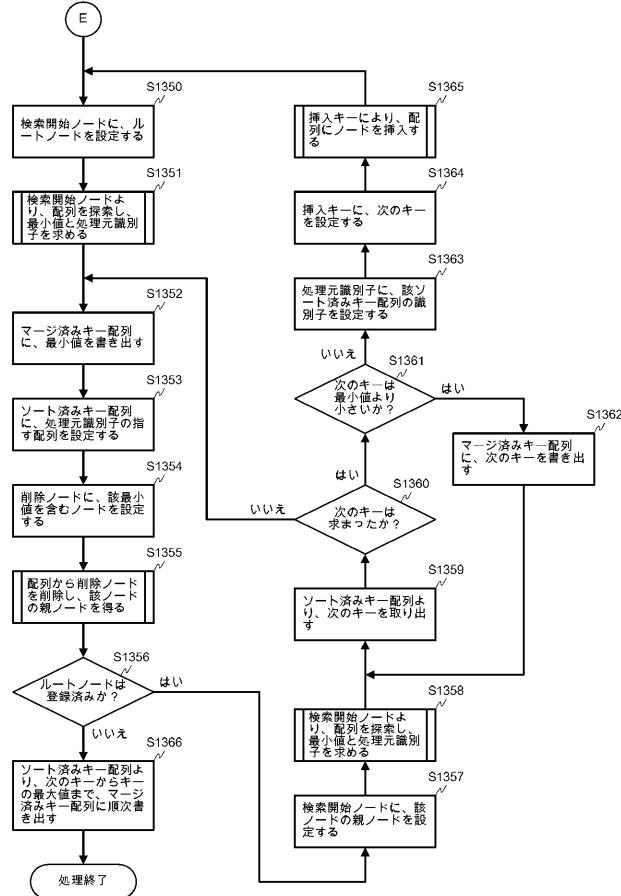
【図13A】



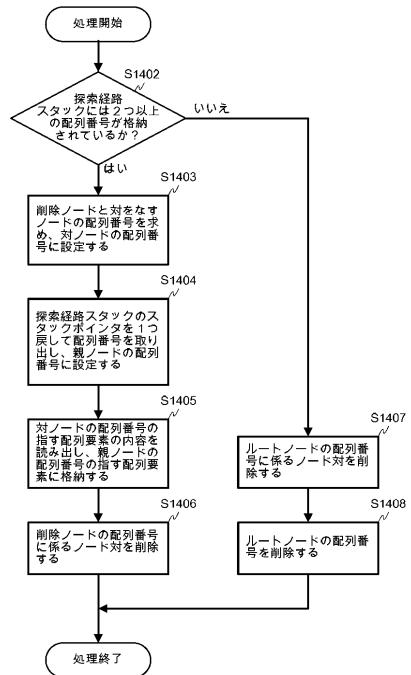
【図13B】



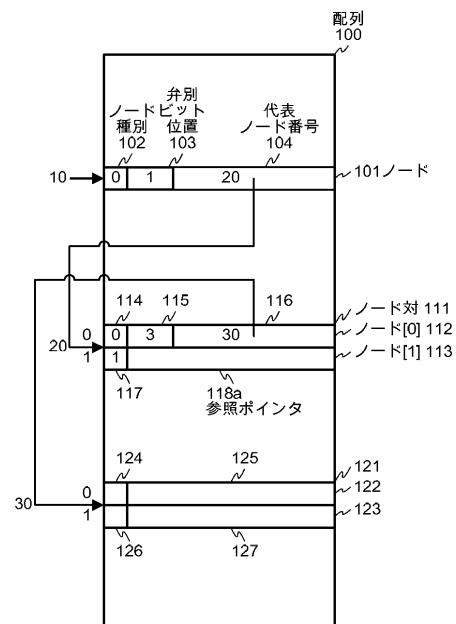
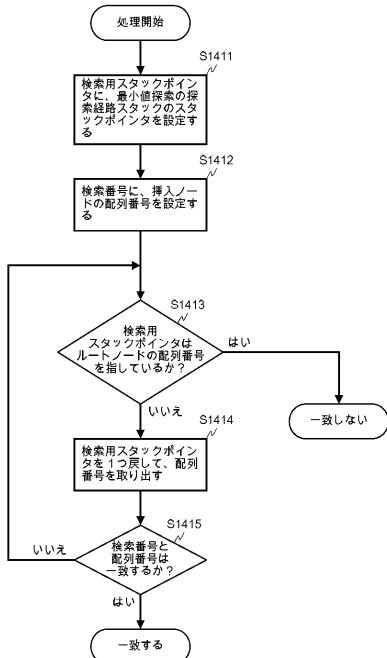
【図13C】



【図14A】

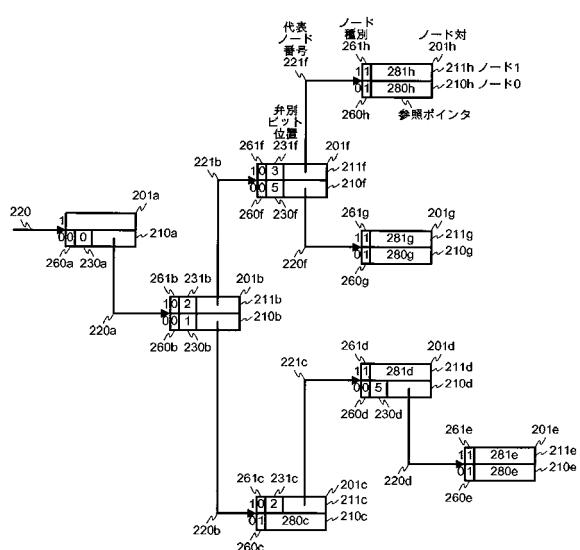


【図14B】

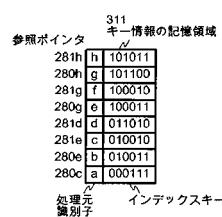


【図16】

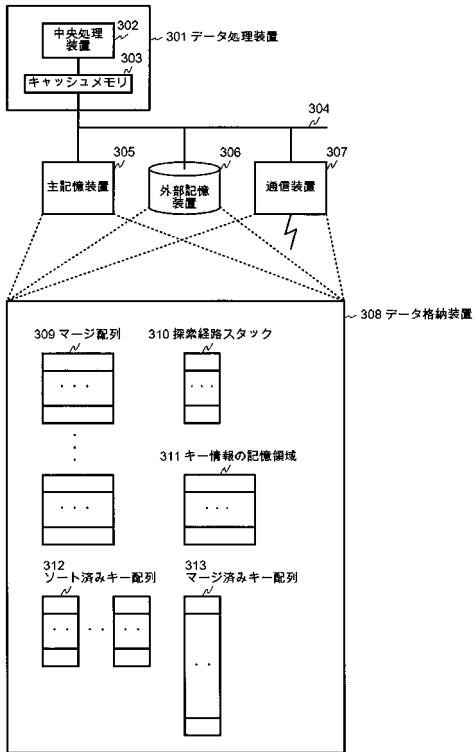
(1)



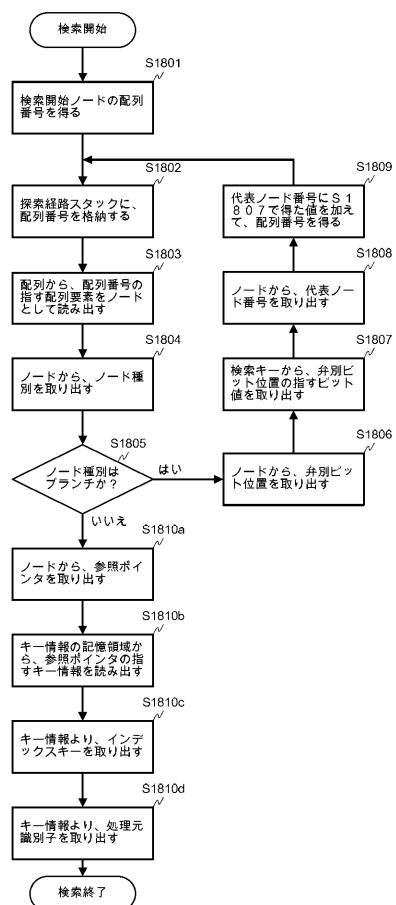
(2)



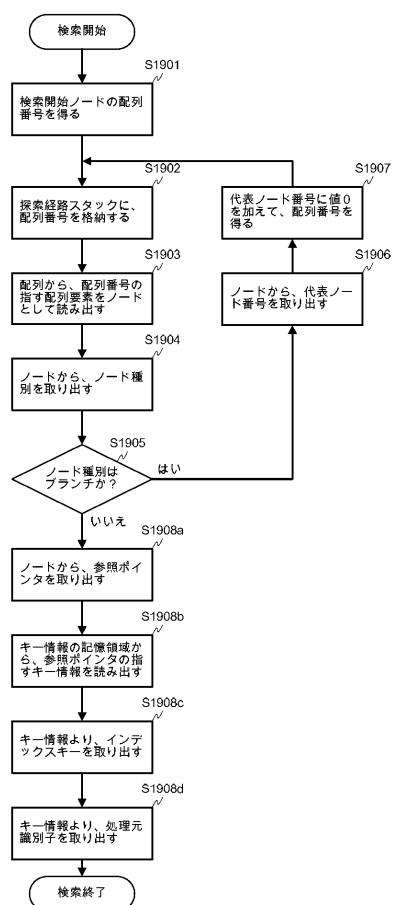
【図17】



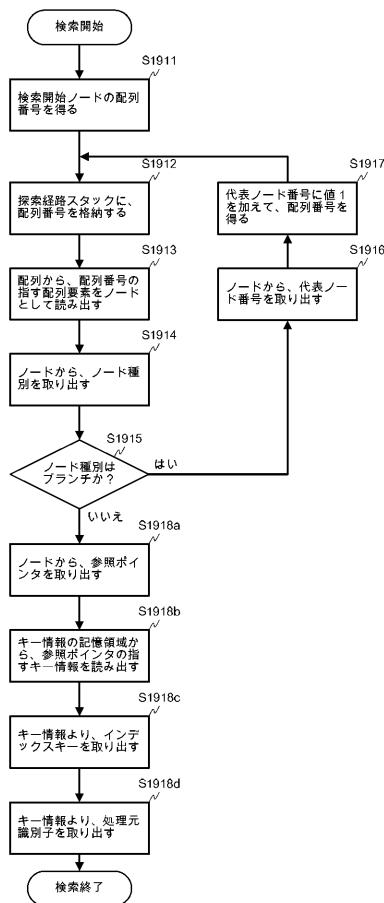
【図18】



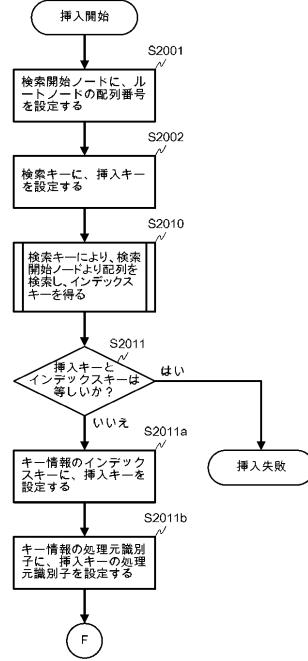
【図19A】



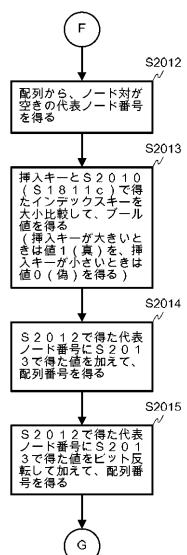
【図19B】



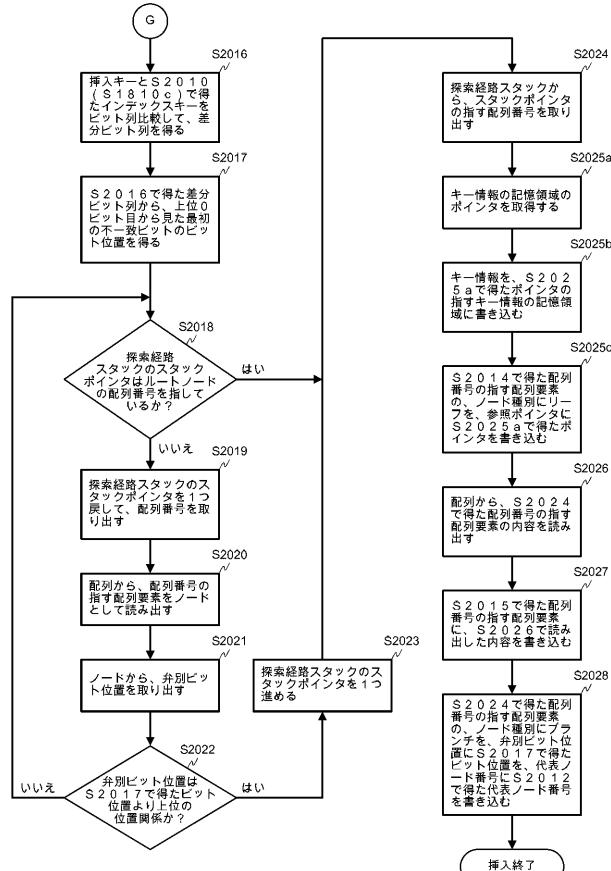
【図20A】



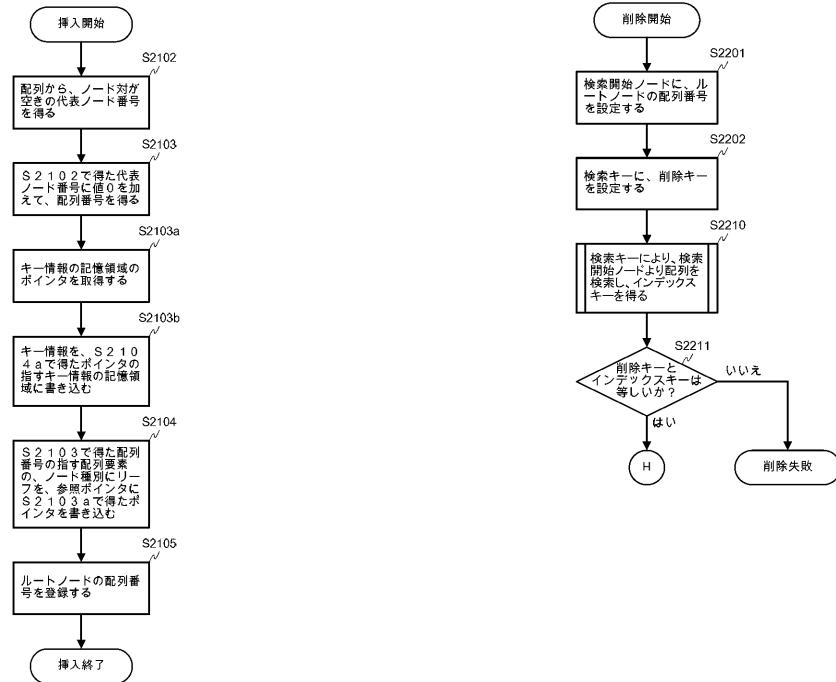
【図20B】



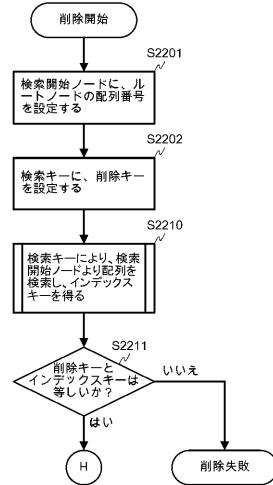
【図20C】



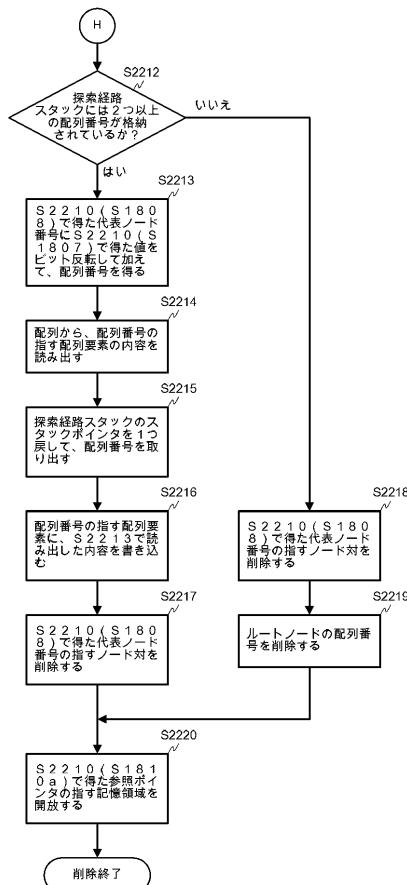
【図 2 1】



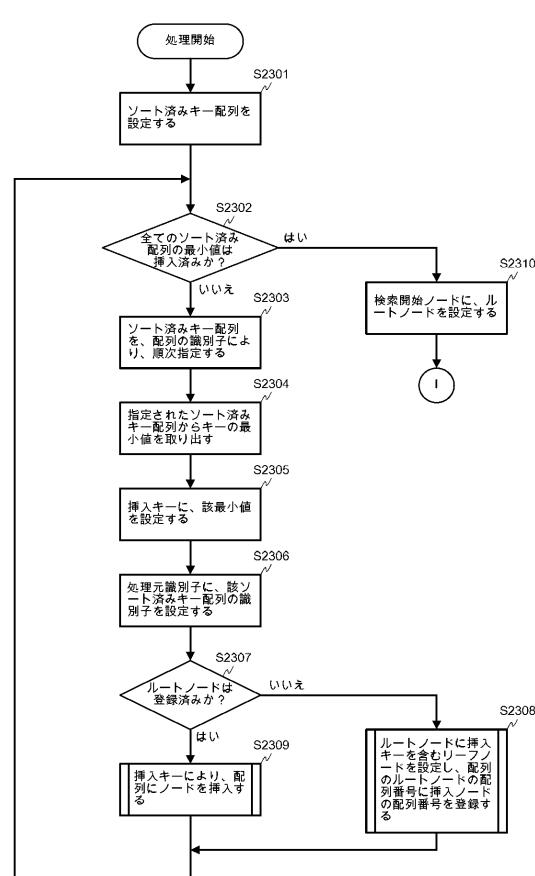
【図 2 2 A】



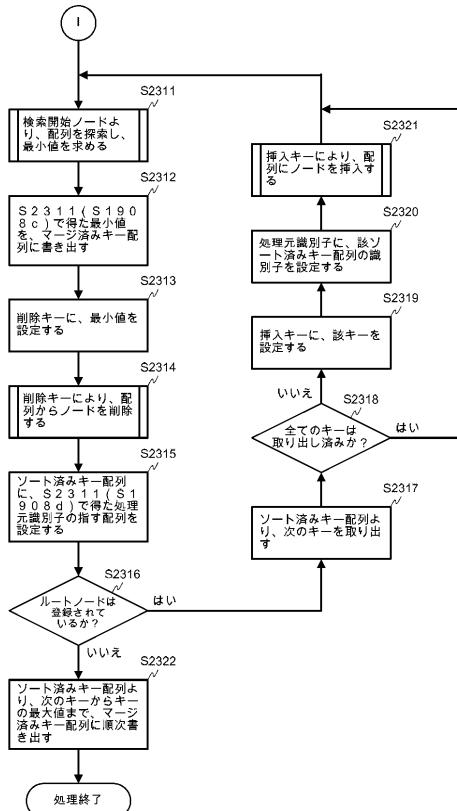
【図 2 2 B】



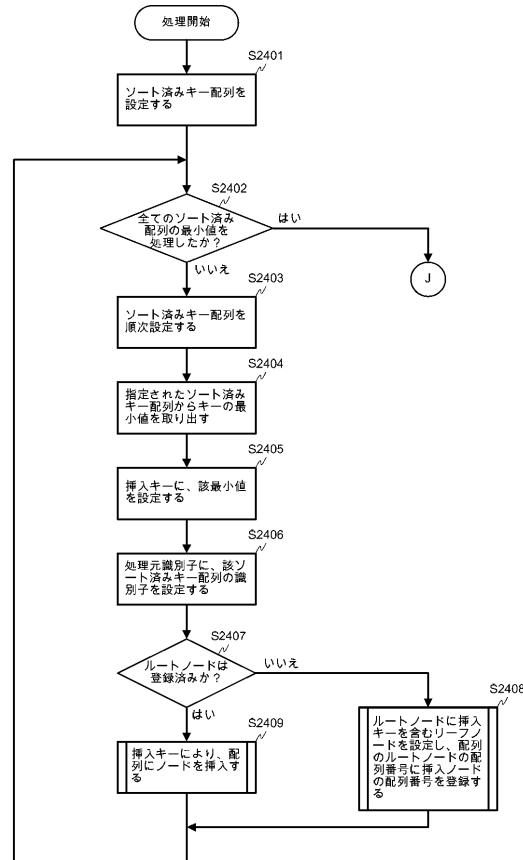
【図 2 3 A】



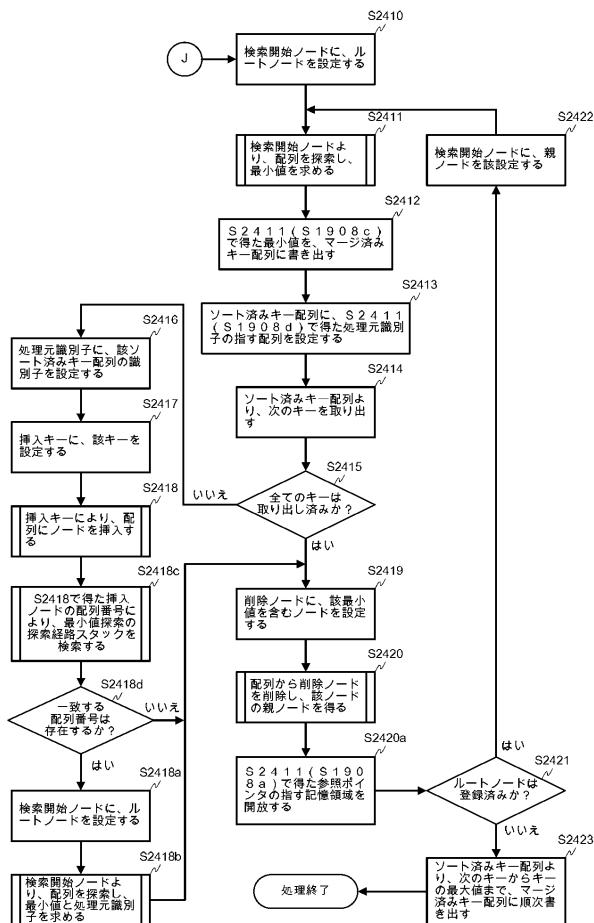
【図23B】



【図24A】



【図24B】



【図24C】

