

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2017-118024
(P2017-118024A)

(43) 公開日 平成29年6月29日(2017.6.29)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 K	4 M 1 O 4
HO 1 L 29/12 (2006.01)	HO 1 L 29/78 6 5 3 A	
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 5 2 T	
HO 1 L 29/41 (2006.01)	HO 1 L 29/78 6 5 2 F	
	HO 1 L 29/78 6 5 2 J	
審査請求 未請求 請求項の数 9 O L (全 15 頁) 最終頁に続く		

(21) 出願番号	特願2015-254175 (P2015-254175)	(71) 出願人	000003609
(22) 出願日	平成27年12月25日 (2015.12.25)		株式会社豊田中央研究所
			愛知県長久手市横道41番地の1
		(71) 出願人	000003207
			トヨタ自動車株式会社
			愛知県豊田市トヨタ町1番地
		(71) 出願人	000004260
			株式会社デンソー
			愛知県刈谷市昭和町1丁目1番地
		(74) 代理人	110000110
			特許業務法人快友国際特許事務所
		(72) 発明者	青井 佐智子
			愛知県長久手市横道41番地の1 株式会
			社豊田中央研究所内
			最終頁に続く

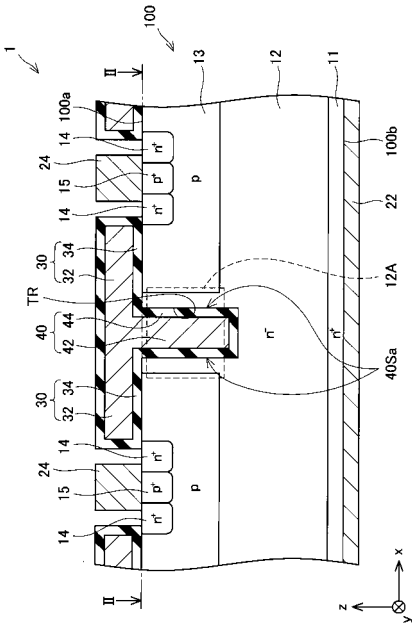
(54) 【発明の名称】 炭化珪素半導体装置

(57) 【要約】

【課題】 プレーナゲートが採用された炭化珪素半導体装置において、オン抵抗を低下させる技術を提供する。

【解決手段】 炭化珪素半導体装置1は、炭化珪素の半導体基板100、半導体基板100の上面100aの一部に対向するプレーナゲート30及び半導体基板100の上面100aの他の一部から半導体基板100内に向けて伸びるトレンチTR内に設けられているアキュムレーション用トレンチゲート40を備える。プレーナゲート30は、半導体基板100の上面100aにおいて、ソース領域14とドリフト領域12を隔てるボディ領域13に対向するように配置されている。アキュムレーション用トレンチゲート40は、半導体基板100内において、ドリフト領域12を介してボディ領域13に対向するように配置されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

炭化珪素の半導体基板と、
前記半導体基板の上面の一部に対向するプレーナゲートと、
前記半導体基板の前記上面の一部から前記半導体基板内に向けて伸びるトレンチ内に設けられているアキュムレーション用トレンチゲートと、を備え、

前記半導体基板は、

前記上面に露出する第 1 導電型のソース領域と、

前記ソース領域を覆うとともに前記上面に露出する第 2 導電型のボディ領域と、

前記ボディ領域を覆うとともに前記上面に露出する第 1 導電型のドリフト領域と、を
有し、

前記プレーナゲートは、前記半導体基板の前記上面において、前記ソース領域と前記ドリフト領域を隔てる前記ボディ領域に対向するように配置されており、

前記アキュムレーション用トレンチゲートは、前記半導体基板内において、前記ドリフト領域を介して前記ボディ領域に対向するように配置されている、炭化珪素半導体装置。

【請求項 2】

前記半導体基板の前記上面の結晶面が、S i 面である、請求項 1 に記載の炭化珪素半導体装置。

【請求項 3】

前記アキュムレーション用トレンチゲートの側面のうちの前記ボディ領域に対向する側面が接する前記トレンチの側面の結晶面が、a 面又は m 面である、請求項 2 に記載の炭化珪素半導体装置。

【請求項 4】

前記ドリフト領域は、前記アキュムレーション用トレンチゲートの側面に接する高濃度ドリフト領域を有しており、

前記高濃度ドリフト領域のドーパント濃度は、前記ボディ領域の下方に存在する前記ドリフト領域の部分のドーパント濃度よりも濃くなるように構成されている、請求項 1 ～ 3 のいずれか一項に記載の炭化珪素半導体装置。

【請求項 5】

前記プレーナゲートと前記アキュムレーション用トレンチゲートは、一体で形成されている、請求項 1 ～ 4 のいずれか一項に記載の炭化珪素半導体装置。

【請求項 6】

前記プレーナゲートと前記アキュムレーション用トレンチゲートは、絶縁分離されており、

前記プレーナゲートと前記アキュムレーション用トレンチゲートは、異なる電圧が印加可能に構成されている、請求項 1 ～ 4 のいずれか一項に記載の炭化珪素半導体装置。

【請求項 7】

前記アキュムレーション用トレンチゲートは、ドーパントが導入されている半導体部と、前記半導体部を被覆する絶縁被覆部を有しており、

前記半導体部のドーパント濃度が、前記半導体基板の厚み方向に沿って、深くなるほど低下するように構成されている、請求項 1 ～ 6 のいずれか一項に記載の炭化珪素半導体装置。

【請求項 8】

前記半導体基板の前記上面に接する上面電極をさらに備え、

前記ソース領域は、

前記半導体基板の前記上面に露出するとともに、前記上面電極に接する接触面を含むコンタクトソース部と、

前記半導体基板の前記上面に露出するとともに、前記半導体基板の前記上面に対して直交する方向から観測したときに、前記コンタクトソース部から突出する複数の突出ソース部と、を有し、

10

20

30

40

50

前記アキュムレーション用トレンチゲートは、前記半導体基板の前記上面に対して直交する方向から観測したときに、隣り合う前記突出ソース部の間に侵入するように配置されている、請求項 1～7 のいずれか一項に記載の炭化珪素半導体装置。

【請求項 9】

前記ソース領域及び前記ドリフト領域に含まれるドーパントの種類が窒素又はリンであり、

前記ボディ領域に含まれるドーパントの種類がアルミニウムである、請求項 8 に記載の炭化珪素半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本明細書で開示する技術は、プレーナゲートを備える炭化珪素半導体装置に関する。

【背景技術】

【0002】

炭化珪素の半導体基板を利用する半導体装置の開発が進められている。炭化珪素は、シリコンに比して絶縁破壊電界強度が大きい。このため、炭化珪素半導体装置では、所望の耐圧を確保しながらドリフト領域の厚みを薄くすることができる。これにより、炭化珪素半導体装置では、極めて低いドリフト抵抗が実現される。

【0003】

炭化珪素半導体装置では、ドリフト抵抗が極めて低いことから、オン抵抗に占めるチャネル抵抗の割合が高くなっている。このため、炭化珪素半導体装置では、オン抵抗をさらに低下させるために、チャネル抵抗を低下させる技術の必要性が増している。

20

【0004】

例えば、特許文献 1 は、プレーナゲートを採用するとともに、半導体基板の上面にキャリア移動度が高い面を選択する技術を開示する。これにより、特許文献 1 は、チャネル抵抗が低下した炭化珪素半導体装置を提供する。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】特開 2010-41021 号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0006】

炭化珪素半導体装置では、プレーナゲートを採用することで、チャネル抵抗が低下する。しかしながら、プレーナゲートを採用すると、隣り合うボディ領域で挟まれるドリフト領域（本明細書では、JFET 部ともいう）の電流経路が、ボディ領域から伸びる空乏層によって狭くなり、この部分の抵抗が高くなるという問題がある。

【0007】

本明細書は、プレーナゲートが採用された炭化珪素半導体装置において、オン抵抗を低下させる技術を提供することを目的とする。

40

【課題を解決するための手段】

【0008】

本明細書で開示する半導体装置の一実施形態は、炭化珪素の半導体基板、半導体基板の上面の一部に対向するプレーナゲート及び半導体基板の上面の一部から半導体基板内に向けて伸びるトレンチ内に設けられているアキュムレーション用トレンチゲートを備える。半導体基板は、第 1 導電型のソース領域、第 2 導電型のボディ領域及び第 1 導電型のドリフト領域を有する。ソース領域は、半導体基板の上面に露出する。ボディ領域は、ソース領域を覆うとともに半導体基板の上面に露出する。ドリフト領域は、ボディ領域を覆うとともに半導体基板の上面に露出する。プレーナゲートは、半導体基板の上面において、ソース領域とドリフト領域を隔てるボディ領域に対向するように配置されている。アキ

50

ュムレーション用トレンチゲートは、半導体基板内において、ドリフト領域を介してボディ領域に対向するように配置されている。

【0009】

上記実施形態の炭化珪素半導体装置では、プレーナゲートで誘起される反転層を介して流れたキャリアが、アキュムレーション用トレンチゲートの側面に誘起される蓄積層を介して流れることができる。これにより、上記実施形態の炭化珪素半導体装置は、低オン抵抗の特性を有することができる。

【図面の簡単な説明】

【0010】

【図1】実施例の炭化珪素半導体装置の要部断面図を模式的に示しており、図2のI-I線に対応した要部断面図である。

10

【図2】実施例の炭化珪素半導体装置の要部断面図を模式的に示しており、図1のII-II線に対応した要部断面図である（半導体基板の要部平面図でもある）。

【図3】変形例の炭化珪素半導体装置の要部平面図を模式的に示す。

【図4】変形例の炭化珪素半導体装置の要部断面図を模式的に示す。

【図5】変形例の炭化珪素半導体装置の要部断面図を模式的に示す。

【図6】変形例の炭化珪素半導体装置の要部断面図を模式的に示す。

【図7】変形例の炭化珪素半導体装置の要部断面図を模式的に示す。

【図8】変形例の炭化珪素半導体装置の要部断面図を模式的に示す。

【図9】変形例の炭化珪素半導体装置の要部断面図を模式的に示す。

20

【図10】変形例の炭化珪素半導体装置の要部断面図を模式的に示す。

【図11】変形例の炭化珪素半導体装置の要部平面図を模式的に示す。

【発明を実施するための形態】

【0011】

以下、本明細書で開示される技術の特徴を整理する。なお、以下に記す事項は、各々単独で技術的な有用性を有している。

【0012】

本明細書で開示する炭化珪素半導体装置としては、M O S F E T（Metal Oxide Semiconductor Field Effect Transistor）及びI G B T（Insulated Gate Bipolar Transistor）が例示される。これらの炭化珪素半導体装置の一実施形態は、炭化珪素の半導体基板、半導体基板の上面の一部に対向するプレーナゲート及び半導体基板の上面の一部から半導体基板内に向けて伸びるトレンチ内に設けられているアキュムレーション用トレンチゲートを備えていてもよい。半導体基板は、第1導電型のソース領域、第2導電型のボディ領域及び第1導電型のドリフト領域を有していてもよい。ソース領域は、半導体基板の上面に露出する。ボディ領域は、ソース領域を覆うとともに半導体基板の上面に露出する。ドリフト領域は、ボディ領域を覆うとともに半導体基板の上面に露出する。これにより、半導体基板の上層部には、ソース領域とボディ領域とドリフト領域で構成されるNPN構造又はPNP構造が設けられている。プレーナゲートは、半導体基板の上面において、ソース領域とドリフト領域を隔てるボディ領域に対向するように配置されている。これにより、プレーナゲートは、半導体基板の上面において、ボディ領域に反転層を形成することができる。アキュムレーション用トレンチゲートは、半導体基板内において、ドリフト領域を介してボディ領域に対向するように配置されている。これにより、アキュムレーション用トレンチゲートは、ボディ領域に隣接するドリフト領域に蓄積層を形成することができる。

30

40

【0013】

上記実施形態の炭化珪素半導体装置では、半導体基板の上面の結晶面がSi面であってもよい。この構成によると、半導体基板の上面とプレーナゲートの接合界面において、炭素（C）の存在が少なくなり、界面欠陥の発生が抑えられる。

【0014】

上記実施形態の炭化珪素半導体装置では、アキュムレーション用トレンチゲートの側面

50

のうちのボディ領域に対向する側面が接するトレンチの側面の結晶面が、a面又はm面であってもよい。この構成によると、アキュムレーション用トレンチゲートの側面に形成される蓄積層におけるキャリア移動度が高くなる。

【0015】

上記実施形態の炭化珪素半導体装置では、ドリフト領域が、アキュムレーション用トレンチゲートの側面に接する高濃度ドリフト領域を有していてもよい。高濃度ドリフト領域のドーパント濃度は、ボディ領域の下方に存在するドリフト領域の部分のドーパント濃度よりも濃くなるように構成されている。この構成によると、アキュムレーション用トレンチゲートの側面に形成される蓄積層におけるキャリア密度が濃くなる。

【0016】

上記実施形態の炭化珪素半導体装置では、プレーナゲートとアキュムレーション用トレンチゲートが一体で形成されていてもよい。この構成によると、アキュムレーション用トレンチゲートの側面の蓄積層は、炭化珪素半導体装置がオンのときに形成され、炭化珪素半導体装置がオフのときに消失する。このように、アキュムレーション用トレンチゲートの側面に蓄積層を形成するタイミングが炭化珪素半導体装置のスイッチング動作に同期することにより、炭化珪素半導体装置は、低オン抵抗で高耐圧な特性を有することができる。

【0017】

上記実施形態の炭化珪素半導体装置では、プレーナゲートとアキュムレーション用トレンチゲートが絶縁分離されていてもよい。プレーナゲートとアキュムレーション用トレンチゲートは、異なる電圧が印加可能に構成されている。この構成によると、例えば、アキュムレーション用トレンチゲートに印加されるオン電圧がプレーナゲートに印加されるオン電圧よりも低く調整されることで、アキュムレーション用トレンチゲートの底面の電界集中が緩和される。

【0018】

上記実施形態の炭化珪素半導体装置では、アキュムレーション用トレンチゲートが、ドーパントが導入されている半導体部と、半導体部を被覆する絶縁被覆部を有していてもよい。この場合、半導体部のドーパント濃度が、半導体基板の厚み方向に沿って、深くなるほど低下するように構成されている。この構成によると、アキュムレーション用トレンチゲートの底面の電界集中が緩和される。

【0019】

上記実施形態の炭化珪素半導体装置は、半導体基板の上面に接する上面電極をさらに備えていてもよい。ソース領域は、コンタクトソース部及び複数の突出ソース部を有していてもよい。コンタクトソース部は、半導体基板の上面に露出するとともに、上面電極に接する接触面を含む。突出ソース部は、半導体基板の上面に露出するとともに、半導体基板の上面に対して直交する方向から観測したときに、コンタクトソース部から突出する。アキュムレーション用トレンチゲートは、半導体基板の上面に対して直交する方向から観測したときに、隣り合う突出ソース部の間に侵入するように配置されている。この構成によると、プレーナゲートで誘起される反転層とアキュムレーション用トレンチゲートで誘起される蓄積層の双方の密度が増加し、炭化珪素半導体装置は、極めて低オン抵抗な特性を有することができる。

【0020】

上記実施形態の炭化珪素半導体装置では、ソース領域及びドリフト領域に含まれるドーパントの種類が窒素(N)であり、ボディ領域に含まれるドーパントの種類がアルミニウム(Al)であってもよい。これらのドーパントは、炭化珪素の半導体基板において、低熱拡散性を有する。このため、ソース領域とボディ領域とドリフト領域で構成されるNP構造又はPNP構造が微細なレイアウトとなり、低いチャネル抵抗が実現される。

【実施例1】

【0021】

図1に示されるように、炭化珪素半導体装置1は、MOSFETと称されるパワー半導

10

20

30

40

50

体素子であり、半導体基板100、半導体基板100の下面100bに接するドレイン電極22、半導体基板100の上面100aの一部に接するソース電極24、半導体基板100の上面100aの一部に対向するプレーナゲート30及び半導体基板100の上面の一部から半導体基板100内に向けて伸びるトレンチTR内に設けられているアキュムレーション用トレンチゲート40を備える。プレーナゲート30とアキュムレーション用トレンチゲート40は、一体で形成されており、断面T字形状となるように構成されている。

【0022】

半導体基板100は、4Hの炭化珪素を材料とする炭化珪素基板であり、上面100aの結晶面が{0001}のSi面である。図1に示されるように、半導体基板100は、
10 n型のドレイン領域11、n型のドリフト領域12、p型のボディ領域13、n型のソース領域14及びp型のボディコンタクト領域15を有する。

【0023】

ドレイン領域11は、後述するドリフト領域12がエピタキシャル成長するための下地基板でもあり、半導体基板100の下面100bに露出する。ドレイン領域11は、ドレイン電極22にオーミック接触する。一例では、ドレイン領域11のドーパントは窒素(N)であり、そのドーパント濃度が約 $1 \times 10^{18} \text{ cm}^{-3}$ 以上であるのが望ましい。

【0024】

ドリフト領域12は、ドレイン領域11上に設けられており、ドレイン領域11とボディ領域13の間に設けられており、ボディ領域13を覆うように構成されている。また、
20 ドリフト領域12は、隣り合うボディ領域13の間において、半導体基板100の上面100aに露出する。隣り合うボディ領域13の間に配置されているドリフト領域12の部分は、JFET部12Aという。ドリフト領域12は、エピタキシャル成長技術を利用して、ドレイン領域11の表面から結晶成長して形成される。具体的には、ドリフト領域12は、結晶面が{0001}の炭化珪素基板(ドレイン領域11に相当する)を用意した後、その炭化珪素基板の表面から結晶成長される。一例では、ドリフト領域のドーパントは窒素(N)であり、そのドーパント濃度が約 $1 \times 10^{15} \sim 1 \times 10^{17} \text{ cm}^{-3}$ であるのが望ましい。

【0025】

ボディ領域13は、ドリフト領域12上に設けられており、ソース領域14及びボディコンタクト領域15を覆うように構成されている。ボディ領域13は、半導体基板100の上層部に配置されており、半導体基板100の上面100aに露出する。ボディ領域13は、RIE(Reactive Ion Etching)技術を利用して、半導体基板100の上層部にトレンチを形成した後に、エピタキシャル成長技術を利用して、そのトレンチ内に結晶成長される。一例では、ボディ領域13のドーパントはアルミニウム(Al)であり、そのドーパント濃度が、約 $1 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ であるのが望ましい。
30

【0026】

ソース領域14は、ボディ領域13上に設けられており、半導体基板100の上層部に配置されており、半導体基板100の上面100aに露出する。ソース領域14は、ボディ領域13によってドリフト領域12から隔てられている。ソース領域14は、イオン注入技術を利用して、半導体基板100の上層部にドーパントを導入して形成される。一例では、ソース領域14のドーパントは窒素(N)又はリン(P)であり、そのドーパント量が約 $1 \times 10^{13} \sim 1 \times 10^{15} \text{ cm}^{-2}$ であり、ピーク濃度が約 $1 \times 10^{19} \sim 5 \times 10^{20} \text{ cm}^{-3}$ であるのが望ましい。
40

【0027】

ボディコンタクト領域15は、ボディ領域13上に設けられており、半導体基板100の上層部に配置されており、半導体基板100の上面100aに露出する。ボディコンタクト領域15は、ソース電極24にオーミック接触する。ボディコンタクト領域15は、イオン注入技術を利用して、半導体基板100の上層部にドーパントを導入して形成される。一例では、ボディコンタクト領域15のドーパントはアルミニウム(Al)であり、
50

そのドーパント量が約 $1 \times 10^{11} \sim 1 \times 10^{13} \text{ cm}^{-2}$ であり、ピーク濃度が約 $1 \times 10^{17} \sim 1 \times 10^{18} \text{ cm}^{-3}$ であるのが望ましい。

【0028】

図2に示されるように、半導体基板100の上面100aに対して直交する方向（z方向）から観測したときに（以下、「平面視したときに」という）、半導体基板100の上面100aには、ドリフト領域12のJFET部12A、ボディ領域13、ソース領域14及びボディコンタクト領域15がストライプ状に配置されている。この例では、ドリフト領域12のJFET部12A、ボディ領域13、ソース領域14及びボディコンタクト領域15がy軸方向に沿って伸びており、x軸方向に沿って並んでいる。これにより、半導体基板100の上層部には、ドリフト領域12のJFET部12A、ボディ領域13及びソース領域14で構成されるNPN構造が設けられている。

10

【0029】

図1に示されるように、プレーナゲート30とアキュムレーション用トレンチゲート40は、断面T字形状となるように構成されている。本実施例では、断面T字形状の構造体のうち、半導体基板100の上面100a上に配置される部分がプレーナゲート30であり、半導体基板100内に配置される部分がアキュムレーション用トレンチゲート40である。

【0030】

プレーナゲート30は、半導体基板100の上面100aの一部に対向して設けられており、ゲート電極32及びゲート絶縁膜34を有する。ゲート電極32は、ゲート絶縁膜34を介して半導体基板100の上面100aに対向しており、ドーパントを含むポリシリコンである。ゲート絶縁膜34は、酸化シリコンである。プレーナゲート30は、半導体基板100の上面100aにおいて、ドリフト領域12のJFET部12A、ボディ領域13及びソース領域14で構成されるNPN構造に対向するように配置されている。

20

【0031】

アキュムレーション用トレンチゲート40は、ドリフト領域12のJFET部12Aに形成されているトレンチTR内に設けられており、半導体基板100の上面100aから半導体基板100内に向けて伸びる。アキュムレーション用トレンチゲート40は、ドリフト領域12のJFET部12Aを介してボディ領域13に対向する。図2に示されるように、アキュムレーション用トレンチゲート40は、半導体基板100を平面視したときに、ドリフト領域12のJFET部12Aの範囲内に設けられており、ドリフト領域12のJFET部12Aに沿って伸びている。アキュムレーション用トレンチゲート40の側面のうちのボディ領域13に対向する一対の側面40Saが接するトレンチTRの側面の結晶面が、 $\{11-20\}$ のa面又は $\{1-100\}$ のm面である。

30

【0032】

図1に示されるように、アキュムレーション用トレンチゲート40は、ポリシリコン部42及び絶縁被覆部44を有する。ポリシリコン部42は、プレーナゲート30のゲート電極32に接しており、絶縁被覆部44で被覆されており、ドーパントを含むポリシリコンである。絶縁被覆部44は、酸化シリコンである。ポリシリコン部42に含まれるドーパント濃度は、半導体基板100の厚み方向（z軸方向）に沿って、深くなるほど低下するように構成されている。例えば、プレーナゲート30のゲート電極32に選択的にドーパントを導入し、そのドーパントをアキュムレーション用トレンチゲート40のポリシリコン部42に熱拡散させることで、このようなドーパント分布が実現される。

40

【0033】

次に、図1を参照し、炭化珪素半導体装置1の動作を説明する。ドレイン電極22に正電圧が印加され、ソース電極24が接地され、プレーナゲート30のゲート電極32が接地されていると、炭化珪素半導体装置1はオフである。

【0034】

ドレイン電極22に正電圧が印加され、ソース電極24が接地され、プレーナゲート

50

30のゲート電極32にソース電極24よりも正となる電圧が印加されていると、炭化珪素半導体装置1はオンである。このとき、ドリフト領域12のJFET部12Aとソース領域14を隔てるボディ領域13のうちのプレーナゲート30に対向する部分に反転層が形成される。ソース領域14から供給される電子は、その反転層を経由してドリフト領域12のJFET部12Aに達する。プレーナゲート30とアキュムレーション用トレンチゲート40は、一体で形成されている。このため、プレーナゲート30のゲート電極32に正電圧が印加されると、アキュムレーション用トレンチゲート40のポリシリコン部42にも正電圧が印加される。これにより、アキュムレーション用トレンチゲート40に接するドリフト領域12のJFET部12Aには、蓄積層が形成される。ドリフト領域12のJFET部12Aに達した電子は、その蓄積層及びボディ領域13の下方に位置するドリフト領域12を経由して厚み方向に流れ、ドレイン領域11に流れる。

10

【0035】

ドリフト領域12のJFET部12Aは、隣り合うボディ領域13の間に設けられている。このため、アキュムレーション用トレンチゲート40が設けられていない場合、ドリフト領域12のJFET部12Aの電流経路は、ボディ領域13から伸びる空乏層によって狭くなり、この結果、この部分の抵抗が高くなる。炭化珪素半導体装置1では、ドリフト領域12のJFET部12Aにアキュムレーション用トレンチゲート40が設けられている。このアキュムレーション用トレンチゲート40の側面には、電子密度が濃い蓄積層が形成される。このため、炭化珪素半導体装置1では、アキュムレーション用トレンチゲート40の側面に形成される蓄積層を介して電流が流れることができるので、ドリフト領域12のJFET部12Aの抵抗が低くなる。この結果、炭化珪素半導体装置1は、低オン抵抗の特性を有することができる。

20

【0036】

また、炭化珪素半導体装置1では、半導体基板100の上面100aがSi面である。このため、半導体基板100の上面100aとプレーナゲート30のゲート絶縁膜34の接合界面において、炭素(C)の存在を少なくすることができる。熱酸化技術を利用してゲート絶縁膜34を半導体基板100の上面100aに形成するときに、炭素(C)の存在は界面欠陥を誘発する原因となる。炭化珪素半導体装置1では、半導体基板100の上面100aがSi面であることから、界面欠陥の発生が抑えられた高品質なゲート絶縁膜34が形成される。このため、炭化珪素半導体装置1は、低チャネル抵抗の特性を有することができる。

30

【0037】

その他、炭化珪素半導体装置1の特徴を列記する。

(1) 炭化珪素半導体装置1では、アキュムレーション用トレンチゲート40の一对の側面40Saが接するトレンチTRの側面の結晶面が、a面又はm面である。この構成によると、アキュムレーション用トレンチゲート40の一对の側面40Saに形成される蓄積層のキャリア移動度が高くなる。このように、炭化珪素半導体装置1では、プレーナゲート30が対向する面にSi面を選択し、アキュムレーション用トレンチゲート40が対向する面にa面又はm面を選択することで、極めて低いオン抵抗が実現される。

(2) 炭化珪素半導体装置1では、プレーナゲート30とアキュムレーション用トレンチゲート40が一体で形成されている。この構成によると、アキュムレーション用トレンチゲート40の側面の蓄積層は、炭化珪素半導体装置1がオンのときに形成され、炭化珪素半導体装置1がオフのときに消失する。このように、アキュムレーション用トレンチゲート40の側面に蓄積層を形成するタイミングが、炭化珪素半導体装置1のスイッチング動作に同期することができる。例えば、炭化珪素半導体装置1がオンのときに蓄積層が形成されていないと、オン抵抗が低下しない。炭化珪素半導体装置1がオフのときに蓄積層が形成されていると、ドリフト領域12とボディ領域13の接合面から伸びる空乏層が半導体基板100の面内で不均一となり、耐圧が低下する。炭化珪素半導体装置1は、このような事態が生じないので、低オン抵抗で高耐圧な特性を有することができる。

40

【0038】

50

図3に示される変形例の炭化珪素半導体装置2は、複数のアキュムレーション用トレンチゲート40が分散して配置されていることを特徴とする。特に、半導体基板100を平面視したときに、アキュムレーション用トレンチゲート40が矩形状に構成されているので、一对の側面40Saと一对の側面40Sbが直交する関係にある。この例では、一对の側面40Saに接するトレンチTRの側面の結晶面が $\{11-20\}$ のa面であり、一对の側面40Sbに接するトレンチTRの側面の結晶面が $\{1-100\}$ のm面である。この変形例の炭化珪素半導体装置2では、ドリフト領域12のJFET部12Aにおける蓄積層の密度が増大するので、ドリフト領域12のJFET部12Aの抵抗が顕著に低下する。

【0039】

図4に示される変形例の炭化珪素半導体装置3は、ドリフト領域12がアキュムレーション用トレンチゲート40の側面に接する高濃度ドリフト領域12aを有することを特徴とする。高濃度ドリフト領域12aのドーパント濃度は、ボディ領域13の下方に存在するドリフト領域12の部分のドーパント濃度よりも濃い。この変形例の炭化珪素半導体装置3では、アキュムレーション用トレンチゲート40の側面に形成される蓄積層の電子密度が高くなるので、ドリフト領域12のJFET部12Aの抵抗が低下する。

【0040】

図5に示される変形例の炭化珪素半導体装置4は、プレーナゲート30とアキュムレーション用トレンチゲート40が絶縁分離されていることを特徴とする。プレーナゲート30のゲート電極32に電氣的に接続するパッドとアキュムレーション用トレンチゲート40のポリシリコン部42に電氣的に接続するパッドが別々に設けられており、プレーナゲート30のゲート電極32とアキュムレーション用トレンチゲート40のポリシリコン部42は、異なる電圧が印加可能に構成されている。例えば、オン状態において、アキュムレーション用トレンチゲート40のポリシリコン部42に印加される電圧は、プレーナゲート30のゲート電極32に印加される電圧よりも低く調整されている。この変形例の炭化珪素半導体装置4では、オン状態において、アキュムレーション用トレンチゲート40のポリシリコン部42に印加される電圧が低く抑えられるので、アキュムレーション用トレンチゲート40の底面の絶縁被覆部44における電界集中が緩和される。

【0041】

図6に示される変形例の炭化珪素半導体装置5は、アキュムレーション用トレンチゲート40の底面に接するp型の電界緩和領域16が設けられていることを特徴とする。電界緩和領域16は、電位がフローティングであってもよく、ソース電極24に電氣的に接続されていてもよい。また、図7に示される変形例の炭化珪素半導体装置6は、アキュムレーション用トレンチゲート40の底面の絶縁被覆部44が側面の絶縁被覆部44よりも厚く構成されていることを特徴とする。これらの変形例の炭化珪素半導体装置5、6では、アキュムレーション用トレンチゲート40の底面の絶縁被覆部44における電界集中が緩和される。

【0042】

図8に示される変形例の炭化珪素半導体装置7は、アキュムレーション用トレンチゲート40が、ボディ領域13よりも浅く設けられていることを特徴とする。この変形例の炭化珪素半導体装置7では、オフ状態において、ボディ領域13から伸びる空乏層によってアキュムレーション用トレンチゲート40の底面が良好に覆われるので、アキュムレーション用トレンチゲート40の底面の絶縁被覆部44における電界集中が緩和される。また、このような浅いアキュムレーション用トレンチゲート40の例でも、図9に示される変形例の炭化珪素半導体装置8のように、アキュムレーション用トレンチゲート40の底面に接するp型の電界緩和領域16が設けられていてもよく、図10に示される変形例の炭化珪素半導体装置9のように、アキュムレーション用トレンチゲート40の底面の絶縁被覆部44が側面の絶縁被覆部44よりも厚く構成されていてもよい。これらの変形例の炭化珪素半導体装置8、9では、アキュムレーション用トレンチゲート40の底面の絶縁被覆部44における電界集中がさらに緩和される。

10

20

30

40

50

【0043】

図11に示される変形例の炭化珪素半導体装置10は、半導体基板100を平面視したときに、ソース領域14が櫛歯状のレイアウトを有しており、アキュムレーション用トレンチゲート40も櫛歯状のレイアウトを有していることを特徴とする。ソース領域14は、コンタクトソース部14a及び複数の突出ソース部14bを有する。コンタクトソース部14aは、半導体基板100の上面100aに露出するとともに、ソース電極24にオーミック接触する接触面を含む(図1参照)。コンタクトソース部14aは、半導体基板100を平面視したときに、y方向に沿って伸びる。複数の突出ソース部14bの各々は、平面視したときに、矩形の共通形状であり、コンタクトソース部14aが伸びるy方向に対して直交するx方向に沿ってコンタクトソース部14aから突出する。複数の突出ソース部14bは、y方向に沿って等間隔に配置されている。このように、ソース領域14は、平面視したときに、櫛歯状の形態を有する。

10

【0044】

図11に示されるように、アキュムレーション用トレンチゲート40は、半導体基板100を平面視したときに、X方向に沿って反対向きに突出する複数の突出部40aを有する櫛歯状の形態を有する。アキュムレーション用トレンチゲート40の複数の突出部40aの各々は、平面視したときに、Y方向に隣り合う突出ソース部14bの間に侵入するように構成されている。即ち、アキュムレーション用トレンチゲート40の複数の突出部40aを含む櫛歯とソース領域14の複数の突出ソース部14bを含む櫛歯が交互に噛み合うように配置されている。また、y軸方向において、アキュムレーション用トレンチゲート40の突出部40aとソース領域14の突出ソース部14bの間には、ボディ領域13とドリフト領域12のJFET部12Aが配置されている。このように、変形例の炭化珪素半導体装置1では、ドリフト領域12のJFET部12A、ボディ領域13及びソース領域14で構成されるNPN構造がy軸方向にも構成されており、このNPN構造に対してもプレーナゲート30(図1参照)が対向する。

20

【0045】

図11に示される変形例の炭化珪素半導体装置10では、櫛歯状のソース領域14が設けられていることで、半導体基板100を平面視したときに、蛇行するようにNPN構造が構成されている。このため、NPN構造は、チャンネル長が短く、チャンネル幅が長い。この結果、変形例の炭化珪素半導体装置10では、チャンネル抵抗が極めて低い。また、ボディ領域13に含まれるドーパントのアルミニウム(A1)、ドリフト領域12及びソース領域14に含まれるドーパントの窒素(N)は、炭化珪素の半導体基板100において、低熱拡散性を有しており、ほとんど熱拡散しない。このような低熱拡散性は、炭化珪素基板に固有の特徴である。変形例の炭化珪素半導体装置10では、このような低熱拡散性の特徴を利用して、チャンネル長が短く且つチャンネル幅が長い微細なNPN構造が実現されている。

30

【0046】

さらに、変形例の炭化珪素半導体装置10では、櫛歯状のソース領域14と櫛歯状のアキュムレーション用トレンチゲート40が噛み合うようなレイアウトを有している。このため、NPN構造の反転層を経由してドリフト領域12のJFET部12Aに達した電子は、アキュムレーション用トレンチゲート40の側面に形成される蓄積層に効率的に流れる。このため、変形例の炭化珪素半導体装置10は、極めて低いオン抵抗の特性を有することができる。

40

【0047】

以上、本発明の具体例を詳細に説明したが、これらは例示に過ぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例を様々な変形、変更したものが含まれる。また、本明細書または図面に説明した技術要素は、単独であるいは各種の組合せによって技術的有用性を発揮するものであり、出願時請求項記載の組合せに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成し得るものであり、そのうちの一つの目的を達成すること自体で技術的

50

有用性を持つものである。

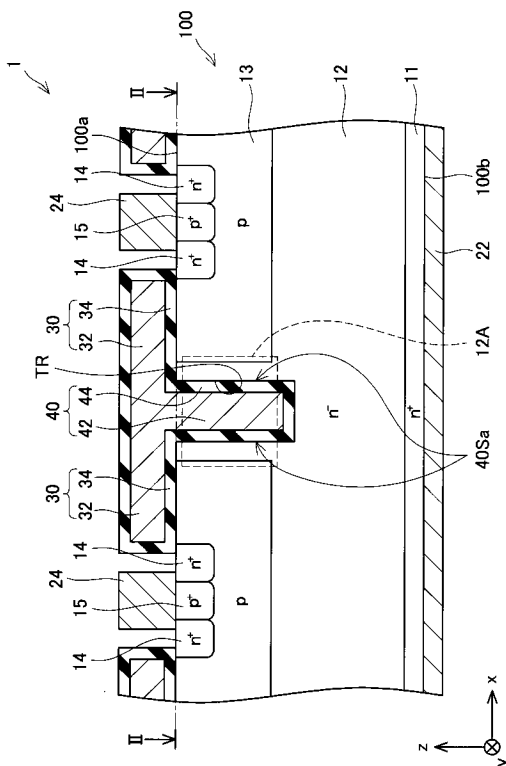
【符号の説明】

【0048】

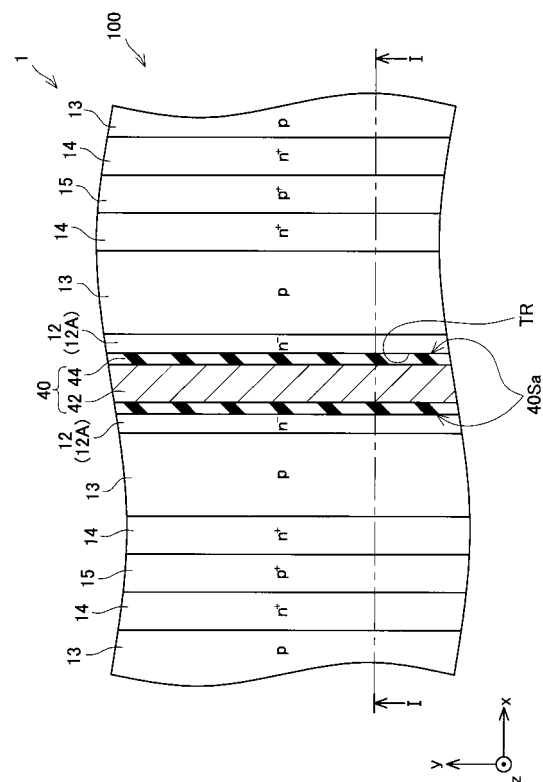
- 11：ドレイン領域
- 12：ドリフト領域
- 13：ボディ領域
- 14：ソース領域
- 15：ボディコンタクト領域
- 22：ドレイン電極
- 24：ソース電極
- 30：プレーナゲート
- 32：ゲート電極
- 34：ゲート絶縁膜
- 40：アキュムレーション用トレンチゲート
- 42：ポリシリコン部
- 44：絶縁被覆部
- 100：半導体基板
- TR：トレンチ

10

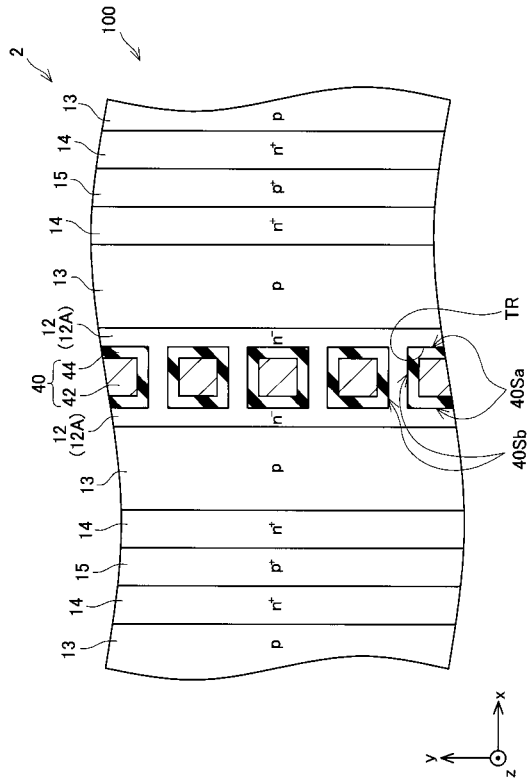
【図1】



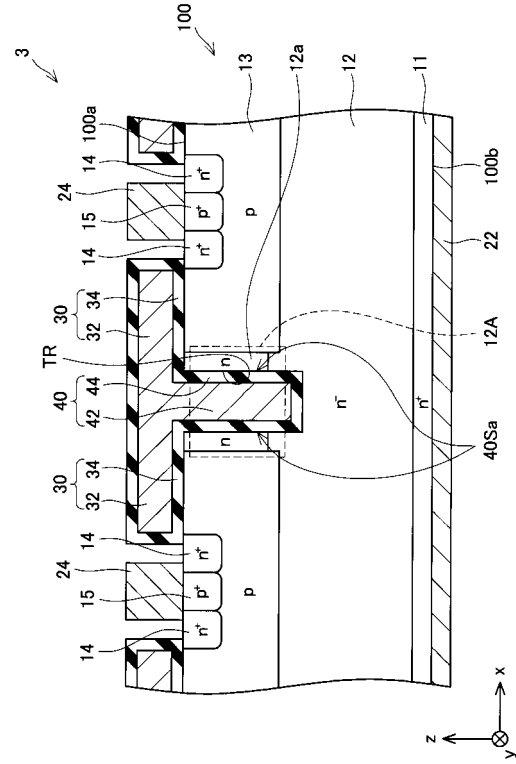
【図2】



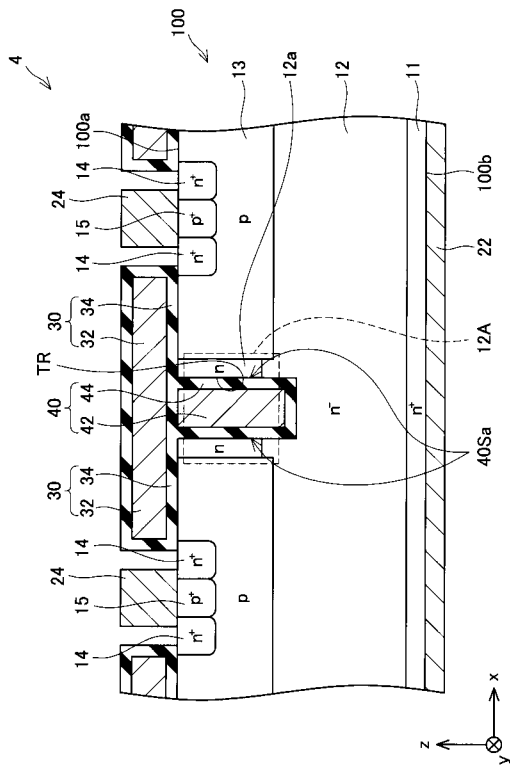
【 図 3 】



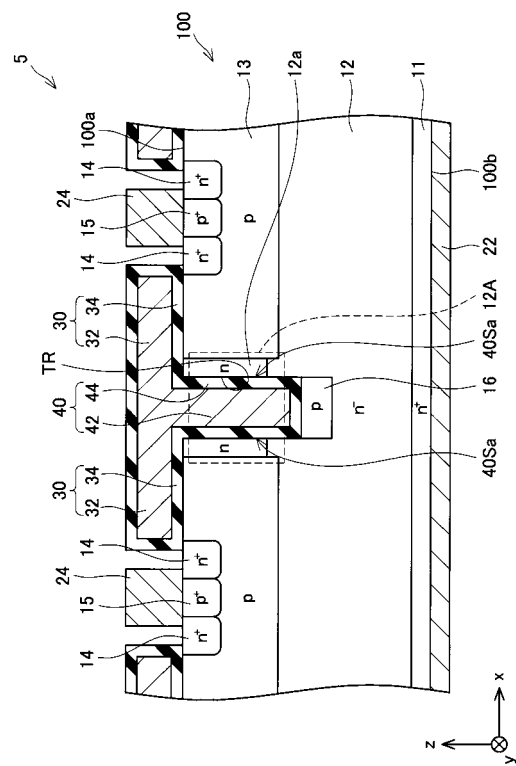
【 図 4 】



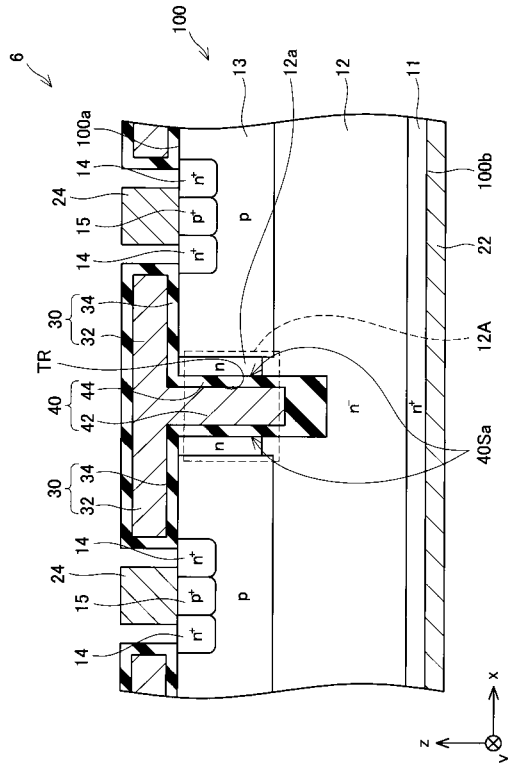
【図 5】



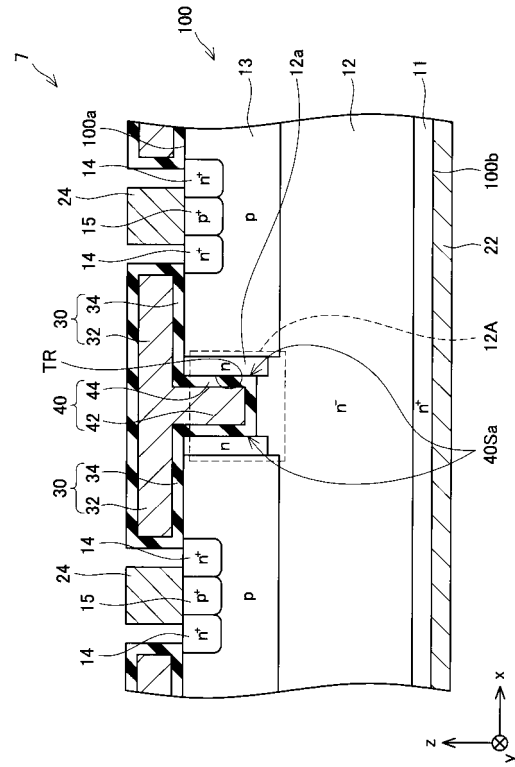
【图 6】



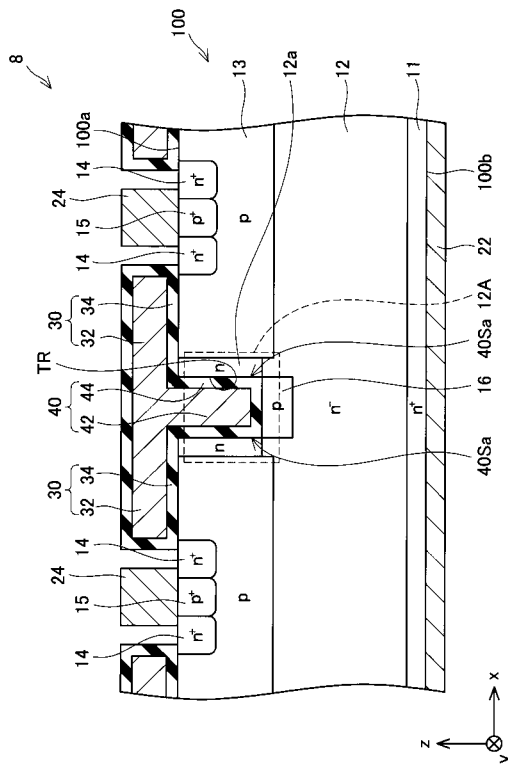
【图 7】



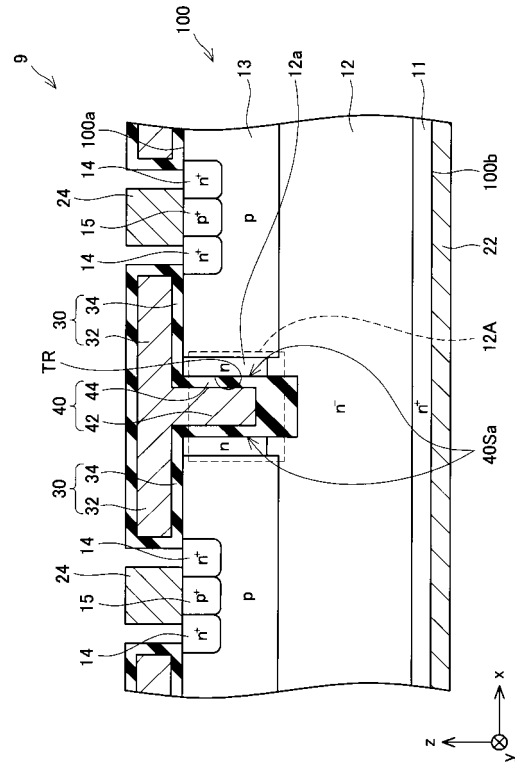
【图 8】



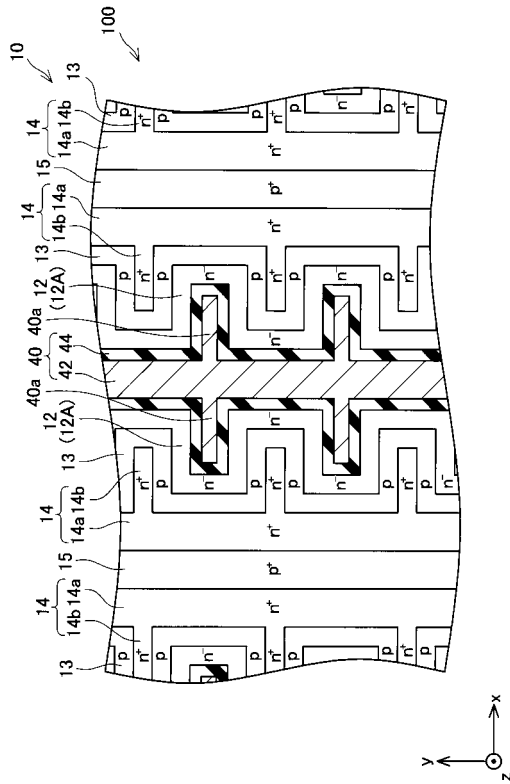
【 図 9 】



【 図 1 0 】



【図 11】



フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	H 0 1 L 29/78	6 5 2 H
	H 0 1 L 29/78	6 5 2 M
	H 0 1 L 29/78	6 5 2 S
	H 0 1 L 21/28	3 0 1 B
	H 0 1 L 29/44	S
	H 0 1 L 29/44	P
	H 0 1 L 29/44	L

(72)発明者 前川 容佑
愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内

(72)発明者 斎藤 順
愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内

(72)発明者 三角 忠司
愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内

(72)発明者 水野 祥司
愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

F ターム (参考) 4M104 AA03 BB01 BB40 CC05 FF04 FF07 FF11 FF31 GG06 GG09
GG18 HH18 HH20