

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-164714

(P2012-164714A)

(43) 公開日 平成24年8月30日 (2012.8.30)

(51) Int. Cl. F I テーマコード (参考)  
 HO 1 L 27/04 (2006.01) HO 1 L 27/04 C 5 F 0 3 8  
 HO 1 L 21/822 (2006.01)

審査請求 未請求 請求項の数 8 O L (全 30 頁)

(21) 出願番号 特願2011-22015 (P2011-22015)  
 (22) 出願日 平成23年2月3日 (2011.2.3)

(71) 出願人 000116024  
 ローム株式会社  
 京都府京都市右京区西院溝崎町2 1 番地  
 (74) 代理人 100087701  
 弁理士 稲岡 耕作  
 (74) 代理人 100101328  
 弁理士 川崎 実夫  
 (72) 発明者 蔭山 聡  
 京都市右京区西院溝崎町2 1 番地 ローム  
 株式会社内  
 F ターム (参考) 5F038 AC05 AC07 AC15 CA05 EZ15  
 EZ20

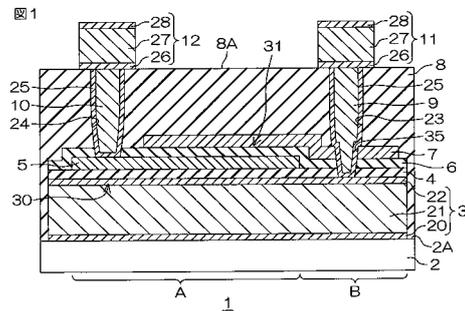
(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

【課題】スタック構造かつM I M構造の容量素子を備える構成において、容量素子を構成する各電極に配線をつなぐための複数のビアホールを形成する工程の簡略化を図ることができる半導体装置の製造方法および半導体装置を提供すること。

【解決手段】下部電極 3 の表面に第 1 容量膜 4 を形成し、第 1 容量膜 4 の表面の第 1 領域 A に中間電極 5 を形成し、中間電極 5 の表面に第 2 容量膜 6 を形成する。第 2 容量膜 6 を挟んで中間電極 5 に対向し、第 2 領域 B で第 1 容量膜 4 を挟んで下部電極 3 に対向する上部電極 7 を形成して、第 2 領域 B における上部電極 7 に貫通孔 3 5 を形成し、絶縁層 8 を形成する。貫通孔 3 5 の位置で絶縁層 8 および第 1 容量膜 4 を貫通して下部電極 3 に達する第 1 のビアホール 2 3 と、第 1 領域 A において上部電極 7 がない部分で絶縁層 8 および第 2 容量膜 6 を貫通して中間電極 5 に達する第 2 のビアホール 2 4 とを同時に形成する。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

半導体基板の表面に下部電極を形成する工程と、  
 前記下部電極の表面に第 1 容量膜を形成する工程と、  
 前記下部電極に対向するように、前記第 1 容量膜の表面の第 1 領域に選択的に中間電極を形成する工程と、  
 前記第 1 容量膜との間で前記中間電極を挟むように、前記中間電極の表面に第 2 容量膜を形成する工程と、  
 前記第 2 容量膜を挟んで前記中間電極に対向し、前記第 1 領域の外の第 2 領域まで延びて前記第 2 領域で少なくとも前記第 1 容量膜を挟んで前記下部電極に対向する上部電極を形成する工程と、  
 前記第 2 領域における前記上部電極に貫通孔を形成する工程と、  
 前記上部電極の表面に絶縁層を形成する工程と、  
 前記貫通孔の位置において前記絶縁層および第 1 容量膜を貫通して前記下部電極に達する第 1 のビアホールと、前記第 1 領域において前記上部電極がない部分で前記絶縁層および第 2 容量膜を貫通して前記中間電極に達する第 2 のビアホールとを同時に形成する工程と、  
 前記第 1 のビアホールおよび第 2 のビアホールに導電性材料を埋め込んで配線を形成する工程とを含む、半導体装置の製造方法。

## 【請求項 2】

半導体基板の表面に下部電極を形成する工程と、  
 前記下部電極の表面に第 1 容量膜を形成する工程と、  
 前記下部電極に対向するように、前記第 1 容量膜の表面の第 1 領域に選択的に第 1 中間電極を形成する工程と、  
 前記第 1 容量膜との間で前記第 1 中間電極を挟むように、前記第 1 中間電極の表面に第 2 容量膜を形成する工程と、  
 前記第 2 容量膜を挟んで前記第 1 中間電極に対向し、前記第 1 領域の外の第 2 領域まで延びて前記第 2 領域で少なくとも前記第 1 容量膜を挟んで前記下部電極に対向する第 2 中間電極を形成する工程と、  
 前記第 2 領域における前記第 2 中間電極に第 1 貫通孔を形成する工程と、  
 前記第 2 容量膜との間で前記第 2 中間電極を挟むように、前記第 2 中間電極の表面に第 3 容量膜を形成する工程と、  
 前記第 2 領域の外の第 3 領域で前記第 3 容量膜を挟んで前記第 2 中間電極に対向し、かつ、前記第 2 領域および前記第 3 領域の外の第 4 領域で少なくとも前記第 2 容量膜を挟んで前記第 1 中間電極に対向する上部電極を形成する工程と、  
 前記第 4 領域における前記上部電極に第 2 貫通孔を形成する工程と、  
 前記上部電極および前記第 3 容量膜の表面に絶縁層を形成する工程と、  
 前記第 1 貫通孔の位置において前記絶縁層および第 1 容量膜を貫通して前記下部電極に達する第 1 のビアホールと、前記第 2 貫通孔の位置において前記絶縁層および第 2 容量膜を貫通して前記第 1 中間電極に達する第 2 のビアホールとを同時に形成する工程と、  
 前記第 1 のビアホールおよび第 2 のビアホールに導電性材料を埋め込んで配線を形成する工程とを含む、半導体装置の製造方法。

## 【請求項 3】

半導体基板の表面に形成された下部電極と、  
 前記下部電極の表面に形成された第 1 容量膜と、  
 前記第 1 容量膜の表面に、前記下部電極の一部に対向するように形成され、前記第 1 容量膜を挟んで前記下部電極に対向する中間電極と、  
 前記第 1 容量膜との間で前記中間電極を挟むように、前記第 1 容量膜の表面および前記中間電極の表面の両方に跨って形成された第 2 容量膜と、  
 前記第 2 容量膜の表面に形成され、前記第 2 容量膜を挟んで前記中間電極に対向する第

## 1 上部電極と、

前記第1容量膜と前記第2容量膜とが接して積層されている領域における前記第2容量膜の表面に設けられ、前記第1容量膜および前記第2容量膜を挟んで前記下部電極に対向する第2上部電極とを含む、半導体装置。

## 【請求項4】

前記第1上部電極は、前記中間電極の外の領域まで延びており、当該領域において前記下部電極に対向している、請求項3に記載の半導体装置。

## 【請求項5】

前記第1上部電極および前記第2上部電極の表面と、前記第2容量膜の表面において前記第1上部電極および前記第2上部電極から露出された部分とを覆う絶縁層と、

10

前記絶縁層と前記第1上部電極と前記第1容量膜とを貫通し、前記第1上部電極および前記下部電極に接続された第1配線と、

前記絶縁層と、前記第2容量膜において前記第1上部電極および前記第2上部電極に覆われていない部分とを貫通し、前記中間電極に接続された第2配線と、

前記絶縁層を貫通して前記第2上部電極に接続された第3配線とをさらに含む、請求項3または4に記載の半導体装置。

## 【請求項6】

半導体基板の表面に形成された下部電極と、

前記下部電極の表面に形成された第1容量膜と、

前記第1容量膜の表面に形成され、前記第1容量膜を挟んで前記下部電極に対向する中間電極と、

20

前記第1容量膜との間で前記中間電極を挟むように前記中間電極の表面に形成され、前記第1容量膜と膜種が異なる第2容量膜と、

前記第2容量膜の表面に形成され、前記第2容量膜を挟んで前記中間電極に対向する上部電極とを含む、半導体装置。

## 【請求項7】

前記下部電極は、前記中間電極および前記上部電極のいずれにも対向しない第5領域を有し、前記中間電極は、前記上部電極に対向しない第6領域を有し、

前記上部電極の表面と、前記第2容量膜の表面において前記上部電極から露出された部分とを覆う絶縁層と、

30

前記絶縁層を貫通して前記第5領域において前記下部電極に接続された第1配線と、

前記絶縁層を貫通して前記第6領域において前記中間電極に接続された第2配線と、

前記絶縁層を貫通して前記上部電極に接続された第3配線とをさらに含む、請求項6に記載の半導体装置。

## 【請求項8】

前記第1容量膜および第2容量膜のうち、一方がSiNからなり、他方がSiO<sub>2</sub>からなる、請求項6または7に記載の半導体装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

40

この発明は、MIM (Metal-Insulator-Metal) 構造の容量素子 (キャパシタ) を備える半導体装置の製造方法および半導体装置に関する。

## 【背景技術】

## 【0002】

絶縁性の容量膜を金属製の下部電極および上部電極で挟み込んだ構造 (MIM構造) の容量素子は、抵抗成分が小さく、大容量化かつ高密度化が可能であることから、とくに無線通信用システムLSIに搭載される容量素子として注目されている。

MIM構造の容量素子 (MIM容量素子) の容量値は、下部電極と上部電極との対向面積にほぼ比例する。そのため、MIM容量素子を搭載したICチップ (半導体装置) では、MIM容量素子の占有面積が大きく、このことがチップサイズの縮小の妨げとなる。

50

## 【0003】

この問題を解決するために、以下の半導体装置が提案されている（たとえば、特許文献1参照）。

この半導体装置では、特許文献1の図2に示されているように、基板1上に、第1電極3、第1容量絶縁膜5、第2電極6、第2容量絶縁膜9、第3電極10が、基板1側からこの順番で積層されている。第1電極3、第1容量絶縁膜5および第2電極6により第1容量素子が構成され、第2電極6、第2容量絶縁膜9および第3電極10により第2容量素子が構成されている。これにより、この半導体装置は、下部電極（第1電極3）、中間電極（第2電極6）および上部電極（第3電極10）を備えることで、第1容量素子上に第2容量素子が積層されたスタック構造を有している。この構成により、半導体装置における容量素子全体の占有面積の増加を抑制しつつ、容量素子全体の大容量化を図ることができる。これにより、半導体装置の小型化およびコストダウンを図ることができる。

10

## 【0004】

また、第1電極3の周縁部と第1容量絶縁膜5の周縁部との間には、第1層間絶縁膜4が介挿されていて、第2電極6の周縁部と第2容量絶縁膜9の周縁部との間には、第2層間絶縁膜8が介挿されている。第1層間絶縁膜4において第1電極3と第1容量絶縁膜5との間からはみ出た部分の上に、第2層間絶縁膜8において第2電極6と第2容量絶縁膜9との間からはみ出た部分が積層されている。第2層間絶縁膜8において第2電極6と第2容量絶縁膜9との間からはみ出た部分の表面と、第3電極10との表面とに跨るように、これらの上には、第1保護膜11が積層され、第1保護膜11の上には、第1金属配線12と、第2金属配線13とが形成されている。

20

## 【0005】

第1金属配線12は、第1保護膜11に開口された第2スルーホールTH2を介して第3電極10に接続されていて、さらに、第1保護膜11および第2層間絶縁膜8を貫通する第3スルーホールTH3と第1層間絶縁膜4を貫通する第1スルーホールTH1とを介して第1電極3に接続されている。また、第2金属配線13は、第1保護膜11および第2層間絶縁膜8を貫通する第4スルーホールTH4を介して、第2電極6に接続されている。

## 【先行技術文献】

## 【特許文献】

30

## 【0006】

【特許文献1】特開2001-102529号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0007】

特許文献1に開示された構成では、第1電極3および第3電極10が、別々のスルーホールTH1, 2, 3を介して第1金属配線12に共通に接続されている。

この場合、第1電極3と第3電極10とが積層方向で重なる位置に共通のスルーホールを形成して、このスルーホールを介して第1電極3および第3電極10を第1金属配線12に接続させれば、スルーホールを形成する工程を少なくすることができる。

40

## 【0008】

そして、第1電極3および第3電極10を第1金属配線12に接続させるための共通のスルーホールと、第2電極6を第2金属配線13に接続させるためのスルーホール（第4スルーホールTH4）とを同一工程で同時に形成できれば、半導体装置の製造工程の簡略化が図れる。

ただし、この場合、第4スルーホールTH4は、第1保護膜11および第2層間絶縁膜8を貫通して第2電極6に届けばよいのに対して、第1および第3電極3, 10のための共通のスルーホールは、第1保護膜11、層間絶縁膜8, 4の他に、第3電極10も貫通して第1電極3に到達する必要がある。したがって、当該共通のスルーホールの形成条件は、第4スルーホールTH4の形成条件と異なる。詳しくは、当該共通のスルーホールの

50

形成条件は、保護膜および層間絶縁膜だけでなく電極もエッチングする形成条件であり、第4スルーホールTH4のスルーホールの形成条件は、保護膜および層間絶縁膜だけをエッチングし、電極でエッチングが停止する形成条件である。

【0009】

そのため、電極をエッチングできる形成条件で、当該共通のスルーホールおよび第4スルーホールTH4を同一工程で同時に形成すると、第4スルーホールTH4は、第2電極6を貫通して更に深い領域まで到達してしまう。この場合、第2金属配線13に通電すると、第4スルーホールTH4の底部から短絡が発生する虞がある。

一方、電極でエッチングが停止するように定めた第4スルーホールTH4の形成条件で、当該共通のスルーホールおよび第4スルーホールTH4を同一工程で同時に形成すると、共通のスルーホールのエッチングは、第3電極10で停止する。したがって、当該共通のスルーホールは、第1電極3まで届かず、これにより、第1金属配線12と第1電極3との間に接続不良が生じ得る。

【0010】

つまり、当該共通のスルーホールおよび第4スルーホールTH4のいずれの形成条件でも、共通のスルーホールおよび第4スルーホールTH4を、問題なく、同一工程で同時に形成することは困難である。

そこで、この発明は、スタック構造かつMIM構造の容量素子を備える構成において、容量素子を構成する各電極に配線をつなぐための複数のビアホールを形成する工程の簡略化を図ることができる半導体装置の製造方法および半導体装置を提供する。

【課題を解決するための手段】

【0011】

この発明の半導体装置の製造方法は、半導体基板の表面に下部電極を形成する工程と、前記下部電極の表面に第1容量膜を形成する工程と、前記下部電極に対向するように、前記第1容量膜の表面の第1領域に選択的に中間電極を形成する工程と、前記第1容量膜との間で前記中間電極を挟むように、前記中間電極の表面に第2容量膜を形成する工程と、前記第2容量膜を挟んで前記中間電極に対向し、前記第1領域の外の第2領域まで延びて前記第2領域で少なくとも前記第1容量膜を挟んで前記下部電極に対向する上部電極を形成する工程と、前記第2領域における前記上部電極に貫通孔を形成する工程と、前記上部電極の表面に絶縁層を形成する工程と、前記貫通孔の位置において前記絶縁層および第1容量膜を貫通して前記下部電極に達する第1のビアホールと、前記第1領域において前記上部電極がない部分で前記絶縁層および第2容量膜を貫通して前記中間電極に達する第2のビアホールとを同時に形成する工程と、前記第1のビアホールおよび第2のビアホールに導電性材料を埋め込んで配線を形成する工程とを含む（請求項1）。第2容量膜は、第2領域まで延びていて、これにより、上部電極と中間電極とが分離絶縁されていることが好ましい。また、第1領域において上部電極がない部分が形成されるように、中間電極を上部電極から部分的にはみ出る位置に形成することが好ましい。

【0012】

この製造方法によれば、スタック構造かつMIM構造の容量素子を備える半導体装置を製造できる。この半導体装置では、第1領域において下部電極と中間電極との間に第1容量膜が配置されることでMIM構造の第1容量素子が構成され、中間電極と上部電極との間に第2容量膜が配置されることでMIM構造の第2容量素子が構成されており、第1容量素子の上に第2容量素子が積層されてスタック構造が形成されている。

【0013】

そして、この製造方法によれば、第2領域における上部電極に貫通孔を予め形成することにより、貫通孔における上部電極を除去している。そうすれば、絶縁層および容量膜はエッチングするものの電極はエッチングしないというエッチング条件によって、貫通孔の位置において、絶縁層と上部電極の下の第1容量膜と（必要に応じて第2容量膜も）を貫通するように第1のビアホールを形成すると同時に、第1領域において上部電極がない部分において、絶縁層と第2容量膜とを貫通するように第2のビアホールを形成できる。つ

まり、第1のビアホールおよび第2のビアホールのエッチング条件を共通化できるので、これらのビアホールを同一工程で同時に形成できる。これにより、複数のビアホールを形成する工程の簡略化を図ることができる。

【0014】

また、本発明の半導体装置の製造方法は、半導体基板の表面に下部電極を形成する工程と、前記下部電極の表面に第1容量膜を形成する工程と、前記下部電極に対向するように、前記第1容量膜の表面の第1領域に選択的に第1中間電極を形成する工程と、前記第1容量膜との間で前記第1中間電極を挟むように、前記第1中間電極の表面に第2容量膜を形成する工程と、前記第2容量膜を挟んで前記第1中間電極に対向し、前記第1領域の外の第2領域まで延びて前記第2領域で少なくとも前記第1容量膜を挟んで前記下部電極に対向する第2中間電極を形成する工程と、前記第2領域における前記第2中間電極に第1貫通孔を形成する工程と、前記第2容量膜との間で前記第2中間電極を挟むように、前記第2中間電極の表面に第3容量膜を形成する工程と、前記第2領域の外の第3領域で前記第3容量膜を挟んで前記第2中間電極に対向し、かつ、前記第2領域および前記第3領域の外の第4領域で少なくとも前記第2容量膜を挟んで前記第1中間電極に対向する上部電極を形成する工程と、前記第4領域における前記上部電極に第2貫通孔を形成する工程と、前記上部電極および前記第3容量膜の表面に絶縁層を形成する工程と、前記第1貫通孔の位置において前記絶縁層および第1容量膜を貫通して前記下部電極に達する第1のビアホールと、前記第2貫通孔の位置において前記絶縁層および第2容量膜を貫通して前記第1中間電極に達する第2のビアホールとを同時に形成する工程と、前記第1のビアホールおよび第2のビアホールに導電性材料を埋め込んで配線を形成する工程とを含む（請求項2）。第4領域は第1領域と重なっていることが好ましい。

10

20

【0015】

この製造方法によれば、スタック構造かつMIM構造の容量素子を備える半導体装置を製造できる。半導体装置では、第1領域において下部電極と第1中間電極との間に第1容量膜が配置されることでMIM構造の第1容量素子が構成され、第1中間電極と第2中間電極との間に第2容量膜が配置されることでMIM構造の第2容量素子が構成されている。また、第3領域において第2中間電極と上部電極との間に第3容量膜が配置されることでMIM構造の第3容量素子が構成されている。第1容量素子の上に第2容量素子が積層され、第2容量素子の上に第3容量素子が積層されてスタック構造が形成されている。

30

【0016】

そして、この製造方法によれば、第2領域における第2中間電極に第1貫通孔を予め形成することにより、第1貫通孔における第2中間電極を除去し、さらに、第4領域における上部電極に第2貫通孔を予め形成することにより、第2貫通孔における上部電極を除去している。そうすれば、絶縁層および容量膜はエッチングするものの電極はエッチングしないというエッチング条件によって、第1貫通孔の位置において、絶縁層と第2中間電極の下の第1容量膜と（必要に応じて第2容量膜および第3容量膜も）を貫通するように第1のビアホールを形成すると同時に、第2貫通孔の位置において、絶縁層と上部電極の下の第2容量膜（必要に応じて第3容量膜も）とを貫通するように第2のビアホールを形成できる。つまり、第1のビアホールおよび第2のビアホールのエッチング条件を共通化

40

【0017】

また、本発明の半導体装置は、半導体基板の表面に形成された下部電極と、前記下部電極の表面に形成された第1容量膜と、前記第1容量膜の表面に、前記下部電極の一部に対向するように形成され、前記第1容量膜を挟んで前記下部電極に対向する中間電極と、前記第1容量膜との間で前記中間電極を挟むように、前記第1容量膜の表面および前記中間電極の表面の両方に跨って形成された第2容量膜と、前記第2容量膜の表面に形成され、前記第2容量膜を挟んで前記中間電極に対向する第1上部電極と、前記第1容量膜と前記第2容量膜とが接して積層されている領域における前記第2容量膜の表面に設けられ、前

50

記第1容量膜および前記第2容量膜を挟んで前記下部電極に対向する第2上部電極とを含む(請求項3)。第1上部電極および第2上部電極は、第2容量膜の表面において異なる領域に設けられ、互いに分離絶縁されていることが望ましい。

【0018】

この構成によれば、半導体装置は、下部電極と中間電極とこれらの間の第1容量膜とを含むMIM構造の第1容量素子と、中間電極と第1上部電極とこれらの間の第2容量膜とを含むMIM構造の第2容量素子と、下部電極と第2上部電極とこれらの間の第1容量膜および第2容量膜とを含むMIM構造の第3容量素子とを有している。この場合、第3容量素子では、第1および第2容量素子に比べて、電極間に容量膜が1枚多く配置されているので、各容量素子における電極間の間隔は、第1および第2容量素子よりも、第3容量素子の方が広い。つまり、1つの半導体装置において、電極間の間隔が狭いことで容量が大きい第1および第2容量素子と、当該間隔が広いことで耐圧が高い第3容量素子という特性が異なる複数の容量素子を備えることができる。

10

【0019】

前記第1上部電極は、前記中間電極の外の領域まで延びており、当該領域において前記下部電極に対向していることが好ましい(請求項4)。

前記半導体装置は、前記第1上部電極および前記第2上部電極の表面と、前記第2容量膜の表面において前記第1上部電極および前記第2上部電極から露出された部分とを覆う絶縁層と、前記絶縁層と前記第1上部電極と前記第1容量膜とを貫通し、前記第1上部電極および前記下部電極に接続された第1配線と、前記絶縁層と、前記第2容量膜において前記第1上部電極および前記第2上部電極に覆われていない部分とを貫通し、前記中間電極に接続された第2配線と、前記絶縁層を貫通して前記第2上部電極に接続された第3配線とをさらに含むことが好ましい(請求項5)。これにより、第1上部電極、第2上部電極、中間電極および下部電極のそれぞれにバイアス電圧を印加して、第1、第2および第3容量素子を機能させることができる。

20

【0020】

また、本発明の半導体装置は、半導体基板の表面に形成された下部電極と、前記下部電極の表面に形成された第1容量膜と、前記第1容量膜の表面に形成され、前記第1容量膜を挟んで前記下部電極に対向する中間電極と、前記第1容量膜との間で前記中間電極を挟むように前記中間電極の表面に形成され、前記第1容量膜と膜種が異なる第2容量膜と、前記第2容量膜の表面に形成され、前記第2容量膜を挟んで前記中間電極に対向する上部電極とを含む(請求項6)。

30

【0021】

この構成によれば、半導体装置は、下部電極と中間電極とこれらの間の第1容量膜とを含むMIM構造の第1容量素子と、中間電極と上部電極とこれらの間の第2容量膜とを含むMIM構造の第2容量素子とを有している。この場合、第1容量膜と第2容量膜とで膜種が異なるので、第1容量素子と第2容量素子とで、容量や耐圧といった特性を変えることができる。つまり、1つの半導体装置において、特性が異なる複数の容量素子を備えることができる。

【0022】

前記下部電極は、前記中間電極および前記上部電極のいずれにも対向しない第5領域を有し、前記中間電極は、前記上部電極に対向しない第6領域を有して、前記半導体装置は、前記上部電極の表面と、前記第2容量膜の表面において前記上部電極から露出された部分とを覆う絶縁層と、前記絶縁層を貫通して前記第5領域において前記下部電極に接続された第1配線と、前記絶縁層を貫通して前記第6領域において前記中間電極に接続された第2配線と、前記絶縁層を貫通して前記上部電極に接続された第3配線とをさらに含むことが好ましい(請求項7)。

40

【0023】

これにより、上部電極、中間電極および下部電極のそれぞれにバイアス電圧を印加して、第1および第2容量素子を機能させることができる。

50

前記第1容量膜および第2容量膜のうち、一方がSiNからなり、他方がSiO<sub>2</sub>からなっているもよい(請求項8)。

【図面の簡単な説明】

【0024】

【図1】図1は、本発明の一実施形態に係る半導体装置の模式的な断面図である。

【図2】図2は、図1の半導体装置の模式的な平面図である。

【図3A】図3Aは、図1に示す半導体装置の製造工程を説明するための模式的な断面図である。

【図3B】図3Bは、図3Aの次の工程を示す模式的な断面図である。

【図3C】図3Cは、図3Bの次の工程を示す模式的な断面図である。

10

【図3D】図3Dは、図3Cの次の工程を示す模式的な断面図である。

【図3E】図3Eは、図3Dの次の工程を示す模式的な断面図である。

【図3F】図3Fは、図3Eの次の工程を示す模式的な断面図である。

【図3G】図3Gは、図3Fの次の工程を示す模式的な断面図である。

【図3H】図3Hは、図3Gの次の工程を示す模式的な断面図である。

【図3I】図3Iは、図3Hの次の工程を示す模式的な断面図である。

【図3J】図3Jは、図3Iの次の工程を示す模式的な断面図である。

【図3K】図3Kは、図3Jの次の工程を示す模式的な断面図である。

【図4】図4は、本発明の第1の変形例に係る半導体装置の模式的な断面図である。

【図5】図5は、図4の半導体装置の模式的な平面図である。

20

【図6A】図6Aは、図4に示す半導体装置の製造工程を説明するための模式的な断面図である。

【図6B】図6Bは、図6Aの次の工程を示す模式的な断面図である。

【図6C】図6Cは、図6Bの次の工程を示す模式的な断面図である。

【図6D】図6Dは、図6Cの次の工程を示す模式的な断面図である。

【図6E】図6Eは、図6Dの次の工程を示す模式的な断面図である。

【図6F】図6Fは、図6Eの次の工程を示す模式的な断面図である。

【図6G】図6Gは、図6Fの次の工程を示す模式的な断面図である。

【図6H】図6Hは、図6Gの次の工程を示す模式的な断面図である。

【図6I】図6Iは、図6Hの次の工程を示す模式的な断面図である。

30

【図6J】図6Jは、図6Iの次の工程を示す模式的な断面図である。

【図6K】図6Kは、図6Jの次の工程を示す模式的な断面図である。

【図6L】図6Lは、図6Kの次の工程を示す模式的な断面図である。

【図6M】図6Mは、図6Lの次の工程を示す模式的な断面図である。

【図6N】図6Nは、図6Mの次の工程を示す模式的な断面図である。

【図7】図7は、本発明の第2の変形例に係る半導体装置の模式的な断面図である。

【図8】図8は、図7の半導体装置の模式的な平面図である。

【図9A】図9Aは、図7に示す半導体装置の製造工程を説明するための模式的な断面図である。

【図9B】図9Bは、図9Aの次の工程を示す模式的な断面図である。

40

【図9C】図9Cは、図9Bの次の工程を示す模式的な断面図である。

【図9D】図9Dは、図9Cの次の工程を示す模式的な断面図である。

【図9E】図9Eは、図9Dの次の工程を示す模式的な断面図である。

【図9F】図9Fは、図9Eの次の工程を示す模式的な断面図である。

【図9G】図9Gは、図9Fの次の工程を示す模式的な断面図である。

【図9H】図9Hは、図9Gの次の工程を示す模式的な断面図である。

【図9I】図9Iは、図9Hの次の工程を示す模式的な断面図である。

【図9J】図9Jは、図9Iの次の工程を示す模式的な断面図である。

【図9K】図9Kは、図9Jの次の工程を示す模式的な断面図である。

【図10】図10は、本発明の第3の変形例に係る半導体装置の模式的な断面図である。

50

【図 1 1】図 1 1 は、図 1 0 の半導体装置の模式的な平面図である。

【図 1 2 A】図 1 2 A は、図 1 0 に示す半導体装置の製造工程を説明するための模式的な断面図である。

【図 1 2 B】図 1 2 B は、図 1 2 A の次の工程を示す模式的な断面図である。

【図 1 2 C】図 1 2 C は、図 1 2 B の次の工程を示す模式的な断面図である。

【図 1 2 D】図 1 2 D は、図 1 2 C の次の工程を示す模式的な断面図である。

【図 1 2 E】図 1 2 E は、図 1 2 D の次の工程を示す模式的な断面図である。

【図 1 2 F】図 1 2 F は、図 1 2 E の次の工程を示す模式的な断面図である。

【図 1 2 G】図 1 2 G は、図 1 2 F の次の工程を示す模式的な断面図である。

【図 1 2 H】図 1 2 H は、図 1 2 G の次の工程を示す模式的な断面図である。

【図 1 2 I】図 1 2 I は、図 1 2 H の次の工程を示す模式的な断面図である。

【図 1 2 J】図 1 2 J は、図 1 2 I の次の工程を示す模式的な断面図である。

【図 1 2 K】図 1 2 K は、図 1 2 J の次の工程を示す模式的な断面図である。

【発明を実施するための形態】

【0025】

以下では、本発明の実施形態を、添付図面を参照して詳細に説明する。

図 1 は、本発明の一実施形態に係る半導体装置の模式的な断面図である。図 2 は、図 1 の半導体装置の模式的な平面図である。

図 1 を参照して、半導体装置 1 は、半導体基板 2 と、下部電極 3 と、第 1 容量膜 4 と、中間電極 5 と、第 2 容量膜 6 と、上部電極 7 と、絶縁層 8 と、第 1 配線 9 と、第 2 配線 10 と、第 1 端子 11 と、第 2 端子 12 とを含んでいる。なお、説明の便宜上、図 2 では、半導体基板 2、第 1 容量膜 4、第 2 容量膜 6 および絶縁層 8 の図示を省略している。

【0026】

図 1 を参照して、半導体基板 2 は、たとえば Si (シリコン) からなる平板である。半導体基板 2 の表面 2 A は、図 1 における上面であり、平坦である。

下部電極 3 は、半導体基板 2 の表面 2 A に形成されている。下部電極 3 は、金属からなる。詳しくは、下部電極 3 は、TiN (窒化チタン) からなる第 1 TiN 層 20 と、Al (アルミニウム) からなる Al 層 21 と、TiN からなる第 2 TiN 層 22 とを、半導体基板 2 の表面 2 A 側からこの順番で積層することで構成されている。

【0027】

第 1 容量膜 4 は、絶縁性材料 (たとえば、SiN (窒化シリコン)、SiOC (炭素が添加された酸化シリコン) および SiOF (フッ素が添加された酸化シリコン) など) からなる。第 1 容量膜 4 は、下部電極 3 の表面に形成されていて、下部電極 3 の表面の全域を被覆している。

中間電極 5 は、金属 (たとえば、TiN) からなる。中間電極 5 は、第 1 容量膜 4 の表面に形成されていて、第 1 容量膜 4 の表面の一部の領域 (第 1 領域 A といい、図 1 では左寄りの領域) を被覆している。中間電極 5 は、第 1 領域 A において、第 1 容量膜 4 を挟んで下部電極 3 (第 1 領域 A における一部) に対向している。第 1 容量膜 4 の表面において、第 1 領域 A の外の領域 (図 1 では第 1 領域 A の右側の領域) を第 2 領域 B という。

【0028】

第 2 容量膜 6 は、第 1 容量膜 4 と同じ材料からなる。第 2 容量膜 6 は、第 1 容量膜 4 の表面および中間電極 5 の表面の両方に跨って形成されている。第 2 容量膜 6 は、中間電極 5 の表面および側端面の全域と、第 1 容量膜 4 の表面において中間電極 5 が形成されていない全域とを被覆している。第 2 容量膜 6 は、第 1 領域 A では、中間電極 5 を挟んで第 1 容量膜 4 に対向し、第 1 領域 A 以外の領域では、第 1 容量膜 4 に直接接した状態で第 1 容量膜 4 上に積層されている。この実施形態では、第 2 容量膜 6 は、第 2 領域 B まで延びている。

【0029】

上部電極 7 は、中間電極 5 と同じ材料からなる。上部電極 7 は、第 2 容量膜 6 の表面に形成されていて、第 2 容量膜 6 の表面の一部を被覆している。上部電極 7 は、第 1 領域 A

10

20

30

40

50

と第2領域Bとに跨って形成されている。上部電極7は、第1領域Aでは、図1における右側の領域に偏って形成されていて、第2容量膜6を挟んで中間電極5に対向している。そのため、第1領域Aにおける第2容量膜6には、上部電極7が形成されていない部分が存在する。そして、上部電極7は、第2領域Bでは、第1容量膜4および第2容量膜6を挟んで下部電極3に対向している。この場合、第2領域Bまで延びている第2容量膜6によって、上部電極7と中間電極5とが全域に亘って分離絶縁されている。ただし、上部電極7と中間電極5とを分離絶縁できるのであれば、第2容量膜6が第2領域Bまで形成されていなくてもよく、その場合、上部電極7は、第2領域Bで第1容量膜4だけを挟んで下部電極3に対向する。

#### 【0030】

絶縁層8は、たとえば $\text{SiO}_2$ （酸化シリコン）からなる。絶縁層8は、半導体基板2の表面2Aに形成されていて、半導体基板2との間で、下部電極3、第1容量膜4、中間電極5、第2容量膜6および上部電極7を挟んでいる。図1では、第2容量膜6および上部電極7のそれぞれの表面、ならびに、下部電極3、第1容量膜4、第2容量膜6および上部電極7のそれぞれの側端面が絶縁層8によって覆われている。絶縁層8の表面8Aは、図1における上面であり、半導体基板2の表面2Aと平行になるように平坦である。

#### 【0031】

第2領域Bにおける絶縁層8には、第1のビアホール23が形成されている。第1領域Aにおける絶縁層8において、半導体基板2の厚さ方向から見た平面視で上部電極7に重ならない位置（図1における第1領域Aの左端部）には、第2のビアホール24が形成されている。第1のビアホール23および第2のビアホール24は、絶縁層8の表面8Aから半導体基板2側へ掘り下げられた筒状の凹部である。第1のビアホール23および第2のビアホール24のそれぞれの数は、任意に設定できるが、この実施形態では4つである。4つの第1のビアホール23および第2のビアホール24は、図1の紙面に直交する方向に間隔を隔てて並んでいる（図2参照）。

#### 【0032】

第1のビアホール23は、絶縁層8、上部電極7、第2容量膜6および第1容量膜4をこの順番で貫通している。第1のビアホール23は、下部電極3に達している。そのため、第1のビアホール23の底面は、下部電極3の表面と一致している。第2のビアホール24は、絶縁層8および第2容量膜6をこの順番で貫通している。第2のビアホール24は、中間電極5に達している。そのため、第2のビアホール24の底面は、中間電極5の表面と一致している。第1のビアホール23および第2のビアホール24のそれぞれの内面には、金属材料からなるバリア膜25が形成されている。

#### 【0033】

第1配線9は、導電性材料（たとえば、W（タングステン））からなり、各第1のビアホール23におけるバリア膜25の内側を埋め尽くすように形成されている。そのため、第1配線9は、絶縁層8、上部電極7、第2容量膜6および第1容量膜4を貫通して、下部電極3および上部電極7のそれぞれに対して電氣的に接続されている。第1配線9は、第1のビアホール23と同じ数（ここでは、4つ）形成されている。

#### 【0034】

第2配線10は、第1配線9と同じ材料からなり、各第2のビアホール24におけるバリア膜25の内側を埋め尽くすように形成されている。そのため、第2配線10は、絶縁層8および第2容量膜6を貫通して、中間電極5に対して電氣的に接続されている。第2配線10は、第2のビアホール24と同じ数（ここでは、4つ）形成されている。

第1端子11は、絶縁層8の表面8Aにおいて、全ての第1のビアホール23に跨って形成されている（図2参照）。第1端子11は、4つの第1のビアホール23の並び方向に長手であり、平面視において半導体基板2の外へはみ出ている（図2参照）。詳しくは、第1端子11は、TiNからなるTiN層26と、AlからなるAl層27と、TiNからなるTiN層28とを、絶縁層8の表面8A側からこの順番で積層することで構成されている。第1端子11は、全ての第1配線9に対して接触していて、これにより、全て

10

20

30

40

50

の第 1 配線 9 に対して電氣的に接続されている。

【 0 0 3 5 】

第 2 端子 1 2 は、絶縁層 8 の表面 8 A において、全ての第 2 のビアホール 2 4 に跨って形成されている（図 2 参照）。第 2 端子 1 2 は、4 つの第 2 のビアホール 2 4 の並び方向に長手であり、平面視において半導体基板 2 の外へはみ出ている（図 2 参照）。第 2 端子 1 2 は、第 1 端子 1 1 と同様に、TiN 層 2 6 と Al 層 2 7 と TiN 層 2 8 とを、絶縁層 8 の表面 8 A 側からこの順番で積層することで構成されている。第 2 端子 1 2 は、全ての第 2 配線 1 0 に対して接触していて、これにより、全ての第 2 配線 1 0 に対して電氣的に接続されている。

【 0 0 3 6 】

この半導体装置 1 では、第 1 容量膜 4 と、これを挟む下部電極 3 および中間電極 5 とによって、第 1 容量素子 3 0 が構成され、第 2 容量膜 6 と、これを挟む中間電極 5 および上部電極 7 とによって、第 2 容量素子 3 1 が構成されている。下部電極 3、中間電極 5 および上部電極 7 が金属からなり、第 1 容量膜 4 および第 2 容量膜 6 が絶縁性材料からなることから、第 1 容量素子 3 0 および第 2 容量素子 3 1 は、MIM 構造の容量素子である。そして、第 1 容量素子 3 0 の上に第 2 容量素子 3 1 が積層されていることから、第 1 容量素子 3 0 および第 2 容量素子 3 1 は、スタック構造をなしている。半導体装置 1 では、第 1 端子 1 1 および第 2 端子 1 2 のそれぞれから、第 1 容量素子 3 0 および第 2 容量素子 3 1 に対してバイアス電圧が与えられる。

【 0 0 3 7 】

図 3 A ~ 図 3 K は、図 1 に示す半導体装置の製造工程を説明するための模式的な断面図である。

次に、図 3 A ~ 図 3 K を参照して、前述した半導体装置 1 の製造工程を工程順に説明する。

まず、図 3 A に示すように、公知の方法により、半導体基板 2 を作製する。そして、半導体基板 2 の表面 2 A 上に、第 1 TiN 層 2 0、Al 層 2 1 および第 2 TiN 層 2 2 をこの順番で積層していくことによって、下部電極 3 を形成する。

【 0 0 3 8 】

次いで、図 3 B に示すように、第 2 TiN 層 2 2 の表面の全域を被覆するように、下部電極 3 の表面に第 1 容量膜 4 を形成する。

次いで、図 3 C に示すように、第 1 容量膜 4 の表面の全域を被覆するように、第 1 容量膜 4 の表面に、TiN からなる TiN 層 3 3 を形成する。

次いで、レジストパターン（図示せず）をマスクとするエッチングにより、前述した第 1 領域 A 以外に存在する TiN 層 3 3 を除去する。その結果、図 3 D に示すように、第 1 領域 A に残った TiN 層 3 3 が、中間電極 5 となる。つまり、第 1 容量膜 4 の表面の第 1 領域 A に選択的に中間電極 5 が形成される。

【 0 0 3 9 】

次いで、図 3 E に示すように、中間電極 5 の表面と、第 1 容量膜 4 の表面において中間電極 5 に覆われていない部分とを全域に亘って覆うように、第 2 容量膜 6 を形成する。

次いで、図 3 F に示すように、第 2 容量膜 6 の表面の全域を被覆するように、第 2 容量膜 6 上に、TiN からなる TiN 層 3 4 を形成する。

次いで、レジストパターン（図示せず）をマスクとするエッチングにより、TiN 層 3 4 を選択的に除去する。その結果、図 3 G に示すように、図 3 G における第 1 領域 A の左側部分および当該部分より左側の TiN 層 3 4 と、前述した第 2 領域 B における一部の TiN 層 3 4 とが除去される。このエッチングにより、第 2 領域 B における TiN 層 3 4 には、貫通孔 3 5 が形成される。貫通孔 3 5 は、前述した第 1 のビアホール 2 3（図 1 および図 2 参照）と平面視で一致する位置に、第 1 のビアホール 2 3 と同じ数（ここでは、4 つ）だけ形成される。ここでのエッチングにより、図 3 G における第 1 領域 A の左側部分および当該部分より左側と、貫通孔 3 5 とにおいて、第 2 容量膜 6 が露出される。エッチングの結果、残った TiN 層 3 4 が上部電極 7 となる。

10

20

30

40

50

## 【 0 0 4 0 】

次いで、レジストパターン（図示せず）をマスクとするエッチングにより、下部電極 3 をパターンニングする。この際、下部電極 3 の上に積層されている第 1 容量膜 4 および第 2 容量膜 6 の縁部分も、平面視で下部電極 3 の縁部分と一致するようにパターンニングされる。パターンニング後の状態が図 3 H に示されている。図 3 H では、下部電極 3、第 1 容量膜 4 および第 2 容量膜 6 のそれぞれの左右両端部がエッチングによって削り取られている。

## 【 0 0 4 1 】

次いで、図 3 I に示すように、半導体基板 2 との間で、下部電極 3、第 1 容量膜 4、中間電極 5、第 2 容量膜 6 および上部電極 7 を挟むように、半導体基板 2 の表面 2 A 上に絶縁層 8 を形成する。そして、CMP（Chemical Mechanical Polishing：化学的機械的研磨）法によって絶縁層 8 の表面 8 A を研磨する。これにより、絶縁層 8 の厚さが、所定の厚さになり、絶縁層 8 の表面 8 A が平坦になる。

10

## 【 0 0 4 2 】

次いで、図 3 J に示すように、レジストパターン（図示せず）をマスクとする異方性のディープ R I E（Reactive Ion Etching：反応性イオンエッチング）により、平面視で貫通孔 3 5 に一致する位置における絶縁層 8、第 2 容量膜 6 および第 1 容量膜 4 をこの順番で掘り下げて、前述した第 1 のビアホール 2 3 を形成する。同時に、このディープ R I E により、第 1 領域 A において上部電極 7 から外れた部分（図 3 J では左側部分）における絶縁層 8 および第 2 容量膜 6 をこの順番で掘り下げて、前述した第 2 のビアホール 2 4 を形成する。ここでのエッチング条件は、絶縁層 8、第 1 容量膜 4 および第 2 容量膜 6 はエッチングするものの、下部電極 3、中間電極 5 および上部電極 7 はエッチングしない条件となっている。そのため、第 1 のビアホール 2 3 を形成するためのエッチングは、下部電極 3 の手前でストップし、第 2 のビアホール 2 4 を形成するためのエッチングは、中間電極 5 の手前でストップする。

20

## 【 0 0 4 3 】

次いで、図 3 K に示すように、第 1 のビアホール 2 3 および第 2 のビアホール 2 4 のそれぞれの内面にバリア膜 2 5 を形成する。そして、第 1 のビアホール 2 3 および第 2 のビアホール 2 4 のそれぞれにおけるバリア膜 2 5 の内側に W を埋め込んで、各第 1 のビアホール 2 3 の内側に第 1 配線 9 を形成し、各第 2 のビアホール 2 4 の内側に第 2 配線 1 0 を形成する。

30

## 【 0 0 4 4 】

次いで、絶縁層 8 の表面 8 A に前述した第 1 端子 1 1 および第 2 端子 1 2 を形成すると、図 1 に示す半導体装置 1 が完成する。

以上のように、この発明に係る半導体装置 1 の製造方法によれば、スタック構造かつ M I M 構造の第 1 容量素子 3 0 および第 2 容量素子 3 1 を備える半導体装置 1 を製造できる。半導体装置 1 では、第 1 領域 A において下部電極 3 と中間電極 5 との間に第 1 容量膜 4 が配置されることで第 1 容量素子 3 0 が構成され、中間電極 5 と上部電極 7 との間に第 2 容量膜 6 が配置されることで第 2 容量素子 3 1 が構成されており、第 1 容量素子 3 0 の上に第 2 容量素子 3 1 が積層されている。

## 【 0 0 4 5 】

そして、この製造方法によれば、第 2 領域 B における上部電極 7 に貫通孔 3 5 を予め形成することにより、貫通孔 3 5 における上部電極 7 を除去している（図 3 G 参照）。そうすれば、絶縁層 8 や容量膜はエッチングするものの電極はエッチングしないというエッチング条件によって、貫通孔 3 5 の位置において、絶縁層 8 と上部電極 7 の下の第 1 容量膜 4 および第 2 容量膜 6 とを貫通するように第 1 のビアホール 2 3 を形成すると同時に、第 1 領域 A において上部電極 7 がない部分において、絶縁層 8 と第 2 容量膜 6 とを貫通するように第 2 のビアホール 2 4 を形成できる（図 3 J 参照）。つまり、第 1 のビアホール 2 3 および第 2 のビアホール 2 4 のエッチング条件を共通化できるので、これらのビアホールを同一工程で同時に形成できる。これにより、複数のビアホールを形成する工程の簡略化を図ることができる。

40

50

## 【 0 0 4 6 】

次に、前述した半導体装置 1 の変形例について説明する。変形例には、第 1 ~ 第 3 の変形例までの 3 つがあり、以下では、それぞれの変形例について個別に説明する。なお、第 1 ~ 第 3 の変形例において、前述した半導体装置 1 で説明した部分と対応する部分には、同一の参照符号を付し、その説明を省略する。

## ( 1 ) 第 1 の変形例

図 4 は、本発明の第 1 の変形例に係る半導体装置の模式的な断面図である。図 5 は、図 4 の半導体装置の模式的な平面図である。

## 【 0 0 4 7 】

図 4 を参照して、第 1 の変形例の半導体装置 1 は、前述した半導体基板 2、下部電極 3、第 1 容量膜 4、中間電極 5、第 2 容量膜 6、絶縁層 8、第 1 配線 9、第 2 配線 10、第 1 端子 11 および第 2 端子 12 と、第 2 中間電極 40 と、第 3 容量膜 41 と、上部電極 42 とを含んでいる。第 1 の変形例では、第 2 中間電極 40 に対応して、中間電極 5 を、第 1 中間電極 5 という。なお、説明の便宜上、図 5 では、半導体基板 2、第 1 容量膜 4、第 2 容量膜 6、第 3 容量膜 41 および絶縁層 8 の図示を省略している。

10

## 【 0 0 4 8 】

図 4 を参照して、半導体基板 2、下部電極 3、第 1 容量膜 4、第 1 中間電極 5、第 2 容量膜 6、絶縁層 8、第 1 配線 9、第 2 配線 10、第 1 端子 11 および第 2 端子 12 のそれぞれの構成（材料や位置関係）は、前述した半導体装置 1 と同じである。また、第 1 の変形例でも、第 1 中間電極 5 が形成された第 1 領域 A と、第 1 領域 A の外の第 2 領域 B とが存在する。

20

## 【 0 0 4 9 】

第 2 中間電極 40 は、第 1 中間電極 5 と同じ材料からなる。第 2 中間電極 40 は、第 1 領域 A および第 2 領域 B の両方に跨って第 2 容量膜 6 の表面に形成されている。第 2 中間電極 40 は、第 1 領域 A では、第 2 容量膜 6 を挟んで第 1 中間電極 5 に対向し、第 2 領域 B では、第 1 容量膜 4 および第 2 容量膜 6 を挟んで下部電極 3 に対向している。なお、第 2 容量膜 6 が第 2 領域 B まで形成されていなくてもよく、その場合、第 2 中間電極 40 は、第 2 領域 B で第 1 容量膜 4 だけを挟んで下部電極 3 に対向する。

## 【 0 0 5 0 】

第 3 容量膜 41 は、第 1 容量膜 4 および第 2 容量膜 6 と同じ材料からなる。第 3 容量膜 41 は、第 2 容量膜 6 の表面において第 2 中間電極 40 から露出された部分と、第 2 中間電極 40 の表面との両方に跨って形成されていて、これらの表面の全域を被覆している。第 3 容量膜 41 は、第 1 領域 A において図 4 における左側に偏った領域では、第 2 容量膜 6 に直接接していて、当該領域より右側では、第 2 中間電極 40 を挟んで第 2 容量膜 6 に対向している。

30

## 【 0 0 5 1 】

上部電極 42 は、第 1 中間電極 5 および第 2 中間電極 40 と同じ材料からなる。上部電極 42 は、第 1 領域 A における第 3 容量膜 41 の表面に形成されている。第 1 領域 A において、第 2 中間電極 40 と重なる領域を第 3 領域 C とし、それ以外の領域を第 4 領域 D とする。第 3 領域 C および第 4 領域 D は、第 1 領域 A に重なっている。第 3 領域 C は、第 2 領域 B の外の領域であり、第 4 領域 D は、第 2 領域 B および第 3 領域 C の外の領域である。上部電極 42 は、第 3 領域 C で第 3 容量膜 41 を挟んで第 2 中間電極 40 に対向し、第 4 領域 D で第 2 容量膜 6 および第 3 容量膜 41 を挟んで第 1 中間電極 5 に対向している。なお、第 3 容量膜 41 が第 4 領域 D まで形成されていなくてもよく、その場合、上部電極 42 は、第 4 領域 D で第 2 容量膜 6 だけを挟んで第 1 中間電極 5 に対向する。

40

## 【 0 0 5 2 】

絶縁層 8 は、上部電極 42 の表面と、第 3 容量膜 41 において上部電極 42 から露出された部分の表面と、第 2 容量膜 6 において第 3 容量膜 41 から露出された部分の表面とに形成され、これらの表面を覆っている。第 2 領域 B における絶縁層 8 には、第 1 のビアホール 43 が形成されている。第 1 領域 A における絶縁層 8 において、半導体基板 2 の厚さ

50

方向から見た平面視で第2中間電極40に重ならないものの、第1中間電極5および上部電極42に重なる位置(図1における第1領域Aの左端部であり、第4領域D)には、第2のビアホール44が形成されている。第1のビアホール43および第2のビアホール44は、絶縁層8の表面8Aから半導体基板2側へ掘り下げられた筒状の凹部である。第1のビアホール43および第2のビアホール44のそれぞれの数は、任意に設定できるが、この実施形態では4つである。4つの第1のビアホール43および第2のビアホール44は、図4の紙面に直交する方向に間隔を隔てて並んでいる(図5参照)。

#### 【0053】

第1のビアホール43は、絶縁層8、第3容量膜41、第2中間電極40、第2容量膜6および第1容量膜4をこの順番で貫通している。第1のビアホール43は、下部電極3に達している。そのため、第1のビアホール43の底面は、下部電極3の表面と一致している。第2のビアホール44は、絶縁層8、上部電極42、第3容量膜41および第2容量膜6をこの順番で貫通している。第2のビアホール44は、第1中間電極5に達している。そのため、第2のビアホール44の底面は、第1中間電極5の表面と一致している。第1のビアホール43および第2のビアホール44のそれぞれの内面には、前述したバリア膜25が形成されている。

10

#### 【0054】

各第1のビアホール43におけるバリア膜25の内側には、前述したWが埋め込まれることで、第1配線9が形成されている。第1配線9は、下部電極3および第2中間電極40のそれぞれに対して電氣的に接続されている。各第2のビアホール44におけるバリア膜25の内側には、Wが埋め込まれることで、第2配線10が形成されている。第2配線10は、上部電極42および第1中間電極5のそれぞれに対して電氣的に接続されている。

20

#### 【0055】

この半導体装置1では、第1容量膜4と、これを挟む下部電極3および第1中間電極5とによって、第1容量素子30が構成され、第2容量膜6と、これを挟む第1中間電極5および第2中間電極40とによって、第2容量素子39が構成され、第3容量膜41と、これを挟む第2中間電極40および上部電極42とによって、第3容量素子45が構成されている。下部電極3、第1中間電極5、第2中間電極40および上部電極7が金属からなり、第1容量膜4、第2容量膜6および第3容量膜41が絶縁性材料からなることから、第1容量素子30、第2容量素子39および第3容量素子45は、MIM構造の容量素子である。そして、第1容量素子30の上に第2容量素子39が積層され、第2容量素子39の上に第3容量素子45が積層されていることから、第1容量素子30、第2容量素子39および第3容量素子45は、スタック構造をなしている。この半導体装置1では、第1端子11および第2端子12のそれぞれから、第1容量素子30、第2容量素子39および第3容量素子45に対してバイアス電圧が与えられる。

30

#### 【0056】

図6A~図6Nは、図4に示す半導体装置の製造工程を説明するための模式的な断面図である。

次に、図6A~図6Nを参照して、第1の変形例の半導体装置1の製造工程を工程順に説明する。

40

まず、図6Aに示すように、公知の方法により、半導体基板2を作製する。そして、半導体基板2の表面2A上に、第1TiN層20、Al層21および第2TiN層22をこの順番で積層していくことによって、下部電極3を形成する。

#### 【0057】

次いで、図6Bに示すように、第2TiN層22の表面の全域を被覆するように、下部電極3の表面に第1容量膜4を形成する。

次いで、図6Cに示すように、第1容量膜4の表面の全域を被覆するように、第1容量膜4の表面に、TiNからなるTiN層33を形成する。

次いで、レジストパターン(図示せず)をマスクとするエッチングにより、前述した第

50

1領域A以外に存在するTiN層33を除去する。その結果、図6Dに示すように、第1領域Aに残ったTiN層33が、第1中間電極5となる。つまり、第1容量膜4の表面の第1領域Aに選択的に第1中間電極5が形成される。

【0058】

次いで、図6Eに示すように、第1中間電極5の表面と、第1容量膜4の表面において第1中間電極5に覆われていない部分とを全域に亘って覆うように、第2容量膜6を形成する。

次いで、図6Fに示すように、第2容量膜6の表面の全域を被覆するように、第2容量膜6上に、TiNからなるTiN層34を形成する。

【0059】

次いで、レジストパターン（図示せず）をマスクとするエッチングにより、TiN層34を選択的に除去する。その結果、図6Gに示すように、図6Gにおける第1領域Aの左側部分（第4領域D）および当該部分より左側のTiN層34と、前述した第2領域Bにおける一部のTiN層34とが除去される。このエッチングにより、第2領域BにおけるTiN層34には、第1貫通孔46が形成される。第1貫通孔46は、前述した第1のビアホール43（図4および図5参照）と平面視で一致する位置に、第1のビアホール43と同じ数（ここでは、4つ）だけ形成される。ここでのエッチングにより、図6Gにおける第1領域Aの左側部分および当該部分より左側と、第1貫通孔46とにおいて、第2容量膜6が露出される。エッチングの結果、残ったTiN層34が第2中間電極40となる。

10

20

【0060】

次いで、図6Hに示すように、露出された第2容量膜6の表面の一部（図6Hにおける左端部以外の部分）と第2中間電極40の表面の全域とを被覆するように、これらの表面上に第3容量膜41を形成する。第3容量膜41は、第1貫通孔46内に入り込んでいて、第1貫通孔46内で第2容量膜6に接触し、第4領域Dにおいても第2容量膜6に接触している。

【0061】

次いで、図6Iに示すように、露出された第2容量膜6の表面（図6Iにおける左端部）および第3容量膜41の表面の全域を被覆するように、これらの表面上に、TiNからなるTiN層47を形成する。

30

次いで、レジストパターン（図示せず）をマスクとするエッチングにより、TiN層47を選択的に除去する。その結果、図6Jに示すように、図6Jにおける第1領域Aより左右両側のTiN層47と、第4領域Dにおける一部のTiN層47とが除去される。このエッチングにより、第1領域Aの左端部（第4領域D）におけるTiN層47には、第2貫通孔48が形成される。第2貫通孔48は、前述した第2のビアホール44（図4および図5参照）と平面視で一致する位置に、第2のビアホール44と同じ数（ここでは、4つ）だけ形成される。ここでのエッチングにより、図6Jにおける第1領域Aより右側と、第2貫通孔48とにおいて、第3容量膜41が露出され、図6Jにおける第1領域Aより左側において、第2容量膜6が露出される。エッチングの結果、残ったTiN層47が上部電極42となる。

40

【0062】

次いで、レジストパターン（図示せず）をマスクとするエッチングにより、下部電極3をパターンニングする。この際、下部電極3の上に積層されている第1容量膜4、第2容量膜6、第3容量膜41および第2中間電極40の縁部分も、平面視で下部電極3の縁部分と一致するようにパターンニングされる。パターンニング後の状態が図6Kに示されている。図6Kでは、第1容量膜4、第2容量膜6および第3容量膜41のそれぞれの左右両端部ならびに第2中間電極40の右端部がエッチングによって削り取られている。

【0063】

次いで、図6Lに示すように、半導体基板2との間で、下部電極3、第1容量膜4、第1中間電極5、第2容量膜6、第2中間電極40、第3容量膜41および上部電極42を

50

狭むように、半導体基板 2 の表面 2 A 上に絶縁層 8 を形成する。そして、CMP 法によって絶縁層 8 の表面 8 A を研磨する。これにより、絶縁層 8 の厚さが、所定の厚さになり、絶縁層 8 の表面 8 A が平坦になる。

【0064】

次いで、図 6 M に示すように、レジストパターン（図示せず）をマスクとする異方性のディープ R I E により、平面視で第 1 貫通孔 4 6 に一致する位置における絶縁層 8、第 3 容量膜 4 1、第 2 容量膜 6 および第 1 容量膜 4 をこの順番で掘り下げて、この位置に前述した第 1 のビアホール 4 3 を形成する。同時に、このディープ R I E により、平面視で第 2 貫通孔 4 8 に一致する位置における絶縁層 8、第 3 容量膜 4 1 および第 2 容量膜 6 をこの順番で掘り下げて、この位置において前述した第 2 のビアホール 4 4 を形成する。こ  
10  
こでのエッチング条件は、絶縁層 8、第 1 容量膜 4、第 2 容量膜 6 および第 3 容量膜 4 1 はエッチングするものの、下部電極 3、第 1 中間電極 5、第 2 中間電極 4 0 および上部電極 4 2 はエッチングしない条件となっている。そのため、第 1 のビアホール 4 3 を形成するためのエッチングは、下部電極 3 の手前でストップし、第 2 のビアホール 4 4 を形成するためのエッチングは、第 1 中間電極 5 の手前でストップする。

【0065】

次いで、図 6 N に示すように、第 1 のビアホール 4 3 および第 2 のビアホール 4 4 のそれぞれの内面にバリア膜 2 5 を形成する。そして、第 1 のビアホール 4 3 および第 2 のビアホール 4 4 のそれぞれにおけるバリア膜 2 5 の内側に W を埋め込んで、各第 1 のビアホール 4 3 の内側に第 1 配線 9 を形成し、各第 2 のビアホール 4 4 の内側に第 2 配線 1 0 を  
20  
形成する。

【0066】

次いで、絶縁層 8 の表面 8 A に前述した第 1 端子 1 1 および第 2 端子 1 2 を形成すると、図 4 に示すように、第 1 の変形例に係る半導体装置 1 が完成する。

以上のように、第 1 の変形例に係る半導体装置 1 の製造方法によれば、スタック構造かつ M I M 構造の容量素子（第 1 容量素子 3 0、第 2 容量素子 3 9 および第 3 容量素子 4 5）を備える半導体装置 1 を製造できる。半導体装置 1 では、第 1 領域 A において下部電極 3 と第 1 中間電極 5 との間に第 1 容量膜 4 が配置されることで第 1 容量素子 3 0 が構成され、第 1 中間電極 5 と第 2 中間電極 4 0 との間に第 2 容量膜 6 が配置されることで第 2 容量素子 3 9 が構成されている。また、第 3 領域 C において第 2 中間電極 4 0 と上部電極 4  
30  
2 との間に第 3 容量膜 4 1 が配置されることで、第 3 容量素子 4 5 が構成されている。第 1 容量素子 3 0 の上に第 2 容量素子 3 9 が積層され、第 2 容量素子 3 9 の上に第 3 容量素子 4 5 が積層されている。

【0067】

そして、この製造方法によれば、第 2 領域 B における第 2 中間電極 4 0 に第 1 貫通孔 4 6 を予め形成することにより（図 6 G 参照）、第 1 貫通孔 4 6 における第 2 中間電極 4 0 を除去し、さらに、第 4 領域 D における上部電極 4 2 に予め第 2 貫通孔 4 8 を形成することにより、第 2 貫通孔 4 8 における上部電極 4 2 を除去している（図 6 J 参照）。そうすれば、絶縁層 8 および容量膜はエッチングするものの電極はエッチングしないというエッチング条件によって、第 1 貫通孔 4 6 の位置において、絶縁層 8 および第 3 容量膜 4 1 と  
40  
、第 2 中間電極 4 0 の下の第 2 容量膜 6 および第 1 容量膜 4 とを貫通するように第 1 のビアホール 4 3 を形成すると同時に、第 2 貫通孔 4 8 の位置において、絶縁層 8 と、上部電極 4 2 の下の第 2 容量膜 6 および第 3 容量膜 4 1 とを貫通するように第 2 のビアホール 4 4 を形成できる（図 6 M 参照）。つまり、第 1 のビアホール 4 3 および第 2 のビアホール 4 4 のエッチング条件を共通化できるので、これらのビアホールを同一工程で同時に形成できる。これにより、複数のビアホールを形成する工程の簡略化を図ることができる。

(2) 第 2 の変形例

図 7 は、本発明の第 2 の変形例に係る半導体装置の模式的な断面図である。図 8 は、図 7 の半導体装置の模式的な平面図である。

【0068】

10

20

30

40

50

図7を参照して、第2の変形例の半導体装置1は、前述した半導体基板2、下部電極3、第1容量膜4、中間電極5、第2容量膜6、上部電極7、絶縁層8、第1配線9、第2配線10、第1端子11および第2端子12と、第2上部電極61と、第3配線62と、第3端子63とを含んでいる。第2の変形例では、第2上部電極61に対応して、上部電極7を、第1上部電極7という。なお、説明の便宜上、図8では、半導体基板2、第1容量膜4、第2容量膜6および絶縁層8の図示を省略している。

【0069】

半導体基板2、下部電極3、第1容量膜4、中間電極5、第2容量膜6、第1上部電極7、絶縁層8、第1配線9、第2配線10、第1端子11および第2端子12のそれぞれの構成（材料や位置関係）は、前述した半導体装置1と同じである。ただし、図7の左端部における第1容量膜4と第2容量膜6との接触部分は、前述した実施形態の場合（図1参照）と比べて図7の左右方向に広がっている。また、第2の変形例でも、中間電極5が形成された第1領域Aと、第1領域Aの外（図7では右外）の第2領域Bとが存在する。第1上部電極7は、中間電極5の外の領域（第2領域B）まで延びており、当該領域において下部電極3に対向している。

10

【0070】

第2上部電極61は、第1上部電極7および中間電極5と同じ材料からなる。第2上部電極61は、図7における第1領域Aより左外の領域における第2容量膜6の表面に形成されている。つまり、第2上部電極61は、第1容量膜4と第2容量膜6とが接して積層されている領域における第2容量膜6の表面に形成されている。第2上部電極61は、第1容量膜4および第2容量膜6を挟んで下部電極3に対向している。

20

【0071】

この場合、第1上部電極7および第2上部電極61は、第2容量膜6の表面において異なる（離れた）位置に設けられることで、互いに分離絶縁されている。そのため、第2容量膜6の表面において第1上部電極7と第2上部電極61との間は、第1上部電極7および第2上部電極61から露出された部分が存在し、絶縁層8は、この部分と、第1上部電極7および第2上部電極61の表面とを覆っている。

【0072】

絶縁層8には、前述した第1のビアホール23および第2のビアホール24（図1参照）が形成されているのに加えて、さらに、これらのビアホールとほぼ同形状の第3のビアホール65が形成されている。第3のビアホール65は、平面視で第2上部電極61と重なる位置において、絶縁層8を貫通している。第3のビアホール65の数は、任意に設定できるが、この実施形態では4つである。4つの第3のビアホール65は、4つの第1のビアホール23および第2のビアホール24と同様に、図7の紙面に直交する方向に間隔を隔てて並んでいる（図8参照）。第3のビアホール65は、第2上部電極61に達している。そのため、第3のビアホール65の底面は、第2上部電極61の表面と一致している。第3のビアホール65の内面には、第1のビアホール23および第2のビアホール24と同様に、バリア膜25が形成されている。

30

【0073】

第3配線62は、第1配線9および第2配線10と同じ材料からなり、各第3のビアホール65におけるバリア膜25の内側を埋め尽くすように形成されている。そのため、第3配線62は、絶縁層8を貫通して第2上部電極61に対して電氣的に接続されている。第3配線62は、第3のビアホール65と同じ数（ここでは、4つ）形成されている。

40

第3端子63は、第1端子11および第2端子12と同じ構成である。第3端子63は、絶縁層8の表面8Aにおいて、全ての第3のビアホール65に跨って形成されている（図8参照）。第3端子63は、4つの第3のビアホール65の並び方向に長手であり、平面視において半導体基板2の外へはみ出ている（図8参照）。第3端子63は、全ての第3配線62に対して接触していて、これにより、全ての第3配線62に対して電氣的に接続されている。

【0074】

50

また、前述した第 1 配線 9 は、絶縁層 8、第 1 上部電極 7、第 2 容量膜 6 および第 1 容量膜 4 を貫通して、第 1 上部電極 7 および下部電極 3 に対して電氣的に接続されている。また、第 2 配線 10 は、絶縁層 8 と、第 2 容量膜 6 において第 1 上部電極 7 および第 2 上部電極 6 1 に覆われていない部分とを貫通して、中間電極 5 に対して電氣的に接続されている。

#### 【0075】

この半導体装置 1 では、第 1 容量膜 4 と、これを挟む下部電極 3 および中間電極 5 とによって、第 1 容量素子 30 が構成され、第 2 容量膜 6 と、これを挟む中間電極 5 および第 1 上部電極 7 とによって、第 2 容量素子 31 が構成され、第 1 容量膜 4 および第 2 容量膜 6 と、これらを挟む下部電極 3 および第 2 上部電極 6 1 とによって、第 3 容量素子 64 が構成されている。下部電極 3、中間電極 5、第 1 上部電極 7 および第 2 上部電極 6 1 が金属からなり、第 1 容量膜 4 および第 2 容量膜 6 が絶縁性材料からなることから、第 1 容量素子 30、第 2 容量素子 31 および第 3 容量素子 64 は、MIM 構造の容量素子である。そして、第 1 容量素子 30 の上に第 2 容量素子 31 が積層されていることから、第 1 容量素子 30 および第 2 容量素子 31 は、スタック構造をなしている。半導体装置 1 では、第 1 端子 11、第 2 端子 12 および第 3 端子 63 のそれぞれから、第 1 容量素子 30、第 2 容量素子 31 および第 3 容量素子 64 に対してバイアス電圧が与えられる。

10

#### 【0076】

以上のように、第 2 の変形例に係る半導体装置 1 は、下部電極 3 と中間電極 5 とこれらの間の第 1 容量膜 4 とを含む MIM 構造の第 1 容量素子 30 と、中間電極 5 と第 1 上部電極 7 とこれらの間の第 2 容量膜 6 とを含む MIM 構造の第 2 容量素子 31 と、下部電極 3 と第 2 上部電極 6 1 とこれらの間の第 1 容量膜 4 および第 2 容量膜 6 とを含む MIM 構造の第 3 容量素子 64 とを有している。この場合、第 3 容量素子 64 では、第 1 容量素子 30 および第 2 容量素子 31 に比べて、電極間に容量膜が 1 枚多く配置されているので、各容量素子における電極間の間隔は、第 1 容量素子 30 および第 2 容量素子 31 よりも、第 3 容量素子 64 の方が広い。つまり、1 つの半導体装置 1 において、電極間の間隔が狭いことで容量が大きい第 1 容量素子 30 および第 2 容量素子 31 と、当該間隔が広いことで耐圧が高い第 3 容量素子 45 という特性が異なる複数の容量素子を備えることができる。

20

#### 【0077】

そして、第 3 の変形例に係る半導体装置 1 は、絶縁層 8 と第 1 上部電極 7 と第 1 容量膜 4 とを貫通し、第 1 上部電極 7 および下部電極 3 に接続された第 1 配線 9 と、絶縁層 8 と、第 2 容量膜 6 において第 1 上部電極 7 および第 2 上部電極 6 1 に覆われていない部分とを貫通し、中間電極 5 に接続された第 2 配線 10 と、絶縁層 8 を貫通して第 2 上部電極 6 1 に接続された第 3 配線 6 2 とをさらに含む。これにより、第 1 上部電極 7、第 2 上部電極 6 1、中間電極 5 および下部電極 3 のそれぞれにバイアス電圧を印加して、第 1 容量素子 30、第 2 容量素子 31 および第 3 容量素子 64 を機能させることができる。

30

#### 【0078】

図 9 A ~ 図 9 K は、図 7 に示す半導体装置の製造工程を説明するための模式的な断面図である。

次に、図 9 A ~ 図 9 K を参照して、第 2 の変形例に係る半導体装置 1 の製造工程を工程順に説明する。

40

まず、図 9 A に示すように、公知の方法により、半導体基板 2 を作製する。そして、半導体基板 2 の表面 2 A 上に、第 1 TiN 層 20、Al 層 21 および第 2 TiN 層 22 をこの順番で積層していくことによって、下部電極 3 を形成する。

#### 【0079】

次いで、図 9 B に示すように、第 2 TiN 層 22 の表面の全域を被覆するように、下部電極 3 の表面に第 1 容量膜 4 を形成する。

次いで、図 9 C に示すように、第 1 容量膜 4 の表面の全域を被覆するように、第 1 容量膜 4 の表面に、TiN からなる TiN 層 33 を形成する。

次いで、レジストパターン（図示せず）をマスクとするエッチングにより、前述した第

50

1領域A以外に存在するTiN層33を除去する。その結果、図9Dに示すように、第1領域Aに残ったTiN層33が、中間電極5となる。つまり、第1容量膜4の表面の第1領域Aに選択的に中間電極5が形成される。

【0080】

次いで、図9Eに示すように、中間電極5の表面と、第1容量膜4の表面において中間電極5に覆われていない部分とを全域に亘って覆うように、第2容量膜6を形成する。

次いで、図9Fに示すように、第2容量膜6の表面の全域を被覆するように、第2容量膜6上に、TiNからなるTiN層34を形成する。

次いで、レジストパターン(図示せず)をマスクとするエッチングにより、TiN層34を選択的に除去する。その結果、図9Gに示すように、図9Gにおける第1領域Aの左側部分のTiN層34と、前述した第2領域Bにおける一部のTiN層34とが除去される。このエッチングにより、第2領域BにおけるTiN層34には、貫通孔35が形成される。貫通孔35は、前述した第1のビアホール23(図7および図8参照)と平面視で一致する位置に、第1のビアホール23と同じ数(ここでは、4つ)だけ形成される。ここでのエッチングにより、図9Gにおける第1領域Aの左側部分と、貫通孔35とにおいて、第2容量膜6が露出される。エッチングの結果、第1領域Aより左側で残ったTiN層34が第2上部電極61となり、それ以外のTiN層34が第1上部電極7となる。

【0081】

次いで、レジストパターン(図示せず)をマスクとするエッチングにより、下部電極3をパターニングする。この際、下部電極3の上に積層されている第1容量膜4および第2容量膜6の縁部分も、平面視で下部電極3の縁部分と一致するようにパターニングされる。パターニング後の状態が図9Hに示されている。図9Hでは、下部電極3、第1容量膜4および第2容量膜6のそれぞれの左右両端部がエッチングによって削り取られている。

【0082】

次いで、図9Iに示すように、半導体基板2との間で、下部電極3、第1容量膜4、中間電極5、第2容量膜6、第1上部電極7および第2上部電極61を挟むように、半導体基板2の表面2A上に絶縁層8を形成する。そして、CMP法によって絶縁層8の表面8Aを研磨する。これにより、絶縁層8の厚さが、所定の厚さになり、絶縁層8の表面8Aが平坦になる。

【0083】

次いで、図9Jに示すように、レジストパターン(図示せず)をマスクとする異方性のディープRIEにより、平面視で貫通孔35に一致する位置における絶縁層8、第2容量膜6および第1容量膜4をこの順番で掘り下げて、前述した第1のビアホール23を形成する。同時に、このディープRIEにより、第1領域Aにおいて第1上部電極7から外れた左側部分における絶縁層8および第2容量膜6をこの順番で掘り下げて、前述した第2のビアホール24を形成する。さらに、同時に、このディープRIEにより、平面視で第2上部電極61と一致する部分における絶縁層8を掘り下げて、前述した第3ビアホール65を形成する。ここでのエッチング条件は、絶縁層8、第1容量膜4および第2容量膜6はエッチングするものの、下部電極3、中間電極5、第1上部電極7および第2上部電極61はエッチングしない条件となっている。そのため、第1のビアホール23を形成するためのエッチングは、下部電極3の手前でストップし、第2のビアホール24を形成するためのエッチングは、中間電極5の手前でストップし、第3ビアホール65を形成するためのエッチングは、第2上部電極61の手前でストップする。

【0084】

次いで、図9Kに示すように、第1のビアホール23、第2のビアホール24および第3ビアホール65のそれぞれの内面にバリア膜25を形成する。そして、第1のビアホール23、第2のビアホール24および第3ビアホール65のそれぞれにおけるバリア膜25の内側にWを埋め込んで、各第1のビアホール23の内側に第1配線9を形成し、各第2のビアホール24の内側に第2配線10を形成し、各第3ビアホール65の内側に第3配線62を形成する。

10

20

30

40

50

## 【0085】

次いで、絶縁層8の表面8Aに前述した第1端子11、第2端子12および第3端子63を形成すると、第2の変形例に係る半導体装置1が完成する(図7参照)。

## (3) 第3の変形例

図10は、本発明の第3の変形例に係る半導体装置の模式的な断面図である。図11は、図10の半導体装置の模式的な平面図である。

## 【0086】

図10を参照して、第3の変形例の半導体装置1は、前述した半導体基板2、下部電極3、第1容量膜4、中間電極5、第2容量膜6および絶縁層8と、上部電極70と、第1配線71と、第2配線72と、第3配線73と、第1端子74と、第2端子75と、第3端子76とを含んでいる。なお、説明の便宜上、図11では、半導体基板2、第1容量膜4、第2容量膜6および絶縁層8の図示を省略している。

10

## 【0087】

半導体基板2、下部電極3、第1容量膜4、中間電極5、第2容量膜6および絶縁層8のそれぞれの構成(材料や位置関係)は、第1容量膜4および第2容量膜6の材料を除き、前述した半導体装置1と同じである。第1容量膜4と第2容量膜6とは、材料(膜種)が異なる。具体的には、第1容量膜4および第2容量膜6のうち、一方はSiNからなり、他方は、SiO<sub>2</sub>からなる。また、第3の変形例でも、中間電極5が形成された第1領域Aが存在する。

## 【0088】

上部電極70は、中間電極5と同じ材料からなる。上部電極70は、第1領域Aにおける第2容量膜6の表面の一部(図10では左寄りの部分)に形成されている。上部電極70は、第2容量膜6を挟んで中間電極5に対向している。この場合、下部電極3は、図10における右端部において、上部電極70および中間電極5のいずれにも対向しない第5領域Eを有しており、中間電極5は、図10における右端部において、上部電極70に対向しない第6領域Fを有している。

20

## 【0089】

絶縁層8は、上部電極70の表面と、第2容量膜6の表面において上部電極70から露出された部分とを覆っている。

第5領域Eにおける絶縁層8には、第1のビアホール81が形成されている。第6領域Fにおける絶縁層8には、第2のビアホール82が形成されている。また、第1領域Aにおいて、第5領域Eとは反対側の端部(図10における左端部)と一致する位置における絶縁層8には、第3のビアホール83が形成されている。第1のビアホール81、第2のビアホール82および第3のビアホール83は、絶縁層8の表面8Aから半導体基板2側へ掘り下げられた筒状の凹部である。第1のビアホール81、第2のビアホール82および第3のビアホール83のそれぞれの数は、任意に設定できるが、この実施形態では4つである。4つの第1のビアホール81、第2のビアホール82および第3のビアホール83は、図10の紙面に直交する方向に間隔を隔てて並んでいる(図11参照)。

30

## 【0090】

第1のビアホール81は、絶縁層8、第2容量膜6および第1容量膜4をこの順番で貫通している。第1のビアホール81は、下部電極3に達している。そのため、第1のビアホール81の底面は、下部電極3の表面と一致している。第2のビアホール82は、絶縁層8および第2容量膜6をこの順番で貫通している。第2のビアホール82は、中間電極5に達している。そのため、第2のビアホール82の底面は、中間電極5の表面と一致している。第3のビアホール83は、絶縁層8を貫通している。第3のビアホール83は、上部電極70に達している。そのため、第3のビアホール83の底面は、上部電極70の表面と一致している。第1のビアホール81、第2のビアホール82および第3のビアホール83のそれぞれの内面には、前述したバリア膜25が形成されている。

40

## 【0091】

第1配線71は、導電性材料(たとえば、W(タングステン))からなり、各第1のピ

50

アホール 8 1 におけるバリア膜 2 5 の内側を埋め尽くすように形成されている。そのため、第 1 配線 7 1 は、第 5 領域 E において、絶縁層 8、第 2 容量膜 6 および第 1 容量膜 4 を貫通して、下部電極 3 に対して電氣的に接続されている。第 1 配線 7 1 は、第 1 のピアホール 8 1 と同じ数（ここでは、4 つ）形成されている。

【 0 0 9 2 】

第 2 配線 7 2 は、第 1 配線 7 1 と同じ材料からなり、各第 2 のピアホール 8 2 におけるバリア膜 2 5 の内側を埋め尽くすように形成されている。第 2 配線 7 2 は、第 6 領域 F において、絶縁層 8 および第 2 容量膜 6 を貫通して、中間電極 5 に対して電氣的に接続されている。第 2 配線 7 2 は、第 2 のピアホール 8 2 と同じ数（ここでは、4 つ）形成されている。

10

【 0 0 9 3 】

第 3 配線 7 3 は、第 1 配線 7 1 と同じ材料からなり、各第 3 のピアホール 8 3 におけるバリア膜 2 5 の内側を埋め尽くすように形成されている。第 3 配線 7 3 は、絶縁層 8 を貫通して上部電極 7 0 に対して電氣的に接続されている。第 3 配線 7 3 は、第 3 のピアホール 8 3 と同じ数（ここでは、4 つ）形成されている。

第 1 端子 7 4 は、絶縁層 8 の表面 8 A において、全ての第 1 のピアホール 8 1 に跨って形成されている（図 1 1 参照）。第 1 端子 7 4 は、4 つの第 1 のピアホール 8 1 の並び方向に長手であり、平面視において半導体基板 2 の外へはみ出ている（図 1 1 参照）。詳しくは、第 1 端子 7 4 は、前述した TiN 層 2 6 と Al 層 2 7 と TiN 層 2 8 とを、絶縁層 8 の表面 8 A 側からこの順番で積層することで構成されている。第 1 端子 7 4 は、全ての第 1 配線 7 1 に対して接触して、これにより、全ての第 1 配線 7 1 に対して電氣的に接続されている。

20

【 0 0 9 4 】

第 2 端子 7 5 は、絶縁層 8 の表面 8 A において、全ての第 2 のピアホール 8 2 に跨って形成されている（図 1 1 参照）。第 2 端子 7 5 は、4 つの第 2 のピアホール 8 2 の並び方向に長手であり、平面視において半導体基板 2 の外へはみ出ている（図 1 1 参照）。第 2 端子 7 5 は、第 1 端子 7 4 と同様に、TiN 層 2 6 と Al 層 2 7 と TiN 層 2 8 とを、絶縁層 8 の表面 8 A 側からこの順番で積層することで構成されている。第 2 端子 7 5 は、全ての第 2 配線 7 2 に対して接触して、これにより、全ての第 2 配線 7 2 に対して電氣的に接続されている。

30

【 0 0 9 5 】

第 3 端子 7 6 は、絶縁層 8 の表面 8 A において、全ての第 3 のピアホール 8 3 に跨って形成されている（図 1 1 参照）。第 3 端子 7 6 は、4 つの第 3 のピアホール 8 3 の並び方向に長手であり、平面視において半導体基板 2 の外へはみ出ている（図 1 1 参照）。第 3 端子 7 6 は、第 1 端子 7 4 と同様に、TiN 層 2 6 と Al 層 2 7 と TiN 層 2 8 とを、絶縁層 8 の表面 8 A 側からこの順番で積層することで構成されている。第 3 端子 7 6 は、全ての第 3 配線 7 3 に対して接触して、これにより、全ての第 3 配線 7 3 に対して電氣的に接続されている。

【 0 0 9 6 】

この半導体装置 1 では、第 1 容量膜 4 と、これを挟む下部電極 3 および中間電極 5 とによって、第 1 容量素子 8 4 が構成され、第 2 容量膜 6 と、これを挟む中間電極 5 および上部電極 7 0 とによって、第 2 容量素子 8 5 が構成されている。下部電極 3、中間電極 5 および上部電極 7 0 が金属からなり、第 1 容量膜 4 および第 2 容量膜 6 が絶縁性材料からなることから、第 1 容量素子 8 4 および第 2 容量素子 8 5 は、MIM 構造の容量素子である。そして、第 1 容量素子 8 4 の上に第 2 容量素子 8 5 が積層されていることから、第 1 容量素子 8 4 および第 2 容量素子 8 5 は、スタック構造をなしている。半導体装置 1 では、第 1 端子 7 4、第 2 端子 7 5 および第 3 端子 7 6 のそれぞれから、第 1 容量素子 8 4 および第 2 容量素子 8 5 に対してバイアス電圧が与えられる。

40

【 0 0 9 7 】

以上のように、第 3 の変形例に係る半導体装置 1 は、下部電極 3 と中間電極 5 とこれら

50

の間の第1容量膜4とを含むMIM構造の第1容量素子84と、中間電極5と上部電極70とこれらの間の第2容量膜6とを含むMIM構造の第2容量素子85とを有している。この場合、第1容量膜4と第2容量膜6とで膜種が異なるので、第1容量素子84と第2容量素子85とで、容量や耐圧といった特性を変えることができる。つまり、1つの半導体装置1において、特性が異なる複数の容量素子を備えることができる。具体的に、第1容量膜4および第2容量膜6のうち、一方は、SiNからなり、他方は、SiO<sub>2</sub>からなる。第1容量素子84および第2容量素子85のうち、SiNからなる容量膜を備える容量素子では、SiO<sub>2</sub>からなる容量膜を備える容量素子に比べて、容量が約2倍である一方で、耐圧が低くなる。

【0098】

また、第3の変形例に係る半導体装置1は、絶縁層8を貫通して第5領域Eにおいて下部電極3に接続された第1配線71と、絶縁層8を貫通して第6領域Fにおいて中間電極5に接続された第2配線72と、絶縁層8を貫通して上部電極70に接続された第3配線73とをさらに含む。

これにより、上部電極70、中間電極5および下部電極3のそれぞれにバイアス電圧を印加して、第1容量素子84および第2容量素子85を機能させることができる。

【0099】

図12A～図12Kは、図10に示す半導体装置の製造工程を説明するための模式的な断面図である。

次に、図12A～図12Kを参照して、第3の変形例に係る半導体装置1の製造工程を工程順に説明する。

まず、図12Aに示すように、公知の方法により、半導体基板2を作製する。そして、半導体基板2の表面2A上に、第1TiN層20、Al層21および第2TiN層22をこの順番で積層していくことによって、下部電極3を形成する。

【0100】

次いで、図12Bに示すように、第2TiN層22の表面の全域を被覆するように、下部電極3の表面に第1容量膜4を形成する。

次いで、図12Cに示すように、第1容量膜4の表面の全域を被覆するように、第1容量膜4の表面に、TiNからなるTiN層33を形成する。

次いで、レジストパターン(図示せず)をマスクとするエッチングにより、前述した第1領域A以外に存在するTiN層33を除去する。その結果、図12Dに示すように、第1領域Aに残ったTiN層33が、中間電極5となる。つまり、第1容量膜4の表面の第1領域Aに選択的に中間電極5が形成される。

【0101】

次いで、図12Eに示すように、中間電極5の表面と、第1容量膜4の表面において中間電極5に覆われていない部分とを全域に亘って覆うように、第2容量膜6を形成する。

次いで、図12Fに示すように、第2容量膜6の表面の全域を被覆するように、第2容量膜6上に、TiNからなるTiN層34を形成する。

次いで、レジストパターン(図示せず)をマスクとするエッチングにより、TiN層34を選択的に除去する。その結果、図12Gに示すように、図12Gにおける第1領域Aの左寄りの領域以外のTiN層34が除去される。エッチングの結果、第1領域Aの左寄りの領域に残ったTiN層34が上部電極70となる。

【0102】

次いで、レジストパターン(図示せず)をマスクとするエッチングにより、下部電極3をパターンニングする。この際、下部電極3の上に積層されている第1容量膜4および第2容量膜6の縁部分も、平面視で下部電極3の縁部分と一致するようにパターンニングされる。パターンニング後の状態が図12Hに示されている。図12Hでは、下部電極3、第1容量膜4および第2容量膜6のそれぞれの左右両端部がエッチングによって削り取られている。

【0103】

10

20

30

40

50

次いで、図 1 2 I に示すように、半導体基板 2 との間で、下部電極 3、第 1 容量膜 4、中間電極 5、第 2 容量膜 6 および上部電極 7 0 を挟むように、半導体基板 2 の表面 2 A 上に絶縁層 8 を形成する。そして、CMP 法によって絶縁層 8 の表面 8 A を研磨する。これにより、絶縁層 8 の厚さが、所定の厚さになり、絶縁層 8 の表面 8 A が平坦になる。

次いで、図 1 2 J に示すように、レジストパターン（図示せず）をマスクとする異方性のディープ R I E により、平面視で第 5 領域 E に一致する位置における絶縁層 8、第 2 容量膜 6 および第 1 容量膜 4 をこの順番で掘り下げて、前述した第 1 のビアホール 8 1 を形成する。同時に、このディープ R I E により、平面視で第 6 領域 F に一致する位置における絶縁層 8 および第 2 容量膜 6 をこの順番で掘り下げて、前述した第 2 のビアホール 8 2 を形成する。さらに、同時に、このディープ R I E により、平面視で図 1 2 J における第 1 領域 A の左端部と一致する部分における絶縁層 8 を掘り下げて、前述した第 3 ビアホール 8 3 を形成する。ここでのエッチング条件は、絶縁層 8、第 1 容量膜 4 および第 2 容量膜 6 はエッチングするものの、下部電極 3、中間電極 5 および上部電極 7 0 はエッチングしない条件となっている。そのため、第 1 のビアホール 8 1 を形成するためのエッチングは、下部電極 3 の手前でストップし、第 2 のビアホール 8 2 を形成するためのエッチングは、中間電極 5 の手前でストップし、第 3 ビアホール 8 3 を形成するためのエッチングは、上部電極 7 0 の手前でストップする。

#### 【 0 1 0 4 】

次いで、図 1 2 K に示すように、第 1 のビアホール 8 1、第 2 のビアホール 8 2 および第 3 ビアホール 8 3 のそれぞれの内面にバリア膜 2 5 を形成する。そして、第 1 のビアホール 8 1、第 2 のビアホール 8 2 および第 3 ビアホール 8 3 のそれぞれにおけるバリア膜 2 5 の内側に W を埋め込んで、各第 1 のビアホール 8 1 の内側に第 1 配線 7 1 を形成し、各第 2 のビアホール 8 2 の内側に第 2 配線 7 2 を形成し、各第 3 ビアホール 8 3 の内側に第 3 配線 7 3 を形成する。

#### 【 0 1 0 5 】

次いで、絶縁層 8 の表面 8 A に前述した第 1 端子 7 4、第 2 端子 7 5 および第 3 端子 7 6 を形成すると、第 3 の変形例に係る半導体装置 1 が完成する（図 1 0 参照）。

以上の他にも、この発明は、様々な形態での実施が可能であり、特許請求の範囲に記載された事項の範囲で種々の設計変更を施すことが可能である。

#### 【 符号の説明 】

#### 【 0 1 0 6 】

- 1 半導体装置
- 2 半導体基板
- 2 A 表面
- 3 下部電極
- 4 第 1 容量膜
- 5 中間電極、第 1 中間電極
- 6 第 2 容量膜
- 7 上部電極、第 1 上部電極
- 8 絶縁層
- 9 第 1 配線
- 1 0 第 2 配線
- 2 3 第 1 のビアホール
- 2 4 第 2 のビアホール
- 3 5 貫通孔
- 4 0 第 2 中間電極
- 4 1 第 3 容量膜
- 4 2 上部電極
- 4 3 第 1 のビアホール
- 4 4 第 2 のビアホール

10

20

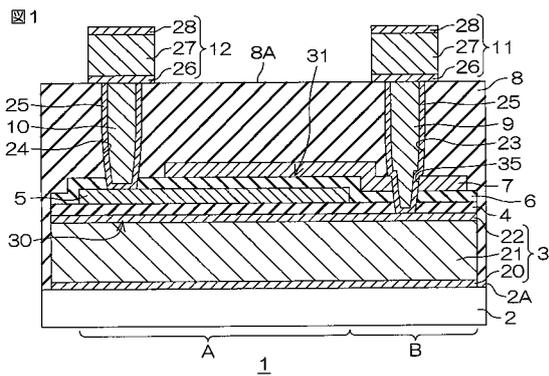
30

40

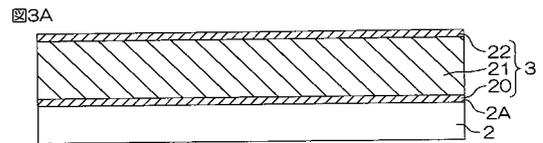
50

- 4 6 第 1 貫通孔
- 4 8 第 2 貫通孔
- 6 1 第 2 上部電極
- 6 2 第 3 配線
- 7 0 上部電極
- 7 1 第 1 配線
- 7 2 第 2 配線
- 7 3 第 3 配線
- A 第 1 領域
- B 第 2 領域
- C 第 3 領域
- D 第 4 領域
- E 第 5 領域
- F 第 6 領域

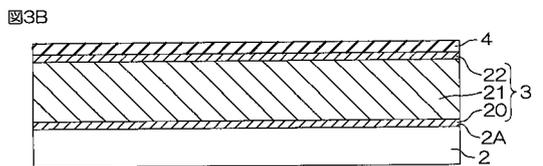
【 図 1 】



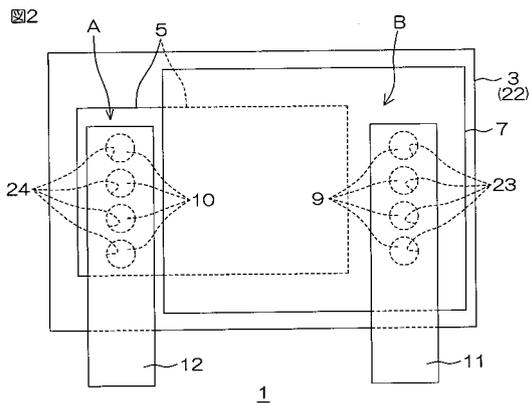
【 図 3 A 】



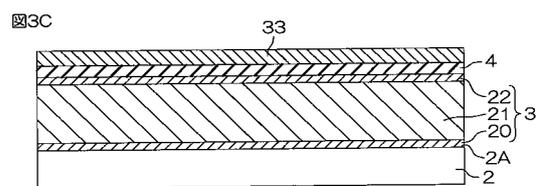
【 図 3 B 】



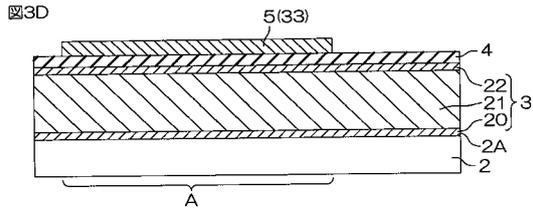
【 図 2 】



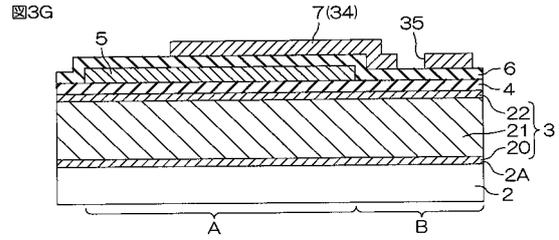
【 図 3 C 】



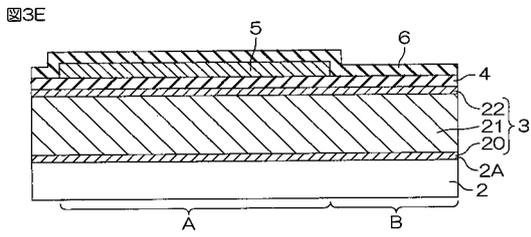
【 図 3 D 】



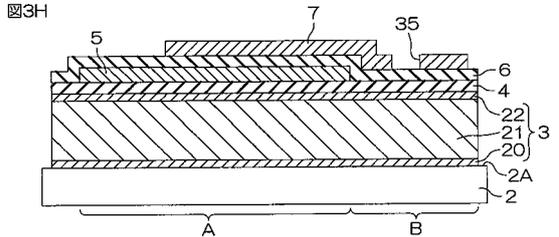
【 図 3 G 】



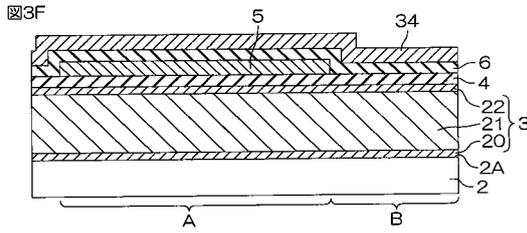
【 図 3 E 】



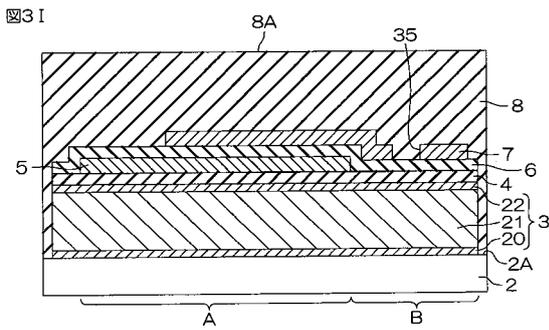
【 図 3 H 】



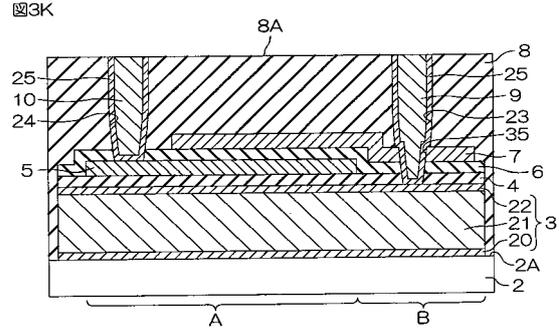
【 図 3 F 】



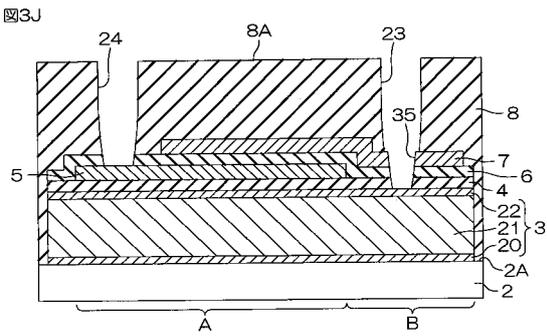
【 図 3 I 】



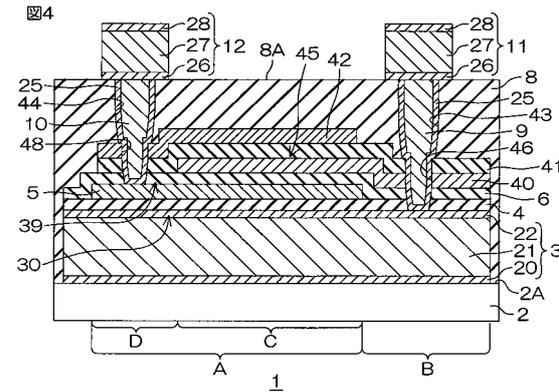
【 図 3 K 】



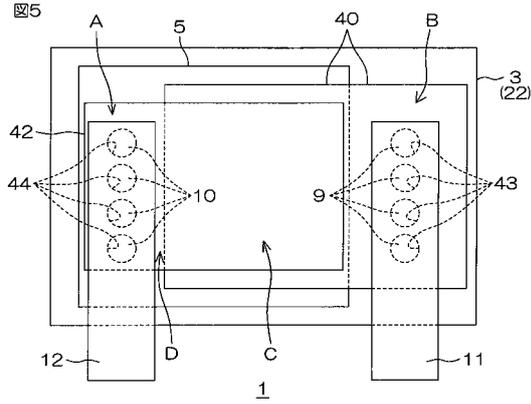
【 図 3 J 】



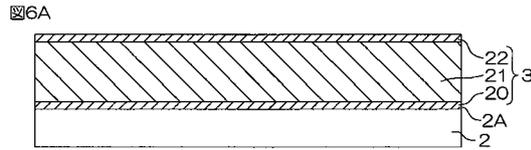
【 図 4 】



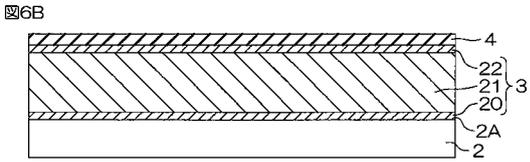
【 図 5 】



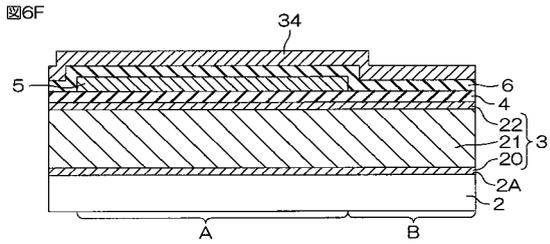
【 図 6 A 】



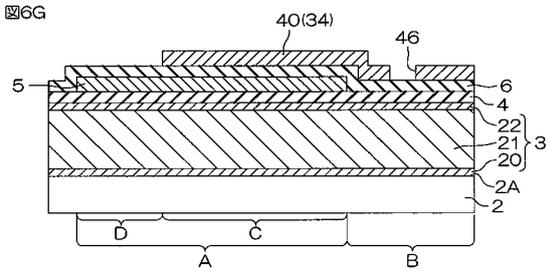
【 図 6 B 】



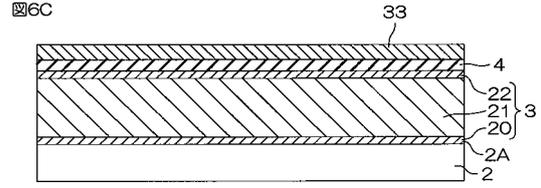
【 図 6 F 】



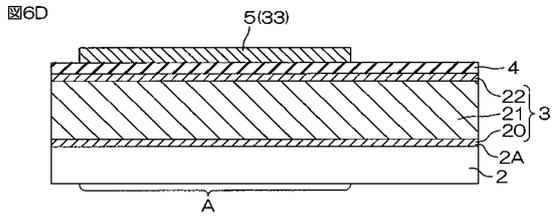
【 図 6 G 】



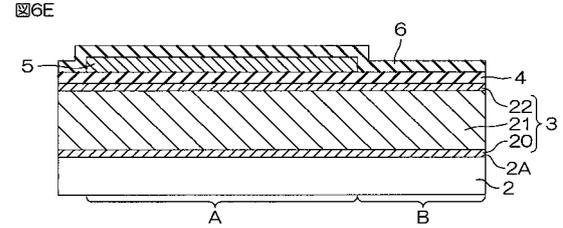
【 図 6 C 】



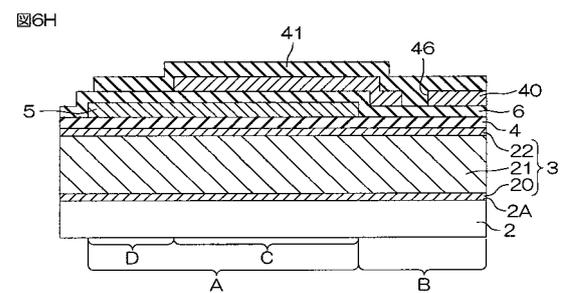
【 図 6 D 】



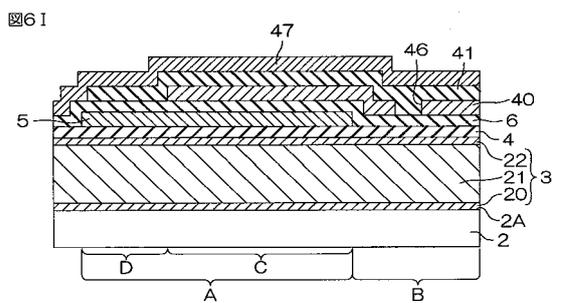
【 図 6 E 】



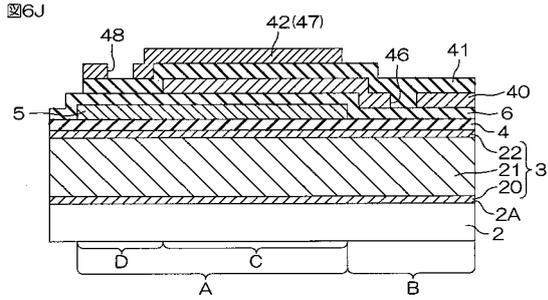
【 図 6 H 】



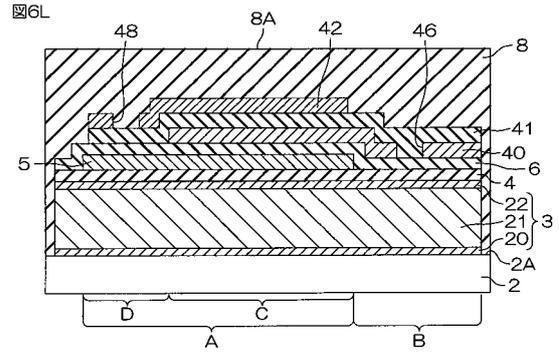
【 図 6 I 】



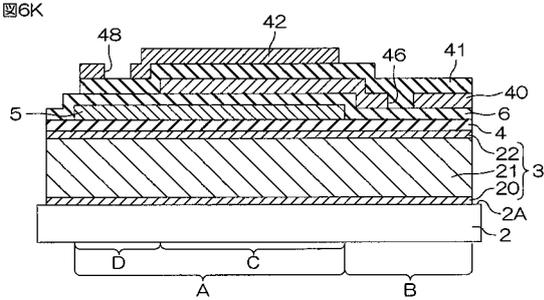
【 図 6 J 】



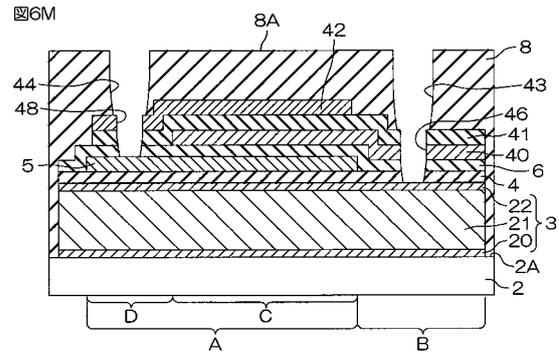
【 図 6 L 】



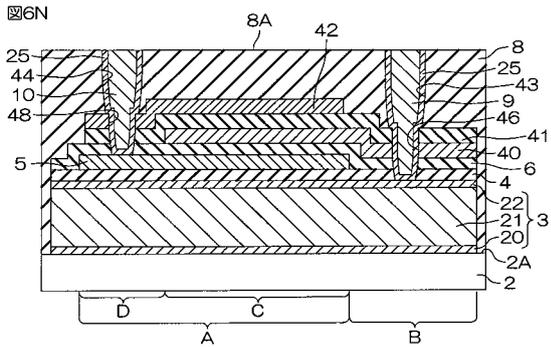
【 図 6 K 】



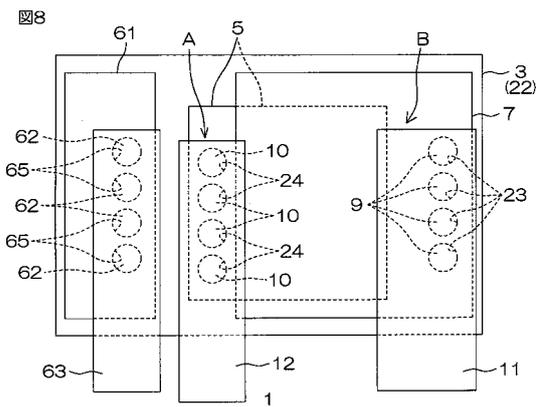
【 図 6 M 】



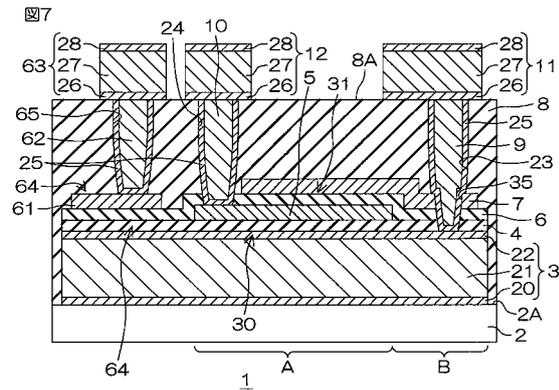
【 図 6 N 】



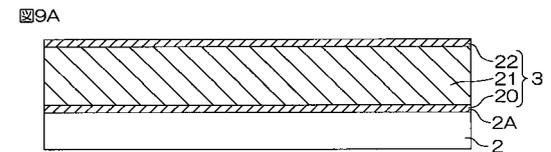
【 図 8 】



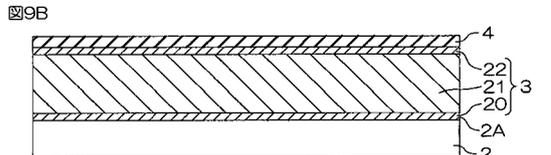
【 図 7 】



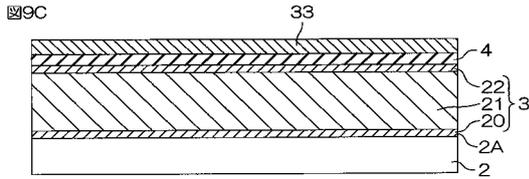
【 図 9 A 】



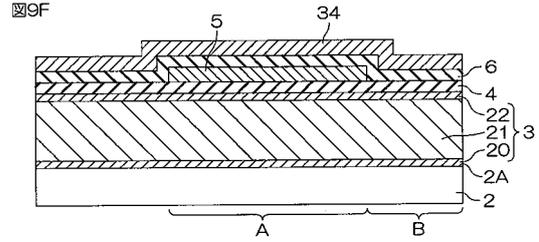
【 図 9 B 】



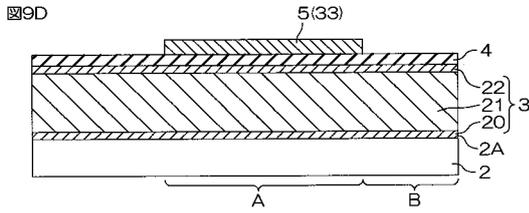
【 図 9 C 】



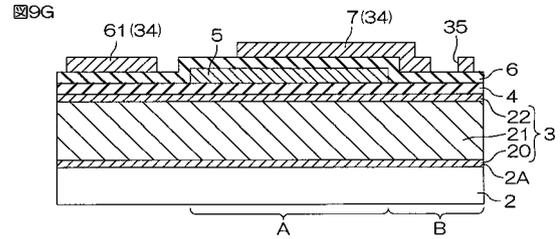
【 図 9 F 】



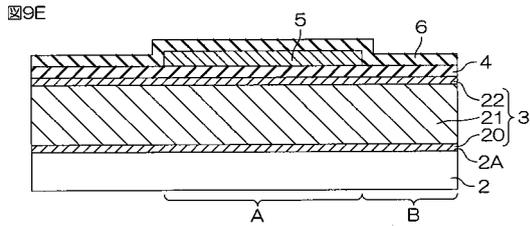
【 図 9 D 】



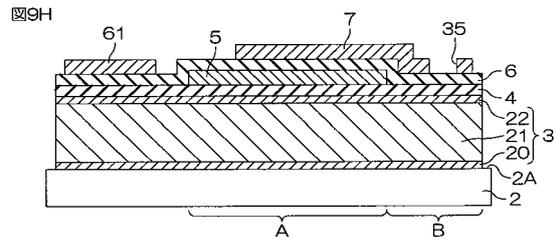
【 図 9 G 】



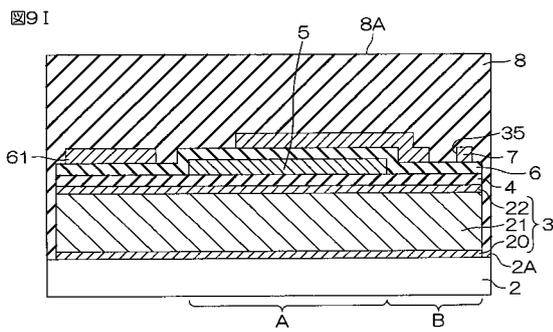
【 図 9 E 】



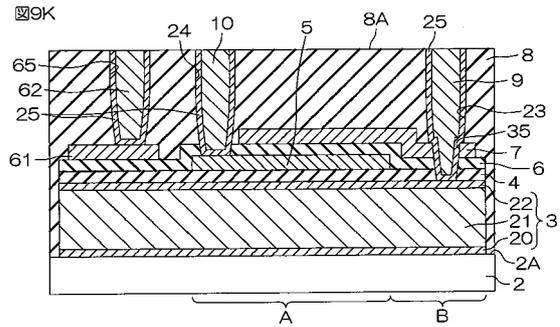
【 図 9 H 】



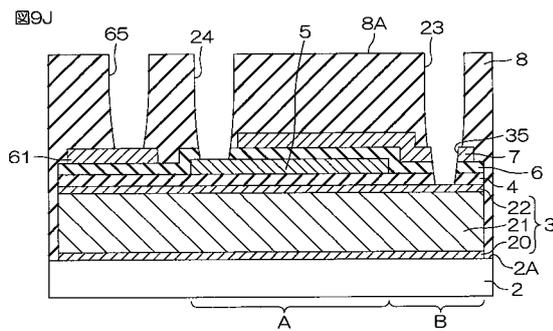
【 図 9 I 】



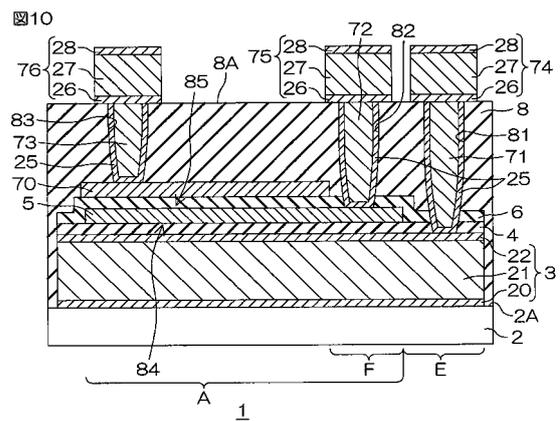
【 図 9 K 】



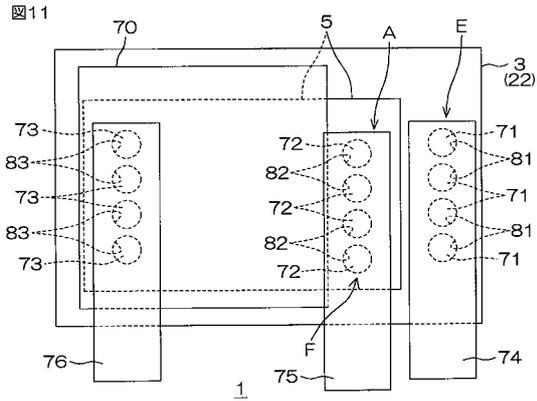
【 図 9 J 】



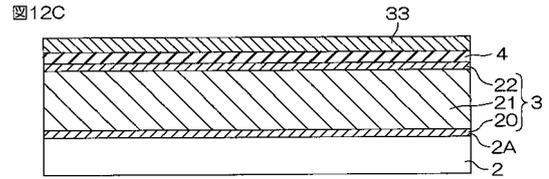
【 図 1 0 】



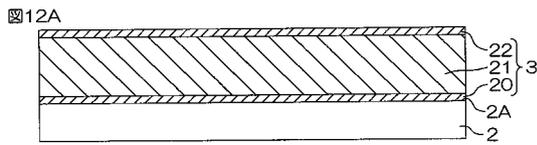
【図 1 1】



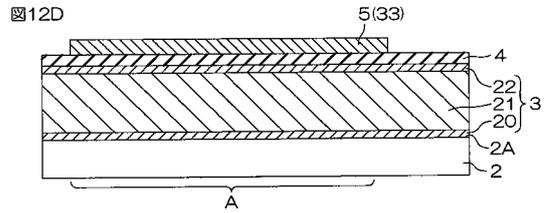
【図 1 2 C】



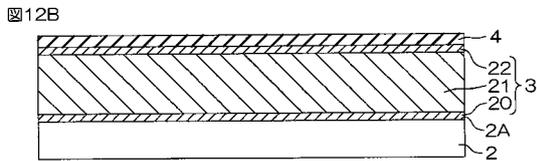
【図 1 2 A】



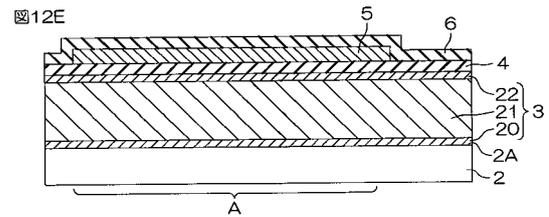
【図 1 2 D】



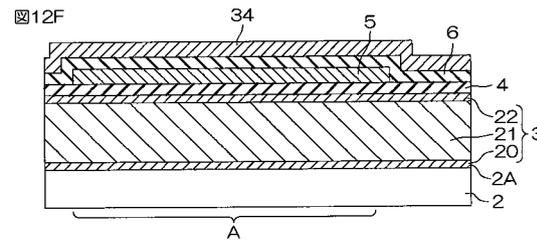
【図 1 2 B】



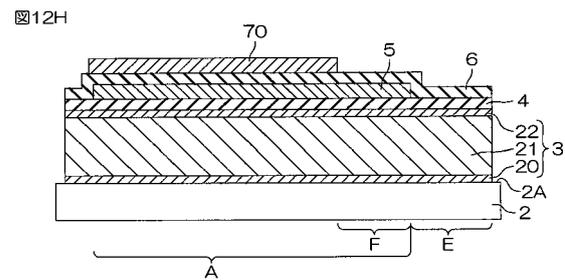
【図 1 2 E】



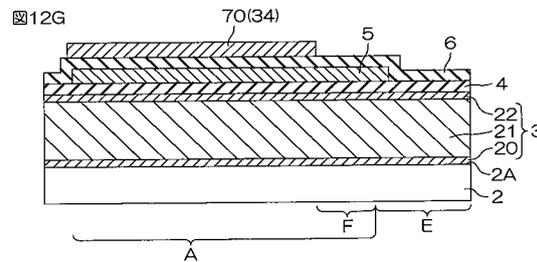
【図 1 2 F】



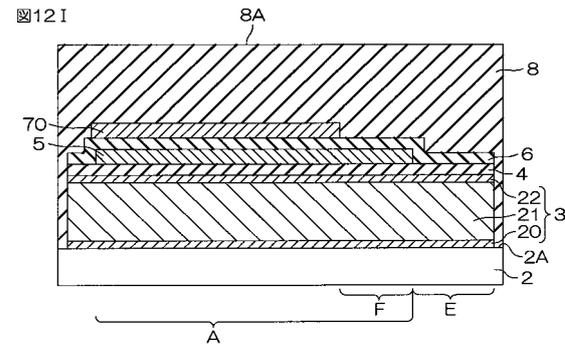
【図 1 2 H】



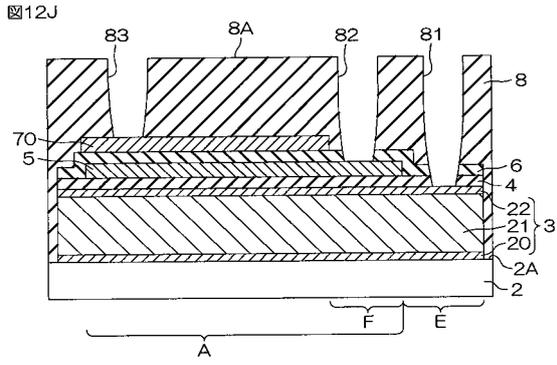
【図 1 2 G】



【図 1 2 I】



【 図 1 2 J 】



【 図 1 2 K 】

