(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4983096号
(P4983096)
(45)発行日　平成24年7月25日(2012.7.25)　(24)登録日　平成24年5月11日(2012.5.11)

(51)Int.Cl.　　F I
G11C 16/02 (2006.01)　　G11C 17/00 612B
G11C 29/34 (2006.01)　　G11C 29/00 673P

請求項の数 9　(全 14 頁)

(21)出願番号　特願2006-144224 (P2006-144224)
(22)出願日　平成18年5月24日 (2006.5.24)
(65)公開番号　特開2007-317276 (P2007-317276A)
(43)公開日　平成19年12月6日 (2007.12.6)
審査請求日　平成21年3月2日 (2009.3.2)

(73)特許権者　308014341
富士通セミコンダクター株式会社
神奈川県横浜市港北区新横浜二丁目１０番２３
(74)代理人　100072718
弁理士　古谷　史旺
(74)代理人　100116001
弁理士　森　俊秀
(72)発明者　大河原　順子
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内
(72)発明者　榊原　光晴
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

最終頁に続く

(54)【発明の名称】不揮発性半導体記憶装置、不揮発性半導体記憶装置の消去方法および不揮発性半導体記憶装置の試験方法

(57)【特許請求の範囲】
【請求項１】
電気的に書き換え可能な複数の不揮発性のメモリセルを有するメモリセルアレイと、
外部命令に応じて前記メモリセルアレイの動作を制御する動作制御回路とを備え、
前記動作制御回路は、
前記メモリセルアレイの消去ベリファイ動作と前記メモリセルアレイの消去動作とが交互に繰り返し実施されるとき、前記メモリセルアレイの消去ベリファイ動作の開始前にリセットされ、前記メモリセルアレイの消去ベリファイ動作により前記メモリセルのいずれかの消去未完了が検出されるのに伴ってセットされるフラグ回路と、
前記フラグ回路がリセットされている場合に前記外部命令に拘わらず前記メモリセルアレイの消去動作を禁止することで、前記メモリセルアレイの消去動作を前記フラグ回路の状態に応じて実施させる消去禁止回路とを備え、
前記動作制御回路は、前記メモリセルアレイの消去ベリファイ動作を前記フラグ回路が前回の消去ベリファイ動作に伴ってセットされたか否かに拘わらず実施させることを特徴とする不揮発性半導体記憶装置。
【請求項２】
請求項１記載の不揮発性半導体記憶装置において、
前記動作制御回路は、前記消去禁止回路として機能し、前記フラグ回路がセットされている場合にのみ、前記メモリセルアレイの消去動作を指示する消去コマンドを発行するコマンド発行回路を備えることを特徴とする不揮発性半導体記憶装置。

【請求項３】
請求項１記載の不揮発性半導体記憶装置において、
前記動作制御回路は、前記消去禁止回路として機能し、前記フラグ回路がセットされている場合にのみ、前記メモリセルアレイの消去動作で使用される消去電圧を生成する電圧生成回路を備えることを特徴とする不揮発性半導体記憶装置。
【請求項４】
請求項１記載の不揮発性半導体記憶装置において、
前記動作制御回路は、前記消去禁止回路として機能し、前記フラグ回路がセットされている場合にのみ、前記メモリセルの制御ゲートに消去電圧を印加する電圧印加回路を備えることを特徴とする不揮発性半導体記憶装置。
【請求項５】
電気的に書き換え可能な複数の不揮発性のメモリセルを有するメモリセルアレイを備えた不揮発性半導体記憶装置の消去方法であって、
前記メモリセルアレイの消去ベリファイ動作と前記メモリセルアレイの消去動作とが交互に繰り返し実施されるとき、前記メモリセルアレイの消去ベリファイ動作の開始前にフラグ回路をリセットし、前記メモリセルアレイの消去ベリファイ動作により前記メモリセルのいずれかの消去未完了が検出されるのに伴って前記フラグ回路をセットし、
前記フラグ回路がリセットされている場合に外部命令に拘わらず前記メモリセルアレイの消去動作を禁止することで、前記メモリセルアレイの消去動作を前記フラグ回路の状態に応じて実施させ、
前記メモリセルアレイの消去ベリファイ動作を前記フラグ回路が前回の消去ベリファイ動作に伴ってセットされたか否かに拘わらず実施させることを特徴とする不揮発性半導体記憶装置の消去方法。
【請求項６】
請求項５記載の不揮発性半導体記憶装置の消去方法において、
前記フラグ回路がセットされている場合にのみ、前記メモリセルアレイの消去動作を指示する消去コマンドを発行することを特徴とする不揮発性半導体記憶装置の消去方法。
【請求項７】
請求項５記載の不揮発性半導体記憶装置の消去方法において、
前記フラグ回路がセットされている場合にのみ、前記メモリセルアレイの消去動作で使用される消去電圧を生成することを特徴とする不揮発性半導体記憶装置の消去方法。
【請求項８】
請求項５記載の不揮発性半導体記憶装置の消去方法において、
前記フラグ回路がセットされている場合にのみ、前記メモリセルの制御ゲートに消去電圧を印加することを特徴とする不揮発性半導体記憶装置の消去方法。
【請求項９】
電気的に書き換え可能な複数の不揮発性のメモリセルを有するメモリセルアレイを備えた複数の不揮発性半導体記憶装置を同時に消去する試験方法であって、
前記不揮発性半導体記憶装置の各々において、
前記メモリセルアレイの消去ベリファイ動作と前記メモリセルアレイの消去動作とが交互に繰り返し実施されるとき、前記メモリセルアレイの消去ベリファイ動作の開始前にフラグ回路をリセットし、前記メモリセルアレイの消去ベリファイ動作により前記メモリセルのいずれかの消去未完了が検出されるのに伴って前記フラグ回路をセットし、
前記フラグ回路がリセットされている場合に外部命令に拘わらず前記メモリセルアレイの消去動作を禁止することで、前記メモリセルアレイの消去動作を前記フラグ回路の状態に応じて実施させ、
前記メモリセルアレイの消去ベリファイ動作を前記フラグ回路が前回の消去ベリファイ動作に伴ってセットされたか否かに拘わらず実施させることを特徴とする不揮発性半導体記憶装置の試験方法。
【発明の詳細な説明】

【技術分野】
【０００１】
本発明は、不揮発性半導体記憶装置に関し、特に、不揮発性半導体記憶装置の試験技術に関する。
【背景技術】
【０００２】
図７は、従来の不揮発性半導体記憶装置を示している。従来の不揮発性半導体記憶装置ＭＥＭは、コマンドデコーダＣＭＤＥＣ、内部電圧生成器ＩＶＧ、アドレスデコーダＡＤＤＥＣ、メモリセルアレイＭＣＡ、ロウデコーダＲＤＥＣ、ソースセレクタＳＳＥＬ、コラムデコーダＣＤＥＣ、ＹゲートＹＧＴ、センスアンプＳＡ、データラッチＤＬＡＴおよびデータ入出力回路ＤＩＯを有している。
【０００３】
コマンドデコーダＣＭＤＥＣは、パルス入力端子ＰＬＳ、リセット端子ＲＳＴおよびモード設定端子ＭＤから供給される外部制御信号に基づいて、所望の動作モード（読み出し動作モード、書き込み動作モードや消去動作モード等）に遷移して、内部電圧生成器ＩＶＧ、アドレスデコーダＡＤＤＥＣ、センスアンプＳＡ、データラッチＤＬＡＴおよびデータ入出力回路ＤＩＯを制御するための内部制御信号（読み出しコマンド、書き込みコマンド、消去コマンド等を含む）を生成する。
【０００４】
内部電圧生成器ＩＶＧは、コマンドデコーダＣＭＤＥＣから供給される内部制御信号に応答して、ロウデコーダＲＤＥＣで使用される内部電圧およびソースセレクタＳＳＥＬで使用される内部電圧を、電源端子ＶＤＤ、ＶＳＳから供給される外部電圧を用いて生成する。アドレスデコーダＡＤＤＥＣは、アドレス入力端子ＡＤＤから供給されるアドレスおよびコマンドデコーダＣＭＤＥＣから供給される内部制御信号に基づいて、ロウデコーダＲＤＥＣ、ソースセレクタＳＳＥＬおよびコラムデコーダＣＤＥＣを制御するための内部制御信号を生成する。
【０００５】
メモリセルアレイＭＣＡは、複数の不揮発性のメモリセルＭＣをマトリックス状に配置して構成されている。メモリセルＭＣは、制御ゲートおよび浮遊ゲートを有するトランジスタで構成されている。メモリセルＭＣの制御ゲートはワード線ＷＬに接続され、メモリセルＭＣのドレインはビット線ＢＬに接続され、メモリセルＭＣのソースはソース線ＳＬに接続されている。
【０００６】
ロウデコーダＲＤＥＣは、アドレスデコーダＡＤＤＥＣから供給される内部制御信号に基づいて、メモリセルアレイＭＣＡにおける所望のワード線ＷＬを選択し、選択したワード線ＷＬを内部電圧生成器ＩＶＧから供給される内部電圧を用いて所定電圧に設定する。ソースセレクタＳＳＥＬは、アドレスデコーダＡＤＤＥＣから供給される内部制御信号に基づいて、メモリセルアレイＭＣＡにおける所望のソース線ＳＬを選択し、選択したソース線ＳＬを内部電圧生成器ＩＶＧから供給される内部電圧を用いて所定電圧に設定する。
【０００７】
コラムデコーダＣＤＥＣは、アドレスデコーダＡＤＤＥＣから供給される内部制御信号に基づいて、ＹゲートＹＧＴを制御するための内部制御信号を生成する。ＹゲートＹＧＴは、コラムデコーダＣＤＥＣから供給される内部制御信号に基づいて、メモリセルアレイＭＣＡにおける所望のビット線ＢＬを選択し、選択したビット線ＢＬをセンスアンプＳＡまたはデータラッチＤＬＡＴに接続する。センスアンプＳＡ、データラッチＤＬＡＴおよびデータ入出力回路ＤＩＯは、メモリセルアレイＭＣＡと外部との間でのデータ授受等のために、コマンドデコーダＣＭＤＥＣから供給される内部制御信号に応じて動作する周知の回路である。
【０００８】
このような構成の不揮発性半導体記憶装置ＭＥＭでは、消去動作は、ロウデコーダＲＤ

ＥＣおよびソースセレクタＳＳＥＬにより選択されたメモリセルＭＣのゲートから電子を放出するための電界が印加されることで実施される。メモリセルＭＣの消去が完了したか否かの判定は、消去ベリファイ動作により実施される。消去ベリファイ動作は、ロウデコーダＲＤＥＣおよびソースセレクタＳＳＥＬにより選択されたメモリセルＭＣの電流がビット線ＢＬに流れ、ＹゲートＹＧＴを介してセンスアンプＳＡにより判定されることで実施される。センスアンプＳＡによる判定結果は、データ入出力回路ＤＩＯを介して入出力端子ＩＯに供給される。

【０００９】

メモリセルＭＣに消去電圧（消去動作時のワード線ＷＬの電圧）が過剰に印加されると、メモリセルＭＣの閾値電圧が負の状態になる（メモリセルＭＣが過消去状態になる）。過消去状態のメモリセルＭＣが存在する場合、読み出し動作等において、過消去状態のメモリセルＭＣの電流がビット線ＢＬに流れるため、過消去状態のメモリセルＭＣと同一のビット線ＢＬに接続されるプログラム状態のメモリセルＭＣの電流と過消去状態のメモリセルＭＣの電流とをセンスアンプＳＡで区別することができず、誤ったデータが読み出される可能性がある。このため、メモリセルＭＣに消去電圧が過剰に印加されることを回避する必要がある。

【００１０】

図８は、図７の不揮発性半導体記憶装置の消去試験方法を示している。図８に示す消去試験フローにおいて、ステップＳ５０１～Ｓ５０８は外部試験装置で実施される動作である。

ステップＳ５０１において、消去回数（消去パルス発生回数）を示す変数Ｎの値が０に設定される。この後、消去試験はステップＳ５０２に移行する。

【００１１】

ステップＳ５０２において、アドレス入力端子ＡＤＤに供給されるアドレスがメモリセルアレイＭＣＡの先頭アドレスに設定される。この後、消去試験はステップＳ５０３に移行する。

ステップＳ５０３において、消去ベリファイが実施される。消去ベリファイによりパス判定がなされた場合、消去試験はステップＳ５０４に移行する。消去ベリファイによりフェイル判定がなされた場合、消去試験はステップＳ５０６に移行する。

【００１２】

ステップＳ５０４において、アドレス入力端子ＡＤＤに供給されるアドレスがインクリメントされる。この後、消去試験はステップＳ５０５に移行する。

ステップＳ５０５において、アドレス入力端子ＡＤＤに供給されるアドレスが試験終了アドレス（メモリセルアレイＭＣＡの最終アドレスからインクリメントした際のアドレス）と一致するか否かが判定される。アドレス入力端子ＡＤＤに供給されるアドレスが試験終了アドレスと一致する場合、消去試験は正常終了する。アドレス入力端子ＡＤＤに供給されるアドレスが試験終了アドレスと一致しない場合、消去試験はステップＳ５０３に移行する。

【００１３】

ステップＳ５０６において、パルス入力端子ＰＬＳに供給される消去パルスが発生される。これにより、不揮発性半導体記憶装置ＭＥＭの消去動作が実施される。この後、消去試験はステップＳ５０７に移行する。

ステップＳ５０７において、変数Ｎの値に１が加算される。この後、消去試験はステップＳ５０８に移行する。

【００１４】

ステップＳ５０８において、変数Ｎの値が最大消去回数Ｎｍａｘを超過したか否かが判定される。変数Ｎの値が最大消去回数Ｎｍａｘを超過している場合、消去試験は異常終了する。変数Ｎの値が最大消去回数Ｎｍａｘを超過していない場合、消去試験はステップＳ５０３に移行する。

また、複数の不揮発性半導体記憶装置を同時に消去試験するための技術が、例えば、特

許文献１、２に開示されている。
【特許文献１】特開平８－３１１８９９号公報
【特許文献２】特開２００４－２４１０４５号公報
【発明の開示】
【発明が解決しようとする課題】
【００１５】
フラッシュメモリ等の不揮発性半導体記憶装置の消去試験においては、試験時間を短縮するために、複数の不揮発性半導体記憶装置を同時に消去試験するのが一般的である。電源が共通である単純な外部試験装置を用いて、消去回数（全てのメモリセルの消去が完了するまでの時間）が異なる複数の不揮発性半導体記憶装置を同時に消去試験する場合、不揮発性半導体記憶装置に消去動作させるための外部制御信号が複数の不揮発性半導体記憶装置に対して共通に供給されるため、全てのメモリセルの消去が完了していない不揮発性半導体記憶装置が存在する限り、全ての不揮発性半導体記憶装置に外部制御信号が供給され続ける。このため、全てのメモリセルの消去が完了している不揮発性半導体記憶装置において、消去動作が必要以上に実施されてしまう。
【００１６】
不揮発性半導体記憶装置における全てのメモリセルの消去が完了するまでに必要な消去回数（消去動作の実施回数）は、不揮発性半導体記憶装置を製造する際の製造条件等により大きく影響を受ける。このため、図８に示した消去試験フローを用いて複数の不揮発性半導体記憶装置を同時に消去試験する場合、消去試験フローの異常終了条件（最大消去回数Ｎｍａｘ）を必要な消去回数が最も大きい不揮発性半導体記憶装置に合わせて設定すると、その他の不揮発性半導体記憶装置には無駄な消去パルスが供給され、消去動作が必要以上に実施されてしまう。
【００１７】
また、特許文献１に開示された方法では、外部試験装置側のハードウェアおよびソフトウェアにより各不揮発性半導体記憶装置のメモリセル毎に条件分岐処理するため、外部試験装置の構成が複雑になってしまう。特許文献２に開示された方法では、最大規定回数まで必ず消去パルスを供給し続けるため、試験時間が決まった時間だけ掛かり、試験時間の短縮が困難である。
【００１８】
本発明は、このような問題点に鑑みてなされたものであり、複数の不揮発性半導体記憶装置を同時に消去試験する場合に、不揮発性半導体記憶装置の各々において消去動作が必要以上に実施されることを防止することを目的とする。
【課題を解決するための手段】
【００１９】
本発明の一態様では、不揮発性半導体記憶装置は、電気的に書き換え可能な複数の不揮発性のメモリセルを有するメモリセルアレイと、外部命令に応じてメモリセルアレイの動作を制御する動作制御回路とを備える。動作制御回路は、メモリセルアレイの消去ベリファイ動作とメモリセルアレイの消去動作とが交互に繰り返し実施されるとき、メモリセルアレイの消去ベリファイ動作の開始前にリセットされ、メモリセルアレイの消去ベリファイ動作によりメモリセルのいずれかの消去未完了が検出されるのに伴ってセットされるフラグ回路と、フラグ回路がリセットされている場合に外部命令に拘わらずメモリセルアレイの消去動作を禁止することで、メモリセルアレイの消去動作をフラグ回路の状態に応じて実施させる消去禁止回路とを備える。動作制御回路は、メモリセルアレイの消去ベリファイ動作をフラグ回路が前回の消去ベリファイ動作に伴ってセットされたか否かに拘わらず実施させる。
本発明に関連する技術では、不揮発性半導体記憶装置は、メモリセルアレイおよび動作制御回路を備えて構成される。メモリセルアレイは、電気的に書き換え可能な複数の不揮発性のメモリセルを備えて構成される。動作制御回路は、外部命令に応じてメモリセルアレイの動作を制御する。動作制御回路は、フラグ回路および消去禁止回路を備えて構成さ

れる。フラグ回路は、メモリセルアレイの消去ベリファイ動作によりメモリセルのいずれかの消去未完了が検出されるのに伴ってセットされる。例えば、フラグ回路は、メモリセルアレイの消去ベリファイ動作の開始前にリセットされる。消去禁止回路は、フラグ回路がリセットされている場合に外部命令に拘わらずメモリセルアレイの消去動作を禁止する。すなわち、メモリセルアレイの消去ベリファイ動作によりメモリセルの全ての消去完了が検出されて以降、外部命令に拘わらずメモリセルアレイの消去動作が禁止される。

【００２０】

好ましくは、動作制御回路は、消去禁止回路として機能するコマンド発行回路を備えて構成される。コマンド発行回路は、フラグ回路がセットされている場合にのみ、メモリセルアレイの消去動作を指示する消去コマンドを発行する。すなわち、メモリセルアレイの消去ベリファイ動作によりメモリセルのいずれかの消去未完了が検出された場合にのみ、消去コマンドが発行される。

【００２１】

あるいは、動作制御回路は、消去禁止回路として機能する電圧生成回路を備えて構成される。電圧生成回路は、フラグ回路がセットされている場合にのみ、メモリセルアレイの消去動作で使用される消去電圧を生成する。すなわち、メモリセルアレイの消去ベリファイ動作によりメモリセルのいずれかの消去未完了が検出された場合にのみ、消去電圧が生成される。

【００２２】

あるいは、動作制御回路は、消去禁止回路として機能する電圧印加回路を備えて構成される。電圧印加回路は、フラグ回路がセットされている場合にのみ、メモリセルの制御ゲートに消去電圧を印加する。すなわち、メモリセルアレイの消去ベリファイ動作によりメモリセルのいずれかの消去未完了が検出された場合にのみ、メモリセルの制御ゲートに消去電圧が印加される。

【００２３】

以上のような不揮発性半導体記憶装置では、消去ベリファイ動作でフェイル判定がなされるのに伴ってセットされるフラグ回路と、フラグ回路がセットされていない場合に消去動作を禁止する消去禁止回路とを設けることで、複数個を同時に消去試験する場合に、不揮発性半導体記憶装置の各々において、メモリセルアレイの消去ベリファイ動作によりメモリセルの全ての消去完了が検出されて以降、外部命令に拘わらずメモリセルアレイの消去動作が禁止される。このため、複数の不揮発性半導体記憶装置を同時に消去試験する場合でも、全てのメモリセルの消去が完了した不揮発性半導体記憶装置においては消去動作が実施されることはない。従って、複数の不揮発性半導体記憶装置を同時に消去試験する場合に、不揮発性半導体記憶装置の各々において消去動作が必要以上に実施されることを防止できる。

【発明の効果】

【００２４】

本発明によれば、複数の不揮発性半導体記憶装置を同時に消去試験する場合に、不揮発性半導体記憶装置の各々において消去動作が必要以上に実施されることを防止できる。

【発明を実施するための最良の形態】

【００２５】

以下、図面を用いて本発明の実施形態を説明する。図１は、本発明の第１実施形態の不揮発性半導体記憶装置を示している。図１を説明するにあたって、図７で説明した要素と同一の要素については、同一の符号を付して詳細な説明を省略する。図１の不揮発性半導体記憶装置ＭＥＭａは、図７の不揮発性半導体記憶装置ＭＥＭに対して、フラグ回路ＦＬＧを加えるとともに、コマンドデコーダＣＭＤＥＣおよびセンスアンプＳＡをコマンドデコーダＣＭＤＥＣａおよびセンスアンプＳＡａにそれぞれ置き換えて構成されている。

【００２６】

図１のコマンドデコーダＣＭＤＥＣａは、フラグ回路ＦＬＧがセットされている場合に

のみ、消去動作モードに遷移して消去コマンド（メモリセルアレイＭＣＡの消去動作を実施させるためのコマンド）を発行すること、およびメモリセルアレイＭＣＡの消去ベリファイ動作が実施される前にフラグ回路ＦＬＧをリセットするための内部制御信号を生成することを除いて、図７のコマンドデコーダＣＭＤＥＣと同一である。

【００２７】

図１のセンスアンプＳＡａは、メモリセルアレイＭＣＡの消去ベリファイ動作でのパス／フェイル判定結果をフラグ回路ＦＬＧにも供給することを除いて、図７のセンスアンプＳＡと同一である。フラグ回路ＦＬＧは、センスアンプＳＡａから供給される判定結果がフェイルを示すときにセットされる。また、フラグ回路ＦＬＧは、コマンドデコーダＣＭＤＥＣａから供給される内部制御信号に応答してリセットされる。

【００２８】

図２は、図１の不揮発性半導体記憶装置の消去試験方法（複数個同時）を示している。図２に示す消去試験フローにおいて、ステップＳ１０３、Ｓ１０４、Ｓ１０９～Ｓ１１１は、不揮発性半導体記憶装置ＭＥＭａの各々で実施される動作であり、ステップＳ１０３、Ｓ１０４、Ｓ１０９～Ｓ１１１以外のステップは、外部試験装置で実施される動作である。

【００２９】

ステップＳ１０１において、消去回数（消去パルス発生回数）を示す変数Ｎの値が０に設定される。この後、消去試験はステップＳ１０２に移行する。

ステップＳ１０２において、アドレス入力端子ＡＤＤに供給されるアドレスがメモリセルアレイＭＣＡの先頭アドレスに設定される。この後、消去試験はステップＳ１０３に移行する。

【００３０】

ステップＳ１０３において、消去ベリファイが実施される。消去ベリファイによりパス判定がなされた場合、消去試験はステップＳ１０４を省略してステップＳ１０５に移行する。消去ベリファイによりフェイル判定がなされた場合、消去試験はステップＳ１０４に移行する。

ステップＳ１０４において、フラグ回路ＦＬＧがセットされる。この後、消去試験はステップＳ１０５に移行する。

【００３１】

ステップＳ１０５において、アドレス入力端子ＡＤＤに供給されるアドレスがインクリメントされる。この後、消去試験はステップＳ１０６に移行する。

ステップＳ１０６において、アドレス入力端子ＡＤＤに供給されるアドレスが試験終了アドレス（メモリセルアレイＭＣＡの最終アドレスからインクリメントした際のアドレス）と一致するか否かが判定される。アドレス入力端子ＡＤＤに供給されるアドレスが試験終了アドレスと一致する場合、消去試験はステップＳ１０７に移行する。アドレス入力端子ＡＤＤに供給されるアドレスが試験終了アドレスと一致しない場合、消去試験はステップＳ１０３に移行する。

【００３２】

ステップＳ１０７において、全てのチップ（不揮発性半導体記憶装置ＭＥＭａ）において全てのアドレスについて消去ベリファイでパス判定がなされたか否かが判定される。全てのチップにおいて全てのアドレスについて消去ベリファイでパス判定がなされた場合、消去試験は正常終了する。少なくともいずれかのチップにおいて少なくともいずれかのアドレスについて消去ベリファイでフェイル判定がなされた場合、消去試験はステップＳ１０８に移行する。

【００３３】

ステップＳ１０８において、パルス入力端子ＰＬＳに供給される消去パルスが発生される。この後、消去試験はステップＳ１０９に移行する。

ステップＳ１０９において、フラグ回路ＦＬＧがセット状態であるか否かが判定される。フラグ回路ＦＬＧがセット状態である場合、消去試験はステップＳ１１０に移行する。

フラグ回路ＦＬＧがセット状態でない場合（フラグ回路ＦＬＧがリセット状態である場合）、消去試験はステップＳ１１０を省略してステップＳ１１１に移行する。

【００３４】

ステップＳ１１０において、フラグ回路ＦＬＧがセットされているため、コマンドデコーダＣＭＤＥＣａにより消去コマンドが発行され、メモリセルアレイＭＣＡの消去動作が実施される。この後、消去試験はステップＳ１１１に移行する。

ステップＳ１１１において、フラグ回路ＦＬＧがリセットされる。この後、消去試験はステップＳ１１２に移行する。

【００３５】

ステップＳ１１２において、変数Ｎの値に１が加算される。この後、消去試験はステップＳ１１３に移行する。

ステップＳ１１３において、変数Ｎの値が最大消去回数Ｎｍａｘを超過したか否かが判定される。変数Ｎの値が最大消去回数Ｎｍａｘを超過している場合、消去試験は異常終了する。変数Ｎの値が最大消去回数Ｎｍａｘを超過していない場合、消去試験はステップＳ１０２に移行する。

【００３６】

以上のような第１実施形態では、フラグ回路ＦＬＧは消去ベリファイ動作でのフェイル判定に伴ってセットされ、コマンドデコーダＣＭＤＥＣａはフラグ回路ＦＬＧがセットされている場合にのみ消去コマンドを発行するため、複数の不揮発性半導体記憶装置ＭＥＭａを同時に消去試験する場合でも、全てのメモリセルＭＣの消去が完了した不揮発性半導体記憶装置ＭＥＭａにおいて消去動作が実施されることはない。従って、複数の不揮発性半導体記憶装置ＭＥＭａを同時に消去試験する場合に、不揮発性半導体記憶装置ＭＥＭａの各々において消去動作が必要以上に実施されることを防止できる。

【００３７】

また、ｎ個の不揮発性半導体記憶装置ＭＥＭａを同時に消去試験する場合、試験時間Ｔは、全てのアドレスについての消去ベリファイ動作に要する時間Ｔ１、１回の消去動作に要する時間Ｔ２、不揮発性半導体記憶装置ＭＥＭａの全てについて消去が完了するまでに消去パルスが発生される回数Ｎを用いて、Ｔ＝（Ｔ１＋Ｔ２）×Ｎで表され、１個の不揮発性半導体記憶装置ＭＥＭａを消去試験する場合に掛かる時間と等しくなる。このため、複数の不揮発性半導体記憶装置ＭＥＭａを同時に消去試験する場合、試験時間を短縮することができる。

【００３８】

図３は、本発明の第２実施形態の不揮発性半導体記憶装置を示している。図３を説明するにあたって、図１および図７で説明した要素と同一の要素については、同一の符号を付して詳細な説明を省略する。図３の不揮発性半導体記憶装置ＭＥＭｂは、図１の不揮発性半導体記憶装置ＭＥＭａに対して、コマンドデコーダＣＭＤＥＣａおよび内部電圧生成器ＩＶＧをコマンドデコーダＣＭＤＥＣｂおよび内部電圧生成器ＩＶＧａにそれぞれ置き換えて構成されている。

【００３９】

図３のコマンドデコーダＣＭＤＥＣｂは、フラグ回路ＦＬＧのセット状態／リセット状態に拘わらず消去コマンドを発行することを除いて、図１のコマンドデコーダＣＭＤＥＣａと同一である。図３の内部電圧生成器ＩＶＧａは、フラグ回路ＦＬＧがセットされている場合にのみ、ロウデコーダＲＤＥＣで使用される内部電圧を生成することを除いて、図１（図７）の内部電圧生成器ＩＶＧと同一である。

【００４０】

図４は、図３の不揮発性半導体記憶装置の消去試験方法（複数個同時）を示している。図４に示す消去試験フローにおいて、ステップＳ２０３、Ｓ２０４、Ｓ２０９～Ｓ２１１は、不揮発性半導体記憶装置ＭＥＭｂの各々で実施される動作であり、ステップＳ２０３、Ｓ２０４、Ｓ２０９～Ｓ２１１以外のステップは、外部試験装置で実施される動作である。

【００４１】
ステップＳ２０１において、消去回数（消去パルス発生回数）を示す変数Ｎの値が０に設定される。この後、消去試験はステップＳ２０２に移行する。
ステップＳ２０２において、アドレス入力端子ＡＤＤに供給されるアドレスがメモリセルアレイＭＣＡの先頭アドレスに設定される。この後、消去試験はステップＳ２０３に移行する。
【００４２】
ステップＳ２０３において、消去ベリファイが実施される。消去ベリファイによりパス判定がなされた場合、消去試験はステップＳ２０４を省略してステップＳ２０５に移行する。消去ベリファイによりフェイル判定がなされた場合、消去試験はステップＳ２０４に移行する。
ステップＳ２０４において、フラグ回路ＦＬＧがセットされる。この後、消去試験はステップＳ２０５に移行する。
【００４３】
ステップＳ２０５において、アドレス入力端子ＡＤＤに供給されるアドレスがインクリメントされる。この後、消去試験はステップＳ２０６に移行する。
ステップＳ２０６において、アドレス入力端子ＡＤＤに供給されるアドレスが試験終了アドレス（メモリセルアレイＭＣＡの最終アドレスからインクリメントした際のアドレス）と一致するか否かが判定される。アドレス入力端子ＡＤＤに供給されるアドレスが試験終了アドレスと一致する場合、消去試験はステップＳ２０７に移行する。アドレス入力端子ＡＤＤに供給されるアドレスが試験終了アドレスと一致しない場合、消去試験はステップＳ２０３に移行する。
【００４４】
ステップＳ２０７において、全てのチップ（不揮発性半導体記憶装置ＭＥＭｂ）において全てのアドレスについて消去ベリファイでパス判定がなされたか否かが判定される。全てのチップにおいて全てのアドレスについて消去ベリファイでパス判定がなされた場合、消去試験は正常終了する。少なくともいずれかのチップにおいて少なくともいずれかのアドレスについて消去ベリファイでフェイル判定がなされた場合、消去試験はステップＳ２０８に移行する。
【００４５】
ステップＳ２０８において、パルス入力端子ＰＬＳに供給される消去パルスが発生される。この後、消去試験はステップＳ２０９に移行する。
ステップＳ２０９において、フラグ回路ＦＬＧがセット状態であるか否かが判定される。フラグ回路ＦＬＧがセット状態である場合、消去試験はステップＳ２１０に移行する。フラグ回路ＦＬＧがセット状態でない場合（フラグ回路ＦＬＧがリセット状態である場合）、消去試験はステップＳ２１０を省略してステップＳ２１１に移行する。
【００４６】
ステップＳ２１０において、フラグ回路ＦＬＧがセットされているため、内部電圧生成器ＩＶＧａにより消去電圧（ロウデコーダＲＤＥＣで使用される内部電圧）が生成され、メモリセルアレイＭＣＡの消去動作が実施される。この後、消去試験はステップＳ２１１に移行する。
ステップＳ２１１において、フラグ回路ＦＬＧがリセットされる。この後、消去試験はステップＳ２１２に移行する。
【００４７】
ステップＳ２１２において、変数Ｎの値に１が加算される。この後、消去試験はステップＳ２１３に移行する。
ステップＳ２１３において、変数Ｎの値が最大消去回数Ｎｍａｘを超過したか否かが判定される。変数Ｎの値が最大消去回数Ｎｍａｘを超過している場合、消去試験は異常終了する。変数Ｎの値が最大消去回数Ｎｍａｘを超過していない場合、消去試験はステップＳ２０２に移行する。

【００４８】
以上のような第２実施形態でも、第１実施形態と同様の効果が得られる。
図５は、本発明の第３実施形態の不揮発性半導体記憶装置を示している。図５を説明するにあたって、図１、図３および図７で説明した要素と同一の要素については、同一の符号を付して詳細な説明を省略する。図５の不揮発性半導体記憶装置ＭＥＭｃは、図１の不揮発性半導体記憶装置ＭＥＭａに対して、コマンドデコーダＣＭＤＥＣａおよびロウデコーダＲＤＥＣをコマンドデコーダＣＭＤＥＣｂ（図３）およびロウデコーダＲＤＥＣａにそれぞれ置き換えて構成されている。
【００４９】
図５のロウデコーダＲＤＥＣａは、フラグ回路ＦＬＧがセットされている場合にのみ、内部電圧生成器ＩＶＧから供給される内部電圧を用いてワード線ＷＬを所定電圧に設定することを除いて、図１（図７）のロウデコーダＲＤＥＣと同一である。
図６は、図５の不揮発性半導体記憶装置の消去試験方法（複数個同時）を示している。図６に示す消去試験フローにおいて、ステップＳ３０３、Ｓ３０４、Ｓ３０９～Ｓ３１１は、不揮発性半導体記憶装置ＭＥＭｃの各々で実施される動作であり、ステップＳ３０３、Ｓ３０４、Ｓ３０９～Ｓ３１１以外のステップは、外部試験装置で実施される動作である。
【００５０】
ステップＳ３０１において、消去回数（消去パルス発生回数）を示す変数Ｎの値が０に設定される。この後、消去試験はステップＳ３０２に移行する。
ステップＳ３０２において、アドレス入力端子ＡＤＤに供給されるアドレスがメモリセルアレイＭＣＡの先頭アドレスに設定される。この後、消去試験はステップＳ３０３に移行する。
【００５１】
ステップＳ３０３において、消去ベリファイが実施される。消去ベリファイによりパス判定がなされた場合、消去試験はステップＳ３０４を省略してステップＳ３０５に移行する。消去ベリファイによりフェイル判定がなされた場合、消去試験はステップＳ３０４に移行する。
ステップＳ３０４において、フラグ回路ＦＬＧがセットされる。この後、消去試験はステップＳ３０５に移行する。
【００５２】
ステップＳ３０５において、アドレス入力端子ＡＤＤに供給されるアドレスがインクリメントされる。この後、消去試験はステップＳ３０６に移行する。
ステップＳ３０６において、アドレス入力端子ＡＤＤに供給されるアドレスが試験終了アドレス（メモリセルアレイＭＣＡの最終アドレスからインクリメントした際のアドレス）と一致するか否かが判定される。アドレス入力端子ＡＤＤに供給されるアドレスが試験終了アドレスと一致する場合、消去試験はステップＳ３０７に移行する。アドレス入力端子ＡＤＤに供給されるアドレスが試験終了アドレスと一致しない場合、消去試験はステップＳ３０３に移行する。
【００５３】
ステップＳ３０７において、全てのチップ（不揮発性半導体記憶装置ＭＥＭｃ）において全てのアドレスについて消去ベリファイでパス判定がなされたか否かが判定される。全てのチップにおいて全てのアドレスについて消去ベリファイでパス判定がなされた場合、消去試験は正常終了する。少なくともいずれかのチップにおいて少なくともいずれかのアドレスについて消去ベリファイでフェイル判定がなされた場合、消去試験はステップＳ３０８に移行する。
【００５４】
ステップＳ３０８において、パルス入力端子ＰＬＳに供給される消去パルスが発生される。この後、消去試験はステップＳ３０９に移行する。
ステップＳ３０９において、フラグ回路ＦＬＧがセット状態であるか否かが判定される

。フラグ回路ＦＬＧがセット状態である場合、消去試験はステップＳ３１０に移行する。フラグ回路ＦＬＧがセット状態でない場合（フラグ回路ＦＬＧがリセット状態である場合）、消去試験はステップＳ３１０を省略してステップＳ３１１に移行する。

【００５５】

ステップＳ３１０において、フラグ回路ＦＬＧがセットされているため、ロウデコーダＲＤＥＣａにより消去電圧（内部電圧生成器ＩＶＧから供給される内部電圧）がメモリセルＭＣの制御ゲートに印加され、メモリセルアレイＭＣＡの消去動作が実施される。この後、消去試験はステップＳ３１１に移行する。

ステップＳ３１１において、フラグ回路ＦＬＧがリセットされる。この後、消去試験はステップＳ３１２に移行する。

【００５６】

ステップＳ３１２において、変数Ｎの値に１が加算される。この後、消去試験はステップＳ３１３に移行する。

ステップＳ３１３において、変数Ｎの値が最大消去回数Ｎｍａｘを超過したか否かが判定される。変数Ｎの値が最大消去回数Ｎｍａｘを超過している場合、消去試験は異常終了する。変数Ｎの値が最大消去回数Ｎｍａｘを超過していない場合、消去試験はステップＳ３０２に移行する。

【００５７】

以上のような第３実施形態でも、第１実施形態と同様の効果が得られる。

以上、本発明について詳細に説明してきたが、前述の実施形態およびその変形例は発明の一例に過ぎず、本発明はこれらに限定されるものではない。本発明を逸脱しない範囲で変形可能であることは明らかである。

【図面の簡単な説明】

【００５８】

【図１】本発明の第１実施形態の不揮発性半導体記憶装置を示すブロック図である。

【図２】図１の不揮発性半導体記憶装置の消去試験方法（複数個同時）を示すフロー図である。

【図３】本発明の第２実施形態の不揮発性半導体記憶装置を示すブロック図である。

【図４】図３の不揮発性半導体記憶装置の消去試験方法（複数個同時）を示すフロー図である。

【図５】本発明の第３実施形態の不揮発性半導体記憶装置を示すブロック図である。

【図６】図５の不揮発性半導体記憶装置の消去試験方法（複数個同時）を示すフロー図である。

【図７】従来の不揮発性半導体記憶装置を示すブロック図である。

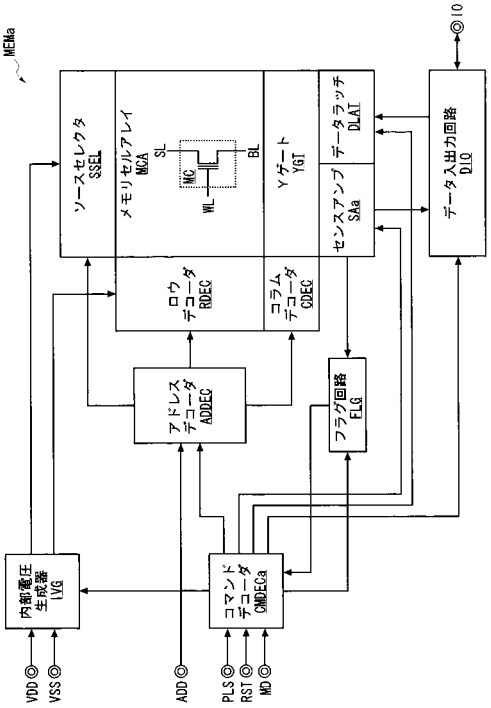
【図８】図７の不揮発性半導体記憶装置の消去試験方法を示すフロー図である。

【符号の説明】

【００５９】

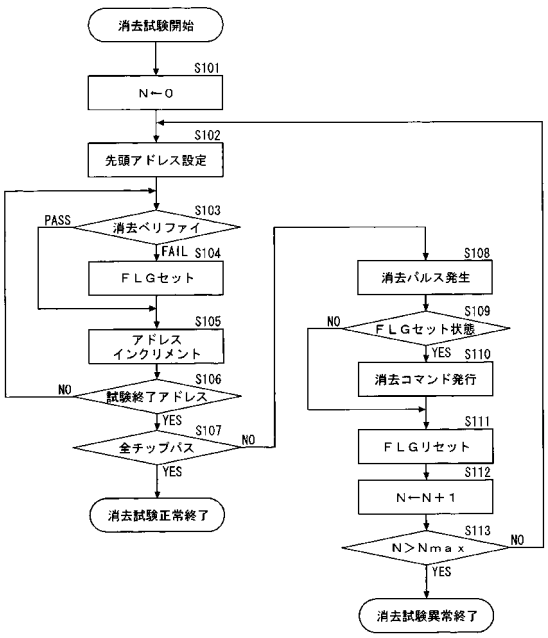
ＡＤＤＥＣ‥アドレスデコーダ；ＢＬ‥ビット線；ＣＤＥＣ‥コラムデコーダ；ＣＭＤＥＣａ、ＣＭＤＥＣｂ‥コマンドデコーダ；ＤＩＯ‥データ入出力回路；ＤＬＡＴ‥データラッチ；ＦＬＧ‥フラグ回路；ＩＶＧ、ＩＶＧａ‥内部電圧生成器；ＭＣ‥メモリセル；ＭＣＡ‥メモリセルアレイ；ＭＥＭａ、ＭＥＭｂ、ＭＥＭｃ‥不揮発性半導体記憶装置；ＲＤＥＣ、ＲＤＥＣａ‥ロウデコーダ；ＳＡａ‥センスアンプ；ＳＬ‥ソース線；ＳＳＥＬ‥ソースセレクタ；ＷＬ‥ワード線；ＹＧＴ‥Ｙゲート

【図１】

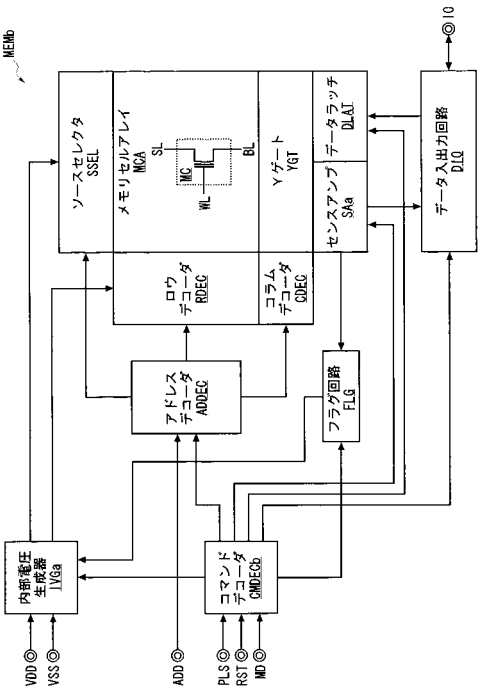


【図２】

図１の不揮発性半導体記憶装置の消去試験方法（複数個同時）を示すフロー図

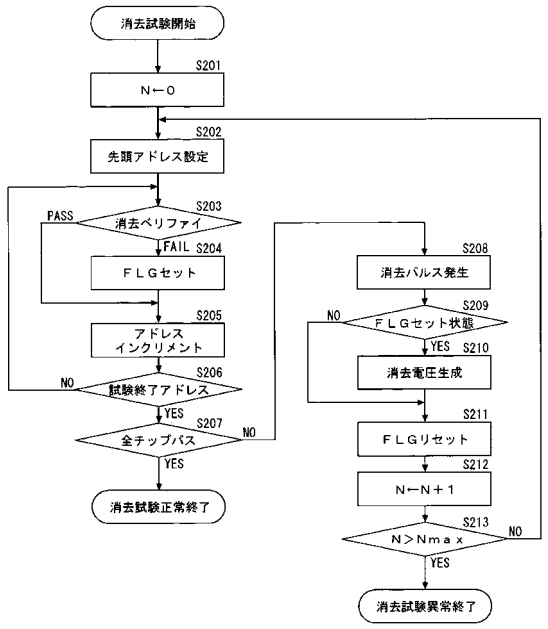


【図３】

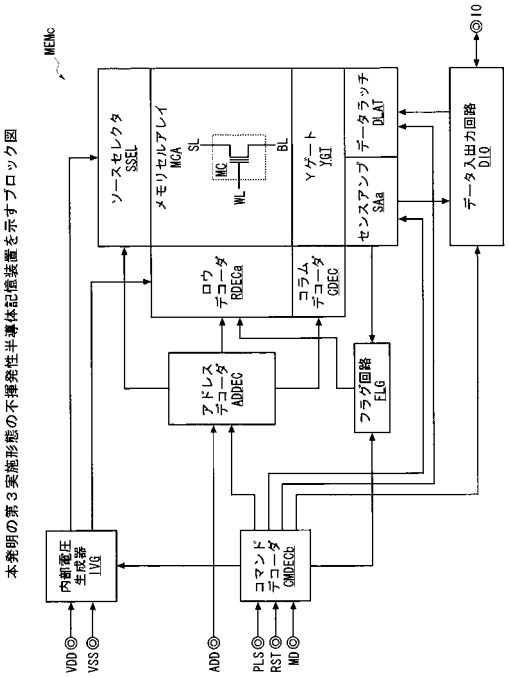


【図４】

図３の不揮発性半導体記憶装置の消去試験方法（複数個同時）を示すフロー図

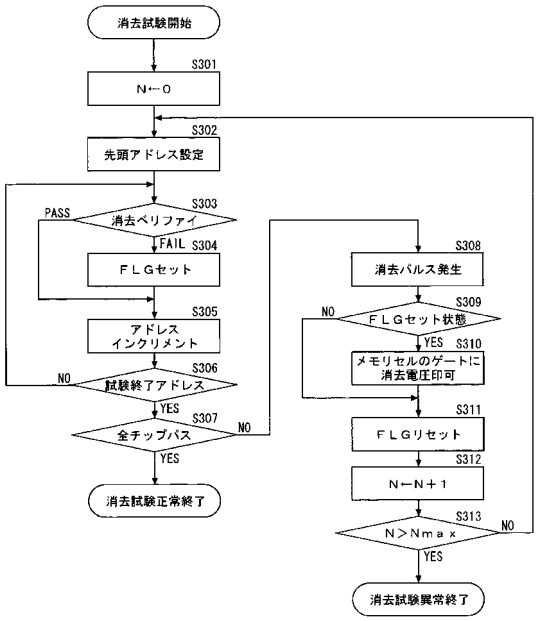


【図５】

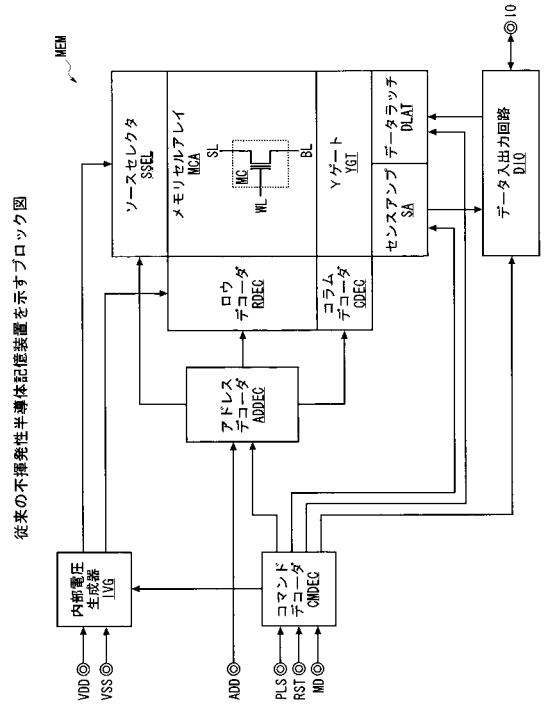


【図６】

図５の不揮発性半導体記憶装置の消去試験方法（複数個同時）を示すフロー図

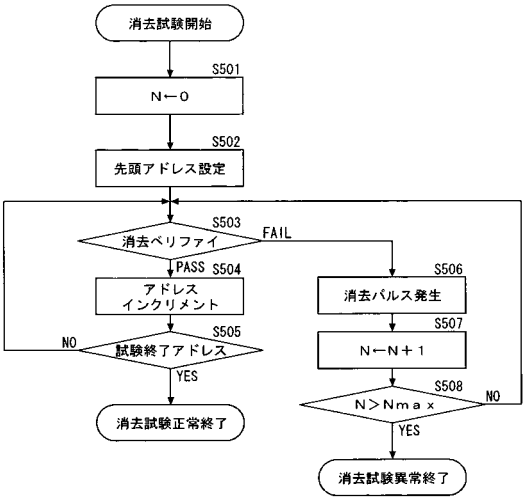


【図７】



【図８】

図７の不揮発性半導体記憶装置の消去試験方法を示すフロー図



フロントページの続き

(72)発明者　江見　直人
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内
(72)発明者　相馬　智晴
神奈川県川崎市中原区上小田中４丁目１番１号　富士通株式会社内

審査官　滝谷　亮一

(56)参考文献　特開２００４－２４１０４５（ＪＰ，Ａ）
特開平０８－０２２７００（ＪＰ，Ａ）
特開平１０－３０２４８７（ＪＰ，Ａ）
特開２００４－２５３０２１（ＪＰ，Ａ）
特開２００４－２０６８２９（ＪＰ，Ａ）
特開２０００－１２３５８１（ＪＰ，Ａ）
特開平０６－１０３７９０（ＪＰ，Ａ）
特開平０５－１８２４７９（ＪＰ，Ａ）
特開平１１－３０６７６９（ＪＰ，Ａ）
特開２００４－１９２７８０（ＪＰ，Ａ）
特開平１１－１１０９８６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｇ１１Ｃ　１６／０２
Ｇ１１Ｃ　２９／３４