

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁴
G06F 13/00

(45) 공고일자 1988년03월20일
(11) 공고번호 특1988-0000360

(21) 출원번호	특1983-0004556	(65) 공개번호	특1984-0006092
(22) 출원일자	1983년09월28일	(43) 공개일자	1984년11월21일
(30) 우선권 주장	57-170080 1982년09월29일 일본(JP)		
(71) 출원인	후지쓰 가부시끼가이샤 야마모토 다쿠마		
	일본국 가나가와켄 가와사끼시 나카하라구 가미고다나카 1015반지		
(72) 발명자	다데이시 데루다까		
	일본국 가나가와켄 가와사끼시 다마꾸스케 3751반지 다이 2 히메유리소 오 2-1		
	고시노 미노루		
	일본국 가나가와켄 요코하마시 고오호꾸구 미나미야마다 쥬오 4876반지 3고오		
	시미즈 가즈유키		
	일본국 도오쿄도 마찌다시 오가와 2쥬오메 19반 22고오		
(74) 대리인	장용식		

심사관 : 고금영 (책자공보 제1375호)

(54) 기억보호 검사방법 및 그 수행 시스템

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

기억보호 검사방법 및 그 수행 시스템

[도면의 간단한 설명]

제1도는 종래의 기억보호 검사시스템의 일예를 보여주는 블록도.

제2도는 제1도에 표시된 시스템의 동작을 보여주는 플로우 차아트.

제3도는 본발명에 따른 기억보호 검사시스템의 일실시예를 보여주는 블록도.

제4도는 제3도에 표시된 시스템의 동작을 보여주는 플로우 차아트.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|------------------|---------------------|
| 1 : 액세스 제어회로 | 2 : 주기억장치 제어회로 |
| 3 : 기억보호키이 제어회로 | 4 : 기억보호 검사회로 |
| 5 : 주기억장치 | 6 : 키이 기억부 |
| 10 : 액세스요구 | 11 : 액세스요구키이 |
| 12 : 주기억장치 액세스요구 | 13 : 키이 기억부 액세스요구 |
| 31 : 키이 기억부 검사신호 | 40 : 주기억장치 액세스 허가신호 |
| 42 : 제로검사신호 | 43 : 일치신호 |
| Z : 제로검사회로 | M : 일치검사회로 |

0 : OR 회로

A : AND회로

[발명의 상세한 설명]

본발명은 각장치 에어리어내에 기억보호키이를 제공하는 시스템의 기억보호 검사방법에 관한 것이다.

기억보호 검사방법의 표준은 "IBM System/370 Principles of Operation"(GA 22-7000-6 File No. 370-01)에 잘 알려져 있다.

즉, 주기억장치는 보호기억장치와 같은 다수의 페이지(page), 예를들면 2키로바이트 블록으로 분할되어있으며 8비트를 가진 기억키이가 키이기억부로 기입된다.

기억키이는 다음과 같은 구성을 가진다 : 0 1 2 3 4 5 6 7 A F R C S

상기 구성에서 A는 액세스 제어비트, F는 판독보호비트, R은 참조비트, C는 변경비트, S는 기록보호비트를 표시한다.

중앙처리장치 또는 채널은 보호키이를 구비하고 있다. 중앙처리장치는 프로그램상태 워어드(PSW)중에 보호키이와 번역 룩어사이드 버퍼(translation look aside buffer:TLB)에 기억키이를 구비하고 있다.

채널은 채널번지 지정어(CAW)를 판독하여 CAW로 기록된 보호키이를 유지한다.

다음 표는 보호동작의 요약이다.

[표]

조 건		주기억장치의 액세스가 가능한가?		
기억키이(내)의 비트위치		키이관계	판 독	기 역
비트7(S)	비트4(F)			
0	0	일 치	가 능	가 능
	0	불 일 치	"	불가능
	1	일 치	"	가 능
	1	불 일 치	불가능	불가능
1	0	일 치	가 능	불가능
	0	불 일 치	"	"
	1	일 치	"	"
	1	불 일 치	불가능	"

상기 표에서 "일치"는 보호키이가 상위 4비트와 동일하거나 보호키이의 값이 제로인 것을 지시한다.

"가능"은 액세스가 가능함을 지시하며 "불가능"은 액세스가 불가능함을 지시한다.

즉, 정보가 주기억장치로부터 판독될때 정보는 프로그램에 사용될 수 없으며 정보가 주기억장치로 기록될때 기억 위치는 변경되지 않는다.

주기억장치에 전송된 기록신호는 기억키이 및 보호키이가 일치하고 기억키이의 기록보호비트가 제로일때 받아들여진다. 주기억장치로부터 전송된 판독신호는 기억키이 및 보호키이가 일치하거나 기억키이의 기록보호비트가 제로일때 받아들여진다.

그러나 이와같은 종래의 기준에서는 다음번 키이 메모리 액세스 요구가 대기중인 동안의 시간이 길게 되며 키이 메모리는 효율적으로 액세스될수가 없다.

본발명의 목적은 주기억장치의 액세스 요구에 대하여 빠르게 검사될 수 있는 기억보호를 검사하는 방법을 제공하는데 있다.

상기한 목적은 기억영역의 장치 에어리어에 대응하는 기억키이가 각 장치 에어리어내에 구비되어 있으며 기억 키이가 키이기억부에 기억되어 있는 기억보호 검사방법에 있어서 기억영역에 대한 액세스 요구에 따라 액세스가 요구되는 키이의 값을 사전 검사하는 단계와 그 값이 특정된 값일때 키이기억부로부터 기억키이를 판독함이 없이 즉시 기억영역에 액세스를 실행하는 단계를 포함하는 기억보호 검사방법을 제공함에 의해서 얻을 수 있다.

더우기, 상기한 목적은 채널로부터 액세스요구를 수신하는 액세스 제어회로, 액세스 제어회로에 의해 제어되는 주기억장치 제어회로 및 기억보호키이 제어회로, 주기억장치 제어회로에 의해 제어되는 주기억장치, 기억보호키이 제어회로에 의해 제어되는 키이기억부, 및 채널로부터 액세스요구키이, 기억보호키이 제어회로로부터 키이기억부 검사신호 및 키이기억부로부터 기억키이를 수신하여 액세스 제어회로에 주기억장치 액세스 허가신호를 출력하는 기억보호 검사회로로 구성되며, 상기 기억보

호 검사회로는 액세스요구를 수신하는 제로검사회로, 액세스 요구 및 키이 기억부로부터 기억키이를 수신하는 일치 검사회로, 제로검사회로의 출력과 액세스 제어회로로 부터 키이 기억부 액세스요구를 수신하는 제1 AND 회로, NOT 회로를 경유한 제로검사회로의 출력과 키이 기억부 액세스요구를 받아들여 기억보호키이 제어회로에 키이 기억부 액세스 허가신호를 출력하는 제2 AND 회로, 일치 검사회로의 출력과 기억보호키이 제어회로로부터의 키이 기억부 검사신호를 수신하는 제3 AND 회로, 제1 AND 회로 및 제3 AND 회로의 출력을 수신하여 액세스 제어회로에 주기억장치 액세스 허가신호를 출력하는 OR 회로로 구성되는, 기억보호 검사시스템을 제공함에 의해서 성취될 수 있다.

본발명의 다른 특징 및 장점들은 첨부된 도면을 참고로 한 다음의 설명으로부터 명확해질 것이며, 그러나 본발명의 범위는 결코 이에 제한되는 것은 아니다.

제1도는 종래의 기억보호 검사시스템을 보여준다.

제1도에서 1은 액세스 제어회로, 2는 주기억장치 제어회로, 3은 기억보호키이 제어회로, 4는 기억보호 검사회로, 5는 주기억장치, 6은 키이 기억부, 10은 액세스 요구, 11은 액세스요구키이, 12는 주기억장치 액세스 요구, 13은 키이 기억부 액세스요구, 20은 주기억 액세스 정보를 송신하는 라인, 31은 키이 기억부 검사신호, 40은 주기억장치 액세스 허가신호, 42는 제로검사신호, 43은 일치신호, Z는 제로검사회로, M은 일치검사 회로, 0는 OR 회로, A는 AND회로를 각각 표시한다.

액세스 제어회로(1)는 액세스요구를 분석하여 분석결과에 따라서 주기억장치 제어회로(2) 및 기억보호 키이 제어회로(3)를 제어한다.

주기억장치 제어회로(2)는 주기억장치(5)를 제어하며 기억보호키이 제어회로(3)는 키이 기억부(6)를 제어한다.

기억보호 검사회로(4)는 제로검사회로(Z), 일치검사회로(M), OR 회로(0) 및 AND회로(A)를 포함한다. 제로검사회로(Z)는 액세스 요구키이(11)가 제로인지 아닌지를 결정하며, 일치검사회로(M)는 액세스 요구키이(11)와 키이 기억부(6)로부터 판독된 기억키이(60)가 일치하는지 않은지를 결정한다.

액세스요구키이(11)는 보호키이 정보 및 판독/기록정보를 포함한다.

제로검사신호(42)는 논리 "1"이거나 일치신호(43)가 논리 "1"일때 OR회로(0)는 논리 "1"을 출력한다. 키이 기억부 검사신호(31)가 논리 "1"이 되고 OR 회로(0)가 논리 "1"을 출력할 때 주기억장치 액세스 허가신호(40)는 논리 "1"이 된다.

키이 기억부 검사신호(31)는 데이터가 키이 기억부(6)로 부터 판독되는 적당한 시간에 출력된다.

채널이 페이지들중의 블록 베리어(barrier)를 통하여 주기억장치에 액세스할때 액세스 제어회로(1)에 키이 검사를 갖춘 액세스요구를 보낸다.

더우기 중앙처리장치는 이 액세스요구를 수신하기 전에 기억키이를 TLB로 판독하기 때문에 중앙처리장치는 주기억장치 액세스요구가 가능한지 여부를 검사한다. 액세스 제어회로(1)가 키이검사를 갖춘 액세스요구를 수신할때 액세스 제어회로(1)는 기억보호키이 제어회로(3)에 키이 기억부 액세스요구(13)를 보낸다.

기억보호키이 제어회로(3)는 키이 기억부 액세스요구(13)를 수신할때 키이 기억부(6)에 키이 기억부 액세스정보(30)를 보낸다.

키이 기억부 액세스정보(30)는 판독 또는 기록 및 키이 기억부 번지정보를 지시하는 판독/기록신호를 포함한다. 이 경우에 판독/기록신호는 판독을 지시한다.

키이 기억부(6)로부터 판독된 기억키이(60)는 기억보호 검사회로(4)안의 일치검사회로(M)에 보내진다.

만일 기억보호키이 제어회로(3)가 그 값이 논리 "1"인 키이 기억부 검사신호(31)를 송신할때 제로검사신호(42) 또는 일치신호(43)가 논리 "1"이면 주기억장치 액세스 허가신호(40)는 논리 "1"이 된다.

주기억장치 액세스 허가신호(40)가 논리 "1"이 될때 액세스 제어회로(1)는 주기억장치 제어회로(2)에 주기억 장치 액세스요구(12)를 송신한다.

주기억장치 제어회로(2)는 주기억장치 액세스요구(12)를 수신할때 주기억장치 제어회로(2)는 주기억장치(5)에 주기억장치 액세스정보(20)를 송신한다.

주기억장치(5)는 주기억장치 액세스정보(20)에 따라서 판독/기록을 실행한다.

제2도는 제1도에 표시된 시스템의 동작을 설명하는 플로우 차아트이다.

이 시스템에서 채널(블록 51)로부터의 액세스요구가 키이 기억부(블록 52)를 갖고 있는지 검사된다.

만약 키이 기억부를 갖고 있을 경우 키이 기억부는 판독되며(블록 53), 액세스요구키이가 제로인지 여부가 블록(54)에서 검사된다.

액세스요구키이가 제로가 아닐 경우에 판독키이가 액세스 요구와 일치하는지 여부가 블록(55)에서 검사된다.

만약 판독키이가 액세스요구와 일치할 경우 주기억장치는 블록(56)에서 액세스되어 그 액세스 결과가 블록(57)에서 채널로 송신된다.

만약 판독키이가 액세스요구와 일치하지 않을 경우는 키이 검사는 불가능하다.

액세스요구키이가 특정한 값을 가질때 주기억장치는 키이 기억부로부터 판독된 데이터에 관계없이 액세스가 가능하다. 그러나 제1도에 나타난 종래의 시스템에서는 비록 액세스요구키이가 특정한 값을

가질지라도 주기억장치 액세스 허가신호는 기억검사신호가 논리 "1"이 될때만 논리 "1"이 된다.

이와같은 종래의 시스템에서는 다음번 키이 기억부 액세스 요구가 대기중인 시간이 길게 되며 키이 기억부는 효율적으로 액세스될수가 없다.

다음에 본발명의 일실시예를 보여주는 제3도를 참고로 하여 본발명을 설명한다.

제3도에서 A_1 내지 A_3 는 AND회로, N은 NOT 회로, 41은 키이 기억부 액세스 허가신호를 각각 표시한다. 제3도의 다른 소자들은 제1도의 소자와 동일하며 제1도와 동일한 부재번호로 표시된다.

제3도에 보여진 기억보호 검사회로(4)는 제로검사회로(2), 일치검사회로(M), NOT 회로(N), AND 회로(A_1 내지 A_3) 및 OR 회로(0)를 포함한다.

AND회로(A_1)는 제로검사신호(42) 및 키이 기억부 액세스 요구(13)를 수신하며 AND 회로(A_3)는 일치신호(43) 및 키이 기억부 검사신호(31)를 수신한다.

AND회로(A_1 및 A_3)의 출력은 OR 회로(0)의 입력에 공급되며 OR 회로(0)의 출력은 주기억장치 액세스 허가신호(40)로서 사용된다.

AND 회로(A_2)는 키이 기억부 액세스요구(13) 및 제로 검사신호(42)와 반전신호를 수신한다.

AND 회로(A_2)의 출력은 키이 기억부 액세스 허가신호(41)가 된다.

다음에 제3도에 보여진 실시예의 동작을 설명한다. 채널이 블록 베리어를 통하여 주기억장치(5)를 액세스할때 채널은 키이검사를 갖춘 액세스요구(10) 및 액세스 요구키이(11)를 액세스 제어회로(1)에 송부한다. 액세스 제어회로(1)가 키이검사를 갖춘 액세스요구(10)를 수신할때 액세스 제어회로(1)는 AND 회로 (A_1 및 A_2)에 키이 기억부 액세스요구(13)를 송부한다.

한편, 액세스 요구키이(11)는 제로검사회로(Z)에 공급된다. 키이 기억부 액세스요구(13)가 AND 회로 (A_1 및 A_2)에 송부될때 만일 제로검사신호(42)가 논리 "1"일 경우에는 주기억장치 액세스 허가신호(40)는 논리 "1"이 된다. 주기억장치 액세스 허가신호(40)가 논리 "1"이 될때 액세스 제어회로(1)는 주기억장치 액세스를 수행하기 위해 제어한다. 키이 기억부 액세스 요구(13)가 AND 회로(A_1 및 A_2)에 송부될때 만약 제로검사신호(42)가 논리 "0"이면 키이 기억부 액세스 허가신호(41)는 기억보호키이 제어회로(3)에 송부된다. 기억보호키이 제어회로(3)가 키이 기억부 액세스 허가신호(41)를 수신할때 회로(3)는 키이 기억부 액세스정보(30)를 키이 기억부(6)에 보낸다.

기억키이(60)는 키이 기억부(6)로부터 판독되며 기억보호 검사회로(4)내의 일치검사회로(M)에 공급된다.

기억보호키이 제어회로(3)가 키이 기억부 검사신호를(31)를 ON할때 일치신호(43)는 AND 회로(A_3) 및 OR회로(0)를 통하여 액세스 제어회로(1)에 송부되어 그 결과 주기억장치 액세스 허가신호(40)는 액세스제어회로(1)에 보내진다.

주기억장치 액세스 허가신호(40)가 논리 "1"일때 액세스 제어회로(1)는 주기억장치를 액세스하도록 제어한다.

제4도는 제3도에 표시된 시스템의 동작을 설명하는 플로우 차아트이다.

제4도에서 블록(51a 내지 59a)은 제2도의 블록(51 내지 59)에 대응한다.

제4도의 특징은 블록(53a 내지 54a)의 순서가 반전되었다는 점에서 제2도의 것과 다르다.

즉, 액세스요구를 가진 액세스요구키이의 값이 블록(54a)에서 검사되며 액세스요구키이의 값이 제로 일때 주기억 장치는 블록(56a)에서 액세스된다.

상기한 설명으로부터 명확한바와 같이 본발명에 따르면 만약 액세스요구키이가 특정한 값을 가질 경우 주기억 장치는 키이 기억부를 액세스함 없이 액세스될 수 있다.

그러므로 키이 기억부의 액세스상이 효율적으로 수행될 수 있다.

(57) 청구의 범위

청구항 1

기억영역의 장치 에어리어에 대응하는 기억키이가 각 장치 에어리어내에 구비되어 있으며 상기 기억 키이가 키이 기억부에 기억되어 있는 기억보호 검사방법에 있어서, 상기 기억영역에 대한 액세스요구에 따라서 액세스가 요구된 키이의 값을 사전 검사하는 단계와 상기 값이 특정한 값일때 상기 키이 기억부로부터 상기 기억키이를 판독함없이 즉시 기억영역에 대한 액세스를 실행하는 단계를 포함하는 것을 특징으로 하는 기억보호 검사방법.

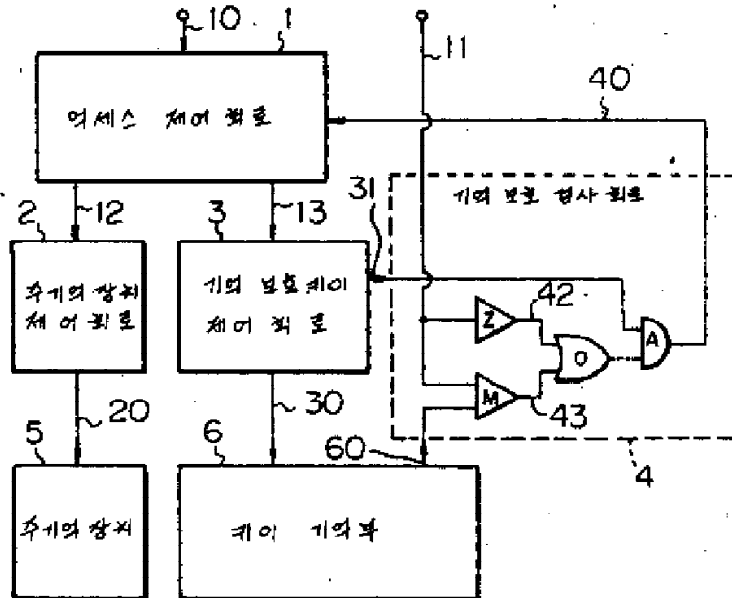
청구항 2

채널로부터 액세스요구를 수신하는 액세스 제어회로, 상기 액세스 제어회로에 의해 제어되는 주기억 장치 제어회로 및 기억보호키이 제어회로, 상기 주기억장치 제어회로에 의해 제어되는 주기억장치, 상기 기억보호키이 제어회로에 의해 제어되는 키이 기억부 및 채널로부터 액세스 요구키이, 상기 기억보호키이 제어회로로부터 키이 기억부 검사신호, 상기 키이 기억부로부터 기억키이를 수신하여 상기 액세스 제어회로에 주기억장치 액세스 허가신호를 출력하는 기억보호 검사회로로 구성되는 기억보호 검사시스템에 있어서, 상기 기억보호 검사회로는 상기 액세스요구를 수신하는 제로검사회로, 상기

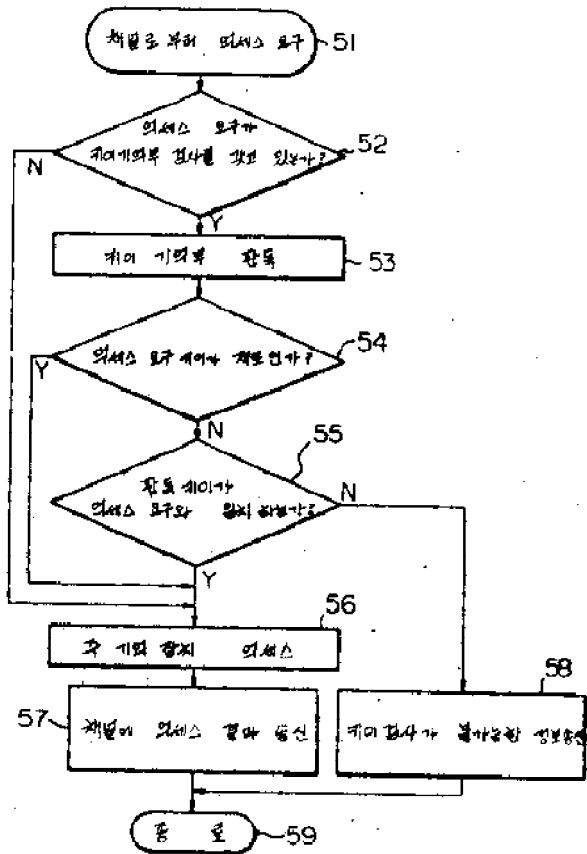
엑세스요구 및 상기 키이 기억부로부터 상기 기억 키를 수신하는 일치검사회로, 상기 제로검사회로의 출력과 상기 엑세스 제어회로로부터 키이 기억부 엑세스요구를 수신하는 제1 AND 회로, NOT 회로를 통하여 상기 제로검사회로의 출력과 상기 키이 기억부 엑세스요구를 수신하여 상기 기억보호키이 제어회로에 키이 기억부 엑세스 허가신호를 출력하는 제2 AND 회로, 상기 일치검사회로의 출력과 상기 기억보호키이 제어회로로부터의 상기 키이 기억부 검사신호를 수신하는 제3 AND 회로, 상기 제1 AND 회로 및 상기 제3 AND 회로의 출력을 수신하여 상기 엑세스 제어회로에 상기 주기억장치 엑세스 허가신호를 출력하는 OR 회로로 구성되는 것을 특징으로 하는 기억보호

도면

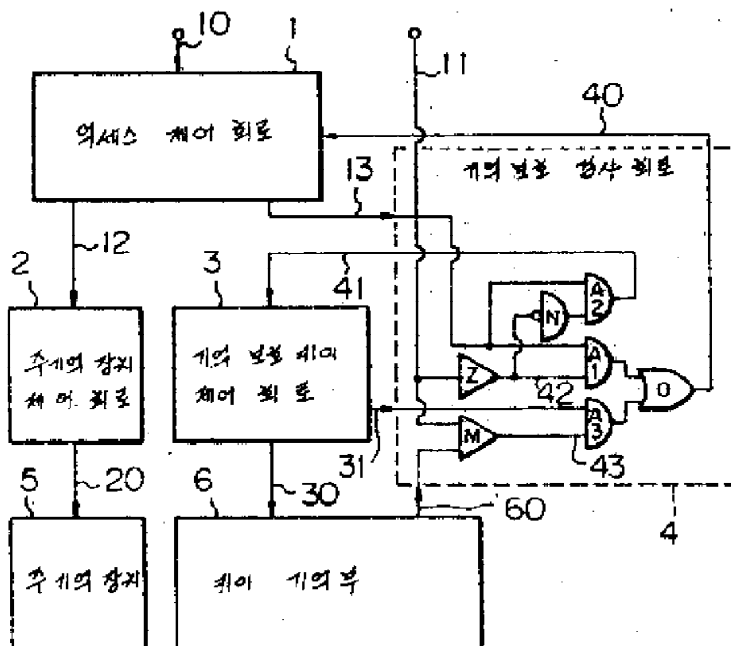
도면1



도면2



도면3



도면4

