(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 694 33 543 T2** 2004.12.23

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 645 806 B1**
(21) Deutsches Aktenzeichen: **694 33 543.6**
(86) PCT-Aktenzeichen: **PCT/JP94/00551**
(96) Europäisches Aktenzeichen: **94 910 595.1**
(87) PCT-Veröffentlichungs-Nr.: **WO 94/24698**
(86) PCT-Anmeldetag: **04.04.1994**
(87) Veröffentlichungstag der PCT-Anmeldung: **27.10.1994**
(97) Erstveröffentlichung durch das EPA: **29.03.1995**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **11.02.2004**
(47) Veröffentlichungstag im Patentblatt: **23.12.2004**

(51) Int Cl.[7]: **H01L 21/60**
H01L 23/498, H01L 23/16

(30) Unionspriorität:
8220793 08.04.1993 JP

(84) Benannte Vertragsstaaten:
CH, DE, FR, GB, LI

(73) Patentinhaber:
Seiko Epson Corp., Tokio/Tokyo, JP

(74) Vertreter:
Weickmann & Weickmann, 81679 München

(72) Erfinder:
IIJIMA, Yoshitaka, Suwa-shi, Nagano-ken 392, JP;
SEKI, Shigeaki, Suwa-shi, Nagano-ken 392, JP

(54) Bezeichnung: **HALBLEITERVORRICHTUNG.**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

Technisches Gebiet

[0001] Diese Erfindung bezieht sich auf eine Halbleitervorrichtung, genauer auf eine Halbleitervorrichtung, die mit einer Struktur ausgestattet ist, die für das Montieren eines relativ großen Halbleiterchips geeignet ist, sowie mit einer Struktur, die für die Montage eines Halbleiterchips auf einer flexiblen Leiterplatte geeignet ist, welche häufig in Quarzuhr-Anwendungen verwendet wird.

Stand der Technik

[0002] Bei der Montage eines Halbleiterchips auf einer Leiterplatte, wie z. B. in **Fig.** 7 gezeigt ist, wird ein Gießmittel **55** durch ein Vorrichtungsloch **53** eingespritzt, nachdem der Leiter **521** des auf der Leiterplatte **51** ausgebildeten leitenden Musters **52**, der in das Vorrichtungsloch **53** ragt, mit der Erhebung **541** des Halbleiterchips **54** verbunden worden ist. Dieser Leiter **521** ist gewöhnlich nach unten gerichtet ausgebildet, um einen Kurzschluss zwischen der Kante des Halbleiterchips **54** und dem leitenden Muster **52** zu verhindern.

[0003] Bei diesem Typ von Montagestruktur wird jedoch der Leiter **521** bis zu einem großen Ausmaß gebogen, mit dem Ergebnis einer Erhöhung der Dicke der Halbleitervorrichtung. Während des Leiterformungsprozesses führt ferner eine Zunahme der Anzahl der Leiter **521** ebenfalls zu einer Zunahme der Unregelmäßigkeit der Form und der Position jedes Leiters. Bei der Montage eines großen Halbleiterchips **54** führen folglich diese formbezogenen Unregelmäßigkeiten dazu, dass einige der Erhebungen **541** nicht mit den Leitern **521** verbunden werden. Ferner muss das Vorrichtungsloch **55** vergrößert werden, wenn die Größe des Halbleiterchips **54** zunimmt, wodurch die ebene Fläche der Halbleitervorrichtung zunimmt. Aus diesem Grund kann dieses Montageverfahren in elektronischen Geräten, wie z. B. Quarzuhren, die eine kleine Größe erfordern, nicht verwendet werden.

[0004] Ein mögliches Verfahren zum Erhöhen der Stabilität gegenüber einem Verziehen und dergleichen bei der Montage eines großen Halbleiterchips **54** ist folgendes. Auf der Seite des Halbleiterchips **54** werden Verstärkungs-Behelfserhebungen ausgebildet, die von der internen Schaltung elektrisch isoliert sind. Die Verbindung in den zusätzlichen Flächen, die durch diese Behelfserhebungen verfügbar gemacht werden, wird verwendet, um die Verbindungsfestigkeit zwischen dem Halbleiterchip **54** und der Leiterplatte **52** zu erhöhen. Die bei diesem Typ von Struktur verwendete Behelfserhebungsverbindung erfordert jedoch ebenfalls einen Formungsprozess, sodass die obenerwähnten Probleme bezüglich des Formungsprozesses nicht eliminiert werden können.

[0005] Eine weitere Montagestruktur, die geeignet ist, ein dünnes Halbleitervorrichtungsprofil zu erreichen, verwendet ein Verfahren, bei dem eine auf dem Halbleiterchip **61** ausgebildete Loterhebung **62** unter Druck erwärmt wird und mit dem leitenden Muster **64** der Leiterplatte **63** verbunden wird, wie in **Fig.** 8 gezeigt ist. Da bei diesem Typ von Montagestruktur ein Teil der Leiterplatte **63** die aktive Fläche des Halbleiterchips **61** überlappt, kann das leitende Muster **64** auch in diesem Überlappungsbereich ausgebildet werden. Dies führt zu einem hohen Grad an Mustergestaltungsfreiheit, die geeignet ist, ein dünnes Halbleitervorrichtungsprofil zu erreichen. Die Loterhebung **62** erfordert jedoch einen komplizierten Fertigungsprozess, was zu hohen Fertigungskosten führt. Da ferner der Halbleiterchip **61** während des Prozesses der Montage des Halbleiterchips **61** auf der Leiterplatte **63** zuerst erwärmt und anschließend gekühlt werden muss, macht es der resultierte lange Fertigungsdurchlauf schwierig, die Kosten zu reduzieren.

[0006] In der Montagestruktur, die diese Art von Loterhebung **62** verwendet, umfassen mögliche Verfahren zum Verhindern eines Kurzschlusses zwischen der Leiterplatte **63** um dem Halbleiterchip **61** das Erhöhen der Dicke der Loterhebung **62**, oder die Ausbildung von Behelfs-Loterhebungen. Solange jedoch Loterhebungen verwendet werden, bleibt das obenerwähnte fertigungsbezogene Problem erhalten.

[0007] Ein weiteres Verfahren zum Verbinden eines Halbleiterchips mit einer Leiterplatte ist beschrieben in der japanischen Patentveröffentlichung Nr. 03-126237, in der ein Halbleiterchip mittels Loterhebungen an Leitern eines leitenden Musters auf einer Leiterplatte befestigt wird, wobei auf den Leitern nahe den Kontaktbereichen isolierende Abstandhalter vorgesehen sind, um sicherzustellen, dass die Leiter nicht mit der Kante des Halbleiterchips in Kontakt kommen.

[0008] Ein weiteres Verfahren zum Befestigen eines Halbleiterchips an einer Leiterplatte ist in der japanischen Patentveröffentlichung Nr. 62-086737 gezeigt, in der ein Halbleiterchip mit den Elektroden eines leitenden Musters auf der Oberfläche eines isolierenden Substrats verbunden wird, wobei zwischen den Leitern des leitenden Musters Löcher im Substrat ausgebildet werden, um einem Gießmittel zu ermöglichen, in den Raum zwischen dem Substrat und dem Halbleiterchip eingespritzt zu werden, um den Halbleiterchip in seiner Stellung zu sichern.

[0009] Ein weiteres Verfahren zum Befestigen eines Halbleiterchips auf einem Substrat ist in der japanischen Patentveröffentlichung Nr. 63-95639 gezeigt, die ein Substrat beschreibt, das ein leitendes Leitermuster für die Verbindung mit einem Halbleiterchip

trägt, in welchem die Leiterabschnitte des leitenden Musters, die mit dem Halbleiterchip verbunden werden, über Löcher im Substrat hervorstehen. Die Löcher im Substrat sind mittels eines Überlagerungsbereiches getrennt, der den Halbleiterchip überlappt, um den Halbleiterchip sicher am Substrat zu montieren.

[0010] Ein weiteres Verfahren zum Befestigen eines Halbleiterchips an einem Substrat ist in der japanischen Patentveröffentlichung Nr. 53-123074 gezeigt, in der ein Halbleiterchip mit Leitern kompressionsverbunden wird, die durch ein Substrat unterstützt sind, wobei zusätzlich zu Verbindungsvorsprüngen, die auf dem Halbleiterchip vorgesehen sind, zusätzliche Abstandhaltervorsprünge vorgesehen sind, um sicherzustellen, dass die Leiter nicht die Kanten des Halbleiterchips berühren können.

[0011] Um diese Probleme zu lösen, versucht die Erfindung, Halbleitervorrichtungen mit dünneren Profilen und geringeren Kosten zu schaffen, während eine Haltbarkeit erreicht wird, die gegenüber derjenigen überlegen ist, die unter Verwendung herkömmlicher Montagestrukturen erreichbar ist, selbst wenn Einzelpunkt- oder Gruppenverbindungsverfahren verwendet werden. Außerdem soll die Erfindung Halbleitervorrichtungen mit verbesserter Mustergestaltungsfreiheit schaffen.

Offenbarung der Erfindung

[0012] In einem ersten Aspekt schafft diese Erfindung eine Halbleitervorrichtung, umfassend: eine Leiterplatte, auf der ein leitendes Muster auf einem isolierendem Substrat ausgebildet worden ist, einen Halbleiterchip, der über einem Vorrichtungsloch der Leiterplatte angeordnet ist, und mehrere Abstandhalter; wobei ein Leiterabschnitt des leitenden Musters, der in das Vorrichtungsloch ragt, mit Verbindungselektroden (Bonding-Elektroden) des Halbleiterchips verbunden ist und die Leiterplatte einen Überlagerungsbereich aufweist, der den Halbleiterchip überlappt, wobei der Überlagerungsbereich ausgebildet wird durch Überlagern eines Teils des isolierenden Substrats und des leitenden Musters, wobei das leitende Muster so auf dem Teil des isolierenden Substrats angeordnet wird, dass es dem Halbleiterchip zugewandt ist; dadurch gekennzeichnet, dass die mehreren Abstandhalter auf einer Oberfläche des Überlagerungsbereichs und nicht mit dem Halbleiterchip verbunden vorgesehen sind und/oder auf einer Oberfläche des Bereichs der Halbleiterchips, der den Überlagerungsbereich überlappt, und nicht mit dem Überlagerungsbereich verbunden vorgesehen ist, wobei wenigstens ein Abschnitt des leitenden Musters auf einem Bereich des Substrats angeordnet ist, der zwischen einem Abstandhalter und einem benachbarten Abstandhalter besteht, so dass die Abstandhalter außerhalb des Vorrichtungsloches zwischen der Leiterplatte und dem Halbleiterchip angeordnet sind, um zwischen den beiden einen spezifizierten Spalt aufrechtzuerhalten.

[0013] In einem zweiten Aspekt schafft diese Erfindung ein Verfahren zur Herstellung einer Halbleitervorrichtung, umfassend: eine Leiterplatte, auf der ein leitendes Muster auf einem isolierendem Substrat ausgebildet worden ist, wobei ein Halbleiterchip über einem Vorrichtungsloch der Leiterplatte angeordnet wird, wobei die Leiterplatte einen Überlagerungsbereich aufweist, der den Halbleiterchip überlappt, wobei der Überlagerungsbereich ausgebildet wird durch Überlagern eines Teils des isolierenden Substrats und des leitenden Musters, wobei das leitende Muster so auf dem Teil des isolierenden Substrats angeordnet wird, dass es dem Halbleiterchip zugewandt ist; gekennzeichnet durch: Ausbilden mehrerer Abstandhalter auf einer Oberfläche des Überlagerungsbereichs und/oder auf einer Oberfläche des Bereichs des Halbleiterchips, der den Überlagerungsbereich überlappt, wobei wenigstens ein Abschnitt des leitenden Musters auf einem Bereich des Substrats angeordnet ist, der zwischen einem Abstandhalter und einem benachbarten Abstandhalter besteht; und Anordnen des Halbleiterchips über dem Vorrichtungsloch und Verbinden eines Leiterabschnitts des leitenden Musters, der in das Vorrichtungsloch ragt, mit einer Bonding-Elektrode des Halbleiterchips, wobei die auf der Oberfläche des Überlagerungsbereichs ausgebildeten Abstandhalter nicht mit dem Halbleiterchip verbunden werden und/oder die auf der Oberfläche des Halbleiterchips ausgebildeten Abstandhalter nicht mit dem Überlagerungsbereich verbunden werden, so dass die Abstandhalter außerhalb des Vorrichtungsloches zwischen der Leiterplatte und dem Halbleiterchip angeordnet werden, um zwischen den beiden einen spezifizierten Spalt aufrechtzuerhalten.

[0014] Die Erfindung ist z. B. dadurch gekennzeichnet, dass Behelfserhebungen auf dem Teil des Halbleiterchips ausgebildet werden, der den Überlagerungsbereich überlappt, sodass die Behelfserhebungen nicht mit dem leitenden Muster verbunden werden und als Abstandhalter dienen, der einen spezifizierten Abstand zwischen der Leiterplatte und dem Halbleiterchip aufrechterhält.

[0015] Mit anderen Worten, es wird automatisch ein spezifizierter Abstand zwischen der Leiterplatte und dem Halbleiterchip durch die Behelfserhebungen aufrechterhalten, welche während des Verbindungsprozesses nicht abgeflacht werden und somit die gleiche Dicke beibehalten. Dies verhindert das Auftreten eines Kurzschlusses zwischen der Kante des Halbleiterchips und dem leitenden Muster. Der Ausformungsprozess muss daher nicht auf die Leiter angewendet werden, wenn entweder Einzelpunkt- oder Gruppenverbindungsverfahren verwendet werden. Ferner beseitigt es die Notwendigkeit von Loterhe-

bungen, deren Kosten schwierig zu reduzieren sind. Auf Grund dieser Faktoren ist es möglich, eine Halbleitervorrichtung herzustellen, die eine höhere Haltbarkeit, ein dünneres Profil und geringere Kosten aufweist als herkömmliche Halbleitervorrichtungen. Eine hohe Haltbarkeit wird erhalten, da die Spaltabmessung durch die im Voraus festgelegte Anfangsdicke des Abstandhalters, z. B. der Behelfserhebungen, bestimmt wird. Außerdem erhöhen die Behelfserhebungen nicht die Halbleiterchipkosten, da sie gleichzeitig mit den Erhebungen für das Verbinden ausgebildet werden können.

[0016] In dieser Erfindung bedeutet "Behelf", dass keine elektrische Schaltungsverbindung benötigt wird, wobei die obenerwähnten Behelfserhebungen sowie die später erwähnten Behelfskontaktflächen von der internen Schaltung des Halbleiterchips elektrisch isoliert sind. Ferner bezieht sich in dieser Erfindung eine "Erhebung" auf eine dicke Elektrode, die von Flächen, wie z. B. der aktiven Fläche des Halbleiterchips, hervorsteht, wobei eine "Kontaktfläche" sich auf eine Elektrode bezieht, die nicht von der aktiven Fläche des Halbleiterchips hervorsteht.

[0017] Zusätzlich zu Behelfserhebungen und Behelfskontaktflächen ist es möglich, als Abstandshalter Behelfs-Leitermuster zu verwenden, die nicht mit anderen elektrischen Schaltungen auf der Seite der Leiterplatte verbunden sind und für die keine elektrische Schaltungsverbindung erforderlich ist.

[0018] In dieser Erfindung ist es erwünscht, dass das leitende Muster die Behelfserhebungen im Überlagerungsbereich überlappt. Dies liegt daran, dass der Spalt zwischen der Kante des Halbleiterchips und dem leitenden Muster besser aufrechterhalten werden kann, wenn die Behelfserhebungen das leitende Muster selbst überlappen.

[0019] Ein weiteres Beispiel der Erfindung ist dadurch gekennzeichnet, dass ein vorstehendes leitendes Muster ausgebildet wird, das nicht mit der Verbindungselektrode verbunden wird und als ein Abstandhalter dient, der einen spezifizierten Abstand zwischen der Leiterplatte und dem Halbleiterchip aufrechterhält. Auch in diesem Fall wird automatisch ein spezifizierter Abstand zwischen der Leiterplatte und dem Halbleiterchip durch das vorstehende leitende Muster aufrechterhalten, welches durch den Verbindungsprozess nicht abgeflacht wird und somit seine anfängliche Dicke beibehält. Aus diesem Grund ist kein Formungsprozess erforderlich, wenn entweder Einzelpunkt- oder Gruppenverbindungsverfahren verwendet werden.

[0020] In diesem Fall ist es wünschenswerter, dass die Erhebungen auf der Seite des Halbleiterchips als Verbindungselektroden ausgebildet werden, und dass die Behelfserhebungen, die nicht mit den Vorsprüngen verbunden werden sollen, an denjenigen Stellen ausgebildet werden, die den Vorsprüngen entsprechen. Dies liegt daran, dass die Spaltabmessung proportional zur Dicke der Behelfserhebung erweitert werden kann.

[0021] Es ist auch annehmbar, dass die Kontaktflächen auf der Seite des Halbleiterchips als Verbindungselektroden ausgebildet werden und die Behelfserhebungen, die nicht mit den Vorsprüngen verbunden werden sollen, an denjenigen Stellen ausgebildet werden, die den Vorsprüngen entsprechen.

[0022] Bei dieser Erfindung ist es in den Fällen, in denen die Vorrichtungslöcher näherungsweise einen viereckigen Umriss aufweisen, besser, wenn die Überlagerungsbereiche in den vier Eckbereichen ausgebildet werden. Ferner ist es wünschenswert, dass die Überlagerungsbereiche auch auf jeder Seite der Vorrichtungslöcher ausgebildet werden. Dies erlaubt die Aufrechterhaltung eines stabilen Abstands zwischen der Leiterplatte und dem Halbleiterchip.

[0023] Ferner ist es wünschenswert, dass ein Überlagerungsbereich innerhalb des Vorrichtungsloches ausgebildet wird, der das Vorrichtungsloch in mehrere Löcher unterteilt. Dies erlaubt dem Gießmittel, sich leichter zu verteilen, wenn es durch mehrere Löcher eingespritzt wird. Insbesondere ist es wünschenswert, dass der Überlagerungsbereich die ungefähre Mitte des Vorrichtungsloches kreuzt und dieses in mehrere Löcher unterteilt, und dass ein Durchgangsloch in dem Abschnitt des Überlagerungsbereiches ausgebildet wird, der der ungefähren Mitte des Vorrichtungsloches entspricht. Dieses Durchgangsloch soll das Entweichen von Luft erleichtern, wenn ein Gießmittel eingespritzt wird.

[0024] Wenn das Vorrichtungsloch in mehrere Löcher unterteilt wird, kann ferner ein leitendes Muster, das eine Fläche aufweist, die das Loch kreuzt, ausgebildet werden, wenn die Verdrahtung auf der aktiven Seite des Halbleiterchips positioniert wird. Dieser Typ von Kreuzungsbereich ist sehr stabil, da er durch den Überlagerungsbereich unterstützt und verstärkt wird. Es wird somit möglich, die Gestaltungsfreiheit des Verdrahtungsmusters zu erhöhen.

Kurzbeschreibung der Figuren

[0025] **Fig.** 1 ist eine Draufsicht der Konfiguration der Halbleitervorrichtung die sich auf das Arbeitsbeispiel 1 der Erfindung bezieht.

[0026] **Fig.** 2(a) zeigt eine Längsschnittansicht der **Fig.** 1 längs der Linie I-II; während **Fig.** 2(b) eine Längsschnittansicht der **Fig.** 1 längs der Linie I-III zeigt.

[0027] **Fig.** 3(a) ist eine Längsschnittansicht, die

schematisch die Struktur einer Halbleitervorrichtung bezüglich des Arbeitsbeispiels 1 der Erfindung vor dem Verbinden zeigt, während **Fig.** 3(b) eine Längsschnittansicht ist, die schematisch die Struktur der Halbleitervorrichtung im Arbeitsbeispiel 1 der Erfindung nach dem Verbinden zeigt.

[0028] **Fig.** 4(a) ist eine Längsschnittansicht, die schematisch die Struktur einer Halbleitervorrichtung bezüglich des Arbeitsbeispiels 2 der Erfindung vor dem Verbinden zeigt, während **Fig.** 4(b) eine Längsschnittansicht ist, die schematisch die Struktur der Halbleitervorrichtung im Arbeitsbeispiel 2 der Erfindung nach dem Verbinden zeigt.

[0029] **Fig.** 5(a) ist eine Längsschnittansicht, die schematisch die Struktur einer Halbleitervorrichtung bezüglich des Arbeitsbeispiels 3 der Erfindung vor dem Verbinden zeigt, während **Fig.** 5(b) eine Längsschnittansicht ist, die schematisch die Struktur der Halbleitervorrichtung im Arbeitsbeispiel 3 der Erfindung nach dem Verbinden zeigt.

[0030] **Fig.** 6 zeigt ein weiteres Arbeitsbeispiel der Erfindung und ist eine Querschnittsansicht, die schematisch den Verbindungsprozess zeigt, der das Gruppenverbindungsverfahren verwendet, das für die Halbleitervorrichtung bezüglich des Arbeitsbeispiels 1 verwendet worden ist.

[0031] **Fig.** 7 ist eine Längsschnittansicht, die die Konfiguration einer herkömmlichen Halbleitervorrichtung zeigt.

[0032] **Fig.** 8 ist eine Längsschnittansicht, die die Konfiguration einer weiteren herkömmlichen Halbleitervorrichtung zeigt.

Ideale Ausführungsform der Erfindung

[0033] Die Halbleitervorrichtungen bezüglich der Erfindung werden im Folgenden mit Bezug auf verschiedene Figuren erläutert.

Arbeitsbeispiel 1

[0034] **Fig.** 1 zeigt die Draufsicht der Halbleitervorrichtung, die sich auf des Arbeitsbeispiels 1 der Erfindung bezieht. **Fig.** 2(a) zeigt eine Längsschnittansicht der **Fig.** 1 längs der Linie I-II; während **Fig.** 2(b) eine Längsschnittansicht der **Fig.** 1 längs der Linie I-III zeigt.

[0035] In den **Fig.** 1, 2(a) und 2(b) wird die Halbleitervorrichtung **1** im Beispiel als Schaltungsblock in einer analogen Multifunktions-Elektronikuhr verwendet und umfasst eine Leiterplatte **2** und einen Halbleiterchip **3**, der eine CPU enthält.

[0036] Der aktive Bereich **30** des Halbleiterchips **3** weist eine Größe von etwa 5 mm × 5 mm auf, worauf 36 Erhebungen **31** ausgebildet worden sind, die eine Verbindung erfordern. Halbleiterchips, die gewöhnlich für Quarzuhren verwendet werden, weisen eine Größe von etwa 2 mm × 2 mm auf und besitzen mehr als zehn Erhebungen. Somit besitzt der Halbleiterchip **3** in diesem Beispiel im Vergleich zu einem gewöhnlichen Halbleiterchip näherungsweise das Sechsfache der Fläche und mehr als das Doppelte der Anzahl der Verbindungsstellen.

[0037] Die Leiterplatte **2** umfasst ein flexibles Substrat **21**, das aus einem näherungsweise 130 μm dicken Polyimid-Kunstharzband gefertigt ist, und ein leitendes Muster **22** (Leiter), das auf diesem Substrat **21** integriert ist. Das leitende Muster **22** ist eine leitende Komponente, die erzeugt wird, wenn die Kupferfolie, die auf dem Substrat **21** haftet, zu einem spezifischen Muster geformt wird, auf dem eine Goldplattierung von etwa 1 μm Dicke aufgebracht worden ist.

[0038] Der Bereich des Substrats **21**, der der Position des Halbleiterchips **3** entspricht, wurde von der Leiterplatte **2** entfernt, um ein Vorrichtungsloch **23** auszubilden, das näherungsweise einen viereckigen Umriss aufweist. Der Halbleiterchip **3** wird auf diesem Vorrichtungsloch **23** positioniert und befestigt.

[0039] Diese Befestigungsstruktur wird später genauer erläutert. Bei dieser Struktur wird jedoch das Vorrichtungsloch **23** mit einem Gießmittel **4** gefüllt, nachdem die Leiter **221**, die Teil des leitenden Musters **22** sind und in das Vorrichtungsloch **23** ragen, mit den Erhebungen **31** des Halbleiterchips **3** unter Verwendung des Einzelpunkt-Verbindungsverfahrens Stelle für Stelle verbunden worden sind. Die Breite der Bahnen **221** ist schmaler als diejenige der anderen leitenden Muster **22**, wodurch es einfacher wird, diese mit den Erhebungen **31** zu verbinden. Hierbei werden die Erhebungen **31** abgeflacht, wenn sie mit den Leitern **221** verbunden werden, wobei die Leiter **221** leicht nach unten gebogen werden.

[0040] In einer Halbleitervorrichtung **1**, die den Typ der Verbindungsstruktur dieses Beispiels aufweist, wurden die Überlagerungsbereiche **211** der Leiterplatte **2**, die mit den Ecken des Halbleiterchips **3** überlappen, in den vier Eckbereichen A, B, C und D des Vorrichtungsloches **23** ausgebildet. Ferner wurden Behelfserhebungen **32a** (Abstandhalter) an vier Stellen im aktiven Bereich **30** des Halbleiterchips **3** ausgebildet, die mit dem Überlagerungsbereich **211** überlappen. Diese Behelfserhebungen **32a** überlappen mit den erweiterten Breitenabstand **20** des leitenden Musters **22**. Diese breitere Breite stellt sicher, dass die Behelfserhebungen **32a** mit dem leitenden Muster **22** selbst dann überlappen, wenn der Halbleiterchip **3** leicht fehl ausgerichtet ist. Da jedoch die Behelfserhebungen **32a** nicht mit irgendwelchen internen Schaltungen des Halbleiterchips **3** elektrisch ver-

bunden sind, können sie keine Fehlfunktion der Halbleitervorrichtung **1** hervorrufen. Obwohl die Behelfserhebungen **32a** überlappen, sind sie nicht mit dem leitenden Muster **22** (den Leitern **221**) verbunden. Folglich werden die Behelfserhebungen **32a** nicht abgeflacht und behalten ihre anfängliche Dicke, im Gegensatz zu den Erhebungen **31**.

[0041] Ein Überlagerungsbereich **212** der Leiterplatte **2** wurde ebenfalls innerhalb des Vorrichtungsloches **23** ausgebildet, welcher den Halbleiterchip **3** überlappt. Der Überlagerungsbereich **212** durchdringt die ungefähre Mitte des Vorrichtungsloches **23** und ist mit der ungefähren Mitte jeder der vier Seiten verbunden. Behelfserhebungen **22b** (Abstandhalter) wurden an vier Stellen im aktiven Bereich **30** des Halbleiterchips **3** ausgebildet. Diese Behelfserhebungen **32b** sind mit keiner der internen Schaltungen des Halbleiterchips **3** elektrisch verbunden. Da ferner die Behelfserhebungen **32b** nicht mit dem leitenden Muster **22** (Leiter **221**) verbunden sind, werden sie nicht abgeflacht, wodurch sie ihre ursprüngliche Dicke beibehalten, im Gegensatz zu den Erhebungen **31**.

[0042] Eine Produktivität auf hohem Niveau kann bei der Halbleitervorrichtung **1**, die auf diese Weise konfiguriert ist, erreicht werden, da keine Loterhebungen verwendet werden. Wie in **Fig.** 2(a) und (b) gezeigt ist, wird außerdem automatisch ein Spalt t1 zwischen der Leiterplatte **2** und dem Halbleiterchip **3** durch die Behelfserhebungen **32** (**32a** und **32b**) mit einer Dicke äquivalent zu denjenigen der Behelfserhebungen aufrecht erhalten. Dies verhindert das Auftreten eines Kurzschlusses zwischen dem leitenden Muster **22** und der Kante des Halbleiterchips **3**.

[0043] Da ferner die Dicke der Behelfserhebungen **32** nicht durch den Prozess des Verbindens der Leiter **221** mit den Erhebungen **31** beeinflusst wird, wird die Abmessung des Spalts t1 durch die anfänglich spezifizierte Dicke der Behelfserhebungen **32** bestimmt. Da ferner die Behelfserhebungen **32** das leitende Muster **22** überlappen, halten sie den Spalt t1 zwischen dem leitenden Muster **22** und dem Halbleiterchip **3** zuverlässig aufrecht, wodurch eine hohe Haltbarkeit der Halbleitervorrichtung **1** sichergestellt wird. Ferner erhöhen die Behelfserhebungen **32** nicht die Kosten des Halbleiterchips **3**, da sie gleichzeitig mit den Verbindungserhebungen **31** ausgebildet werden können.

[0044] Wie in **Fig.** 3(a) schematisch gezeigt ist, welche eine Längsschnittansicht vor dem Verbindungsprozess ist, wurden freie Behelfserhebungen **34** und **35** im aktiven Bereich **30** ausgebildet, welche weder elektrisch benötigt werden noch für die Aufrechterhaltung des Spalts t1 verwendet werden. Diese freien Behelfserhebungen sind zusätzlich zu den Erhebungen **31** vorhanden, die elektrisch erforderlich sind, und zu den Behelfserhebungen **32**, die zum Aufrechterhalten des Spalts t1 notwendig sind. Die freie Behelfserhebung **34** ist innerhalb des Bereiches angeordnet, indem das Vorrichtungsloch **23** ausgebildet worden ist. Obwohl die freie Behelfserhebung **35** innerhalb des Bereiches angeordnet ist, in dem der Überlagerungsbereich **212** ausbildet worden ist, berührt sie nicht die Leiterplatte **2**, da dort kein leitendes Muster **22** ausgebildet worden ist, wie in **Fig.** 3(b), einer Längsschnittansicht nach dem Verbindungsprozess, gezeigt ist. Wenn freie Behelfserhebungen, wie z. B. **34** und **35**, ausgebildet werden, können diese verwendet werden, um einen spezifizierten Spalt t1 zwischen dem Halbleiterchip **3** und der Leiterplatte **2** z. B. dann sicherzustellen, wenn der Ort der Überlagerungsbereiche **211** und **212** auf der Leiterplatte **2** verändert wird.

[0045] Außerdem besitzt die Halbleitervorrichtung **1** in diesem Beispiel die folgenden Eigenschaften.

[0046] Das Vorrichtungsloch **23** wurde wiederum in **Fig.** 1 durch den Überlagerungsbereich **212** in vier Löcher **231**, **232**, **233** und **234** unterteilt. In diesem Fall muss der Kreuzungsbereich **222** des leitenden Musters **22** nur eines der Löcher **232** durchqueren, selbst wenn er dafür ausgebildet worden ist, das gesamte Vorrichtungsloch **23** zu durchqueren, und ist außerdem durch den Überlagerungsbereich **212** verstärkt. In ähnlicher Weise durchquert der Kreuzungsbereich **223** des leitenden Musters **22** nur das Loch **232**, wobei seine Spitze durch den Überlagerungsbereich **212** unterstützt wird. Folglich kann dieser Kreuzungsbereich frei in denjenigen Bereichen positioniert werden, die dem aktiven Bereich **30** des Halbleiterchips **3** entsprechen, wobei das resultierende leitende Muster sehr stabil wird. Da ferner die Leiterplatte **2** durch Zurückhalten der Überlagerungsbereiche **211** und **212** innerhalb des Vorrichtungsloches **23** verstärkt werden kann, kann die flexible Leiterplatte **2** vor einer unnötigen Verformung geschützt werden.

[0047] Da ferner der Innenumfang des Vorrichtungsloches **23** durch die Überlagerungsbereiche **211** und **212** in einer komplizierten Form ausgebildet ist, können die Leiter **221** veranlasst werden, entweder in Longitudinal- oder in Transversalrichtung hervorzustehen. Der Leiter **221a** kann z. B. veranlasst werden, längs des Innenumfangs des Vorrichtungsloches **23** hervorzustehen. Folglich können Leiter, die in orthogonalen Richtungen zueinander angeordnet sind (**221a** und **221b**), auch nahe der Mitte einer Seite des Vorrichtungsloches **23** ausgebildet werden, was einen hohen Grad der Verdrahtungsfreiheit erlaubt. Aus diesen Gründen ist die Halbleitervorrichtung **1** in diesem Beispiel sehr beständig, weist einen hohen Grad an Gestaltungsfreiheit auf und kann in einem weiten Anwendungsbereich verwendet werden.

[0048] Außerdem wurde der Überlagerungsbereich **212** ausgebildet, um das Vorrichtungsloch **23** zu unterteilen, indem er durch die ungefähre Mitte des Vorrichtungsloches **23** läuft. Ferner wurde ein Durchgangsloch **230** in dem Bereich des Überlagerungsbereiches **212** ausgebildet, der der Mitte des Vorrichtungsloches **23**, d. h. der ungefähren Mitte des Halbleiterchips **3**, entspricht. Diese Struktur bietet den Vorteil einer hohen Produktivität bei der Montageverarbeitung, wie im Folgenden erläutert wird.

[0049] Der Prozess der Montage des Halbleiterchips **3** auf der Leiterplatte **2** wird im Folgenden mit Bezug auf die **Fig.** 3(a) und (b) erläutert.

[0050] Wie in **Fig.** 3(a) gezeigt ist, wird zuerst die Position des Halbleiterchips **3** relativ zum Vorrichtungsloch **23** der Leiterplatte **2** bestimmt. In diesem Zustand überlappt der Überlagerungsbereich **211** mit dem Halbleiterchip **3**.

[0051] Ausgehend von diesem Zustand werden die Leiter **221** und die Erhebungen **31** durch Beaufschlagen der Leiter **221** mit Ultraschallschwingungen verbunden. Wie in **Fig.** 3(b) gezeigt ist, werden als Ergebnis die Leiter **221** nach unten gebogen, während die Erhebungen **31** abgeflacht werden.

[0052] Da im Gegensatz hierzu die Behelfserhebungen **32** nicht mit dem leitenden Muster **22** verbunden werden, behalten sie ihre ursprüngliche Dicke, selbst nachdem die Erhebungen **31** und die Leiter **221** verbunden sind. Folglich wird der Spalt t1, der äquivalent ist zur anfänglichen Dicke der Behelfserhebungen **32**, zwischen der Leiterplatte **2** und dem Halbleiterchip **3** aufrechterhalten.

[0053] Als Nächstes wird das Gießmittel **4** in das Vorrichtungsloch **23** eingespritzt. Hier wurde das Vorrichtungsloch **23** in vier Löcher **231**, **234** usw. unterteilt, wobei das Gießmittel **4** in jedes dieser Löcher **231**, **232** usw. eingespritzt wird. Dies erlaubt dem Gießmittel **4**, gleichmäßig zu fließen. Ferner wurde das Durchgangsloch **230** in dem Abschnitt der Überlagerungsbereiche **211** und **212**, der der Mitte des Vorrichtungsloches **23** entspricht, ausgebildet. Durch dieses Durchgangsloch **230** kann Luft entweichen, wenn das Gießmittel **4** eingespritzt wird, was das gleichmäßige Fließen des Gießmittels **4** und somit das Erreichen einer hohen Produktivität in der Montageverarbeitung erlaubt.

[0054] In diesem Beispiel überlappen die Behelfserhebungen **32** mit dem leitenden Muster **22**, das im Überlagerungsbereich **211** der Leiterplatte **2** ausgebildet worden ist. Wenn jedoch die Steifigkeit des Substrats **21** relativ hoch ist, und wenn es nicht erforderlich ist, dass die Dicke des leitenden Musters **22** zur Abmessung des Spalts t1 beiträgt, kann eine Struktur verwendet werden, in der die Behelfserhebungen **32** im Überlagerungsbereich **211** direkt mit dem Substrat **21** selbst überlappen.

Arbeitsbeispiel 2

[0055] Die Grundstruktur der Halbleitervorrichtung in diesem Beispiel ist die Gleiche wie diejenige der Halbleitervorrichtung in Bezug auf das Arbeitsbeispiel 1. Aus diesem Grund werden dort, wo die Funktionen gleich sind, die gleichen Bezeichnungen verwendet, wobei genauere Erläuterungen weggelassen werden.

[0056] **Fig.** 4(a) ist eine Längsschnittansicht, die schematisch den Zustand der Halbleitervorrichtung in diesem Beispiel zeigt, bevor der Halbleiterchip mit der Halbleiterplatte verbunden wird, während **Fig.** 4(b) eine Längsschnittansicht ist, die schematisch den Zustand zeigt, nachdem der Halbleiterchip mit der Halbleiterplatte verbunden worden ist.

[0057] Wie in der Halbleitervorrichtung, die sich auf das Arbeitsbeispiel 1 bezieht, wurden in der Halbleitervorrichtung **11** dieses in **Fig.** 4(a) gezeigten Beispiels eine Erhebung **31** (Elektrode für das Verbinden), die für die elektrische Schaltung erforderlich ist, und eine Behelfserhebung **32** (Abstandshalter), die für die elektrische Schaltung nicht notwendig ist, im aktiven Bereich **30** des Halbleiterchips **3** ausgebildet. Ein Vorrichtungsloch **23** wurde auf der Seite der Leiterplatte **2** ausgebildet, wobei der Leiter **221** des leitenden Musters **22** in dieses Loch ragt. Ferner weist die Leiterplatte **2** einen Überlagerungsbereich **211** auf, der mit dem Halbleiterchip **3** überlappt, wenn dieser Halbleiterchip **3** korrekt gegenüber dem Vorrichtungsloch **23** positioniert ist. Ein leitendes Muster **22** wurde ebenfalls in diesem Überlagerungsbereich **211** ausgebildet.

[0058] In diesem Beispiel wurde ein Vorsprung **224** (Abstandshalter), der aus dem leitenden Muster **22** herausragt, in dem Bereich des leitenden Musters **22** (das im Überlagerungsbereich **211** ausgebildet worden ist) ausgebildet, der die Behelfserhebung **32** überlappt, wenn der Halbleiterchip **3** korrekt gegenüber der Leiterplatte **2** positioniert ist. Dieser Vorsprung **224** ist eine Erhebung, die zur Seite der Leiterplatte **2** übertragen worden ist.

[0059] Wenn daher der Leiter **221** und der Erhebung **31** durch Beaufschlagen des Leiters **221** mit Ultraschallschwingungen in einem Einzelpunkt-Verbindungsverfahren verbunden werden, wird der Leiter **221** nach unten gebogen, während die Erhebung **31** abgeflacht wird, wie in **Fig.** 4(b) gezeigt ist.

[0060] Da im Gegensatz hierzu die Behelfserhebung **32** und das leitende Muster **22** (Vorsprung **224**) nicht verbunden werden, behält die Behelfserhebung **32** ihr anfängliche Form und Dicke, auch nachdem

der Leiter **221** und die Erhebung **31** verbunden worden sind. Der Vorsprung **224** behält ebenfalls seine anfängliche Form und Dicke. Ein Spalt t2, der äquivalent ist zur kombinierten Dicke der Behelfserhebung **32** und des Vorsprungs **224**, wird zwischen der Leiterplatte **2** und dem Halbleiterchip **3** aufrechterhalten. Folglich ist keine Formungsverarbeitung erforderlich, wobei kein Kurzschluss zwischen der Leiterplatte **2** und der Kante des Halbleiterchips **3** auftritt. Da ferner die Abmessung des Spalts t2 durch die vorgegebene kombinierte Dicke der Behelfserhebung **32** und des Vorsprungs **24** bestimmt wird, muss sie nicht zu konservativ festgelegt werden. Selbst eine Halbleitervorrichtung **11**, die eine Verbindungsstruktur auf der Grundlage des Einzelpunkt-Verbindungsverfahrens verwendet, kann daher mit einem dünnen Profil ausgeführt werden und eine hohe Zuverlässigkeit erhalten.

[0061] Ferner erhöht die Behelfserhebung **32** nicht die Kosten des Halbleiterchips **3**, da sie gleichzeitig mit den Erhebungen für das Verbinden **31** ausgebildet werden kann.

[0062] Da die flache Struktur der Halbleitervorrichtung **11** in diesem Beispiel die gleiche ist wie diejenige der Halbleitervorrichtung im Arbeitsbeispiel 1, das in **Fig.** 1 gezeigt ist, kann das Gießmittel **4** in jedes der Löcher **231**, **232** usw. des Vorrichtungsloches **23** eingespritzt werden. Ferner kann Luft durch das Durchgangsloch **230** entweichen, wenn das Gießmittel **4** eingespritzt wird. Das eingespritzt Gießmittel **4** kann somit gleichmäßig fließen.

[0063] In diesem Beispiel überlappt der Vorsprung **224** des leitenden Musters **22** die Behelfserhebung **32** des Halbleiterchips **3**. Wenn jedoch der Vorsprung **224** ausreichend dick ist, kann er den aktiven Bereich **30** des Halbleiterchips **3**, auf dem eine Isolationsbeschichtung aufgebracht worden ist, überlappen.

Arbeitsbeispiel 3

[0064] Die Grundstruktur der Halbleitervorrichtung in diesem Beispiel ist die gleiche wie diejenige der Halbleitervorrichtung, die sich auf das Arbeitsbeispiel 1 bezieht. Aus diesem Grund werden dort, wo die Funktionen gleich sind, die gleichen Bezeichnungen verwendet worden, wobei genauere Erläuterungen weggelassen werden.

[0065] **Fig.** 5(a) ist eine Längsschnittansicht, die schematisch den Zustand der Halbleitervorrichtung in diesem Beispiel zeigt, bevor der Halbleiterchip mit der Halbleiterplatte verbunden wird, während **Fig.** 5(b) eine Längsschnittansicht ist, die schematisch den Zustand zeigt, nachdem der Halbleiterchip mit der Halbleiterplatte verbunden worden ist.

[0066] In der Halbleitervorrichtung **12** in diesem Beispiel in **Fig.** 5(a) wurde ein Vorrichtungsloch **23** auf der Seite der Leiterplatte **2** ausgebildet, wobei ein Leiter **221** des leitenden Musters **22** in dieses Loch ragt. Dieses leitende Muster **22** umfasst goldplattierte Leiter. In diesem Beispiel wurden Aluminiumkontaktflächen **38** auf dem Halbleiterchip **3** ausgebildet, wobei der Leiter **221** nur mit der Aluminiumkontaktfläche **38a** (Elektrode für das Verbinden) verbunden wird. Während die Aluminiumkontaktfläche **38a** für die elektrische Schaltung erforderlich ist, ist die Aluminiumkontaktfläche **38b** mit keiner der internen Schaltungen des Halbleiterchips **3** verbunden und für die elektrische Schaltung nicht erforderlich. Wie in diesem Beispiel deutlich wird, ist diese Option kostengünstig, da keine Erhebungen auf dem Halbleiterchip **3** ausgebildet werden.

[0067] Die Leiterplatte **2** weist einen Überlagerungsbereich **211** auf, der mit dem Halbleiterchip **3** überlappt, wenn dieser Halbleiterchip **3** korrekt gegenüber dem Vorrichtungsloch **23** positioniert ist. Das leitende Muster **22** wurde ebenfalls in diesem Überlagerungsbereich **211** ausgebildet. Der Teil dieses Überlagerungsmusters **22**, der mit der Aluminiumkontaktfläche **38b** überlappt, wurde als Vorsprung **225** (Abstandhalter) ausgebildet, der weiter herausragt als andere Teile des Musters **22**. Der Vorsprung **225** wird ausgebildet durch Stoppen des Ätzvorgangs auf halbem Wege in dem Bereich, in dem der Vorsprung **225** ausgebildet werden soll, wenn das leitende Muster **22** durch Ätzen ausgebildet wird. Der Teil des leitenden Musters **22**, der innerhalb des Umfangs des Halbleiterchips **3** angeordnet ist, wird dünner ausgebildet, wobei der Vorsprung **225** dicker ist als dieser Teil.

[0068] In der so konfigurierten Halbleitervorrichtung **12** wird der Leiter **221** nach unten gebogen, wenn der Leiter **221** und die Aluminiumkontaktfläche **38a** durch Beaufschlagen des Leiters **221** mit Ultraschallschwingungen im Einzelpunkt-Verbindungsverfahren verbunden werden, wie in **Fig.** 5(b) gezeigt ist. Da jedoch der Vorsprung **225** nicht mit dem Halbleiterchip **3** verbunden wird, wird er nicht abgeflacht. Folglich tritt kein Kurzschluss zwischen dem leitenden Muster **22** und der Kante des Halbleiterchips **3** auf, da ein Spalt t3, der äquivalent ist zur anfänglichen Dicke des Vorsprungs **225**, zwischen der Leiterplatte **2** und dem Halbleiterchip **3** aufrechterhalten wird. Da ferner die Dicke des Vorsprungs **225** sich nicht ändert, nachdem der Leiter **221** mit der Aluminiumkontaktfläche **38a** verbunden worden ist, und die Abmessung des Spalts t3 durch die vorgegebene anfängliche Dicke des Vorsprungs **225** bestimmt wird, muss der Spalt t3 nicht zu konservativ festgelegt werden. Es ist somit möglich, ein dünnes Profil und eine hohe Zuverlässigkeit der Halbleitervorrichtung **12** in diesem Beispiel zu erhalten. Da außerdem der Vorsprung **225** einen Teil des leitenden Musters **22** verwendet, erhöht er nicht die Kosten der Leiterplatte **2**.

[0069] Ferner ist die flache Struktur der Halbleitervorrichtung **12** in diesem Beispiel die gleiche wie diejenige der Halbleitervorrichtung im Arbeitsbeispiel 1. Das Gießmittel **4** kann somit in jedes der Löcher **231**, **232** usw. des Vorrichtungsloches **23** eingespritzt werden. Ferner kann Luft durch das Durchgangsloch **230** entweichen, wenn das Gießmittel **4** eingespritzt wird. Das eingespritzte Gießmittel **4** kann daher gleichmäßig fließen.

[0070] Obwohl der Vorsprung **225** des leitenden Musters **22** in diesem Beispiel die Aluminiumkontaktfläche **38b** des Halbleiterchips **3** überlappt, kann er z. B. den aktiven Bereich **30** des Halbleiterchips **3** überlappen, auf den eine Isolationsbeschichtung aufgetragen worden ist.

Andere Arbeitsbeispiele

[0071] Zusätzlich zu den obenerwähnten Arbeitsbeispielen wäre es dann, wenn ein Überlagerungsbereich, der mit dem Halbleiterchip überlappt, auf eine Leiterplatte ausgebildet wird, und ein Abstandhalter, dessen Dicke sich nicht ändert, nachdem das leitende Muster und die Erhebung verbunden worden sind, auf diesem Überlagerungsbereich oder auf der Oberfläche des Halbleiterchips ausgebildet wird, die mit dem Überlagerungsbereich überlappt, auch annehmbar, einen Vorsprung des Substrats, den die Leiterplatte selbst umfasst, oder einen Isolationsvorsprung zu verwenden, der aus dem aktiven Bereich des Halbleiterchips selbst hervorsteht.

[0072] Ferner ist es möglich, Wirkungen ähnlich denjenigen zu erhalten, die mit dem Einzelpunkt-Verbindungsverfahren erhalten werden können, indem das Gruppenverbindungsverfahren verwendet wird. Wenn das Gruppenverbindungsverfahren verwendet wird, sollte das Verbindungswerkzeug T keine flache Bodenfläche aufweisen. Statt dessen, wie mit der Struktur der Bodenseite des Verbindungswerkzeugs für die Gruppenverbindung in **Fig.** 6 schematisch gezeigt ist, sollte das Verbindungswerkzeug T einen konkaven Bereich T1 aufweisen, um die Überlagerungsbereiche **211** und **212** und die Kreuzungsbereiche **222** und **223** des leitenden Musters zu meiden.

Mögliches industrielles Anwendungsgebiet

[0073] Wie oben erläutert worden ist, ist in der Halbleitervorrichtung dieser Erfindung ein Überlagerungsbereich, der mit dem Halbleiterchip überlappt, welcher auf einem Vorrichtungsloch positioniert ist, auf der Seite der Leiterplatte ausgebildet. Ein spezifischer Spalt wird zwischen diesem Überlagerungsbereich und dem Halbleiterchip durch eine Behelfserhebung aufrechterhalten, die auf der Seite des Halbleiterchips ausgebildet ist, oder durch einen Abstandhalter, wie z. B. einen Vorsprung, der auf dem leitenden Muster des Überlagerungsbereiches ausgebildet ist. Da somit die Erfindung einen spezifizierten Spalt zwischen dem Überlagerungsbereich und dem Halbleiterchip aufrechterhalten kann, ohne die Notwendigkeit der Formung des Leiters auf der Leiterplatte, selbst wenn ein Einzelverbindungsverfahren verwendet wird, ist es möglich, eine Halbleitervorrichtung mit dünnem Profil herzustellen, um einen Kurzschluss an der Kante des Halbleiterchips zu verhindern und eine hohe Zuverlässigkeit zu erhalten. Da ferner der Formungsprozess weggelassen werden kann, kann ein höheres Niveau an Produktivität erreicht werden. Außerdem können Leiter in dem Bereich angeordnet sein, der dem aktiven Bereich des Halbleiterchips entspricht, indem leitende Muster im Überlagerungsbereich ausgebildet werden, wodurch sowohl die Mustergestaltungsfreiheit als auch die allgemeine Anwendbarkeit des Halbleiterchips verbessert werden.

[0074] Wenn Behelfserhebungen auf der Seite des Halbleiterchips ausgebildet werden und Vorsprünge des leitenden Musters auf dem Überlagerungsbereich der Leiterplatte ausgebildet werden, ist es einfach, einen weiten Spalt zwischen der Leiterplatte und dem Halbleiterchip auszubilden, äquivalent zu den kombinierten Dicken der auf der Seite des Halbleiterchips ausgebildeten Behelfserhebung und des Vorsprungs.

[0075] Wenn Überlagerungsbereiche in den vier Eckbereichen des Vorrichtungsloches vorhanden ist, ist es möglich, selbst in einem großen Halbleiterchip gleichmäßige Spalten zu erhalten. Während ferner Überlagerungsbereiche auch längs der Seiten des Vorrichtungsloches ausgebildet werden, ist es möglich, auch für einen großen Halbleiterchip Spalten mit noch größerer Gleichmäßigkeit zu erhalten.

[0076] Die Unterteilung des Vorrichtungsloches in mehrere Löcher durch den Überlagerungsbereich erlaubt dem Gießmittel, gleichmäßig zu fließen, da es durch jedes der Löcher eingespritzt werden kann. Selbst wenn ferner ein Kreuzungsbereich, der das unterteilte Loch durchquert, im leitenden Muster eingerichtet ist, wird der Kreuzungsbereich durch den Überlagerungsbereich verstärkt; somit wird die Schaltungsmustergestaltungsfreiheit verbessert, während eine hohe Zuverlässigkeit aufrechterhalten bleibt.

[0077] Die Ausbildung eines Durchgangsloches im Überlagerungsbereich, der durch die ungefähre Mitte des Vorrichtungsloches verläuft, erlaubt es, dass Luft durch das Durchgangsloch entweicht, wenn ein Gießmittel eingespritzt wird; somit wird dem eingespritzten Gießmittel ermöglicht, gleichmäßig zu fließen.

Patentansprüche

1. Halbleitervorrichtung umfassend: eine Leiterplatte (**2**), auf der ein leitendes Muster auf einem isolierendem Substrat (**21**) ausgebildet worden ist, einen Halbleiterchip (**3**), der über einem Vorrichtungsloch (**23**) der Leiterplatte angeordnet ist, wobei die Vorrichtung mehrere Abstandhalter (**32**, **224**, **225**) umfasst; wobei Leiterabschnitte (**221**) des leitenden Musters, die in das Vorrichtungsloch ragen, mit Bonding-Elektroden (**31**, **38**) des Halbleiterchips verbunden sind und die Leiterplatte einen Überlagerungsbereich (**211**, **212**) aufweist, der den Halbleiterchip überlappt, wobei der Überlagerungsbereich ausgebildet wird durch Überlagern eines Teils des isolierenden Substrats und des leitenden Musters, wobei das leitende Muster so auf dem Teil des isolierenden Substrats angeordnet wird, dass es dem Halbleiterchip zugewandt ist; **dadurch gekennzeichnet**, dass die mehreren Abstandhalter (**32**, **224**, **225**) auf einer Oberfläche des Überlagerungsbereichs und nicht mit dem Halbleiterchip verbunden vorgesehen sind und/oder auf einer Oberfläche des Bereichs der Halbleiterchips, der den Überlagerungsbereich überlappt, und nicht mit dem Überlagerungsbereich verbunden vorgesehen ist, wobei wenigstens ein Abschnitt des leitenden Musters auf einem Bereich des Substrats angeordnet ist, der zwischen einem Abstandhalter und einem benachbarten Abstandhalter besteht, so dass die Abstandhalter außerhalb des Vorrichtungsloches zwischen der Leiterplatte und dem Halbleiterchip angeordnet sind, um zwischen den beiden einen spezifizierten Spalt (t1, t2, t3) aufrechtzuerhalten.

2. Halbleitervorrichtung nach Anspruch 1, ferner dadurch gekennzeichnet, dass der Abstandhalter eine Behelfserhebung (**32**) ist, die nicht mit dem leitenden Muster auf der Oberfläche des Halbleiterchips verbunden ist, das den Überlagerungsbereich überlappt, und zwischen der Leiterplatte und dem Halbleiterchip angeordnet ist, um zwischen den beiden einen spezifizierten Abstand aufrechtzuerhalten.

3. Halbleitervorrichtung nach Anspruch 2, ferner dadurch gekennzeichnet, dass das leitende Muster die Behelfserhebung im Überlagerungsbereich überlappt.

4. Halbleitervorrichtung nach Anspruch 1, ferner dadurch gekennzeichnet, dass der Abstandhalter ein Vorsprung (**224**, **225**) des leitenden Musters ist, der nicht mit der Bonding-Elektrode auf der Seite des Überlagerungsbereichs verbunden ist und zwischen der Leiterplatte und dem Halbleiterchip angeordnet ist, um zwischen den beiden einen spezifizierten Abstand aufrechtzuerhalten.

5. Halbleitervorrichtung nach Anspruch 4, ferner dadurch gekennzeichnet, dass der Halbleiterchip sowohl Erhebungen (**31**), die als Bonding-Elektroden verwendet werden, als auch Behelfserhebungen (**32**), die an den Stellen, die den Vorsprung überlappen, nicht mit dem Vorsprung verbunden sind, aufweist.

6. Halbleitervorrichtung nach Anspruch 4, ferner dadurch gekennzeichnet, dass der Halbleiterchip sowohl Kontaktflächen (**38a**), die als Bonding-Elektroden verwendet werden, als auch Behelfskontaktflächen (**38b**), die an den Stellen, die den Vorsprung überlappen, nicht mit dem Vorsprung verbunden sind, aufweist.

7. Halbleitervorrichtung nach irgendeinem der vorangehenden Ansprüche, ferner dadurch gekennzeichnet, dass das Vorrichtungsloch einen näherungsweise viereckigen Umriss aufweist, wobei der Überlagerungsbereich (**211**) in den vier Eckbereichen des Vierecks besteht.

8. Halbleitervorrichtung nach Anspruch 7, ferner dadurch gekennzeichnet, dass der Überlagerungsbereich auch längs jeder Seite des Vorrichtungsloches besteht.

9. Halbleitervorrichtung nach irgendeinem der vorangehenden Ansprüche, ferner dadurch gekennzeichnet, dass der Überlagerungsbereich (**212**) innerhalb des Vorrichtungsloches ausgebildet ist, so dass das Vorrichtungsloch in mehrere Löcher unterteilt ist.

10. Halbleitervorrichtung nach Anspruch 9, ferner dadurch gekennzeichnet, dass der Überlagerungsbereich durch die ungefähre Mitte des Vorrichtungsloches läuft, so dass das Vorrichtungsloch in mehrere Löcher unterteilt ist; und dass ein Durchgangsloch (**230**) in dem Bereich des Überlagerungsbereichs ausgebildet worden ist, der der ungefähren Mitte des Vorrichtungsloches entspricht.

11. Halbleitervorrichtung nach Anspruch 9 oder 10, ferner dadurch gekennzeichnet, dass das leitende Muster einen Überquerungsbereich aufweist, der wenigstens eines der mehreren Löcher überquert.

12. Verfahren zu Fertigung einer Halbleitervorrichtung, umfassend: eine Leiterplatte (**2**), auf der ein leitendes Muster auf einem isolierendem Substrat (**2**) ausgebildet worden ist, wobei ein Halbleiterchip über einem Vorrichtungsloch (**23**) der Leiterplatte angeordnet wird, wobei die Leiterplatte einen Überlagerungsbereich (**211**, **212**) aufweist, der den Halbleiterchip überlappt, wobei der Überlagerungsbereich ausgebildet wird durch Überlagern eines Teils des isolierenden Substrats und des leitenden Musters, wobei das leitende Muster so auf dem Teil des isolierenden Substrats angeordnet wird, dass es dem Halbleiterchip zugewandt ist; gekennzeichnet durch:
Ausbilden mehrerer Abstandhalter auf einer Oberflä-

che des Überlagerungsbereichs und/oder auf einer Oberfläche des Bereichs des Halbleiterchips, der den Überlagerungsbereich überlappt, wobei wenigstens ein Abschnitt des leitenden Musters auf einem Bereich des Substrats angeordnet ist, der zwischen einem Abstandhalter und einem benachbarten Abstandhalter besteht; und
Anordnen des Halbleiterchips über dem Vorrichtungsloch und Verbinden eines Leiterabschnitts (**221**) des leitenden Musters, der in das Vorrichtungsloch ragt, mit einer Bonding-Elektrode des Halbleiterchips, wobei die auf der Oberfläche des Überlagerungsbereichs ausgebildeten Abstandhalter nicht mit dem Halbleiterchip verbunden werden und/oder die auf der Oberfläche des Halbleiterchips ausgebildeten Abstandhalter nicht mit dem Überlagerungsbereich verbunden werden, so dass die Abstandhalter außerhalb des Vorrichtungsloches zwischen der Leiterplatte und dem Halbleiterchip angeordnet werden, um zwischen den beiden einen spezifizierten Spalt (t1, t2, t3) aufrechtzuerhalten.

13. Verfahren nach Anspruch 12, dadurch gekennzeichnet, dass sich die Dicke des Abstandhalters vor oder nach dem Verbinden des Leiters und der Randelektroden nicht ändert, um den spezifizierten Spalt (t1, t2, t3) zwischen der Leiterplatte und dem Halbleiterchip aufrechtzuerhalten.

Es folgen 7 Blatt Zeichnungen

Anhängende Zeichnungen

Fig. 1

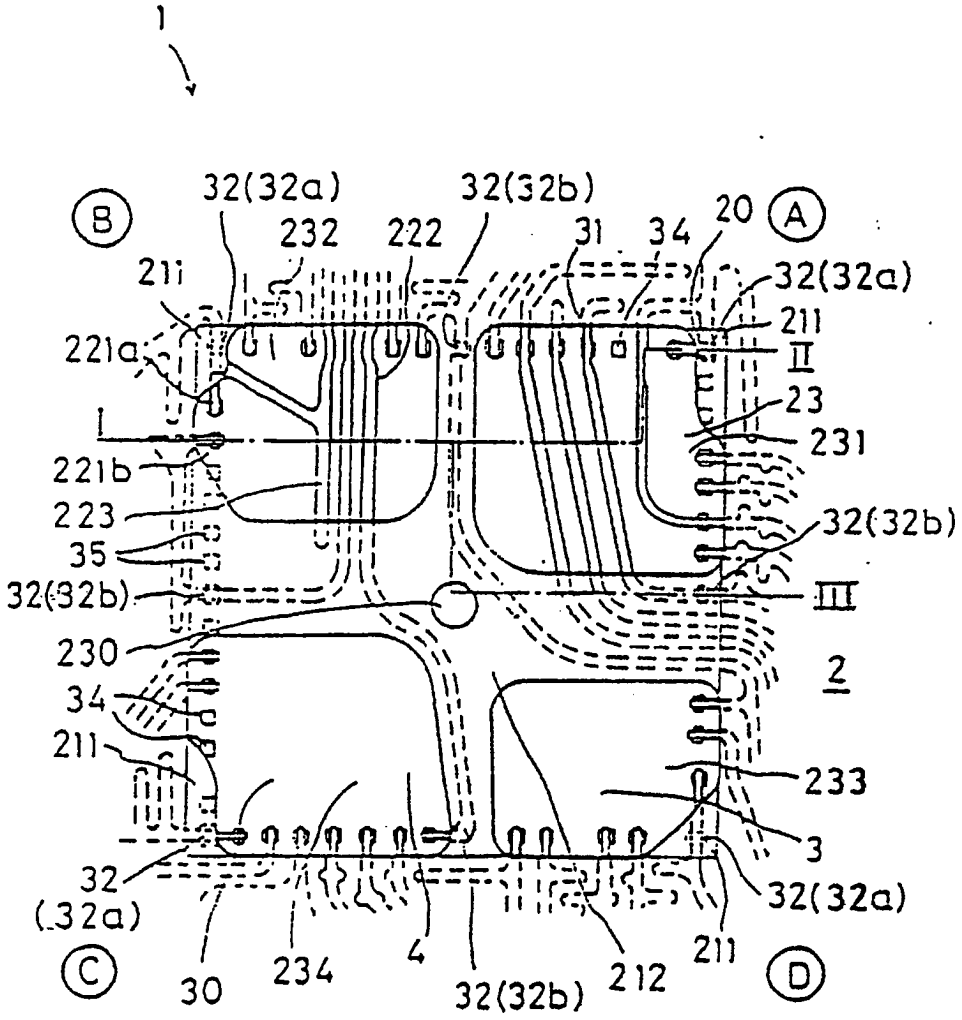
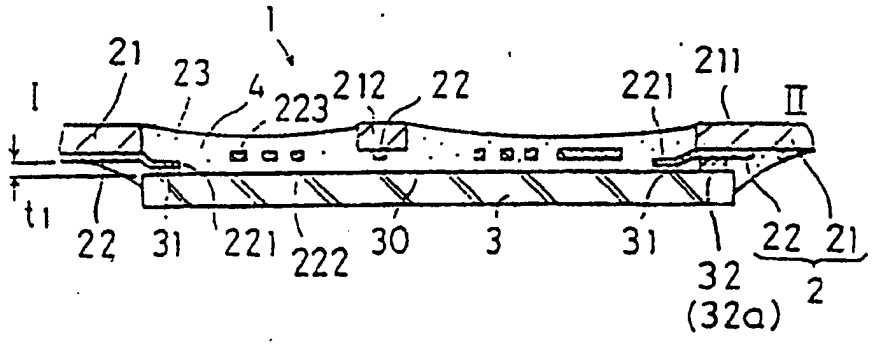


Fig. 2

(a)


1
21
23
4
223
212
22
221
211
I
II
t1
22
31
221
222
30
3
31
32
(32a)
22
21
2

(b)

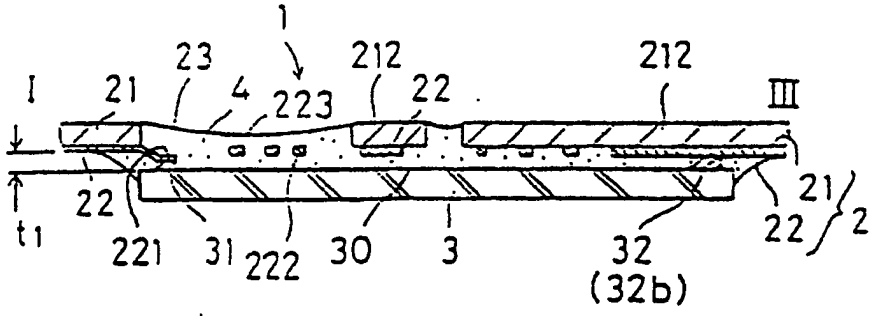
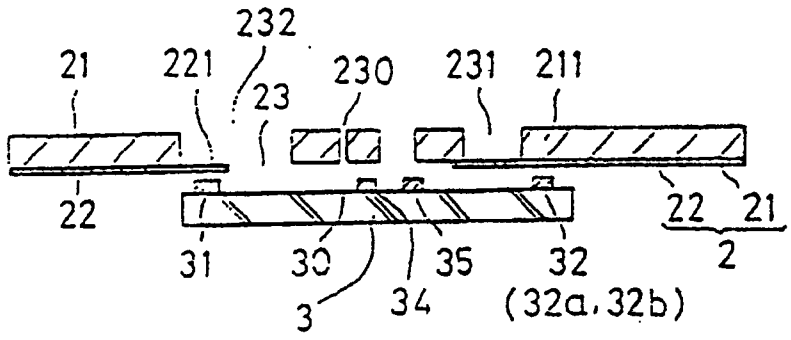

1
23
212
212
I
21
4
223
22
III
22
t1
221
31
222
30
3
32
(32b)
21
22
2

Fig. 3

(a)


232
21
221
23
230
231
211
22
22
21
31
30
35
32
2
3
34
(32a,32b)

(b)

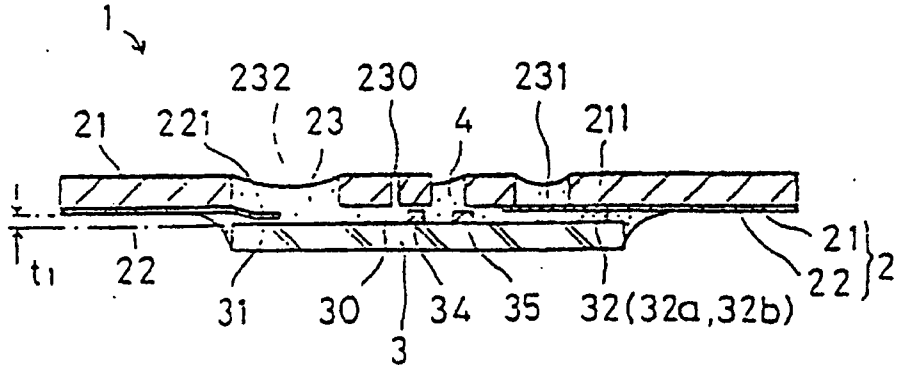
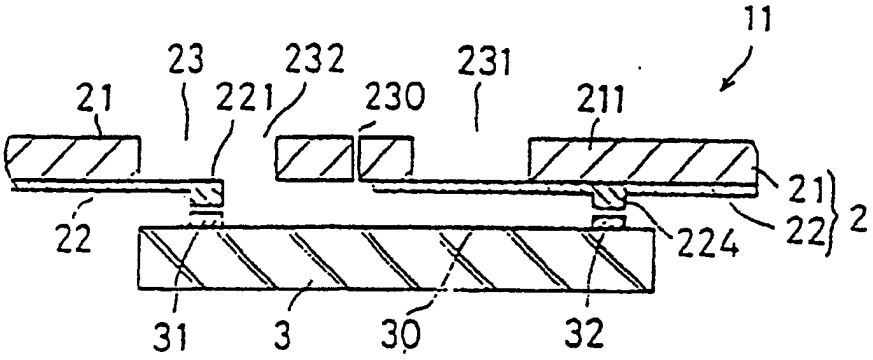

1
232
230
231
21
221
23
4
211
t1
22
21
22
2
31
30
34
35
32(32a,32b)
3

Fig. 4

(a)


11
23
232
231
21
221
230
211
21
22
2
224
22
31
3
30
32

(b)

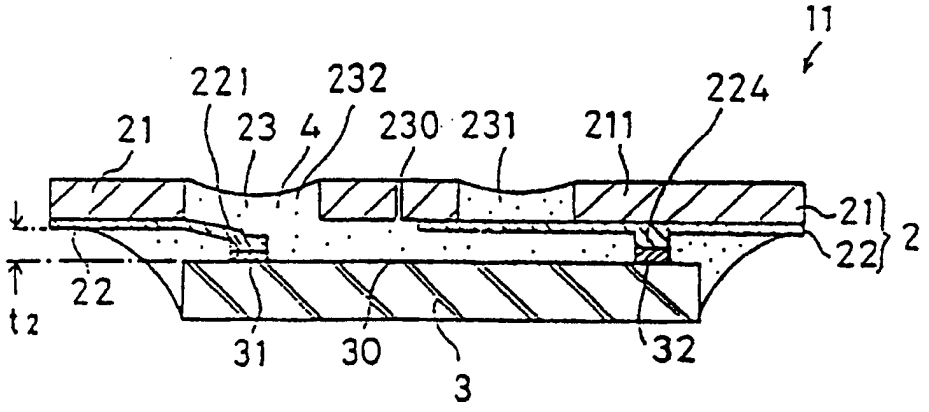
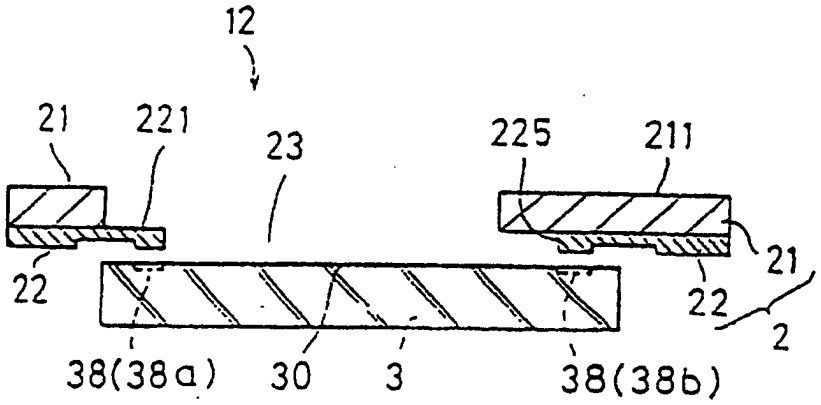

11
221
232
224
21
23
4
230
231
211
21
22
2
22
t2
31
30
32
3

Fig. 5

(a)


12
21
221
23
225
211
21
22
22
2
38(38a)
30
3
38(38b)

(b)

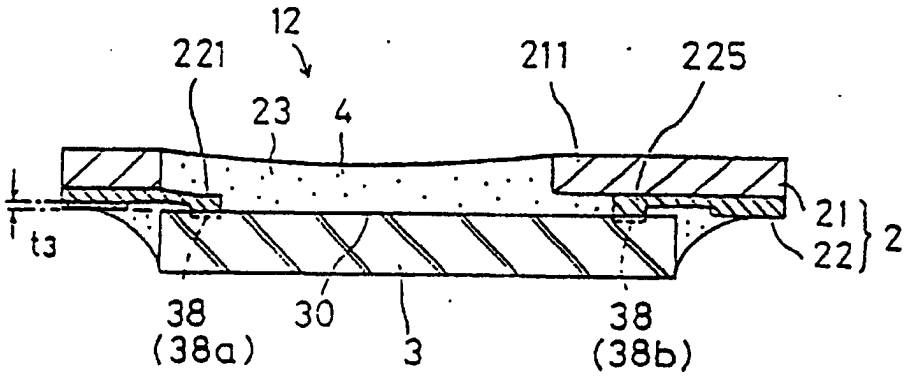

12
221
211
225
23
4
21
22
2
t3
38
(38a)
30
3
38
(38b)

Fig. 6

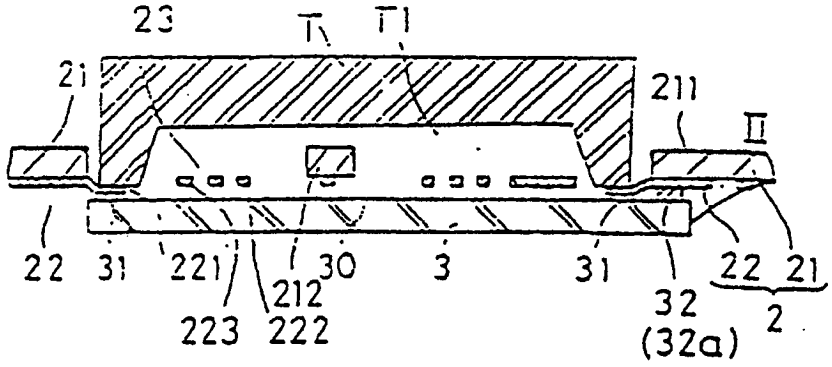


Fig. 7

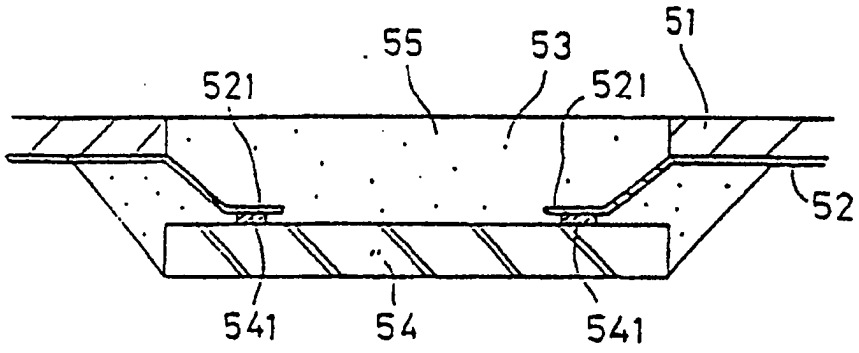


Fig. 8

