

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(11) 공개번호 10-2022-0044053
(43) 공개일자 2022년04월06일

(51) 국제특허분류(Int. Cl.)

H01L 29/66 (2006.01) H01L 21/02 (2006.01)
H01L 29/24 (2006.01) H01L 29/417 (2006.01)
H01L 29/786 (2006.01)

(52) CPC특허분류

H01L 29/66969 (2013.01)
H01L 21/02299 (2013.01)

(21) 출원번호 10-2020-0127277

(22) 출원일자 2020년09월29일
심사청구일자 2020년09월29일

(71) 출원인

인하대학교 산학협력단

인천광역시 미추홀구 인하로 100(용현동, 인하대학교)

(72) 발명자

김민규

서울특별시 양천구 목동서로 400 (신정동, 목동신시가지아파트10단지) 1030동 402호

이정환

인천광역시 남동구 구월로 192, 1310동 1502호 (구월동, 힐스테이트롯데캐슬골드1단지아파트)

최리노

서울특별시 마포구 월드컵북로 502-37(상암동, 상암월드컵파크11단지) 1102동 305호

(74) 대리인

이은철, 이수찬

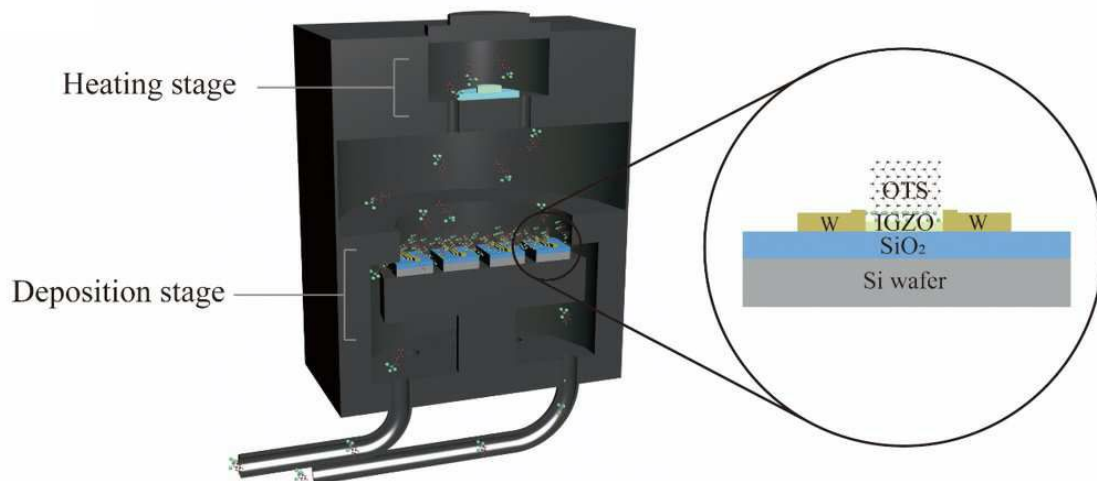
전체 청구항 수 : 총 6 항

(54) 발명의 명칭 박막 트랜지스터의 저온 패시베이션 방법 및 이를 이용한 장치

(57) 요약

본 발명은 산화물 반도체 박막 트랜지스터의 저온 패시베이션 방법에 있어서, 반도체를 열처리하여 산화시키는 단계; 상기 열처리하여 산화된 절연체에 산화물 반도체의 채널층을 형성시키는 단계; 상기 증착된 산화물 반도체를 어닐링하는 단계; 상기 어닐링 단계를 거친 산화물 반도체에 금속 전극을 증착시키는 단계; 상기 금속 전극이 증착된 산화물 반도체에 SAM을 200℃ 이하의 온도에서 증착시키는 단계를 포함하는 것을 특징으로 하는 산화물 반도체 박막 트랜지스터의 저온 패시베이션 방법 및 이를 이용한 장치를 제공한다.

대표도 - 도1



(52) CPC특허분류

H01L 21/02565 (2013.01)

H01L 21/0262 (2013.01)

H01L 21/02658 (2013.01)

H01L 29/24 (2013.01)

H01L 29/41733 (2013.01)

H01L 29/78693 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1415164864
과제번호	P0008458
부처명	산업통상자원부
과제관리(전문)기관명	한국산업기술진흥원
연구사업명	산업전문인력역량강화(R&D)
연구과제명	산학프로젝트 기반 반도체소재부품장비기술 전문인력양성
기 여 율	1/1
과제수행기관명	한국반도체산업협회
연구기간	2019.03.01 ~ 2020.02.29

명세서

청구범위

청구항 1

산화물 반도체 박막 트랜지스터의 저온 패시베이션 방법에 있어서,

반도체를 열처리하여 산화시키는 단계;

상기 열처리한 후 산화된 절연체 표면을 사전 세정(peclean)하는 단계;

상기 사전 세정(peclean)을 한 후 절연체 표면에 InGaZnO, InGaO, InSnZnO, SnO, ZnO, InHfZnO, InZrZnO, InAlZnO 및 IZO로 이루어진 산화물반도체 군에서 선택된 어느 하나인 것으로 채널층을 형성시키는 단계;

상기 채널층이 증착된 산화물 반도체를 어닐링하는 단계;

상기 어닐링 단계를 거친 채널층이 증착된 산화물 반도체에 소스 전극 및 드레인 전극으로써 금속을 형성시키는 단계;

상기 소스 전극 및 드레인 전극이 증착된 산화물 반도체에 SAM 물질로서 Hexamethyldisilazane($C_6H_{19}NSi_2$), Octyltrichlorosilane($C_8H_{17}Cl_3Si$), Octadecyltrichlorosilane ($C_{18}H_{37}Cl_3Si$), Docosyltrichlorosilane($C_{22}H_{45}Cl_3Si$), Phenethyltrichlorosilane($C_8H_9C_{13}Si$), 3-Aminopropyltriethoxysilane($C_9H_{23}NO_3Si$), Trichloro(3,3,4,4,5,5,6,6,7,7,8,8,8-tridecafluorooctyl)silane($C_8H_4Cl_3F_{13}Si$), (3-Mercaptopropyl)trimethoxysilane($C_6H_{16}O_3SSi$), Triethoxyoctylsilane($C_{14}H_{32}O_3Si$), (3-Chloropropyl)triethoxysilane($C_9H_{21}ClO_3Si$), 1-Propanethiol, 3-(triethoxysilyl)($C_9H_{23}O_3SSi$), 3-Aminopropyltriethoxysilane($C_9H_{23}NO_3Si$), Decylphosphonic acid($C_{10}H_{23}O_3P$), Hexylphosphonic acid($C_6H_{15}O_3P$), Tetradecylphosphonic acid($C_{14}H_{31}O_3P$), Octadecylphosphonic acid($C_{18}H_{39}O_3P$) 및 Lauric acid ($C_{12}H_{24}O_2$)로 이루어진 군에서

선택된 어느 하나인 것으로 패시베이션층을 증착시키는 단계를 포함하는 것을 특징으로 하는 산화물 반도체 박막 트랜지스터의 저온 패시베이션 방법.

청구항 2

제 1항에 있어서,

상기 사전 세정(peclean)과정으로, 이산화규소(SiO_2)가 형성된, 도핑된 실리콘 웨이퍼를 아세톤, 아이소프로판올(isopropanol), DI(deionized) water 순으로 초음파 발생 수조(ultrasonication bath)에서 각각 5분 내지 10 분간 처리한 이후, UV-오존 처리를 30분 내지 60분간 수행한 것을 특징으로 하는 산화물 반도체 박막 트랜지스터의 저온 패시베이션 방법.

청구항 3

제 1항에 있어서,

상기 채널층은 산화물 반도체로써, RF(Radio-frequency) 마그네트론 스퍼터링 방식, ALD 방식을 이용하여 아르곤(Ar) 및 산소(O_2)와의 혼합기체 조건하에서 1 내지 50 nm 의 두께로 증착시키는 것을 특징으로 하는 산화물 반도체 박막 트랜지스터의 저온 패시베이션 방법.

청구항 4

제 1항에 있어서,

상기 어닐링하는 단계는 상온 내지 500℃ 온도에서 1분 내지 90분 동안 하는 것을 특징으로 하는 산화물 반도체

박막 트랜지스터의 저온 패시베이션 방법.

청구항 5

제 1항에 있어서,

상기 금속 전극을 증착하는 단계는 DC(Direct current) 스퍼터링 혹은 열증발 (Thermal evaporation) 방식에 의해 증착시키는 것을 특징으로 하는 산화물 반도체 박막 트랜지스터의 저온 패시베이션 방법.

청구항 6

산화물 반도체 박막 트랜지스터의 저온 패시베이션 공정을 수행할 수 있는 자기조립단층박막 증착(Self-assembled monolayer deposition, SAMD) 장치에 있어서, 상기 SAMD 장치는 상부 heating stage와 하부 deposition stage가 분리되어 있으며, 상기 heating stage와 하부 deposition stage는 상온에서 400℃까지 가열이 가능한 것을 특징으로 하는 자기조립단층박막 증착(Self-assembled monolayer deposition, SAMD) 장치.

발명의 설명

기술 분야

[0001] 본 발명은 디스플레이에 이용되는 산화물 박막 트랜지스터의 저온 패시베이션 방법 및 이를 이용한 장치에 관한 것이다. 더 상세하게는, 산화물 박막 트랜지스터의 표면을 저온 공정을 이용하여 산화물 반도체의 표면을 산소, 수소와 같은 외부 환경으로부터 보호하여 신뢰성 있는 전기적 특성을 구현할 수 있도록 하는 공정장치 및 방법에 관한 것이다.

배경 기술

[0002] InGaZnO, InGaO, InSnZnO, SnO, ZnO, InHfZnO, InZrZnO, IZO 등을 포함하는 산화물 반도체(oxide semiconductor)를 이용한 박막 트랜지스터(Thin-film transistors, 이하 TFTs)는 기존의 hydrogenated amorphous silicon(a-Si:H)나 low-temperature polycrystalline silicon(LTPS)을 이용한 TFTs 보다 높은 전자 이동도(electron mobility), 균일성(uniformity), 대면적화 가능(large scalability), 유연성(flexibility), 투명도(transparency) 등의 장점을 가지고 있어, flexible, transparent display와 같은 차세대 광전소자(optoelectronic device)로의 응용이 기대되고 있다.

[0003] 하지만, oxide semiconductor TFTs는 수분과 공기에 매우 민감하게 반응하여 threshold voltage의 증가, subthreshold slope의 감소, leakage current 증가와 같은 전기적 특성의 저하가 크게 일어난다. 따라서 oxide semiconductor의 전기적 특성을 보호하기 위해 효과적인 passivation layer를 얻기 위한 프로세스가 추가적으로 필요하다. 기존에는 passivation layer 공정을 위해 Plasma Enhanced Chemical Vapor Deposition(PECVD), Sputter, Low-Pressure Chemical Vapor Deposition(LPCVD) 등의 진공 프로세스를 이용하여 Si₃N₄, SiO₂ 그리고 Al₂O₃ 등의 무기물 층을 증착하거나, 무기물 층과 유기물 층을 번갈아가면서 증착해주는 thin-film encapsulation을 이용하고 있다. Thin film encapsulation에서 무기물 층은 O₂와 수분으로부터 실질적인 보호막 역할을 하고, 유기물 층은 무기물 층 표면의 거칠기를 감소시켜 박막이 균일하게 증착되도록 돕는다.

[0004] 그러나 기존의 무기물 또는 무기물/유기물 교차 증착을 이용한 passivation 기술은 주로 높은 온도에서 진행되거나 플라즈마를 이용하여 박막을 형성하는 방식이다. Plasma를 이용할 경우 oxide semiconductor에 손상을 주어 반도체 소자의 전기적 특성이 저하될 가능성이 높으며, 공정 시 높은 온도로 인해 flexible display에 적용하기에는 제한적인 요소가 존재한다.(공개특허공보 10-2019-0047052)

[0005] 이에 본 출원인은 기존방식들과 다르게, 진공 증착 방식을 이용하여 자기조립단층박막(Self-Assembled Monolayer, 이하 SAM)을 원하는 표면에 증착시킬 수 있는 방법 및 이를 이용한 장치를 제공하고자 한다.

선행기술문헌

특허문헌

[0006] (특허문헌 0001) 공개특허공보 10-2019-0047052

발명의 내용

해결하려는 과제

[0007] 본 발명의 SAM을 이용한 passivation 방법은 기존 무기물 passivation 방법과 비교했을 때, plasma에 의한 데미지로부터 자유롭고, 150℃이하의 저온에서 공정 진행이 가능한 전기적 안정성이 크게 개선된 박막 트랜지스터의 저온 패시베이션 방법 및 이를 이용한 장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0008] 상기 목적을 달성하기 위하여, 본 발명은 산화물 반도체 박막 트랜지스터의 저온 패시베이션 방법에 있어서, 반도체를 열처리하여 산화시키는 단계; 상기 열처리하여 산화시키는 단계를 거쳐 산화된 절연체 표면에 산화물 반도체의 채널층을 형성시키는 단계; 상기 증착된 산화물 반도체를 어닐링하는 단계; 상기 어닐링 단계를 거친 산화물 반도체에 소스 및 드레인 전극을 증착시키는 단계; 상기 전극이 증착된 산화물 반도체에 자기조립단층박막(Self-assembled monolayer, 이하 SAM)을 150℃이하의 온도에서 증착시키는 단계를 포함하는 것을 특징으로 한다.

[0009] 바람직하게, 상기 기판은 열처리하여 산화시키는 단계를 거친 후 세정(preclean)과정으로, 이산화규소(SiO_2)가 형성된, 도핑된 실리콘 웨이퍼를 아세톤, 아이소프로판올(isopropanol), DI(deionized) water 순으로 초음파 발생 수조(ultrasonication bath)에서 각각 5분 내지 10분간 처리한 이후, UV-오존 처리를 30분 내지 60분간 수행할 수 있다.

[0010] 바람직하게, 상기 산화물 반도체의 채널층은 RF(Radio-frequency) 마그네트론 스퍼터링 또는 Atomic layer deposition (ALD)방식을 이용하여 아르곤(Ar) 및 산소(O_2)와의 혼합기체 조건하에서 1 내지 50 nm의 두께로 증착시킬 수 있다.

[0011] 바람직하게, 상기 어닐링하는 단계는 상온 내지 500℃ 온도에서 1분 내지 90분 동안 수행할 수 있다.

[0012] 바람직하게, 상기 소스 및 드레인 전극을 증착하는 단계는 DC(Direct current) 스퍼터링에 의해 증착시킬 수 있다.

발명의 효과

[0013] 본 발명에 따르면, SAM을 이용하여 저온 패시베이션 방법으로 제조된 산화물 반도체 박막 트랜지스터는, SAM 처리를 통해 산화물 반도체에 악영향을 미치는 수분 및 산소의 양을 극소화시킴으로써, 전기적 안정성이 크게 개선될 수 있는 효과가 있다. 아울러 기존 디스플레이 공정 설비에 적용이 가능하므로 대량생산이 가능하며 flexible display 구현에 매우 적합하다.

도면의 간단한 설명

[0014] 도 1은 자기조립단층박막 증착 장치를 나타낸 이미지이다. 오른쪽 이미지는 SAM 처리된 박막 트랜지스터를 횡단면으로 확대하여 나타낸 것이다.

도 2는 접촉각을 나타낸 이미지로, (b)는 SAM 미처리된 박막 트랜지스터의 접촉각을 나타낸 것이고, (c)는 SAM 처리된 박막 트랜지스터의 접촉각을 나타낸 것이다.

도 3의 (a) 및 (b)는 SAM 처리한 박막 트랜지스터와 대조군의 transfer curve 및 output characteristic을 나타낸 그래프이다.

도 3의 (c)는 20개의 박막 트랜지스터의 threshold voltage, hysteresis를 측정한 후 평균값을 나타낸 그래프이다.

도 3의 (d)는 20개의 박막 트랜지스터의 field effect mobility, saturation mobility를 측정한 후 평균값을 나타낸 그래프이다.

도 4는 SAM 처리된 박막 트랜지스터와 대조군을 DI(deionized) water에 6시간동안 넣어둔 후 측정한 threshold voltage를 나타낸 그래프이며, (a)는 transfer curve, (b)는 output curve를 나타낸 그래프이다.

도 5는 SAM 처리된 박막 트랜지스터의 안정성(stability)을 평가하기 위하여, SAM 처리된 박막 트랜지스터에 negative-bias stress(NBS)를 줌으로써 시간에 따른 threshold voltage를 나타낸 것이다. (a)는 대조군으로 SAM 미처리된 박막 트랜지스터의 threshold voltage를 나타낸 것이고, (b)는 SAM 처리된 박막 트랜지스터의 threshold voltage를 나타낸 것이다.

발명을 실시하기 위한 구체적인 내용

- [0015] 이하, 첨부된 도면들에 기재된 내용들을 참조하여 본 발명을 상세히 설명한다. 다만, 본 발명이 예시적 실시 예들에 의해 제한되거나 한정되는 것은 아니다.
- [0016] 본 발명의 개념에 따른 실시예들은 다양한 변경들을 가할 수 있고 여러 가지 형태들을 가질 수 있으므로 실시예들을 도면에 예시하고 본 명세서에 상세하게 설명하고자 한다.
- [0017] 본 발명의 목적 및 효과는 하기의 설명에 의해서 자연스럽게 이해되거나 보다 분명해질 수 있으며, 하기의 기재만으로 본 발명의 목적 및 효과가 제한되는 것은 아니다. 또한, 본 발명을 설명함에 있어서 본 발명과 관련된 공지 기술에 대한 구체적인 설명이, 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략하기로 한다.
- [0018] 본 발명의 실시예에 따르면, 게이트 전극은 기판으로서, 고농도로 도핑된 Si 웨이퍼(wafer)가 사용될 수 있다.
- [0019] 게이트 절연층은 게이트 전극상에 열산화(thermal oxidation) 기법을 이용하여 Si 웨이퍼 표면을 이산화규소(SiO_2)로 산화시켜 형성될 수 있으며, 스퍼터링 방식 혹은 ALD 방식을 이용한 high-k 물질을 Si 웨이퍼 위에 형성시켜 사용할 수 있다.
- [0020] 채널층은 산화물 반도체 물질을 이용하여 절연층 상에 형성될 수 있다.
- [0021] 더욱 구체적으로, 채널층에 사용될 수 있는 산화 물질은 InGaZnO , InGaO , InSnZnO , SnO , ZnO , InHfZnO , InZrZnO , IAZO 및 IZO 로 이루어진 군에서 선택된 어느 하나일 수 있다. 단, 상기 예시 물질에 국한되지 않는다.
- [0022] 채널층은 radio-frequency (RF) 마그네트론 스퍼터링 공정, ALD 공정 및 스펀코팅과 같은 용액 공정을 이용하여 형성될 수 있다.
- [0023] 채널층 상에서 소스 전극 및 드레인 전극은 1 내지 100 nm의 두께의 텅스텐(W), 백금(Pt), 구리(Cu), 금(Au), 티타늄(Ti), 니켈(Ni), 질화티타늄(TiN), 알루미늄(Al) 및 이들의 혼합물 또는 다층구조의 층을 사용하여 형성될 수 있다.
- [0024] 패시베이션 박막은 채널층, 소스 전극 및 드레인 전극 상에 진공 증착되어 형성될 수 있다.
- [0025] 패시베이션층이 될 수 있는 물질은 silane 계열의 물질이 사용될 수 있다.
- [0026] 더욱 구체적으로, 패시베이션층에 사용될 수 있는 물질은 자기조립단층박막(Self-assembled monolayer, SAM) 물질이고, 적절한 head, tail 및 functional group을 가지고 있는 유기물질이며, 다음과 같은 물질을 예시할 수 있다. 단, 하기 예시 물질에 국한되지 않는다.
- [0027] Organosilane의 종류로, Hexamethyldisilazane($\text{C}_6\text{H}_{19}\text{NSi}_2$), Octyltrichlorosilane($\text{C}_8\text{H}_{17}\text{Cl}_3\text{Si}$), Octadecyltrichlorosilane($\text{C}_{18}\text{H}_{37}\text{Cl}_3\text{Si}$), Docosyltrichlorosilane($\text{C}_{22}\text{H}_{45}\text{Cl}_3\text{Si}$), Phenethyltrichlorosilane($\text{C}_8\text{H}_9\text{Cl}_3\text{Si}$), 3-Aminopropyltriethoxysilane($\text{C}_9\text{H}_{23}\text{NO}_3\text{Si}$), Trichloro(3,3,4,4,5,5,6,6,7,7,8,8,8-tridecafluorooctyl)silane($\text{C}_8\text{H}_4\text{Cl}_3\text{F}_{13}\text{Si}$), (3-Mercaptopropyl)trimethoxysilane($\text{C}_6\text{H}_{16}\text{O}_3\text{SSi}$), Triethoxyoctylsilane($\text{C}_{14}\text{H}_{32}\text{O}_3\text{Si}$), (3-Chloropropyl)triethoxysilane($\text{C}_9\text{H}_{21}\text{ClO}_3\text{Si}$), 1-Propanethiol, 3-(triethoxysilyl)($\text{C}_9\text{H}_{22}\text{O}_3\text{SSi}$) 또는 3-Aminopropyltriethoxysilane($\text{C}_9\text{H}_{23}\text{NO}_3\text{Si}$)이 사용될 수 있고, alkyl phosphonic acids의 종류로, Decylphosphonic acid($\text{C}_{10}\text{H}_{23}\text{O}_3\text{P}$), Hexylphosphonic acid($\text{C}_6\text{H}_{15}\text{O}_3\text{P}$), Tetradecylphosphonic acid($\text{C}_{14}\text{H}_{31}\text{O}_3\text{P}$) 또는

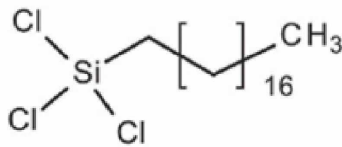
Octadecylphosphonic acid($C_{18}H_{39}O_3P$)가 사용될 수 있으며, n-alkanoic acids의 종류로 Lauric acid ($C_{12}H_{24}O_2$)가 사용될 수 있다.

[0028] SAM 물질은 적절한 head, tail 및 functional group을 가지고 있는 유기물질이며, 채널층, 소스 전극, 드레인 전극 상에 진공 증착시켜 패시베이션층을 형성시킴으로써, 물과 수분이 박막 트랜지스터 내로 침투하지 않도록 표면을 보호하는 기능을 갖는다.

[0029] SAM 물질의 친수성 head group 작용기는 산화물 반도체 표면의 -OH group과 결합하고, 동시에 functional group은 산화물 반도체 표면 바깥 방향으로 정렬됨으로써 산화물 반도체 표면을 소수성으로 변환시키는 기능을 갖는다. SAM 물질의 functional group에 따라서 산화물 반도체 표면을 친수성이 되게 할 수도 있으며, SAM 물질을 적절히 선택함으로써 산화물 반도체 표면을 원하는 성질로 바꿔줄 수 있다.

[0031] SAM 물질을 산화물 반도체 표면에 패시베이션하여 생성된 패시베이션 층은 산화물 반도체와 강한 결합력을 가지므로 화학적으로 안정성이 높으며, 균일하면서도 밀집된 층을 형성시킬 수 있어 저온에서 패시베이션이 가능한 장점이 있다.

[0032] 본 발명의 제조예에 따라 패시베이션층에 사용할 SAM 물질로서 OTS(octadecyltrichlorosilane)(제조사 Aldrich, 제품번호 104817)을 사용하였으며, OTS의 분자 구조는 하기에 나타내었다.



Octadecyl-trichlorosilane
(OTS)

[0033]

[0034] 도 1은 자기조립단층박막 증착 장치(self-assembled monolayer deposition system, SAMD system)을 나타낸 것이다. SAMD 장치는 상부 heating stage와 하부 deposition stage가 분리되어 있으며, 각 stage는 모두 상온에서 400℃까지 가열시켜줄 수 있다. 예로, heating stage는 octadecyltrichlorosilane(OTS, SAM의 일종)을 증발시키는 역할을, deposition stage는 a-IGZO와 OTS가 반응할 수 있는 에너지 공급역할을 담당한다. SAMD 장치 하부에는 진공 장치가 연결되어 진공을 잡아주므로 heating stage에서 증발한 OTS가 샘플 표면으로 이동하여 증착될 수 있도록 도와준다.

[0036] 제조예 1. SAM 처리된 박막 트랜지스터의 제조

[0037] 도핑된 실리콘 웨이퍼를 준비하고 열산화하여 약 100nm 두께의 이산화규소(SiO_2)를 성장시켜 절연층을 형성시켰다. 절연층인 이산화규소(SiO_2)를 형성시킨 후에 사전 세정(precleaned)과정으로, 이산화규소(SiO_2)가 형성된 도핑된 실리콘 웨이퍼를 아세톤, 아이소프로판올(isopropanol), DI(deionized) water 순으로 초음파 수조(ultrasonication bath)에서 각각 5분간 처리한 이후, UV-오존 처리를 40분간 수행하였다.

[0038] UV-오존 처리 후 채널층을 형성시키기 위하여, IGZO를 radio-frequency (RF) 마그네트론 스퍼터링 공정을 이용하여 100W에서 185초 동안 아르곤(Ar)과 산소(O_2)의 혼합기체에서 2m 토르 압력 조건하에 수행하였다.

[0039] 아르곤(Ar)과 산소(O_2)의 혼합기체는 아르곤(Ar):산소(O_2)=9:1의 몰비율로 조성하였다.

[0040] IGZO는 $In_2O_3:Ga_2O_3:ZnO = 1:1:1$ 의 비율로 제조하였다.

[0041] 채널층을 형성시키기 위해 IGZO를 사용하여 가로(width), 세로(length) 길이는 각각 250, 50 μm 로 하고, 두께는 30 nm로 하여 채널층을 형성시켰다.

[0042] 채널층 형성 후 box furnace에서 400℃의 온도로 1시간 동안 어닐링(annealing)을 수행하였다.

[0043] 채널층 상에서 소스 전극(source electrodes) 및 드레인 전극(drain electrodes)은 50nm 두께의 텅스텐(W)을

이용하여 DC 스퍼터링 공정을 통해 형성시켰고, 리프트-오프(lift-off)공정을 통해 패턴을 형성시켰다.

[0044] 이후, 추가 공정으로 패시베이션층을 형성시키기 위해 OTS물질을 사용하여 150℃이하의 저온조건에서 채널층, 소스 전극 및 드레인 전극 상에 열 증착시킴으로써, SAM 처리된 박막 트랜지스터를 제조하였다.

[0046] 대조군. SAM 미처리된 박막 트랜지스터의 제조

[0047] 제조예 1.의 박막 트랜지스터의 제조와 동일한 과정으로 수행하되, 추가 공정인 패시베이션층을 형성시키는 과정을 생략하여 SAM 미처리된 박막 트랜지스터를 제조하였다.

[0049] 평가 1. 접촉각 측정

[0050] 도 2를 참조하면, 패시베이션을 하기 전 후의 접촉각을 측정한 결과로, (b)는 패시베이션을 하기 전인 SAM 미처리된 박막 트랜지스터의 접촉각을 측정한 것이며, 49° 로 측정되었고, (c)는 패시베이션을 한 후인 SAM 처리된 박막 트랜지스터의 접촉각을 측정한 것이며, 90° 로 측정되었다.

[0051] 이는, SAM 물질인 OTS를 사용하여 패시베이션 함으로써 OTS의 친수성 작용기가 박막 트랜지스터 표면에 결합하고, 박막 트랜지스터 바깥 방향으로는 소수성 작용기가 위치하였으므로, SAM 처리된 박막 트랜지스터의 표면이 소수성으로 변하였기 때문이다.

[0053] 평가 2. SAM 처리된 박막 트랜지스터와 SAM 미처리된 박막 트랜지스터의 transfer curve 및 output curve 측정

[0054] 도 3의 (a), (b)의 그래프는, 상기 제조예 1에서 제조된 SAM 처리된 박막 트랜지스터와 상기 대조군에서 제조된 SAM 미처리된 박막 트랜지스터의 transfer curve와 output curve를 측정 결과에 해당한다.

[0056] 평가 3. SAM 처리된 박막 트랜지스터와 SAM 미처리된 박막 트랜지스터의 전기적 특성 평가

[0057] 도 3의 (c), (d)의 그래프는, SAM 처리된 박막 트랜지스터 20개와 SAM 미처리된 박막 트랜지스터 20개의 전기적 특성을 평가한 것이다.

[0058] (c)그래프는, SAM 처리된 박막 트랜지스터 20개와 SAM 미처리된 박막 트랜지스터 20개의 threshold voltage와 hysteresis를 구하여 평균값을 나타낸 것이다. 측정 결과, SAM 처리된 박막 트랜지스터를 SAM 미처리 박막 트랜지스터와 비교하였을 때, threshold voltage는 -0.34 V에서 -0.2 V만큼 특성이 향상되었고, hysteresis는 0.92 V에서 0.57 V만큼 향상된 것을 확인하였다.

[0059] (d)그래프는, SAM 처리된 박막 트랜지스터 20개와 SAM 미처리된 박막 트랜지스터 20개의 field effect mobility와 saturation mobility를 구하여 평균값을 나타낸 것이다. 측정 결과, SAM 처리된 박막 트랜지스터를 SAM 미처리 박막 트랜지스터와 비교하였을 때, field effect mobility는 $5.87 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 에서 $7.4 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 로 $1.53 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 만큼, saturation mobility는 $3.72 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 에서 $4.8 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 로 $1.08 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 만큼 각각 증가하는 것을 확인하였다.

[0060] 아래 [표 1]은 상기 [평가 3]에 의한 전기적 특성 결과를 정리한 것이다.

표 1

Surface treatment	V_{th} (V)	Hysteresis (ΔV)	Field effect mobility μ_{FE} ($cm^2V^{-1}s^{-1}$)	Saturation mobility μ_{sat} ($cm^2V^{-1}s^{-1}$)
Untreated	-0.34 ± 0.107	0.92 ± 0.142	5.87 ± 0.500	3.72 ± 0.280
SAM treated	-0.20 ± 0.115	0.57 ± 0.053	7.40 ± 0.173	4.80 ± 0.117

[0061]

[0063] 평가 4. SAM 처리된 박막 트랜지스터와 SAM 미처리된 박막 트랜지스터의 전기적 특성 평가

[0064] SAM 처리된 박막 트랜지스터에서 SAM 처리에 의해 형성된 패시베이션층이 물과 산소와 같은 외부환경으로부터 박막 트랜지스터를 보호하는지 확인하기 위하여 6시간동안 넣어둔 후 전기적 특성 변화를 확인하였다.

[0065] 도 4의 (b)그래프를 보면, SAM 처리된 박막 트랜지스터의 경우, OTS로 형성된 패시베이션층이 효과적으로 산화물 반도체 표면을 보호하여, OTS 처리 전 후의 전기적 특성변화가 크게 일어나지 않았다.

[0066] 반면, 도 4의 (a)그래프를 보면, SAM 미처리된 박막 트랜지스터는 a-IGZO가 물 분자로부터 전자를 받아 전도성이 변화되어 threshold voltage가 음의 방향으로 크게 증가하였고, 험프(hump) 현상이 발생하는 것을 확인할 수 있었다. 험프 현상은 주로 back channel에서 일어나는, 물분자(H_2O)에 의해 발생하는 것이고, 이는 박막 트랜지스터의 전기적 특성 및 안정성이 저하됨을 의미한다.

[0068] 평가 5. Negative bias stress(NBS) 평가

[0069] 디스플레이 백플레인에 적용하였을 때 negative bias stress(NBS) 문제가 대두될 수 있는데, NBS 테스트를 진행하여, SAM 처리된 박막 트랜지스터에서 a-IGZO의 안정성을 확인하였다.

[0070] 도 5의 (a)에서, SAM 미처리된 박막 트랜지스터의 field-induced water absorption이 back channel에서 발생하여, 시간이 지남에 따라 점차적으로 threshold가 음의 방향으로 증가한 것을 확인하였다.

[0071] 도 5의 (b)에서, SAM 처리된 박막 트랜지스터의 경우, SAM 미처리된 박막 트랜지스터와 비교하였을 때, threshold voltage가 음의 방향으로 크게 증가하지 않았고, 험프 현상이 발생하지 않았다.

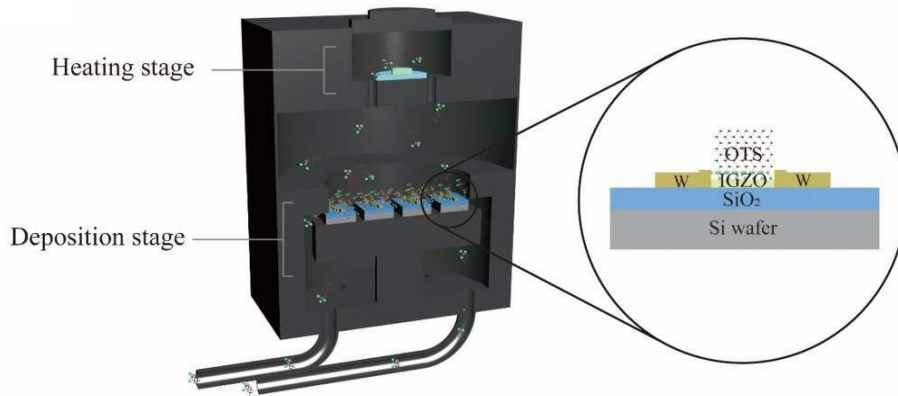
[0072] 즉, SAM 처리된 박막 트랜지스터의 표면이 효과적으로 패시베이션 되어 back-channel에서 field-induced water absorption이 일어나지 않은 것을 확인할 수 있고, 이는 박막 트랜지스터의 전기적 안정성이 크게 개선되었음을 의미한다.

[0073] 상기 제조에 및 대조군에 의해 제조된 박막 트랜지스터의 모든 성능 평가는 semiconductor parameter analyzer (제조사 Agilent, 모델명 4155C)에 의해 측정되었다.

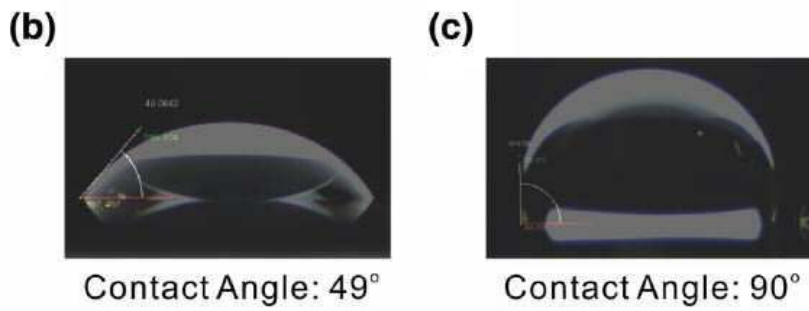
[0074] 이상에서 대표적인 실시예를 통하여 본 발명을 상세하게 설명하였으나, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 상술한 실시예에 대하여 본 발명의 범주에서 벗어나지 않는 한도 내에서 다양한 변형이 가능함을 이해할 것이다. 그러므로 본 발명의 권리 범위는 설명한 실시예에 국한되어 정해져서는 안되며, 후술하는 특허청구범위 뿐만 아니라 특허청구범위와 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태에 의하여 정해져야 한다.

도면

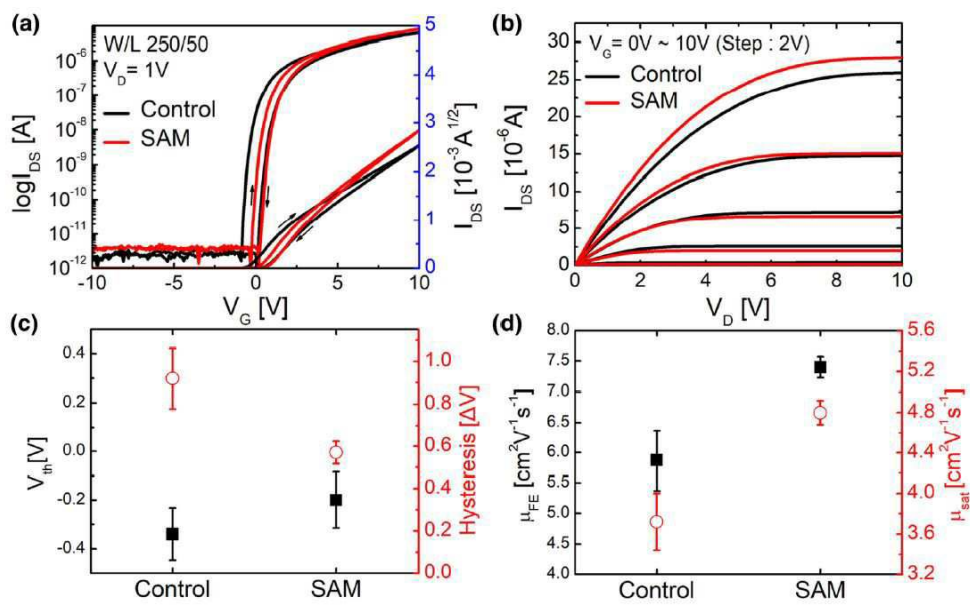
도면1



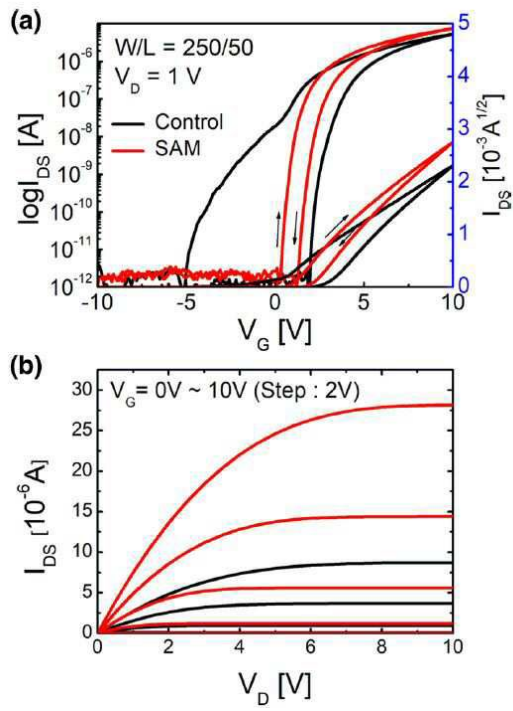
도면2



도면3



도면4



도면5

